

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

美國（地區）申請專利，申請日期：案號：，☒有 ☐無主張優先權
2000 年 02 月 09 日第 09/501,502 號

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明(²)

本發明之概述

依照本發明，用於生長介電層在基板上之方法包括提供具有至少兩個結晶之平面的基板之步驟，由於至少兩個結晶之平面，其經歷不同之介電層生長速率。使第一介電層生長在至少兩個結晶之平面上以致使：第一介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上。第一厚度較第一介電層之第二厚度較厚。將摻雜劑植入通過第一介電層。將較大數目的摻雜劑植入基板中，通過第一介電層之第二厚度較通過第一介電層之第一厚度較多。然後移除第一介電層。使第二介電層生長在與所移除之第一介電層相同位置上。第二介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上。由於植入摻雜劑，第二介電層的第一厚度和第二厚度其厚度較接近於第一介電層的第一厚度和第二厚度。

在其他方法中，植入的步驟可包括經由採用離子植入法和電漿離子植入法之一來植入摻雜劑的步驟。基板宜包括單晶矽而第一和第二介電層可包括氧化矽。生長第一介電層的步驟可包括曝露基板在大於大約 700℃ 溫度下之氧氣周圍環境中。生長第二介電層的步驟可包括曝露基板在大於大約 800℃ 溫度下之氧氣周圍環境中。摻雜劑可包括鹵素、氧、矽和惰性氣體之一。第二介電層的第一厚度和第二厚度可能大體上相等。亦可包括防止摻雜劑滲透通過第一介電層的第一厚度之步驟。

依照本發明，用以生長氧化物層在基板上之方法包括提

五、發明說明(³)

供具有經蝕刻在其中之溝渠的矽基板。該溝渠具有側壁包括至少兩個結晶之平面其經歷不同之介電層生長。將犧牲性之氧化物層熱生長在至少兩個結晶之平面上以致使該犧牲性氧化物層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中第一厚度較第二厚度較厚。將摻雜劑植入通過犧牲性氧化物層以致使將較大數目的摻雜劑植入基板中通過犧牲性氧化物層的第二厚度較通過第一厚度之數量多。移除犧牲性氧化物層及將氧化物介電層熱生長在所移除之第一介電層的位置上以致使氧化物介電層在第二結晶之平面上較在第一結晶之平面上生長較快。氧化物介電層的第一厚度和第二厚度其厚度較接近於犧牲性氧化物層的第一厚度和第二厚度。

依照本發明，用以生長氧化物在基板上以防止結晶之取向依賴性厚度之方法包括下列步驟：形成硬遮罩在矽基板的頂表面上，將硬遮罩形成圖案，並蝕刻溝渠在基板中。該溝渠具有側壁包括至少兩個結晶之平面其歷經不同之介電層生長，熱生長犧牲性氧化物在此等至少兩個結晶之平面上以致使該犧牲性氧化物層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中第一厚度較第二厚度較厚，植入鹵素摻雜劑通過犧牲性氧化物層以致使將較大數目的摻雜劑植入基板中通過犧牲性氧化物層的第二厚度較通過第一厚度之數量多，鹵素摻雜劑係用以促進氧化物生長，移除犧牲性氧化物層，及熱生長一氧化物介電層在所移除之第一介電層的位置上以致使：由於鹵素

五、發明說明(⁴)

摻雜劑之存在，氧化物介電層在第二結晶之平面上較在第一結晶之平面上生長較快，以致使氧化物介電層的第一厚度和第二厚度其厚度較接近於犧牲性氧化物層的第一厚度和第二厚度。

在其他方法中，植入之步驟可包括經由採用有角度之離子植入法來植入摻雜劑在基板頂表面之下面而植入摻雜劑的步驟。有角度之離子植入法可包括相對於基板頂表面的表面法線，以 10°至 75°間之一個角度導引摻雜劑。植入的步驟可包括旋轉基板來植入摻雜劑在溝渠的所有側壁上之步驟。植入步驟可包括經由採用電漿離子植入法來植入摻雜劑在基板中而植入摻雜劑的步驟。

在進一步的其他方法中，生長犧牲性氧化物層的步驟可包括曝露基板至大於大約 700°C 溫度下之氧氣周圍環境中。生長氧化物介電層的步驟可包括曝露基板至大於大約 800°C 溫度下之氧氣周圍環境中。摻雜劑可包括鹵素、氧、矽及 / 或惰性氣體。氧化物介電層的第一厚度與第二厚度可能大體上相等。該方法可包括防止摻雜劑滲透通過犧牲性氧化物層的第一厚度之步驟。氧化物介電層可包括經採用於深溝渠電容器中之溝渠環管。氧化物介電層可包括垂直電晶體之閘極氧化物。

本發明的此等及其他目的，特徵和優點自下列舉例說明之具體實施例的詳述將變得顯然可見，此等具體實施例欲連同附隨之圖式而閱讀。

圖式簡述

五、發明說明（⁵）

本發明內容將參照下列各圖式詳細申述較佳具體實施例，其中：

第 1 圖是先前技藝介電層的頂視圖，其蒙受各層的厚度之晶體取向依賴性；

第 2 圖是半導體裝置之截面圖，具有供溝渠電容器用所形成之溝渠，其係利用本發明所形成之；

第 3 圖是第 2 圖中細節 3 之放大截面圖，顯示依照本發明所形成之犧牲層；

第 4 圖是依照本發明 第 3 圖中犧牲性介電層之頂視圖；

第 5 圖是第 3 圖中半導體裝置的截面圖，顯示依照本發明經採用作為摻雜劑遮罩之犧牲層；

第 6 圖是第 5 圖中半導體裝置的截面圖，顯示依照本發明，在移除犧牲層後，經採用作為閘介電體之介電層；

第 7 圖是依照本發明，第 6 圖中介電層之頂視圖；

第 8 圖是第 6 圖中半導體裝置的截面圖，顯示經形成在依照本發明所生長之閘介電體上之閘極電導體；

第 9 圖是另種半導體裝置的截面圖，具有經形成在基板中之一溝渠，其具有依照本發明，沿著其側壁所形成之犧牲層；

第 10 圖是依照本發明，第 9 圖的犧牲性介電層之頂視圖；

第 11 圖是第 9 圖中半導體裝置的截面圖，顯示依照本發明，經採用作為摻雜劑遮罩之犧牲層；

五、發明說明 (⁶)

第 12 圖是第 11 圖中半導體裝置的截面圖，顯示依照本發明，在移除犧牲層後，經採用作為溝渠環管之介電層；及

第 13 圖是依照本發明，第 12 圖中介電層之頂視圖。

較佳具體實施例之詳述

本發明包括達到恆定氧化物厚度在經熱生長氧化物之垂直側壁結構上之方法。經由離子植入物種，通過具有晶體取向依賴之厚度的犧牲性遮蔽氧化物，在所選擇之區域中增加氧化速率。將離子經由導引離子植入基板中而植入基板的側壁中。經由植入離子在目標側壁上之所選擇位置，可將氧化物以不同速率選擇性生長，藉以在熱氧化過程期間產生均勻氧化物層。

現在特別詳述各圖式，其中相同參考數字在各圖表示相似或相同元件；自第 2 圖開始，半導體裝置 99 包括基板 102。裝置 99 可包括一種半導體記憶器例如動態隨機接達記憶器 (DRAM)、靜態隨機接達記憶器 (SRAM)、或其他記憶器裝置。裝置 99 可包括其他型的半導體裝置，舉例而言，應用特定積體電路 (ASICs)。基板 102 宜包括一個單晶矽基板。本發明亦可連同可支持熱氧化物生長或其他介電材料生長之基板材料而採用。

在一個舉例說明之具體實施例中，採用本發明來形成垂直電晶體之閘極氧化物。將基板 102 經由依照圖案化之硬遮罩 101 的硬遮罩圖案，形成溝渠 104 予以蝕刻而形成溝渠 104 在其中。亦可包括焊接區氮化物層 103 和焊接區氧

五、發明說明(7)

化物層 105。將一個埋設極板 106 形成在溝渠 104 的下部部份中

而提供深溝渠電容器之極板，將它形成在溝渠 104 中。埋設極板 106 係經由植入摻雜劑在環繞溝渠 104 之區域中予以形成，如該項技藝中所熟知。

將一個環管 108 形成在溝渠中係在溝渠 104 的上部部份中之側壁 123 上。當將溝渠電容器形成在溝渠 104 以內時，採用環管 108 來防止溝渠 104 之電流漏洩。環管 108 可包括一個氧化物層，例如 TEOS(四-側氧基-乙基矽烷)或其他氧化物。環管 108 亦可經由依照本發明，採用一種氧化物層或一種所沈積之氧化物層(將它蝕刻而提供環管 108 之適當部位)而形成。在已將環管 108 形成後，將一個節點介電層 112 沈積在溝渠 104 中。節點介電層 112 宜包括一薄層(大約 5 奈米)之氮化矽。節點介電層 112 使側壁 123 和環管 108 排成一行且其功能係作為埋設極板 106 與經形成在溝渠 104 中之導電材料 114 間之電容器介電層。

導電材料 114 宜包括聚矽將它沈積在溝渠 104 中並凹陷入溝渠 104 中。導電材料 114 之功能係作為電容器電極。將導電材料 114 經由埋設之條帶 116 予以連接至電晶體之擴散區域。埋設之條帶 116 包括向外擴散之摻雜劑其已擴散入接鄰導電材料 114 之基板 102 中。將溝渠頂層 118 形成在導電材料 114 上而將材料 114 與欲被形成在溝渠 104 中之閘電導體隔離。

參照第 3 圖與第 4 圖，顯露溝渠 104 之上部部份的側壁

五、發明說明(9)

中將敘述。經採用以植入摻雜劑入側壁 123 中之能量係基於犧牲性層 124 之厚度。

有利地，犧牲性層 124 包括定向依賴之厚度(見第 4 圖)。將離子 126 植入在(100)平面上之側壁 123 中，於該處，犧牲性層 124 較薄。在(110)平面上，犧牲性層 124 較厚而防止離子到達側壁 123 或至少減少此等位置上之摻雜劑 126 的濃度。電漿離子或離子植入可包括提供具有大約 1×10^{14} 原子/立方厘米與大約 1×10^{15} 原子/立方厘米間之植入劑量之離子連同大約 5Kev 至大約 10Kev 間之水平能量成分。犧牲性層 124 可包括 30 Å 至大約 50 Å 間之厚度(關於(100)平面)及大約 60 Å 至大約 100 Å 間之厚度(關於(110)平面)。精於該項技藝之人士了解：植入能量和劑量必須考慮成角度之植入而達到適當所植入之劑量和植入深度。

如果採用離子植入於孔中(例如，深溝渠)，則宜將半導體裝置 99 旋轉(箭頭 "A")而提供摻雜劑植入在其所有側壁上。植入係以 β 角而導引，可將此 β 角變更而提供摻雜劑植入在側壁 123 上達到不同深度。在一個具體實施例中， β 角可能在大約 10° 至大約 75° 間。在較佳具體實施例中，將 β 角設定在一個指定之角度並維持在此角度遍歷植入期間，唯在植入期間，同樣可將 β 角變更。

有利地，使摻雜劑 126 與側壁 123 自行對齊，因為其他區域經由硬遮罩 101 或溝渠頂層 118 所遮罩。犧牲性層 124 充作離子植入之自行對齊之遮罩。此係意指不管溝渠

五、發明說明 (¹⁰)

或孔相對於基板 102 之晶體平面的取向，溝渠或孔的結晶取向經由層 124 予以說明。在植入後，將犧牲性層 124 經由溼蝕刻過程例如 HF 蝕刻或乾蝕刻過程例如化學乾蝕刻 (CDE) 而移除。經留在側壁 123 中所選擇位置上 (例如矽中之 (110) 平面) 者是摻雜劑 126，現在可採用它來調整氧化物生長速率。

參照第 6 圖，將熱層 130，宜係氧化物經由曝露側壁 123 至昇高溫度下之氧氣周圍環境中予以形成在側壁 123 上。在一個具體實施例中，維持溫度在大約 800°C 至大約 1100°C 間而生長具有大約 30 Å 至大約 100 Å 厚度之氧化物。此氧化物 130 係依賴於基板 102 之晶體定向；然而，因為將側壁 123 之所選擇區域已使用摻雜劑 126 予以摻雜，所以熱氧化以較快之生產速率發生在具有摻雜劑植入在其中的位置上。植入的效應是增加生長速率。具有最小生產速率之 (100) 平面具有最高之經植入劑量，而因此，氧化速率之最大增加 (見第 7 圖)。參照第 7 圖，依照本發明，顯示經形成在矽基板 102 中溝渠 104 的頂視圖。將氧化物層 130 的厚度變更顯著減少而提供大體上均勻厚度內部溝渠 104。氧化物層 130 可包括大約 30 Å 至大約 100 Å 間之厚度。

參照第 8 圖，氧化物層 130 形成經採用以形成垂直電晶體 132 之閘極電晶體。將閘極導電體 134 沈積入溝渠 104 中並將一導電通道 136 形成在接鄰溝渠 104 之基板 102 中以便經形成在溝渠 104 中之儲存電容器充電和放電。可將

五、發明說明(¹¹)

絕緣結構 138 形成接鄰於及部份填充溝渠 104，可採用一帽和襯墊 140 來將閘電導體 134(例如字線)絕緣。當採用閘電導體 134 活化時通道 136 即導電，容許產生一條導電路徑在擴散區域 142 與埋設之條帶 116 之間。

參照第 9 圖與第 10 圖，在本發明的另外舉例說明之具體實施例中，將環管 208(第 12 圖)形成在半導體裝置 200 的溝渠 204 之側壁 210 上。裝置 200 可包括半導體記憶體例如動態隨機接達記憶體(DRAM)、靜態隨機接達記憶體(SRAM)或其他記憶體裝置。裝置 200 可包括其他型之半導體裝置，舉例而言，應用特定積體電路(ASICs)。宜將溝渠 204 經由採用硬遮罩 101 來定位溝渠 204 之各向異性蝕刻過程，舉例而言，反應性離子蝕刻(RIE)過程而蝕刻入基板 102 中。

將犧牲性層 224 形成在溝渠 204 之側壁 210 上。可使用低溫熱氧化來造成犧牲性層 224，採用它作為遮罩來進行摻雜劑植入。低溫熱氧化過程可包括大約 700℃ 至大約 900℃ 間之溫度在包括氧之周圍環境中。氧化之時間依賴於氧化物層 224 所需要之厚度。氧化物層 224 之厚度係基於各種植入參數而決定如下文中將予以討論。

由於結晶之依賴性，層 224 包括不同厚度。有利地，採用此種結晶之依賴性而可使較高濃度的摻雜劑進入側壁 210 之較薄區域 201 中及甚少或無摻雜劑進入層 224 的側壁之較厚區域 203 中。

參照第 11，摻雜劑 226 的鹵素離子或其他物種之電漿

五、發明說明 (¹³)

230 可包括大約 100 Å 至大約 500 Å 間之厚度。

應了解者，本發明可包括除去上述者以外之各種應用。舉例而言，可提供不同之介電層生長速率在具有不同結晶之平面的其他基板上，舉例而言，砷化鎵或鍺基板上。另外，雖然敘述了墊氧化物，但是可採用其他反應性氣體而形成介電層。例如，可採用氮而形成氮化物層。

業已敘述用於減少半導體基板的垂直側壁之定向依賴性氧化之較佳具體實施例（其意欲是舉例說明而非限制，應特別述及，按照上述教旨，變型和變更可由精於該項技藝之人士作成。因此，應了解者，可對於所揭示之本發明之特別具體實施例作成改變，其亦係在本發明之範圍和要旨以內，如經由隨隨之申請專利範圍所概述者。因此已詳述本發明及經由專利法規所特別需要者，所申請專利之項目及欲經由專利證書予以保護者在所附隨之申請專利範圍中特舉出。

符號之說明

102,8	基板
204,104,12	溝渠
10	熱生長之氧化物層
14	(100)結晶平面
16	(110)結晶平面
200,99	半導體裝置
101	硬遮罩
103	焊接區氮化物層

五、發明說明 (¹⁴)

- 105 焊接區氧化物層
- 106 埋設之極板
- 208,108 環管
- 210,123 側壁
- 112 節點介電層
- 114 導電材料
- 116 埋設之條帶
- 118 溝渠頂層
- 224,124 犧牲性層
- 226,126 摻雜劑離子
- 130 熱層(或氧化物層)
- 132 垂直電晶體
- 134 閘極導電體
- 136 導電通道
- 138 隔離結構
- 140 帽和襯墊
- 201 較薄層域
- 203 較厚層域
- 230 介電層，氧化物層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 用於半導體基板垂直側壁之方向)
依賴性氧化的減少

依照本發明，用以在基板上生長介電層之方法包括下列步驟：提供具有至少兩個結晶之平面(平面(100)和(110))之基板(102)，至少兩個結晶之平面可經歷不同之介電層生長速率。將第一介電層(124)生長在至少兩個結晶之平面上以致使第一介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上。就第一介電層而論，第一厚度較第二厚度較厚。將摻雜劑(126)植入通過第一介電層。將較大數目的摻雜劑植入基板中通過第一介電層的第二厚度較通過第一厚度之數量多。然後，移除第一介電層。將第二介電層(130)生長在與所移除之第一介電層相同位置上。第二介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上。由於植入摻雜劑，第二介電層的第一厚度和第二厚度其厚度較接近於第一介電層的第一厚度和第二厚度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、英文創作摘要（創作之名稱：

)

Reduction of orientation dependent
oxidation for vertical sidewalls of
semiconductor substrates

A method for growing a dielectric layer on a substrate, in accordance with the present invention, includes the steps of providing a substrate (102) having at least two crystallographic planes (planes (100) and (110)) which experience different dielectric layer growth rates due to the at least two crystallographic planes. A first dielectric layer (124) is grown on the at least two crystallographic planes such that the first dielectric layer has a first thickness on a first crystallographic plane and a second thickness on a second crystallographic plane. The first thickness is thicker than the second thickness for the first dielectric layer. Dopants (126) are implanted through the first dielectric layer. A greater number of dopants are implanted in the substrate through the second thickness than through the first thickness of the first dielectric layer. The first dielectric layer is then removed. A second dielectric layer (130) is grown at a same location as the removed first dielectric layer. The second dielectric layer has a first thickness on a first crystallographic plane and a second thickness on a second crystallographic plane. The first thickness and the second thickness of the second dielectric layer are closer in thickness than the first thickness and the second thickness of the first dielectric layer due to the implantation of the dopants.

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

1. 一種用以在基板上生長介電層之方法，包括下列步驟：

提供具有至少兩個結晶之平面的基板，此等至少兩個結晶之平面可經歷不同之介電層生長速率；

生長第一介電層在至少兩個結晶之平面上，以致使第一介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中第一厚度較第二厚度較厚；

植入摻雜劑通過第一介電層，以致使將較大數目之摻雜劑植入基板中通過層一介電層之第二厚度較通過第一厚度較多；及

移除第一介電層；

生長第二介電層在與所移除之第一介電層相同之位置上，以致使第二介電層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中由於植入摻雜劑，第二介電層的第一厚度和第二厚度其厚度較接近於第一介電層的第一厚度和第二厚度。

2. 如申請專利範圍第 1 項之方法，其中植入的步驟包括經由採用離子植入法和電漿離子植入法之一而植入摻雜劑之步驟。

3. 如申請專利範圍第 1 項之方法，其中基板包括單晶矽而第一與第二介電層包括氧化矽。

4. 如申請專利範圍第 1 項之方法，其中生長第一介電層之步驟包括曝露基板在大於大約 700℃ 溫度下之氧氣周圍環境中。

5. 如申請專利範圍第 1 項之方法，其中生長第二介電層之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

步驟包括曝露基板在大於大約 800℃ 溫度下之氧氣周圍環境中。

6. 如申請專利範圍第 1 項之方法，其中摻雜劑包括鹵素、氧、矽和惰性氣體之一。
7. 如申請專利範圍第 1 項之方法，其中第二介電層之第一厚度和第二厚度大體上相等。
8. 如申請專利範圍第 1 項之方法，其中另外包含防止摻雜劑滲透通過第一介電層之第一厚度的步驟。

9. 一種用以在基板上生長氧化物之方法，包括下列步驟：
提供具有經蝕刻在其中之溝渠的矽基板，該溝渠具有包括至少兩個結晶平面的側壁，該兩個結晶之平面歷經不同之介電層生長；

熱生長一個犧牲性氧化物層在至少兩個結晶之平面上，以致使該犧牲性氧化物層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中第一厚度較第二厚度較厚；

植入摻雜劑通過該犧牲性氧化物層以致使將較大數目的摻雜劑植入基板中通過犧牲性氧化物層的第二厚度較通過第一厚度較多；

移除該犧牲性氧化物層；及

熱生長一個氧化物介電層在所移除之第一介電層的位置上，以致使該氧化物介電層在第二結晶之平面上較在第一結晶之平面上生長較快，以致使氧化物介電層的第一厚度和第二厚度其厚度較接近於犧牲性氧化物層的第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一厚度和第二厚度。

10. 如申請專利範圍第 9 項之方法，其中植入的步驟包括經由採用有角度之離子植入法來植入摻雜劑在基板之頂表面下面而植入摻雜劑的步驟。
11. 如申請專利範圍第 10 項之方法，其中有角度之離子植入法包括以 10° 至 75° 間之一個角度相對於基板頂表面的表面法線而導引摻雜劑。
12. 如申請專利範圍第 10 項之方法，其中植入之步驟包括旋轉基板而植入摻雜劑在溝渠的所有側壁上之步驟。
13. 如申請專利範圍第 9 項之方法，其中植入之步驟包括經由採用電漿離子植入法來植入摻雜劑在基板中而植入摻雜劑之步驟。
14. 如申請專利範圍第 9 項之方法，其中生長犧牲性氧化物層之步驟包括曝露基板至大於大約 700°C 溫度下之氧氣周圍環境中。
15. 如申請專利範圍第 9 項之方法，其中生長氧化物介電層之步驟包括曝露基板至大於大約 800°C 溫度下之氧氣周圍環境中。
16. 如申請專利範圍第 9 項之方法，其中摻雜劑包括鹵素、氧、矽和惰性氣體之一。
17. 如申請專利範圍第 9 項之方法，其中氧化物介電層的第一厚度和第二厚度大體上相等。
18. 如申請專利範圍第 9 項之方法，其中另外包括防止摻雜劑滲透通過犧牲性氧化物層之第一厚度的步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

19. 如申請專利範圍第 9 項之方法，其中氧化物介電層包括經採用於深溝渠電容器中之溝渠環管。

20. 如申請專利範圍第 9 項之方法，其中氧化物介電層包括垂直電晶體之閘極氧化物。

21. 一種用以在基板上生長氧化物層以防止結晶之取向依賴性厚度之方法，包括下列步驟：

形成一個硬遮罩在矽基板的頂表面上；

將該硬遮罩形成圖型並蝕刻一溝渠在基板中，該溝渠具有側壁包括至少兩個結晶之平面，可經歷不同之介電層生長；

熱生長一個犧牲性氧化物層在至少兩個結晶之平面上以致使犧牲性氧化物層具有第一厚度在第一結晶之平面上及第二厚度在第二結晶之平面上，其中第一厚度較第二厚度較厚；

植入鹵素摻雜劑通過該犧牲性氧化物層以致使將較大數目的摻雜劑植入基板中通過犧牲性氧化物層之第二厚度較通過第一厚度較多，鹵素摻雜劑係用以促進氧化物生長；

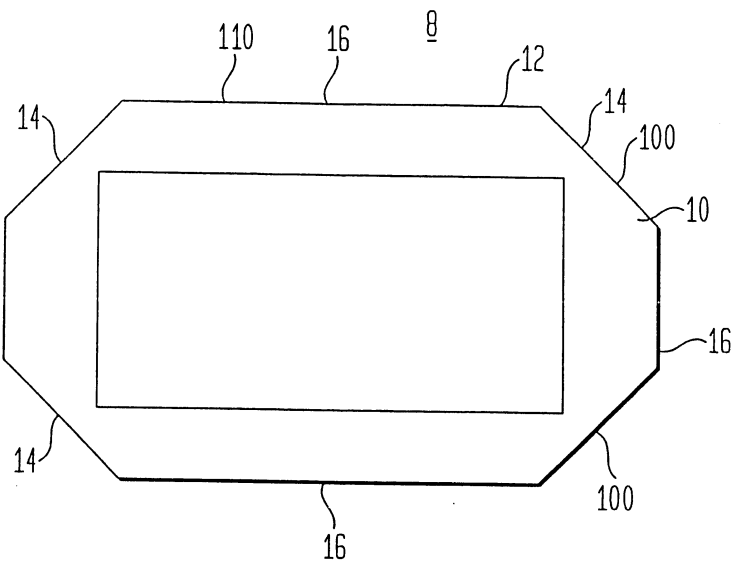
移除犧牲性氧化物層；及

熱生長一個氧化物介電層在所移除之第一介電層的位置上以致使該氧化物介電層在第二結晶之平面上較在第一結晶之平面上生長較快，以致使氧化物介電層之第一厚度和第二厚度其厚度較接近於犧牲性氧化物層的第一厚度和第二厚度。

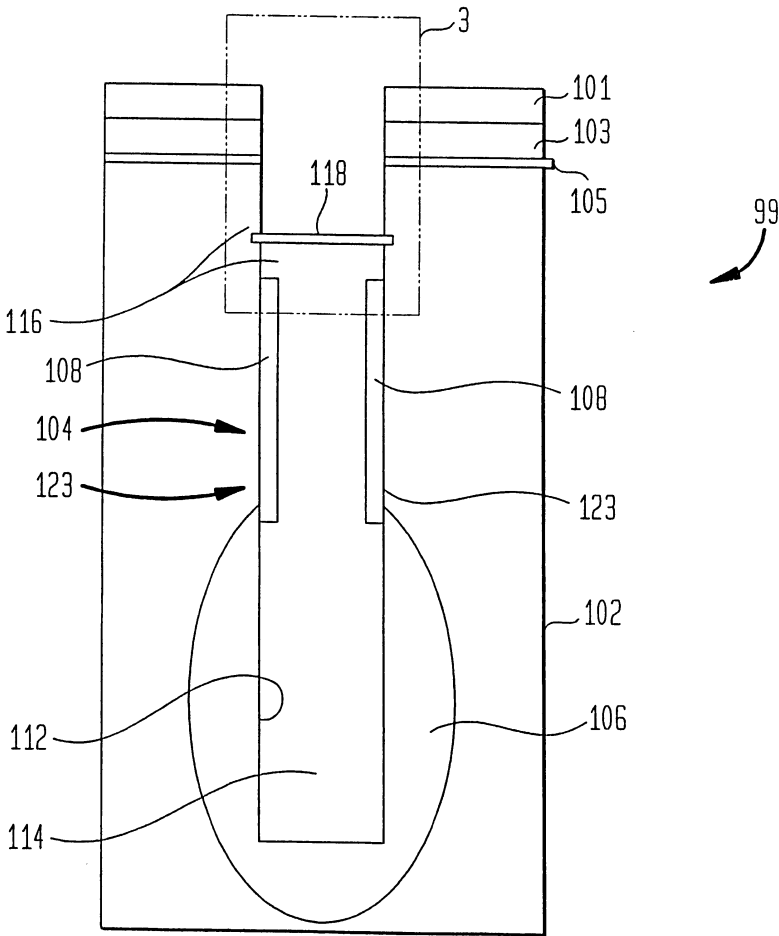
六、申請專利範圍

22. 如申請專利範圍第 21 項之方法，其中植入之步驟包括經由採用有角度之離子植入法來植入摻雜劑在基板之頂表面下面而植入摻雜劑的步驟。
23. 如申請專利範圍第 22 項之方法，其中有角度之離子植入法包括以 10° 至 75° 間之一角度相對於基板頂表面的表面法線而導引摻雜劑。
24. 如申請專利範圍第 22 項之方法，其中植入之步驟包括旋轉基板而植入摻雜劑在溝渠的所有側壁上之步驟。
25. 如申請專利範圍第 21 項之方法，其中植入之步驟包括經由採用電漿離子植入鹵素、氧、矽和惰性氣體等摻雜劑之一的步驟。
26. 如申請專利範圍第 21 項之方法，其中生長犧牲性氧化物層之步驟包括曝露基板至大於大約 700°C 溫度下之氧氣周圍環境中。
27. 如申請專利範圍第 21 項之方法，其中生長氧化物介電層之步驟包括曝露基板至大於大約 800°C 溫度下之氧氣周圍環境中。
28. 如申請專利範圍第 21 項之方法，其中氧化物介電層之第一厚度和第二厚度大體上相等。
29. 如申請專利範圍第 21 項之方法，其中另外包括防止摻雜劑滲透通過犧牲性氧化物層之第一厚度的步驟。
30. 如申請專利範圍第 21 項之方法，其中氧化物介電層包括經採用於深溝渠電容器中之溝渠環管。
31. 如申請專利範圍第 21 項之方法，其中氧化物介電層包括垂直電晶體之閘極氧化物。

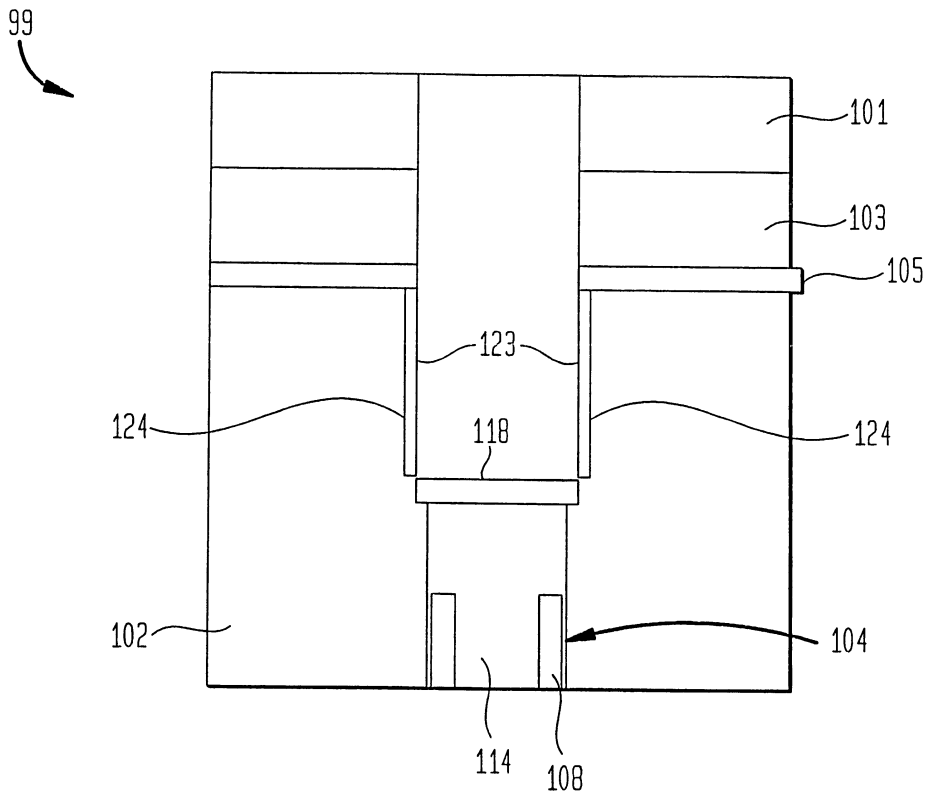
第 1 圖



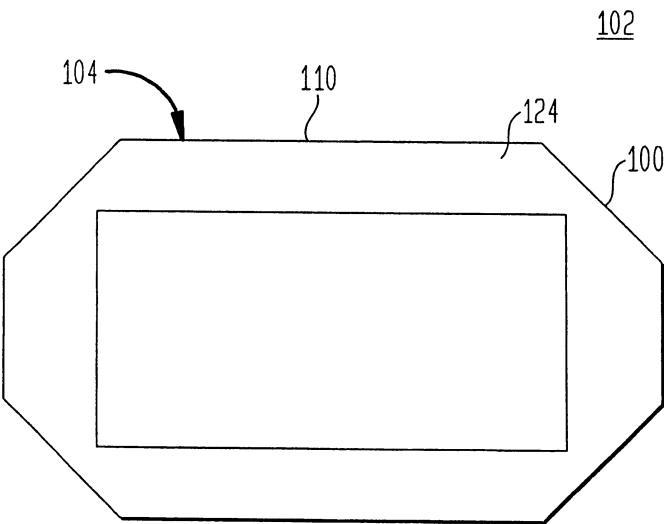
第 2 圖



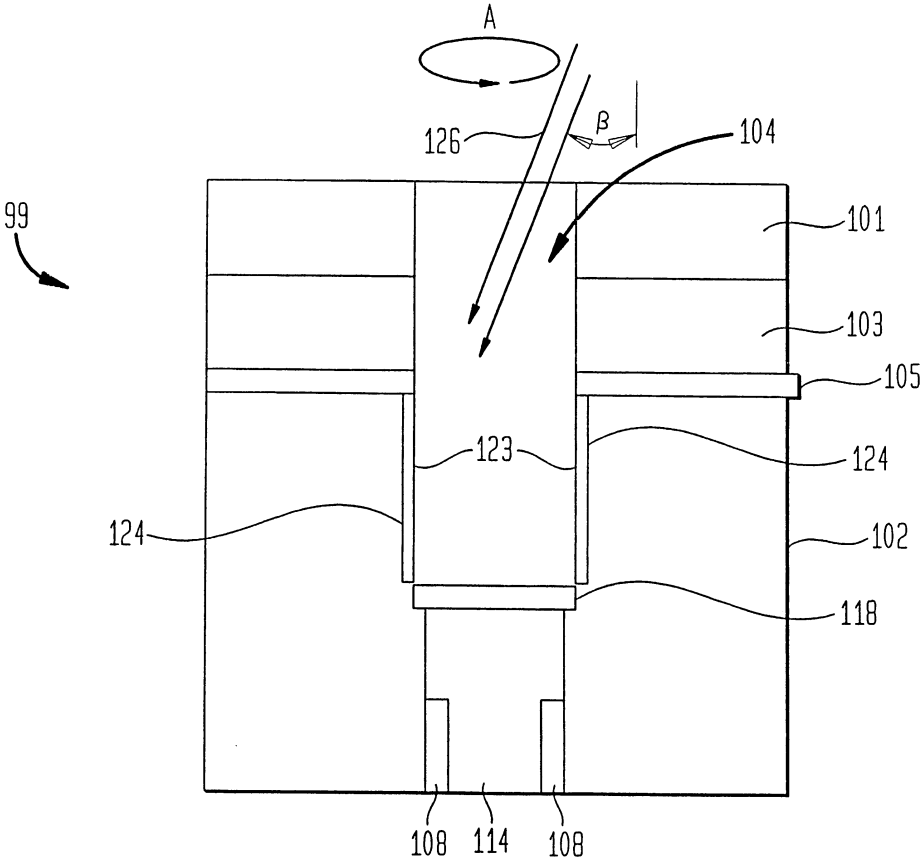
第 3 圖



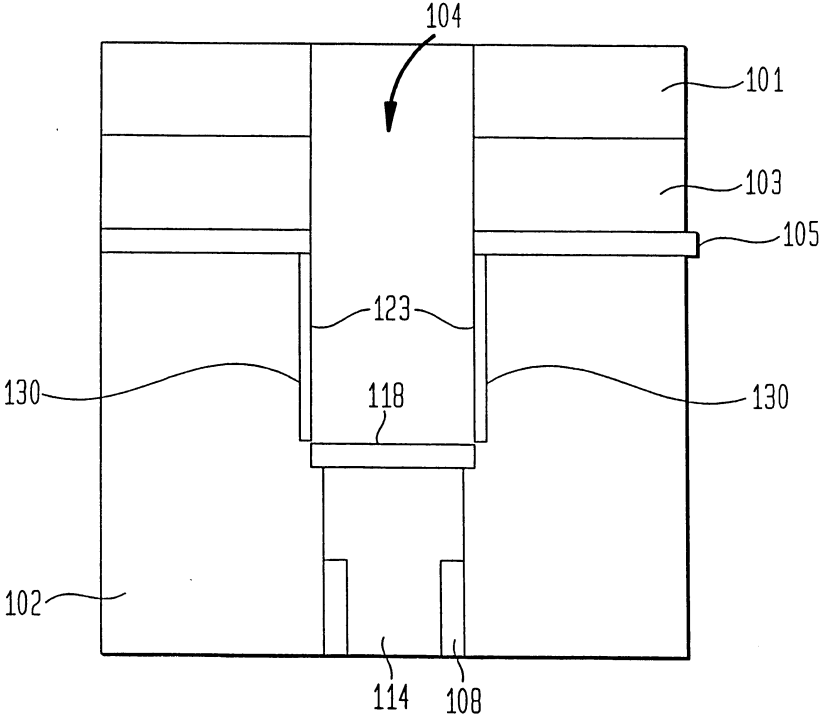
第 4 圖



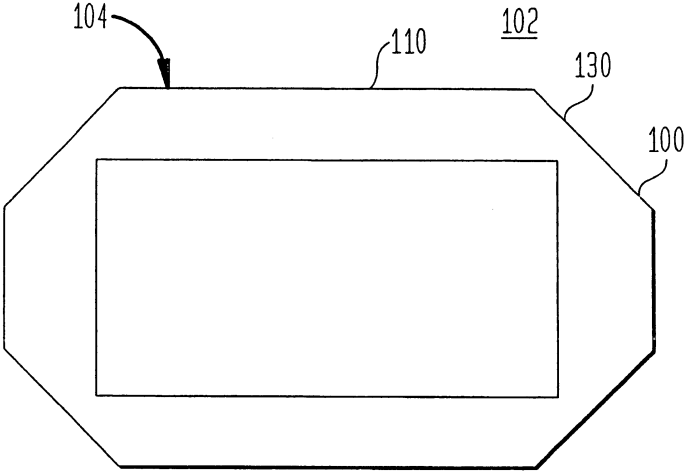
3/7
第5圖



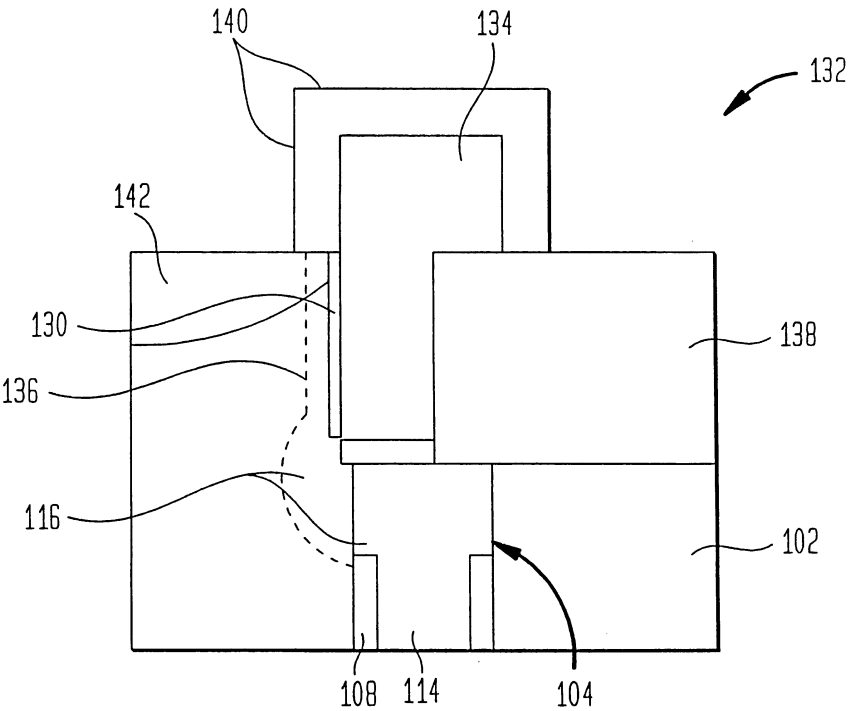
第6圖



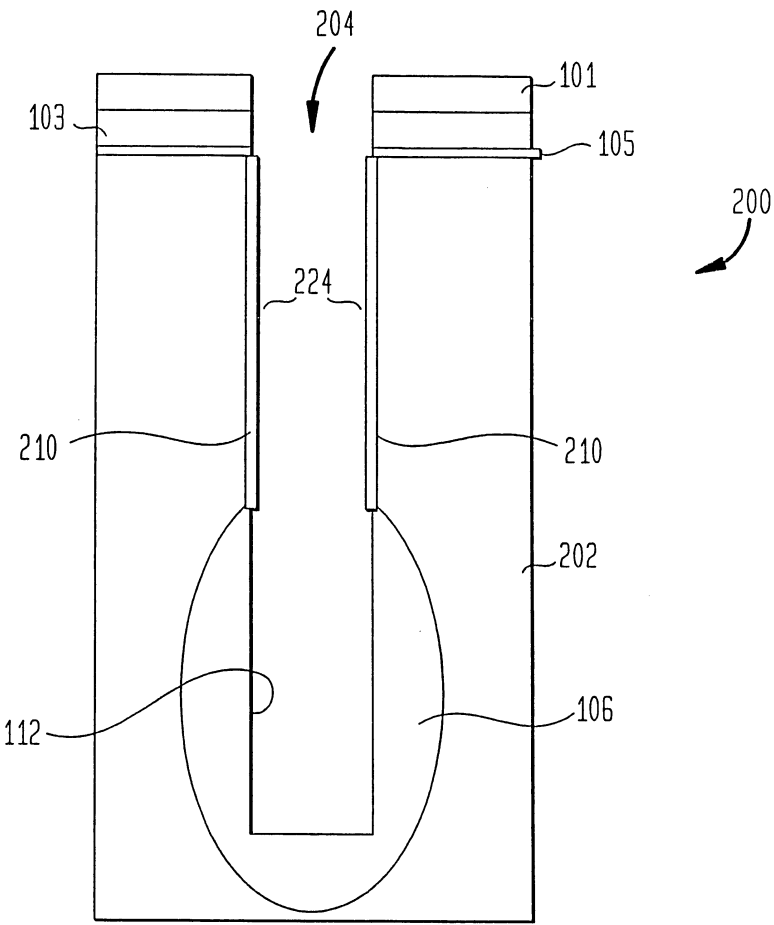
第 7 圖



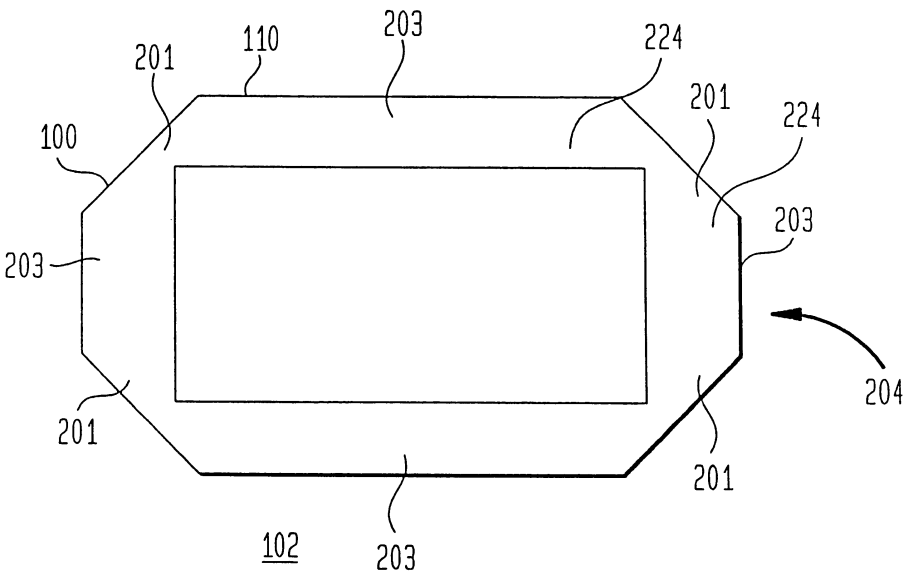
第 8 圖



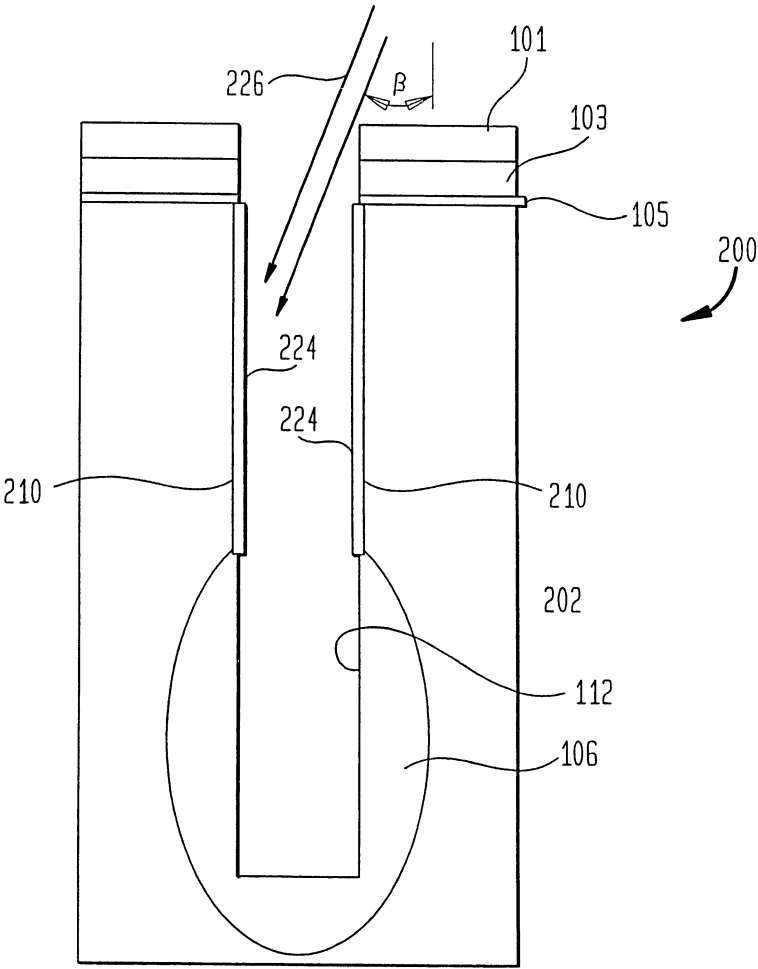
5/7
第 9 圖



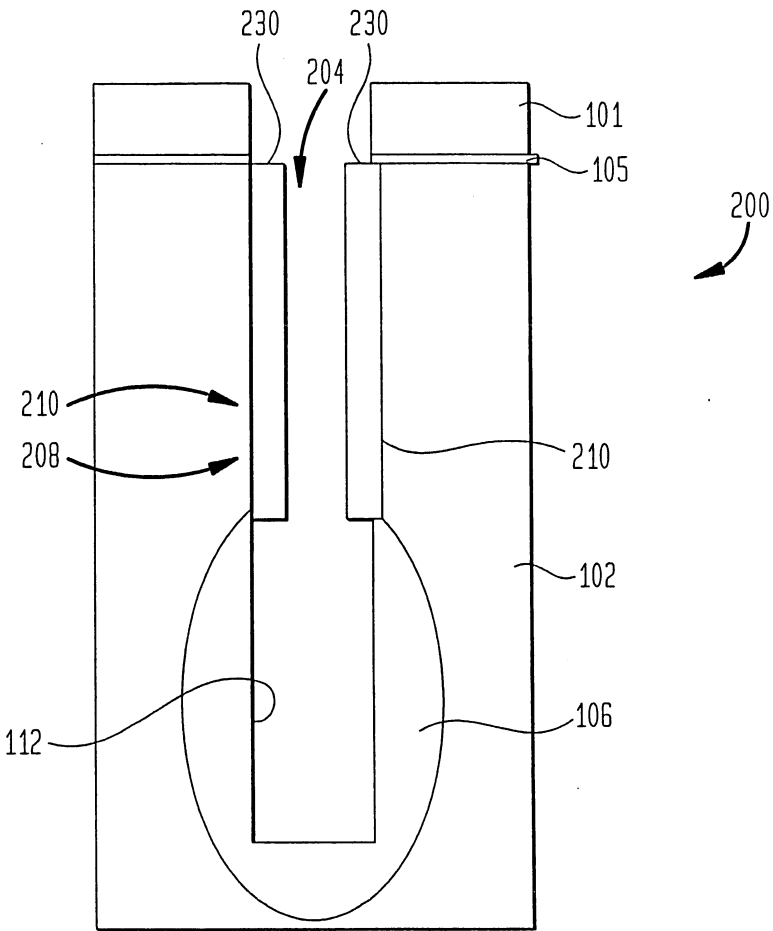
第 10 圖



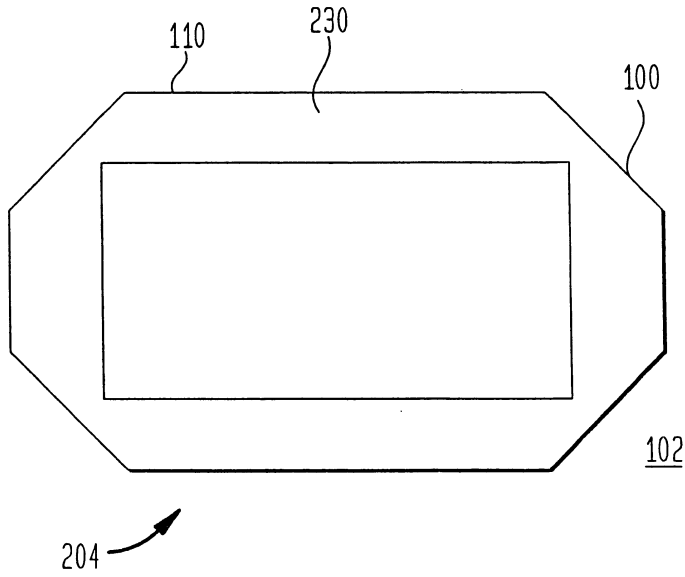
第 11 圖



第 12 圖



第 13 圖



公告本

申請日期	90.3.20.
案 號	90102884
類 別	H01L 21/8242

A4
C4

531848

(以上各欄由本局填註)

發 明 專 利 說 明 書 ^{91.12.30} (91年12月修正)		
一、發明 名稱	中 文	用於半導體基板垂直側壁之方向依賴性氧化的減少
	英 文	Reduction of orientation dependent oxidation for vertical sidewalls of semiconductor substrates
二、發明 創作人	姓 名	1.海慕特荷斯特堤斯(TEWS, Helmut Horst) 2.布萊恩 S.李(LEE, Brian S.) 3.烏里克葛林(GRUENING, Ulrike) 4.雷傑米(JAMMY, Raj) 5.約翰費托米爾(FALTERMEIER, John)
	國 籍	1 德國 2.韓國 3.德國 4.印度 5.美國
	住、居所	1.美國紐約州 12603 泡奇普西米銀行路 26 號 2.美國紐約州 12533 紐約第 76 號東街 425 號#10D 3.德國慕尼黑 81539 雷塔街 36 號 4 美國紐約州 12590 威賓瀑布潘柏克圓環 5C 號 5.美國紐約州 12540 拉葛倫史塔特伏特路 7 號
三、申請人	姓 名 (名稱)	1.印芬龍科技北美股份有限公司 Infineon Technologies North America Corporation 2.國際商業機器股份有限公司 International Business Machines Corporation
	國 籍	1.美國 2.美國
	住、居所 (事務所)	1.美國加州 95112-6000 聖荷西北一街 1730 號 2.美國紐約州 10504 艾蒙克新橡樹路
	代 表 人 姓 名	1.馬利 C.加芬(Mary C. Garfein) 2.傑佛瑞 L.霍曼(Jeffrey L. Forman)

五、發明說明 (1)

背景

1. 技術範圍

本發明內容係關於半導體製造，更特別者係關於用以氧化溝渠側壁之方法，其可減少結晶之取向依賴性。

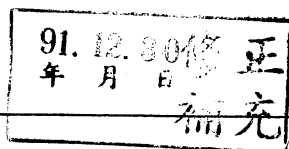
2. 相關技藝之敘述

半導體裝置採用基板，在其上製造電子裝置。製造在基板上之結構可包括用以隔離各區域之溝渠、用以形成電容器電極之深溝渠或基板的其他經曝露之垂直側壁。

可將基板的側壁氧化而產生絕緣層。關於矽基板，可採用熱氧化而提供此絕緣。溝渠的垂直側壁上之熱氧化速率基於溝渠側壁的矽之晶體定向。因此，矽之局部氧化 (LOCOS 氧化) 和垂直電晶體之閘氧化過程蒙受氧化物厚度變更。

參考第 1 圖，顯示基板 8 之頂視圖，具有溝渠 12 形成在其中其具有熱生長之氧化物層 10 形成在其中。由於氧化的晶體平面定向依賴性，溝渠 12 中之熱氧化 10 導致強烈的厚度變更。就 (100) 晶體平面 14 與 (110) 晶體平面 16 間之 900°C 乾氧化過程而言，薄氧化物之典型厚度變更是大概 40%。關於厚熱氧化，像 LOCOS 氧化，由於應力效應，厚度差甚至更大。如果必須將電晶體建造在溝渠側壁上，則氧化物厚度變更導致局部變更之電晶體性質及在可靠性加壓力期間導致氧化物中之弱點。

因此，需要一種方法來減少關於適合半導體裝置所形成之熱氧化物，由於取向依賴性效應之氧化變更。



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(⁸)

123。硬遮罩層 101 其可包括一種氧化物在呈現在基板 102 之頂水平表面上之焊接區氮化物層 103 和焊接區氧化物層 105 的頂上。溝渠 104 之上部部份可包括垂直電晶體之閘電極作為其側壁；因此，必須將閘介電層(宜係氧化物)形成在側壁 123 上。將犧牲性層 124(宜係一種熱氧化物)經由曝露側壁 123 至昇高溫度下之氧氣周圍環境中而形成在側壁 123 上。在一個具體實施例中，維持溫度在大約 700°C 至大約 900°C 間而生長具有大約 30 Å 至大約 50 Å 的厚度之氧化物在層 124 之薄區域中及具有大約 60 Å 至大約 100 Å 厚度者在層 124 之厚區域中。層 124 係依賴於基板 102 之晶體定向。如果基板 102 包括矽而層 124 是一種氧化物，則晶體平面(110)和(100)形成不同厚度的氧化物在基板 102 之垂直側壁上。以此種方式，獲得氧化物層 124 其具有依照晶體平面(氧化物被形成在其中)之不同厚度，如第 4 圖中所示。犧牲性熱氧化物 124 提供充分之厚度，經由採用電漿植入或低能量成角度之植入摻雜劑而接受摻雜劑入側壁 123 中(第 3 圖)在所選擇之位置上，如下文中將予以解釋。

參照第 5 圖，依照本發明，摻雜劑係通過犧牲性熱氧化物 124 而植入側壁 123 中。可採用低能量成角度之離子植入或電漿離子植入而導引摻雜劑(離子)126 來破壞側壁 123 的表面。摻雜劑 126 宜包括鹵素、例如 F 或 Br、氧及 / 或矽。摻雜劑亦可包括惰性氣體例如 He 或 Ar。摻雜劑 126 的離子物種在隨後之氧化步驟中增加氧化速率，下文

五、發明說明 (¹²)

植入或成角度之離子植入(其能增加氧化速率)係以如上所述之相似方式予以實施。因為環管成形較深入溝渠 204 中，所以如果採用成角度之離子植入法，宜將 β 角維持在較大之數值以便到達溝渠 204 中較深之位置。

在植入後，將犧牲性層 224 經由溼蝕刻過程例如 HF 蝕刻或乾蝕刻過程例如化學乾蝕刻(CDE)而移除。留在側壁 210 中之所選擇位置上者(例如矽中之(110)平面)是摻雜劑 226，現在可採用它來調整氧化物生長速率。

現在參照第 12 圖，將介電層 230，宜是熱氧化物經由曝露側壁 210 至昇高溫度下之氧氣周圍環境中而生長在側壁 210 上。在一個具體實施例中，維持溫度在大約 800°C 至大約 1100°C 間而生長具有大約 100 Å 至大約 500 Å 厚度的氧化物。此氧化物 230 係依賴於基板 102 之晶體定向；然而，因為側壁 210 之所選擇之區域已使用摻雜劑 226 予以摻雜，所以熱氧化以較快之生長速率發生在具有經植入其中之較高濃度的摻雜劑之位置上。由於結晶之依賴性，植入的效應是增加可能較薄之區域之生長速率。舉例而言，具有最小生長速率之(100)平面具有最高之所植入劑量而因此，(具有)氧化速率之最大增加。氧化物層 230 可經由採用矽的局部氧化(LOCOS)過程予以形成。可將氧化物層 230 凹陷而形成深溝渠電容器之環管 208。

參照第 13 圖，依照本發明，顯示經形成在矽基板 202 中之溝渠 204 的頂視圖。將氧化物層 230 的厚度變更顯著減少可提供大體上均勻厚度之內部溝渠 204。氧化物層