

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4859638号
(P4859638)

(45) 発行日 平成24年1月25日 (2012. 1. 25)

(24) 登録日 平成23年11月11日 (2011. 11. 11)

(51) Int. Cl. F I

G O 9 G 3/36 (2006. 01)

G O 9 G 3/20 (2006. 01)

G O 9 G 3/34 (2006. 01)

G O 2 F 1/1345 (2006. 01)

G O 2 F 1/1368 (2006. 01)

G O 9 G 3/36

G O 9 G 3/20 6 4 1 A

G O 9 G 3/20 6 4 2 F

G O 9 G 3/34

G O 2 F 1/1345

請求項の数 16 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2006-315717 (P2006-315717)	(73) 特許権者	502356528
(22) 出願日	平成18年11月22日 (2006. 11. 22)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2008-129419 (P2008-129419A)		千葉県茂原市早野 3 3 0 0 番地
(43) 公開日	平成20年6月5日 (2008. 6. 5)	(74) 代理人	100083552
審査請求日	平成20年11月26日 (2008. 11. 26)		弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(73) 特許権者	506087819
			パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町 1 - 6
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

照度検出回路を有する表示装置であって、
前記照度検出回路は、外光照度に応じて光電流が変化するホトセンサと、
前記ホトセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、
前記コンデンサの一端に接続され、オンのときに前記コンデンサを充電するスイッチ回
路と、

前記コンデンサの前記一端の電圧と比較基準電圧とを比較し、前記コンデンサの一端の
電圧が、前記比較基準電圧よりも高い場合に、前記スイッチ回路をオフとし、前記コンデ
ンサの一端の電圧が、前記比較基準電圧よりも低い場合に、前記スイッチ回路をオンとす
る手段と

前記コンデンサの一端の電圧が前記比較基準電圧よりも高い場合に、前記コンデンサの
他端に第 1 の電圧を印加し、前記コンデンサの一端の電圧が前記比較基準電圧よりも低い
場合に、前記コンデンサの他端に前記第 1 の電圧よりも低電位の第 2 の電圧を印加する選
択回路とを有することを特徴とする表示装置。

【請求項 2】

照度検出回路を有する表示装置であって、
前記照度検出回路は、外光照度に応じて光電流が変化するホトセンサと、
前記ホトセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、
前記コンデンサの一端に接続され、オンのときに前記コンデンサを充電するスイッチ回

路と、

前記コンデンサの前記一端の電圧を積分する積分回路と、

前記積分回路の出力電圧と比較基準電圧とを比較し、前記積分回路の出力電圧が、前記比較基準電圧よりも低い場合に、前記スイッチ回路をオフとし、前記積分回路の出力電圧が、前記比較基準電圧よりも高い場合に、前記スイッチ回路をオンとする手段と

前記積分回路の出力電圧が前記比較基準電圧よりも低い場合に、前記コンデンサの他端に第1の電圧を印加し、前記積分回路の出力電圧が前記比較基準電圧よりも高い場合に、前記コンデンサの他端に前記第1の電圧よりも低電位の第2の電圧を印加する選択回路とを有することを特徴とする表示装置。

【請求項3】

照度検出回路を有する表示装置であって、

前記照度検出回路は、外光照度に応じて光電流が変化するホトセンサと、

前記ホトセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、

前記コンデンサの一端の電圧と比較基準電圧とを比較する比較回路と、

前記コンデンサの前記一端に接続されるスイッチ回路と、

前記コンデンサの他端に第1の電圧、あるいは、前記第1の電圧よりも低電位の第2の電圧を印加する選択回路とを有し、

前記スイッチ回路は、前記比較回路の出力が第3の電圧の場合にオフ、前記比較回路の出力が前記第3の電圧よりも低電位の第4の電圧の場合にオンなり、前記コンデンサを充電し、

前記選択回路は、前記比較回路の出力が前記第3の電圧の場合に、前記コンデンサの他端に第1の電圧を印加し、前記比較回路の出力が前記第4の電圧の場合に、前記コンデンサの他端に前記第2の電圧を印加することを特徴とする表示装置。

【請求項4】

前記コンデンサの前記一端に接続される第2のコンデンサを有し、

前記選択回路は、前記第2のコンデンサを介して、前記コンデンサの他端に前記第1の電圧、あるいは、前記第2の電圧を印加することを特徴とする請求項3に記載の表示装置。

【請求項5】

前記コンデンサの前記一端と前記ホトセンサとの間に接続されるトランジスタを有し、

前記コンデンサの電荷は、前記トランジスタを経由して、前記ホトセンサにより放電されることを特徴とする請求項3または請求項4に記載の表示装置。

【請求項6】

前記コンデンサの前記一端と、前記比較回路との間に接続されるソースフォロア回路を有することを特徴とする請求項3または請求項4に記載の表示装置。

【請求項7】

照度検出回路を有する表示装置であって、

前記照度検出回路は、外光照度に応じて光電流が変化するホトセンサと、

前記ホトセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、

前記コンデンサの一端の電圧を積分する積分回路と、

前記積分回路の出力と比較基準電圧とを比較する比較回路と、

前記コンデンサの前記一端に接続されるスイッチ回路と、

前記コンデンサの他端に第1の電圧、あるいは、前記第1の電圧よりも低電位の第2の電圧を印加する選択回路とを有し、

前記スイッチ回路は、前記比較回路の出力が第3の電圧の場合にオフ、前記比較回路の出力が前記第3の電圧よりも低電位の第4の電圧の場合にオンなり、前記コンデンサを充電し、

前記選択回路は、前記比較回路の出力が前記第3の電圧の場合に、前記コンデンサの他端に第1の電圧を印加し、前記比較回路の出力が前記第4の電圧の場合に、前記コンデンサの他端に前記第2の電圧を印加することを特徴とする表示装置。

【請求項 8】

前記積分回路は、演算増幅器と、

前記演算増幅器の反転入力端子と出力端子との間に接続される第 2 のコンデンサとを有することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

それぞれ薄膜トランジスタを有する複数の画素を備え、

前記ホトセンサは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、

その他の回路は、半導体チップ内に形成された回路であることを特徴とする請求項 3 ないし請求項 8 のいずれか 1 項に記載の表示装置。

10

【請求項 10】

それぞれ薄膜トランジスタを有する複数の画素を備え、

前記ホトセンサと、前記コンデンサとは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、

その他の回路は、半導体チップ内に形成された回路であることを特徴とする請求項 3 ないし請求項 6 のいずれか 1 項に記載の表示装置。

【請求項 11】

それぞれ薄膜トランジスタを有する複数の画素を備え、

前記ホトセンサと、前記コンデンサと、前記スイッチ回路とは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、

その他の回路は、半導体チップ内に形成された回路であることを特徴とする請求項 3 ないし請求項 6 のいずれか 1 項に記載の表示装置。

20

【請求項 12】

前記ホトセンサは、n チャンネルの薄膜トランジスタで構成され、

前記スイッチ回路は、p チャンネルの薄膜トランジスタで構成されることを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記ホトセンサは、表示部の周辺のダミー画素部に配置されることを特徴とする請求項 9 ないし請求項 12 のいずれか 1 項に記載の表示装置。

【請求項 14】

前記第 1 の電圧は、基準電圧であることを特徴とする請求項 1 ないし請求項 13 のいずれか 1 項に記載の表示装置。

30

【請求項 15】

前記ホトセンサの暗電流を補正する暗電流補正用トランジスタを有することを特徴とする請求項 1 ないし請求項 14 のいずれか 1 項に記載の表示装置。

【請求項 16】

前記ホトセンサと、前記暗電流補正用トランジスタとは、専用の電源電圧により駆動されることを特徴とする請求項 15 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、液晶表示装置などの表示装置に係り、特に、照度検出回路を有する表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、外光がない暗黒の状態で使用されることは希であり、液晶表示パネルに何らかの外光、例えば、自然光や室内照明灯の光が照射された状態で使用される。そこで、液晶表示パネルの周囲の明るさ（即ち、外光照度）を測定して、バックライトの輝度を制御することが、下記特許文献 1、2 に記載されている。

下記特許文献 1 では、周囲が明るい場合には、見やすくするために、バックライトの輝

50

度を上げ、逆に、周囲が暗い場合には、液晶表示パネルは暗くても充分見えるので、消費電力を抑えるために、バックライトの輝度を低くすることが記載されている。

また、下記特許文献3では、ホットセンサで測定した照度を周波数に変換する照度一周波数変換回路として、シュミットインバータを使用するものが記載されている。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開2003-21821号公報

【特許文献2】特開2002-72992号公報

【特許文献3】特開平5-164609号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

前述の特許文献3に記載の照度一周波数変換回路において、出力周波数はヒステリシス特性の電圧と積分容量(C)に反比例する。このためヒステリシス特性は安定であることが要求される。しかし、シュミットインバータによるヒステリシス特性では十分な精度を得ることが困難であった。

さらに、ホットセンサを、半導体層として低温ポリシリコンから成る薄膜トランジスタ(TFT)で実現した場合、ホットセンサは大きなサイズとなるので、寄生容量も大きくなる。この寄生容量は等価的に積分容量(C)と並列に接続される。このため、出力周波数は寄生容量に依存し、この点でも十分な精度を得ることができない。

20

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、照度検出回路を有する表示装置において、照度検出回路の出力周波数が寄生容量に依存することなく、しかも、外光照度が低い時でも検出精度を向上させることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

30

(1) 照度検出回路を有する表示装置であって、前記照度検出回路は、外光照度に応じて光電流が変化するホットセンサと、前記ホットセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、前記コンデンサの一端の電圧と比較基準電圧とを比較する比較回路と、前記コンデンサの前記一端に接続され、前記比較回路の出力信号レベルに応じて前記コンデンサを充電するスイッチ回路と、前記比較回路の前記出力信号レベルに応じて前記コンデンサの他端に第1の電圧、あるいは、第2の電圧を印加する選択回路とを有する。

(2) (1)において、前記コンデンサの前記一端に第2のコンデンサを接続する。

(3) (1)または(2)において、前記コンデンサの前記一端と前記ホットセンサとの間に接続されるトランジスタを有し、前記コンデンサの電荷は、前記トランジスタを經由して、前記ホットセンサにより放電される。

40

(4) (1)または(2)において、前記コンデンサの前記一端と、前記比較回路との間に接続されるソースフォロア回路を有する。

【0006】

(5) 照度検出回路を有する表示装置であって、前記照度検出回路は、外光照度に応じて光電流が変化するホットセンサと、前記ホットセンサに前記光電流が流れることにより電荷が放電されるコンデンサと、前記コンデンサの一端の電圧を積分する積分回路と、前記積分回路の出力と比較基準電圧とを比較する比較回路と、前記コンデンサの前記一端に接続され、前記比較回路の出力信号レベルに応じて前記コンデンサを充電するスイッチ回路と、前記比較回路の前記出力信号レベルに応じて前記コンデンサの他端に、第1の電圧、ある

50

いは、第２の電圧を印加する選択回路とを有する。

(６) (５)において、前記積分回路は、演算増幅器と、前記演算増幅器の反転入力端子と出力端子との間に接続される第２のコンデンサとを有する。

【０００７】

(７) (１) ないし (６) の何れかにおいて、それぞれ薄膜トランジスタを有する複数の画素を備え、前記ホトセンサは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、その他の回路は、半導体チップ内に形成された回路である。

(８) (１) ないし (４) の何れかにおいて、それぞれ薄膜トランジスタを有する複数の画素を備え、前記ホトセンサと、前記コンデンサとは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、その他の回路は、半導体チップ内に形成された回路である。

10

(９) (１) ないし (４) の何れかにおいて、それぞれ薄膜トランジスタを有する複数の画素を備え、前記ホトセンサと、前記コンデンサと、前記スイッチ回路とは、前記各画素の薄膜トランジスタが形成される基板と同一の基板上に形成され、その他の回路は、半導体チップ内に形成された回路である。

(１０) (９) において、前記ホトセンサと、前記スイッチ回路は、単チャネルの薄膜トランジスタで構成される。

(１１) (１) ないし (１０) の何れかにおいて、前記ホトセンサは、表示部の周辺のダミー画素部に配置される。

【０００８】

20

(１２) (１) ないし (１１) の何れかにおいて、前記比較回路の前記出力信号レベルが高いときに、前記スイッチ回路はオフとなるとともに、前記選択回路は前記コンデンサの前記他端に第１の電圧を印加し、前記比較回路の前記出力信号レベルが低いときに、前記スイッチ回路はオンになるとともに、前記選択回路は前記コンデンサの前記他端に第２の電圧を印加する。

(１３) (１２) において、前記第１の電圧は、基準電圧であり、前記第１の電圧は、前記第２の電圧よりも高い。

(１４) (１) ないし (１３) の何れかにおいて、前記ホトセンサの暗電流を補正する暗電流補正用トランジスタを有する。

(１５) (１４) において、前記ホトセンサと、前記暗電流補正用トランジスタとは、専用の電源電圧により駆動される。

30

【発明の効果】

【０００９】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の照度検出回路を有する表示装置によれば、照度検出回路の出力周波数が寄生容量に依存することなく、しかも、外光照度が低い時でも検出精度を向上させることが可能となる。

【発明を実施するための最良の形態】

【００１０】

40

以下、本発明を液晶表示装置に適用した実施例を図面を参照して詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図１は、本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

本実施例の液晶表示装置は、液晶表示パネル１０と、制御回路２０と、バックライト３０とで構成される。

液晶表示パネル１０は、表示部１００と、ゲート回路２００と、ドレイン回路３００と、ホトセンサ部４００と、ホトセンサ回路５００とを有する。

ここで、表示部１００、ゲート回路２００、ホトセンサ部４００は、液晶表示パネル１０の一方の基板（例えば、ガラス基板）上に形成された素子で構成し、ドレイン回路３０

50

0とホットセンサ回路500は、半導体チップ上の素子で構成する。また、ドレイン回路300とホットセンサ回路500を形成した半導体チップは、例えば、液晶表示パネル10の一方の基板上にCOG方式で実装される。

制御回路20は、ゲート回路200に制御信号201を、ドレイン回路300に制御信号301を、バックライト30に制御信号31を出力する。ホットセンサ回路500はホットセンサ部400と入出力信号502で接続されるととともに、ホットセンサ信号504を制御回路20に出力する。

【0011】

本実施例の液晶表示装置は、ホットセンサ部400と、ホットセンサ回路500とから成る照度検出回路を有する。ホットセンサ部400は、少なくとも1個のホットセンサを有する。

10

表示部100は、それぞれ薄膜トランジスタを有する複数の画素を備え、ホットセンサ部400のホットセンサは、表示部100の周辺のダミー画素部に配置される。

図2は、図1に示すホットセンサ部400の一例の断面構造を示す図である。

液晶表示パネルは、薄膜トランジスタ(TFT)、画素電極等が形成されるTFT基板710と、カラーフィルタ等が形成されるCF基板(対向基板)730と、TFT基板710とCF基板730との間に挟持される液晶720を有する。

ホットセンサ714は、TFT基板710上に配置される。また、バックライト30は、TFT基板710の下側に配置される。

外光810は、CF基板730の方向から入射し、バックライト光820は、TFT基板710の方向から入射する。

20

ホットセンサ714は、薄膜トランジスタのダイオード接続構造、所謂、寄生ホットダイオードまたはPIN構造のホットダイオードである。

【0012】

図3(a)は、図1に示すホットセンサ部400と、ホットセンサ回路500の回路構成の一例を示す回路図である。

ホットセンサ部400は、ホットセンサ411と、コンデンサ(C1, C2)と、暗電流補正用トランジスタ421とで構成される。

ホットセンサ回路500は、PMOSTランジスタ(522, 543)と、NMOSTランジスタ(541, 542)と、比較回路(コンパレータ)512、インバータ(531, 532)とで構成される。

30

図3(a)に示す回路では、負帰還ループと正帰還ループがあり、比較回路512と、PMOSTランジスタ522とが負帰還ループを構成し、また、比較回路512と、インバータ(531, 532)と、NMOSTランジスタ(541, 542)と、コンデンサC1とが正帰還ループを構成する。

図3(b)は、図3(a)に示す回路を上位概念化した回路図である。図3(a)のインバータ(531, 532)と、PMOSTランジスタ543と、NMOSTランジスタ(541, 542)とが、図3(b)の選択回路S1に対応し、図3(a)のPMOSTランジスタ522が、図3(b)のスイッチ回路S2に対応する。

【0013】

ホットセンサ411は、第1の基板上に形成された低温ポリシリコンを半導体層とするN型の薄膜トランジスタをダイオード接続したものである。

40

ホットセンサ411を構成する薄膜トランジスタのドレイン・ソース間には、外光照度に応じた光電流 i_p と、外光照度によらない暗電流 i_d とが流れる。

暗電流補正用トランジスタ421は、第1の基板上に形成された低温ポリシリコンを半導体層とするN型の薄膜トランジスタであり、ホットセンサ411と同一のゲート長とゲート幅を有する。

また、暗電流補正用トランジスタ421も、ダイオード接続されており、暗電流補正用トランジスタ421は、外光が遮光される位置に配置される点がホットセンサ411と異なる。この遮光は、例えば、CF基板730に形成されるブラックマスクで行う。

したがって、暗電流補正用トランジスタ421のドレイン・ソース間には外光照度によ

50

らない暗電流 i_d だけが流れるので、暗電流補正用トランジスタ 421 とホットセンサ 411 を直列に接続することで、ホットセンサ 411 に流れる暗電流分をキャンセルすることができる。

【0014】

図4に、図3に示す回路のタイミング図を示す。

図4の $V(\#1)$ 、 $V(\#2)$ 、 $V(\#3)$ は、それぞれ図3の内部ノード ($\#1$)、内部ノード ($\#2$)、内部ノード ($\#3$) の電圧を示し、 VDD は電源端子に入力される電源電圧、 $VREF$ は基準電圧端子に入力される基準電圧、 VT は比較基準電圧端子に入力される比較基準電圧を示す。

時刻 t_0 から時刻 t_1 の期間では、ノード ($\#3$) の電圧 $V(\#3)$ は、比較基準電圧 VT より大きいので、比較回路 512 の出力は、“Hレベル (以下、単に、Hという)” となり、ノード ($\#1$) の電圧 $V(\#1)$ も、“H” となる。これにより、図3 (a) の PMOSTランジスタ 543 と、NMOSTランジスタ 542 とがオン、NMOSTランジスタ 541 がオフとなる。即ち、図3 (b) の選択回路 S1 は、 $VREF$ の基準電圧を選択するので、ノード ($\#2$) の電圧 $V(\#2)$ は基準電圧 $VREF$ となる。

また、時刻 t_0 から時刻 t_1 の期間では、図3 (a) の PMOSTランジスタ 522 がオフとなる。即ち、図3 (b) のスイッチ回路 S2 はオフとなる。

ホットセンサ 411 の光電流により、コンデンサ ($C1$ 、 $C2$) の電荷が放電されるので、ノード ($\#3$) の電圧 $V(\#3)$ は、図4に示すように単調に減少する。

【0015】

時刻 t_1 で、ノード ($\#3$) の電圧 $V(\#3)$ が、比較基準電圧 VT より小さくなると、比較回路 512 の出力は、“Lowレベル (以下、単に、Lという)” となり、ノード ($\#1$) の電圧 $V(\#1)$ も、“L” となる。

これにより、図3 (a) の PMOSTランジスタ 543 と、NMOSTランジスタ 542 とがオフ、NMOSTランジスタ 541 がオンとなる。即ち、図3 (b) の選択回路 S1 は、 GND の接地電圧を選択するので、ノード ($\#2$) の電圧 $V(\#2)$ は接地電圧 GND となる。

この結果、ノード ($\#3$) の電圧 $V(\#3)$ は、比較基準電圧 VT から、基準電圧 $VREF$ を、コンデンサ ($C1$ 、 $C2$) で分圧した電圧 ΔV だけ減少する。ここで ΔV は、下記 (1) 次式で表される。

$$\Delta V = VREF \times C1 / (C1 + C2) \quad \dots \dots \dots (1)$$

また、時刻 t_1 から時刻 t_2 の期間では、ノード ($\#1$) の電圧 $V(\#1)$ が “L” となるので、PMOSTランジスタ 522 がオンとなる。即ち、図3 (b) のスイッチ回路 S2 がオンとなる。この結果、コンデンサ ($C1$ 、 $C2$) はスイッチ回路 S2 を介して急速に充電され、ノード ($\#3$) の電圧 $V(\#3)$ は上昇する。

【0016】

時刻 t_2 で、ノード ($\#3$) の電圧 $V(\#3)$ が、比較基準電圧 VT より大きくなると、比較回路 512 の出力は、“H” となり、ノード ($\#1$) の電圧 $V(\#1)$ も、“H” となる。これにより、図3 (a) の PMOSTランジスタ 543 と、NMOSTランジスタ 542 とがオン、NMOSTランジスタ 541 がオフとなる。即ち、図3 (b) の選択回路 S1 は、 $VREF$ の基準電圧を選択するので、ノード ($\#2$) の電圧 $V(\#2)$ は基準電圧 $VREF$ となる。

この結果、ノード ($\#3$) の電圧 $V(\#3)$ は、比較基準電圧 VT から基準電圧 $VREF$ をコンデンサ ($C1$ 、 $C2$) で分圧した電圧 ΔV だけ増加する。時刻 t_3 の動作は時刻 t_1 と同様である。

また、時刻 t_2 から時刻 t_3 の期間では、図3 (a) の PMOSTランジスタ 522 がオフとなる。即ち、図3 (b) のスイッチ回路 S2 はオフとなる。

ここで、コンデンサ ($C1$ 、 $C2$) は、時刻 t_1 から時刻 t_2 の期間では、PMOSTランジスタ 522 のオン電流 i_{on} で充電され、時刻 t_2 から時刻 t_3 の期間では、光電流 i_p で放電される。

【0017】

この結果、時刻 t_1 から時刻 t_2 までの時間 t_{12} と、時刻 t_2 から時刻 t_3 までの時間 t_{23} は、下記 (2)、(3) 式で表される。

$$\begin{aligned} t_{12} &= (C_1 + C_2) \times \Delta V / i_{on} \\ &= C_1 \times V_{REF} / i_{on} \quad \dots \dots \dots (2) \end{aligned}$$

$$\begin{aligned} t_{23} &= (C_1 + C_2) \times \Delta V / i_p \\ &= C_1 \times V_{REF} / i_p \quad \dots \dots \dots (3) \end{aligned}$$

この (2)、(3) 式で示されるように、時間 t_{12} は PMOS トランジスタ 522 のオン電流 i_{on} に反比例し、時間 t_{23} は光電流 i_p に反比例する。

ここで、 $i_{on} \gg i_p$ に選ぶことで、出力 f_o の周波数 f_{out} は次式となる。

$$f_{out} = i_p / (C_1 \times V_{REF}) \quad \dots \dots \dots (4)$$

この (4) 式から、出力周波数 f_{out} は光電流 i_p に比例し、基準電圧 V_{REF} 、コンデンサ C_1 に反比例することが分かる。

さらに、出力周波数 f_{out} は、コンデンサ C_2 に依存しないので、ノード (#3) に接続される寄生コンデンサの影響を受けないことが分かる。

また、前記の (1) 式からコンデンサ C_2 で、ノード (#3) の電圧振幅を低減できることがわかる。これは、ノード (#3) の電圧を供給する電源範囲以内に収めるのに不可欠の要素である。

【0018】

図5は、図1に示すホットセンサ部400と、ホットセンサ回路500の回路構成の他の例を示す回路図である。

図5に示す回路構成において、図3に示す回路構成と異なるのは、ゲートに接地電圧 GND が印加される NMOS トランジスタ 461 を追加し、さらに、ホットセンサと暗電流補正用トランジスタを駆動するための専用の電源電圧として、ホットセンサ 411 のソース電圧 PSS と暗電流補正用トランジスタ 421 のドレイン電圧 PDD を供給する点である。

図5に示す回路構成により、ホットセンサ 411 と暗電流補正用トランジスタ 421 の各端子電圧は直流となるので、暗電流補正の精度を高めることができる。さらに、ソース電圧 PSS 、ドレイン電圧 PDD の電圧により、ホットセンサ 411 と暗電流補正用トランジスタ 421 の駆動電圧を設定できるので、暗電流補正の精度をさらに高めることができる。

また、ホットセンサ 411 に、カスケード接続の NMOS トランジスタ 461 を追加することで、ホットセンサ 411 に印加される電圧変動を低減できるので、より直線性の優れた出力を得ることができる。

【0019】

図6は、図1に示すホットセンサ部400と、ホットセンサ回路500の回路構成の他の例を示す回路図である。

図6に示す回路構成において、図3に示す回路構成と異なるのは、ホットセンサ部400に NMOS トランジスタ 471 と、NMOS トランジスタ 472 を追加し、ホットセンサ回路500の PMOS トランジスタ 522 を削除し、抵抗 551 を追加した点である。

ホットセンサ部400に追加した NMOS トランジスタ 471 は、コンデンサ (C_1 , C_2) を充電するよう動作し、NMOS トランジスタ 472 は、ノード (#3) の電圧をバッファ増幅するソースフォロア回路として動作する。さらに、ホットセンサ回路500に追加した抵抗 511 は、前記のソースフォロア回路として動作する NMOS トランジスタ 472 の負荷抵抗である。

図6に示す回路構成では、充電用のスイッチ回路として機能する NMOS トランジスタ 471 を、第1の基板上に形成されるホットセンサ部400に配置することで、半導体チップ内に形成するホットセンサ回路500の汎用性を高めることが可能となる。

また、ソースフォロア回路 (NMOS トランジスタ 472) をホットセンサ部400に配置することで、ノード (#3) の配線長さを短くできるので、周辺回路で生ずるノイズの影響を軽減することが可能となる。

このように、図6に示す回路構成では、ホットセンサ411、積分コンデンサC1、充電用のスイッチング素子として機能するNMOSトランジスタ471を、第1の基板上に形成することで、第1の基板上に形成されるトランジスタを、プロセス工程数が少ない単チャネルプロセスとすることができ、生産性を向上させることができる。

【0020】

図7は、図1に示すホットセンサ部400と、ホットセンサ回路500の回路構成の他の例を示す回路図である。

図7に示す回路構成において、図3に示す回路構成と異なるのは、ホットセンサ部400のコンデンサ(C1, C2)を削除した点と、ホットセンサ411のソース電圧PSSと暗電流補正用トランジスタ461のドレイン電圧PDDを外部から供給する点、および、ホットセンサ回路500に、積分回路を構成する演算増幅器513と、積分コンデンサC3と、コンデンサC1を追加した点である。

図8に、図7に示す回路のタイミング図を示す。

図8のV(#1)、V(#2)、V(#3)は、図7の#1、#2、#3の内部ノードの電圧を示し、VDDは電源端子に入力される電源電圧、VREFは基準電圧端子に入力される基準電圧、VTは比較基準電圧端子に入力される比較基準電圧を、PDD、PSSは、ホットセンサ411を駆動するための専用のソース電圧と、ドレイン電圧を示す。例えば、ドレイン電圧PDDは、1V、ソース電圧PSSは、-1Vである。

【0021】

時刻t0から時刻t1の間では、ノード(#3)の電圧V(#3)は、接地電圧GNDより小さいので、比較回路512の出力は、“H”となり、ノード(#1)の電圧V(#1)が、“H”となる。

これにより、図7のPMOSトランジスタ543と、NMOSトランジスタ542とがオン、NMOSトランジスタ541がオフとなるので、ノード(#2)の電圧V(#2)は基準電圧VREFとなる。

また、時刻t0から時刻t1の間では、図7のPMOSトランジスタ522はオフとなる。

ホットセンサ411の光電流により、コンデンサC3の電荷が放電されるので、ノード(#3)の電圧V(#3)は、図8に示すように、単調に増加する。

時刻t1で、ノード(#3)の電圧V(#3)が接地電圧GNDより大きくなると、比較回路512の出力は、“L”となるので、ノード(#1)の電圧V(#1)が、“L”となる。これにより、図7のPMOSトランジスタ543と、NMOSトランジスタ542とがオフ、NMOSトランジスタ541がオンとなるので、ノード(#2)の電圧V(#2)が、基準電圧VREFから接地電圧GNDに変化する。

【0022】

この結果、ノード(#3)の電圧V(#3)は、下記(5)式で表される電圧ΔVだけ増加する。

$$\Delta V = V_{REF} \times C1 / C3 \quad \dots \dots \dots (5)$$

時刻t1から時刻t2の間では、ノード(#1)の電圧V(#1)が、“L”となるので、PMOSトランジスタ522がオンし、コンデンサ(C1, C3)を急速に充電する。この結果、ノード(#3)の電圧V(#3)は、図8に示すように、時間とともに減少する。

時刻t2で、ノード(#3)の電圧V(#3)が、接地電圧GNDよりも小さくなると、比較回路512の出力は、“H”となるので、ノード(#1)の電圧V(#1)が、“H”になる。これにより、図7のPMOSトランジスタ543と、NMOSトランジスタ542とがオン、NMOSトランジスタ541がオフとなるので、ノード(#2)の電圧V(#2)が、接地電圧GNDから基準電圧VREFに変化する。

この結果、ノード(#3)の電圧V(#3)は電圧ΔVだけ減少する。時刻t3の動作は時刻t1と同様である。

【0023】

10

20

30

40

50

ここで、時刻 t_1 から時刻 t_2 までの時間 t_{12} と、時刻 t_2 から時刻 t_3 までの時間 t_{23} は、下記 (6) 式、(7) 式で表される。

$$\begin{aligned} t_{12} &= C_3 \times \Delta V / i_{on} \\ &= C_1 \times V_{REF} / i_{on} \quad \dots \dots \dots (6) \end{aligned}$$

$$\begin{aligned} t_{23} &= C_3 \times \Delta V / i_p \\ &= C_1 \times V_{REF} / i_p \quad \dots \dots \dots (7) \end{aligned}$$

この (6)、(7) 式で示されるように、時間 t_{12} は PMOS トランジスタ 522 のオン電流 i_{on} に反比例し、時間 t_{23} は光電流 i_p に反比例する。ここで、 $i_{on} > i_p$ に選ぶことで、出力 f_o の周波数 f_{out} は、図 3 の場合と同様に下記 (8) 式のように表される。

$$f_{out} = i_p / (C_1 \times V_{REF}) \quad \dots \dots \dots (8)$$

この (8) 式から、出力周波数 f_{out} は、光電流 i_p に比例し、基準電圧 V_{REF} 、コンデンサ C_1 に反比例することが分かる。

さらに、図 7 に示す回路構成では、ホットセンサ 411 と暗電流補正用トランジスタ 421 の接続点の電圧は仮想接地点となるので、ホットセンサ部 400、ホットセンサ回路 500 の動作に関わらず一定である。この結果、ホットセンサ 411 と暗電流補正用トランジスタ 421 に印加される電圧は、電圧 PDD と電圧 PSS で設定できるので、暗電流補正の精度をより高めることが出来る。

【0024】

以上説明したように、本実施例では、安定性を必要とする比較回路を半導体チップ上に形成することで、より高精度の照度検出回路を実現することができる。

また、バックライト 30 の制御回路を COG 方式で実装されたドレイン回路 300 に配置することで、メイン基板の負担を軽減できるとともに、制御回路から液晶表示パネル 10 とバックライト 30 に送出する制御信号数を削減することができる。さらに、第 1 の基板上にホットセンサ 411 を形成することで、適用する製品の厚さを薄くすることができる。

なお、本実施例において、照度検出回路の検出時間は、照度が高いときに短く、低いときには長くできるので、検出精度を高く、さらに、暗電流を補正するようにしたので、より低い照度の検出が可能である。

これにより、本実施例では、外光照度に応じてバックライト輝度を制御することで、視認性の優れたディスプレイを実現することが可能である。

なお、本発明の照度検出回路は、液晶表示装置に限定されず、他の形式の表示装置に適用することも可能である。ここで、自発光タイプの表示装置の場合は、バックライトの輝度を制御する代わりに、表示パネルの発光輝度自体を制御する。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0025】

【図 1】本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

【図 2】図 1 に示すホットセンサ部の一例の断面構造を示す図である。

【図 3 (a)】図 1 に示すホットセンサ部と、ホットセンサ回路の回路構成の一例を示す回路図である。

【図 3 (b)】図 3 (a) に示す回路を上位概念化した回路図である。

【図 4】図 3 に示す回路のタイミングを示す図である。

【図 5】図 1 に示すホットセンサ部と、ホットセンサ回路の回路構成の他の例を示す回路図である。

【図 6】図 1 に示すホットセンサ部と、ホットセンサ回路の回路構成の他の例を示す回路図である。

【図 7】図 1 に示すホットセンサ部と、ホットセンサ回路の回路構成の他の例を示す回路図で

10

20

30

40

50

ある。

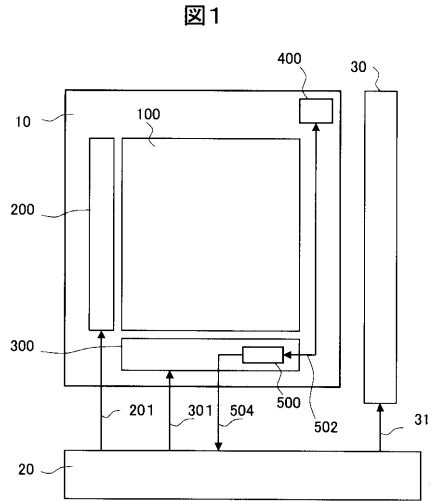
【図 8】 図 7 に示す回路のタイミングを示す図である。

【符号の説明】

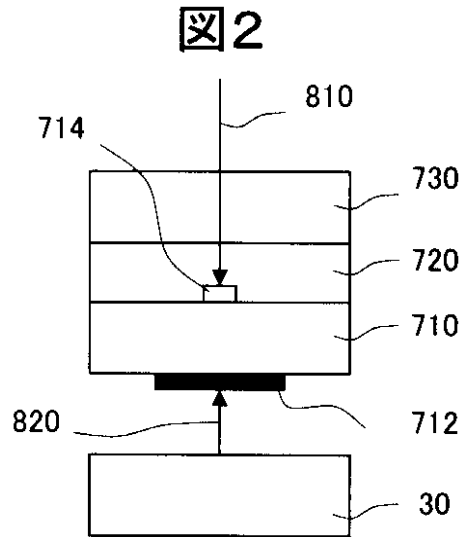
【0026】

10	液晶表示パネル	
20	制御回路	
30	バックライト	
31, 201, 301	制御信号	
100	表示部	
200	ゲート回路	10
300	ドレイン回路	
400	ホットセンサ部	
411, 714	ホットセンサ	
461, 471, 472, 541, 542	NMOSトランジスタ	
421	暗電流補正用トランジスタ	
500	ホットセンサ回路	
502	入出力信号	
504	ホットセンサ信号	
512	比較回路 (コンパレータ)	
513	演算増幅器	20
522, 543	PMOSトランジスタ	
531, 532	インバータ	
551	抵抗	
710	TFT基板	
712	遮光膜	
720	液晶	
730	CF基板	
810	外光	
820	バックライト光	
C1, C2, C3	コンデンサ	30

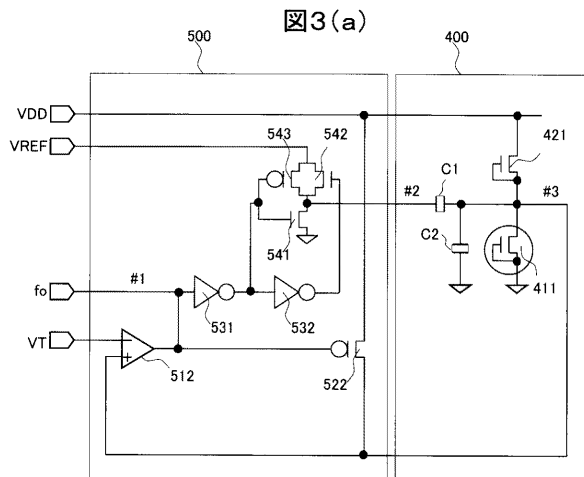
【図 1】



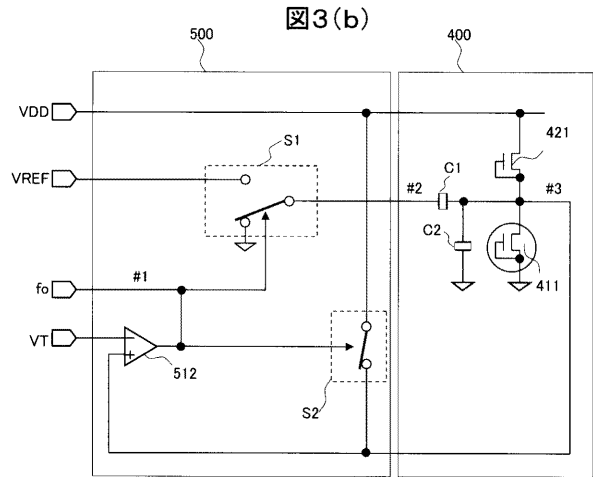
【図 2】



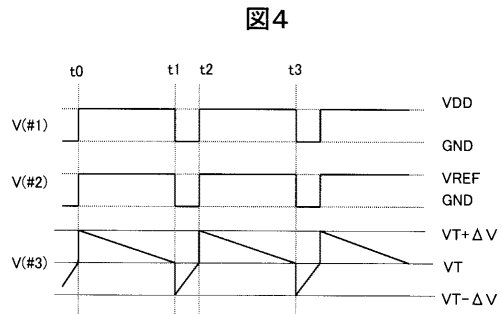
【図 3 (a)】



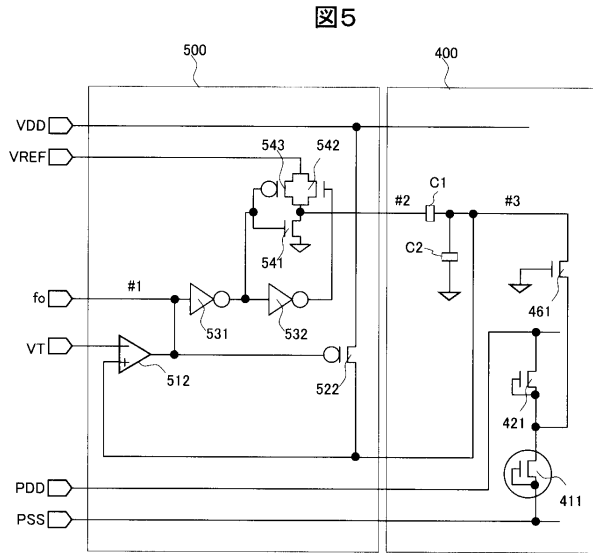
【図 3 (b)】



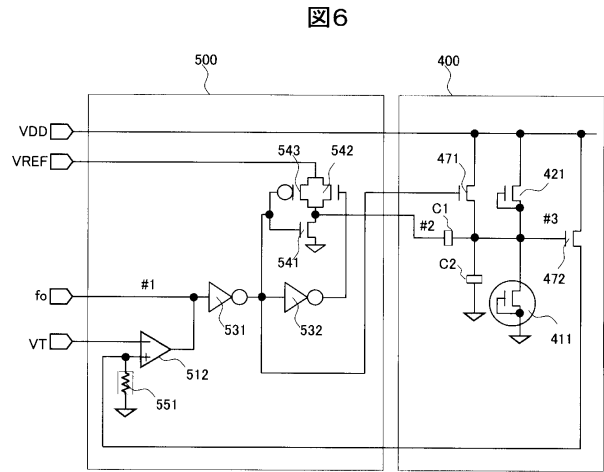
【図 4】



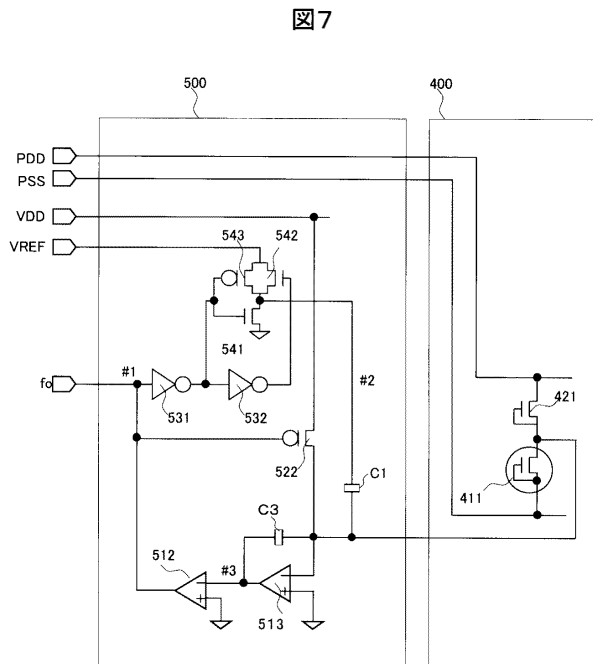
【図 5】



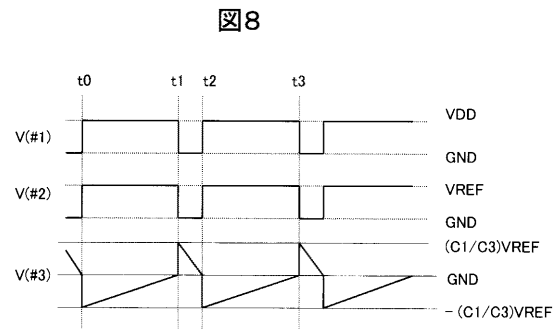
【図 6】



【図 7】



【図 8】



フロントページの続き

- (51)Int.Cl. F I
G 0 2 F 1/133 (2006.01) G 0 2 F 1/1368
G 0 2 F 1/133 5 3 5
G 0 2 F 1/133 5 5 0
G 0 2 F 1/133 5 7 5
- (74)代理人 110000154
特許業務法人はるか国際特許事務所
- (72)発明者 佐藤 秀夫
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
- (72)発明者 斉藤 照明
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
- (72)発明者 西谷 茂之
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 一宮 誠

- (56)参考文献 特開 2 0 0 5 - 3 4 5 2 8 6 (J P, A)
特開 2 0 0 6 - 2 5 3 2 3 6 (J P, A)
特開 2 0 0 7 - 2 7 9 5 4 3 (J P, A)
特開 2 0 0 8 - 7 0 6 1 6 (J P, A)

- (58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 2 0
G 0 2 F 1 / 1 3 3
G 0 1 J 1 / 4 2
H 0 3 K 1 7 / 0 0 - 1 7 / 9 8