

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4782972号  
(P4782972)

(45) 発行日 平成23年9月28日(2011.9.28)

(24) 登録日 平成23年7月15日(2011.7.15)

(51) Int.Cl.		F I		
HO 4 L 27/00	(2006.01)	HO 4 L 27/00		Z
HO 4 B 1/26	(2006.01)	HO 4 B 1/26		J

請求項の数 10 (全 9 頁)

(21) 出願番号	特願2002-518703 (P2002-518703)	(73) 特許権者	504199127
(86) (22) 出願日	平成13年7月16日(2001.7.16)		フリースケール セミコンダクター イン
(65) 公表番号	特表2004-506384 (P2004-506384A)		コーポレイテッド
(43) 公表日	平成16年2月26日(2004.2.26)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/EP2001/008156		オースティン ウィリアム キャノン
(87) 国際公開番号	W02002/013473		ドライブ ウェスト 6501
(87) 国際公開日	平成14年2月14日(2002.2.14)	(74) 代理人	100089705
審査請求日	平成20年7月16日(2008.7.16)		弁理士 社本 一夫
(31) 優先権主張番号	00402234.9	(74) 代理人	100076691
(32) 優先日	平成12年8月4日(2000.8.4)		弁理士 増井 忠武
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 受信器内のDCオフセットを低減するための装置

(57) 【特許請求の範囲】

【請求項1】

変換システムの信号経路内のDCオフセットを低減するための装置(50)であって、該装置は、

入力信号を送るフロント・エンド回路(50)と、

前記フロント・エンド回路に結合されており、前記入力信号を受信し、増幅する増幅器システム(56)と、

前記増幅器システムから前記入力信号を受信し、第1ビット量子化器を提供するマルチビット・シグマ・デルタ型変調器(60)と、

前記シグマ・デルタ型変調器に結合されており、前記シグマ・デルタ型変調器から前記第1ビット量子化器を受け取り、前記信号経路内のDCオフセットを低減するための動作を提供するDC適応回路(62)と、

前記デジタルDC適応回路に結合されており、前記DCオフセット補正を表すアナログ信号を前記増幅器システムの入力に送るデジタル/アナログ変換器(64)と、

を備え、

前記デジタルDC適応回路および前記デジタル/アナログ変換器が、前記増幅器システムの入力に向かって、前記マルチビット・シグマ・デルタ型変調器の前記第1ビット部で始まる帰還経路を形成する、装置。

【請求項2】

請求項1に記載の装置(50)において、該装置はさらに、

10

20

前記デジタルDC適応回路(62)に結合されており、DC適応回路の動作の開始および停止を制御して、前記信号経路内のDCオフセットを低減するDC適応制御(66)を、備える装置。

【請求項3】

請求項2に記載の装置(50)において、前記DC適応制御(66)が、適応イネーブル信号を受信し、さらに、チップ・イネーブル信号を受信する第1の入力と、DC制御信号を受信する第2の入力と、前記帰還経路の前記動作を開始および停止するために、開始および停止信号を前記DC適応回路(62)の入力に送る出力とを有する、装置。

【請求項4】

請求項3に記載の装置(50)において、該装置はさらに、前記DC適応回路(62)に結合されており、既知の利得設定に関する入力信号を前記デジタル/アナログ変換器(64)に送るシリアル周辺インターフェースを、備える装置。

【請求項5】

請求項4に記載の装置(50)において、該装置はさらに、前記シリアル周辺インターフェース及び前記DC適応回路(62)に結合されており、適応イネーブル信号を受信し、前記シリアル周辺インターフェース及び前記DC適応回路から前記デジタル/アナログ変換器(64)に信号を選択的に送るマルチプレクサ(63)を、備える装置。

【請求項6】

請求項1～請求項5の何れか1項に記載の装置(50)において、前記DC適応回路(62)が、前記シグマ・デルタ型変調器から生成された雑音をフィルタリングし、また積分を実行するアキュムレータ(80)を備える、装置。

【請求項7】

請求項6に記載の装置(50)において、前記DC適応回路(62)がさらに、前記アキュムレータ(80)に結合されており、前記アキュムレータから生じる雑音をフィルタリングするロー・パス・フィルタ(82)を備える、装置。

【請求項8】

請求項1～請求項7の何れか1項に記載の装置(50)において、前記増幅器システム(56)が、自動利得制御を有する増幅器(56)とアクティブ・ロー・パス・フィルタとを備える、装置。

【請求項9】

変換システムの信号経路内のDCオフセットを低減するための方法であって、該方法は、フロント・エンド回路から入力信号を送るステップと、前記入力信号を受信し、かつ増幅するために前記フロント・エンド回路に結合された増幅器システム内で前記入力信号を増幅するステップと、前記入力信号をマルチビット・シグマ・デルタ型変調器に通過させ、前記増幅器システムから前記入力信号を受信して第1ビット量子化器を提供するステップと、前記信号経路内のDCオフセットを低減するステップであって、DC適応回路が、前記シグマ・デルタ型変調器から前記第1ビット量子化器を受け取るために、かつ前記信号経路内のDCオフセットを低減するための動作を提供するために前記シグマ・デルタ型変調器に結合され、デジタル/アナログ変換器が、前記DC適応回路に結合され、前記DCオフセット補正を表すアナログ信号を増幅器システムの入力に送り、前記デジタルDC適応回路及び前記デジタル/アナログ変換器が、前記増幅器システムの入力に向かって、前記マルチビット・シグマ・デルタ型変調器の前記第1ビット部で始まる帰還経路を形成する、ステップと、

10

20

30

40

50

を含む方法。

【請求項 10】

請求項 9 に記載の方法において、該方法はさらに、前記 DC 適応回路の動作の開始および停止を制御して前記信号経路内の DC オフセットを低減するために、前記デジタル DC 適応回路に結合された DC 適応制御を用いて、前記 DC 適応回路の前記動作を制御するステップを、含む方法。

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、無線受信器に関連し、より詳細には、比較的短い DC 適応周期を必要とするダイレクト・コンバージョン受信器またはデジタル超低 IF 受信器内の DC オフセット補正に関連する。

【0002】

【発明の背景】

ダイレクト・コンバージョン受信器 (DCR: Direct Conversion Receiver) は、中間周波数 (IF: Intermediate Frequency) を使用しない 1 つのタイプの無線受信器である。DCR、および、デジタル超低 IF 受信器 (DVLI F: Digital Very Low IF Receiver) は、携帯電話用ハンドセットにおいて、一般的になりつつある。DCR に関する共通の問題は、受信器の様々な構成要素により、受信された入力信号に加えられる DC オフセット電圧が生じ得ることである。この DC オフセット電圧は、干渉に似た形で、受信器の動作に影響を及ぼす。しかし、干渉と異なり、DC オフセット電圧は、受信器の内部で発生する。

【0003】

図 1 は、従来技術による受信器のブロック図を示す。受信器 10 は、低 IF フロント・エンド 12 とベース・バンド受信器 14 とを含む。フロント・エンド 12 は、低雑音増幅器 16 と、結合器 18 と、ミキサ 20 と、分周器 22 と、周波数シンセサイザ 24 とを含む。ベース・バンド受信器 14 は、増幅器 30 と、アクティブ・ロー・パス・フィルタ 32 と、ベース・バンド・シグマ・デルタ型変調器 34 と、デシメーション・フィルタ 36 と、デジタル直交ミキサ 38 と、デジタル・フィルタ 40 と、デジタル積分器 42 と、デジタル/アナログ変換器 (DAC) 44 とを含む。

【0004】

フロント・エンド 12 の構成要素のそれぞれが、DC オフセット電圧の一因となる可能性がある。たとえば、周波数シンセサイザ 24 からの漏れは、アンテナを介してフロント・エンド 12 内に漏れて戻ることがあり、またミキサ 20 を介して信号経路内に混合されて戻ることがある。また、低雑音増幅器 16 の利得を変化させることにより、漏れのレベル及び DC オフセット値が、変化し得る。

【0005】

従来技術の受信器 10 は、DC オフセットを低減するために、帰還経路 (フィードバック・パス) を使用している。この帰還経路は、デジタル・フィルタ 40 の出力部で始まり、DAC 44 を介して増幅器 30 の入力部で信号経路内に帰還する。このタイプの帰還経路は、混合モード手法として知られ、デジタル信号は、アナログ信号に変換され、ベース・バンド受信器 14 の入力部で供給される。この手法の問題は、遅延の一因となる帰還経路における構成要素の数のために、DC オフセットを除去するのに比較的長い時間を必要とすることである。

【0006】

一般に、携帯電話システムにおいて、DC オフセットは、入力信号を処理するために使用される時間より前の時間中に除去される。いくつかの応用分野 (例えば、GSM (Global System Mobile) など) において、DC オフセットを低減するのに十分な時間を得るために、受信した信号を処理する前に、400 マイクロ秒と同時間のス

10

20

30

40

50

タンバイ・モードから受信器の電源を投入することが必要となる可能性がある。これは著しくスタンバイ時間を短縮し、電力消費を増大する。

【0007】

欧州特許出願第EP-A-0 709 970号(General Electric Company)は、アナログ/信号変換器(ADC)用のDC補正構成について記載している。この構成は、1ビット量子化器を使用し、帰還補正経路内にアキュムレータを有する。

【0008】

英国特許出願第GB-A-2 328 353号(NEC)は、2チャンネルを有するベース・バンド受信器と共に使用するための補正システムについて記載している。DCオフセット推定のための帰還信号は、第2のフィルタ部で提供される。

【0009】

したがって、より短いDC適応時間を必要とするDCR(Direct Conversion Receiver)またはDVLI F受信器(DVLI F: Digital Very Low IF Receiver)において、DCオフセット補正を実行することが求められている。

【0010】

【発明の実施形態の詳細な説明】

次に、本発明の実施形態について、図面を参照しながら例としてより完全に述べる。

【0011】

一般に、本発明は、DCオフセット電圧を低減するために、高速粗適応帰還経路(Fast Coarse Adapt Feedback Path)内でマルチビット・シグマ・デルタ型変調器を使用するDCR50を提供する。デジタル高速DC適応回路62は、アナログ/デジタル変換器のダイナミック・レンジを減少させることなく、DCオフセットを許容可能なレベルに低減する。帰還は、マルチビット・バンド・パス・シグマ・デルタ型変調器60の第1ビット部で始まり、この第1ビットは、帰還経路のための入力情報を含む。デジタル高速DC適応回路62は、1ビット・アキュムレータ80と第1次デジタル・ロー・パス・フィルタ82とを含む。帰還経路内の構成要素の数を減らして、遅延の数を減らすことによって、DCオフセットは、図1の従来技術の受信器10と比べて、早い時間で低減させることができる。

【0012】

図2は、本発明の一実施形態による無線周波数受信器50のブロック図を示す。受信器50は、フロント・エンド52とベース・バンド受信器54とを含む。フロント・エンド52は、図1のフロント・エンド12と同様に機能し、より詳細に述べないものとする。ベース・バンド受信器54は、自動利得制御(Automatic Gain Control)を有する増幅器56と、アクティブ・ロー・パス・フィルタ58と、バンド・パス・マルチビット・シグマ・デルタ型変調器60と、デジタル直交ミキサ70と、デジタル・フィルタ72と、デジタル高速DC適応回路62と、マルチプレクサ63と、DAC64と、高速DC適応制御66と、シリアル周辺インターフェース(SPI: Serial Peripheral Interfaces)68とを含む。図示する実施形態において、フロント・エンド52は、単一の集積回路上に実施されている。結合器は、フロント・エンド52として、同じ集積回路上に形成されたトランスである。同様に、受信器54は、単一の集積回路上で一体化されている。他の実施形態において、フロント・エンド52および受信器54は、単一の集積回路上で、または複数の集積回路の組合せとして、実施することができる。

【0013】

増幅器56は、フロント・エンド52から差動アナログ入力信号を受信するために、1対の入力端子を有する。フロント・エンド52からの信号は、増幅器56によって受信される前に、ポスト・ミキサ増幅器53およびフィルタ55を通過する。増幅器56の差動出力は、アクティブ・ロー・パス・フィルタ58の入力端子に結合され、ロー・パス・フィルタ58の出力は、バンド・パス・シグマ・デルタ型変調器60の入力に結合される。図示する実施形態において、バンド・パス・シグマ・デルタ型変調器60は、2つの出力端

10

20

30

40

50

子を有する。しかし、他の実施形態において、シグマ・デルタ型変調器 60 は、2 つ以上の出力端子を有することができる。シグマ・デルタ型変調器 60 からの 1 ビット量子化器信号は、DC オフセット内容を含むので、高速 DC 適応回路 62 の入力端子に送られる。

#### 【0014】

高速 DC 適応回路 62 の動作は、高速 DC 適応制御 66 によって制御される。この高速 DC 適応制御 66 は、(CE と符号された) チップ・イネーブル信号を受信するための入力端子と、(RXACQ と符号された) 制御信号を受信するための第 2 の入力端子とを有する。これらの信号にตอบสนองして、DC 適応制御 66 は、(ADAPT\_\_DIGITAL と符号された) 出力信号を、デジタル高速 DC 適応回路 62 の第 2 入力端子に送る。(ADAPT\_\_DIGITAL と呼ばれる) 信号は、DC オフセット電圧を除去するように、帰還経路の動作を開始および停止するために使用される。また、シグマ・デルタ型変調器 60 からの 1 ビット量子化器信号を受信したことにตอบสนองして、適応回路 62 は、1 ビット量子化器を蓄積し、その後、ロー・パス・フィルタリングして、(DACINP と符号された) 6 ビット出力信号を生成する。次いで、これらの 6 ビットは、DAC 64 の入力端子に送られ、DAC 64 は、このデジタル信号を、増幅器 56 の入力に結合される差動アナログ信号に変換する。

10

#### 【0015】

動作において、DC オフセットを有する入力信号は、増幅器 56 の入力端子部で受信される。次いで、この入力信号は、増幅され、ロー・パス・フィルタリングされ、次いで、シグマ・デルタ型変調器 60 に送られる。これらの要素または構成要素のそれぞれは、DC オフセットの量を増す、またはその一因となる可能性がある。DC オフセットを除去するために、バンド・パス・シグマ・デルタ型変調器 60 からの 1 ビットだけが、高速 DC 適応回路 62 および DAC 64 を介して帰還され、その結果、ダイナミック・レンジを著しく減少させることなく、DC オフセットの量を減らすことができる。たとえば、増幅器 56 に送られた入力信号が、1 ボルトのピーク・トゥ・ピーク信号および 300 ミリボルト・オフセットを有する場合、デジタル高速 DC 適応回路 62 は、DC オフセットを 30 ミリボルトに減少させ、有用な信号のために約 970 ミリボルトのダイナミック・レンジを残すことになる。次いで、30 ミリボルトの DC オフセットは、DCR の場合、デジタル・ハイ・パス・フィルタによって、または DVLIFF 受信器の場合、複雑なノッチ・フィルタによって、完全にデジタル・フィルタリングされる。このプロセスは、ファイン DC オフセット補正と呼ばれる。帰還経路内に構成要素が少なく、また遅延が少ないために、図 1 に示された実施形態による適応周期は、40 マイクロ秒だけになる。この 40 マイクロ秒の時間は、帰還ループの安定性を損なうことなく、達成される。

20

30

#### 【0016】

DAC 64 によって引き起こされるどのオフセットも、帰還ループによって補正される。バンド・パス・シグマ・デルタ型変調器 60 の 1 ビット量子化器は、受信器 50 が受信モードにあるとき、帰還経路内への雑音導入を低減するために、帰還点として選択されている。DC オフセットは、なくすのではなく、低減するように選択されるために、DAC 64 は、粗いオフセット補正を実現しているだけであり、非常に高精度である必要はない。本実施形態で例示されているように、DAC 64 は、6 ビットで実施される。DAC 64 が、単調 (Monotonic) である必要があることを除いて、DAC 64 として使用される DAC のタイプは、重要でない。

40

#### 【0017】

受信器 50 に関する殆どの開ループ利得および位相応答は、アクティブ・ロー・パス・フィルタ (LPF) 58 によるものである。DC オフセット帰還経路を使用するとき、シグマ・デルタ型変調器 60 が安定性解析のための帰還経路の開ループ利得位相応答に及ぼす影響は、非常に限られている。

#### 【0018】

また、デジタル高速 DC 適応 62 の出力は、SPI 68 の入力端子に送られる。SPI 68 の出力端子は、マイクロプロセッサ (図示せず) の入力 / 出力 (I/O) 端子に結合さ

50

れる。デジタル高速DC適応回路62からの出力信号「DACINP」の値は、SPI68を介して、たとえばマイクロプロセッサ内のレジスタに書き込み、先の適応モードですでに使用された利得設定のときDAC64への入力として再使用することができる。これにより、既知の利得設定について入力信号を受信する前に、帰還経路を走らせる必要がなくなる。(ADAPT\_ENと符号される)制御信号は、マルチプレクサ63に、また高速DC適応制御66に送られ、DCオフセット補正が、SPI68によって、あるいは帰還経路回路62によって、実現するか否かを選択するために使用される。信号「ADAPT\_EN」が、先の「DACINP」信号を使用するようにアサートされたとき、SPI68からのREAD経路が、選択され、高速DC適応制御66は、制御信号「ADAPT\_DIGITAL」をアサートすることによって帰還ループを使用不能にする。

10

#### 【0019】

図3は、高速DC適応回路62のより詳細なブロック図である。高速DC適応回路62は、加算器90、94及び100と、遅延要素92及び96と、デジタル乗算器98及び104と、レジスタ102及び86と、2の補数から1の補数への変換論理84とを含む。アキュムレータ80は、加算器90と遅延要素92とを含む。ロー・パス・フィルタ82は、加算器94及び100と、遅延要素96と、デジタル乗算器98及び104と、レジスタ102とを含む。

#### 【0020】

アキュムレータ80の入力は、シグマ・デルタ型変調器60の出力から、1ビット量子化器信号を受信する。9ビットを含むアキュムレータ80の出力は、ロー・パス・フィルタ82の入力に送られる。ロー・パス・フィルタ82の出力は、変換論理84の入力に送られる。変換論理84は、ロー・パス・フィルタ82の出力を、DAC64が使用できる1の補数の形態に変換する。レジスタ86は、DAC64をテストする機能を提供するために、ユーザ書き込み可能である。

20

#### 【0021】

アキュムレータ80は、2つの機能を実行する。アキュムレータ80の第1の機能は、シグマ・デルタ型変調器60から受信した雑音を、フィルタリングすることである。第2の機能は、積分を実行することである。たとえば、DCオフセットが正の場合、アキュムレータ80の出力は、増加する。DCオフセットが負の場合、アキュムレータ80の出力は、減少する。ロー・パス・フィルタ82は、アキュムレータ80からの量子化雑音をフィルタリングするために使用される。ロー・パス・フィルタ82は、追加のフィルタリング機能を提供し、いくつかの実施形態において、どれくらいのDCオフセットを除去すべきかに応じて、必要でないことがある。ロー・パス・フィルタ82は、(HIGH\_CLOCKと符号される)クロック信号を受信するための入力と、(LOW\_CLOCKと符号される)クロック信号を受信するための第2の入力端子とを有する。クロック信号「HIGH\_CLOCK」は、シグマ・デルタ型変調器60のオーバー・サンプリング周波数で動作し、クロック信号「LOW\_CLOCK」は、DAC64と同じ周波数で動作する。ブロック106は、「HIGH\_CLOCK」と「LOW\_CLOCK」との双方を受信し、高速DC適応制御66からの制御信号「ADAPT\_DIGITAL」の状態に基づいて、それらのクロックを使用可能にし、あるいは使用不能にする。帰還経路がDCオフセットを低減するように動作する時間量は、特定の応用例に基づいて所定である。

30

40

#### 【0022】

ロー・パス・フィルタ82のコーナは、たとえばGSMやNADCなど様々なモードに対応するように、デジタル乗算器98の係数を変化させることによって調整される。

#### 【0023】

図4は、図2の受信器50の様々な信号のタイミング図である。図4の様々な波形は、原寸に比例して示されておらず、他の信号に対して電圧レベルを例示するために意図されたものではないことに留意されたい。図4は、様々な信号間のタイミング関係を例示するために意図されたものとする。時刻t0と時刻t1との間で、図4上部の波形は、約60ミリボルトの差動オフセットを有するシグマ・デルタ型変調器60の入力部での入力信

50

号を示す。60ミリボルト・オフセットは、例示のために選択されているにすぎないことに留意されたい。制御信号「CE」は、論理ハイであり、制御信号「RXACQ」は、論理ローである。時刻 $t_1$ において、制御信号「CE」が論理ローとしてアサートされ、 $t_1$ と $t_2$ との間で高速適応時間を開始し、帰還経路DCオフセット補正を開始する。時刻 $t_1$ の後に、粗いDCオフセット補正が、動作しており、DCオフセットが、約0ボルトに減少されていることが観察できる。 $t_1$ と $t_2$ との間の時間、所定の時間であり、その後、制御信号「RXACQ」は、論理ハイとしてアサートされる。「RXACQ」が論理ハイとしてアサートされたとき、信号「ADAPT\_DIGITAL」は、図3のブロック106に印加され、「HIGH CLOCK」および「LOW CLOCK」を停止し、それにより、デジタル高速DC適応回路62が動作を停止し、ホールド・モードに入る。図示する実施形態において、 $t_1$ と $t_2$ との間の時間は、約40マイクロ秒であることに留意されたい。対照的に、図1に示す従来技術の回路を使用してDCオフセットを除去するのに必要とされる時間は、約400マイクロ秒であり、これは著しく長い。時刻 $t_2$ の後に、入力シグマ・デルタ差動入力信号は、0ミリボルトのDCオフセットを有する。時刻 $t_2$ 後の所定の時刻において、制御信号「CE」は、論理ハイにリセットされる。

#### 【0024】

図2および図3に示す回路は、バイアスするために使用される信号と、システムを迅速に起動するために使用される制御信号（図示せず）を含む。始動制御信号およびバイアス信号と共に指摘される1つの問題は、図4の時刻 $t_1$ 直前に、DCオフセットがわずかに増加することである（図示せず）。そのDCオフセットは、0ミリボルトに減少し始める前に、瞬間的に増加することが観察された。

#### 【0025】

本明細書で述べるシステムを使用することにより、従来技術の回路と比較して、DCオフセットをより早く減少させることができる。また、DCオフセットは、なくすのではなく、低減されるために、DAC64を、ビットの少ない、かつ分解能の低い、より単純なものとすることができる。また、マルチビット・シグマ・デルタ型変調器から1ビット量子化器信号だけを受信する、単純な一体化構造が使用される。したがって、シグマ・デルタ型変調器は、過負荷がかかるが、帰還ループは、継続して動作することができる。さらに、デジタル乗算器104の開ループ利得をプログラムすることによって、また信号「CE」および「RXACQ」のアサートおよびデアサートを制御することによって、様々なモードについて、また様々な適応時間について、帰還ループを、容易にプログラムすることができる。DCオフセットの補正量は、帯域幅を低くすることによって、またデジタル乗算器98の係数を変化させることによって、さらに改善することができる。これは、周波数を低下させること、速度を低下させること、およびDAC分解能を高めることを犠牲にして、DCオフセットを改善する効果がある。また、本実施形態は、0ヘルツのハイ・パス・コーナを伴うホールド・モードを有し、これはドリフトがなく、オフセット値「DACINP」を無期限に保持することができることを意味する。

#### 【図面の簡単な説明】

【図1】 従来技術による無線周波数受信器を示すブロック図である。

【図2】 本発明の一実施形態による無線周波数受信器を示すブロック図である。

【図3】 図2のデジタル高速DC適応回路をより詳細に示す図である。

【図4】 図2に示された受信器の様々な信号のタイミング図である。

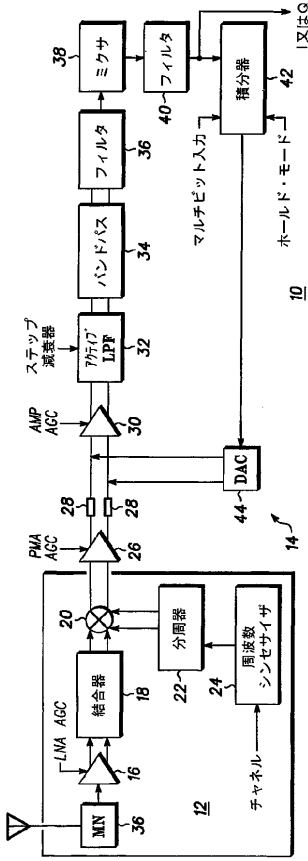
10

20

30

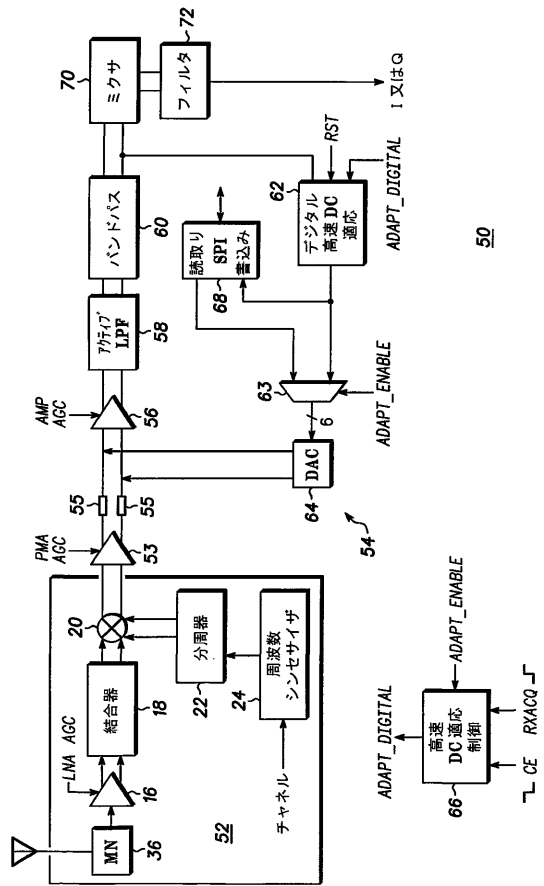
40

【図1】

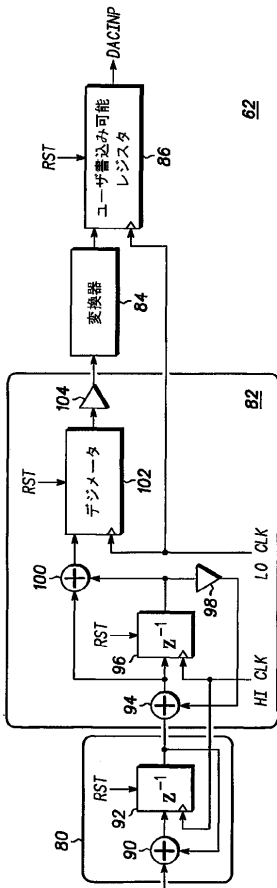


- 従来技術 -

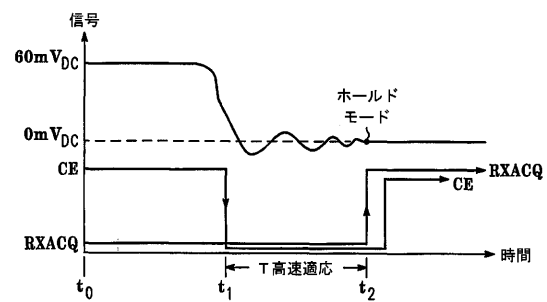
【図2】



【図3】



【図4】



---

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 クラ, ナディム

フランス国エフ - 3 1 2 7 0 キュノー, リュー・ピエール・ド・フェルマ 2 4

(72)発明者 ドレル, フランソワ

フランス国エフ - 7 4 2 0 0 トノン - レ - バン, シュマン・デュ・マルティネ 2 5

審査官 彦田 克文

(56)参考文献 欧州特許出願公開第00709970 (EP, A1)

特開平11-146023 (JP, A)

特開平10-308684 (JP, A)

特開平05-316158 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/00

H04B 1/26