

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年3月11日(2021.3.11)

【公表番号】特表2020-507176(P2020-507176A)

【公表日】令和2年3月5日(2020.3.5)

【年通号数】公開・登録公報2020-009

【出願番号】特願2019-562234(P2019-562234)

【国際特許分類】

G 06 F 13/42 (2006.01)

H 03 K 5/00 (2006.01)

G 06 F 1/12 (2006.01)

【F I】

G 06 F 13/42 3 5 0 B

H 03 K 5/00 P

G 06 F 1/12 5 1 0

【手続補正書】

【提出日】令和3年1月27日(2021.1.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

第2の回路から割り込み要求信号を受信するように構成される第1の入力と、前記第2の回路から第2のクロック信号を受信するように構成される第2の入力と、出力とを含む第1のフリップフロップと、

前記第1のフリップフロップの出力に結合されるクロック入力と、割り込み入力信号を提供するように構成される出力とを含む第2のフリップフロップと、

第1の回路から確認信号を受信するように構成される第1の入力と、前記第1の回路から第1のクロック信号を受信するように構成される第2の入力と、前記第1の回路からの前記確認信号に応答して前記第2のフリップフロップに割り込みクリア信号を提供するように構成される出力とを含む第3のフリップフロップと、

を含む、回路。

【請求項2】

請求項1に記載の回路であって、

前記割り込み要求信号が、前記第2の回路によって割り込みが要求されていないことを示す第1の状態と、前記第2の回路によって割り込みが要求されていることを示す第2の状態とを有し、

前記割り込みクリア信号が、第1の状態と第2の状態とを有し、

前記第2のフリップフロップの出力が、

第1の状態の前記割り込みクリア信号を受信する前記第2のフリップフロップの入力に応答して第1の状態の前記割り込み入力信号を提供し、

前記割り込みクリア信号が第2の状態にあるとき前記第1の状態から前記第2の状態に遷移する前記割り込み要求信号に応答して第2の状態の割り込み入力信号を提供する、
ように更に構成され、

前記第3のフリップフロップが、前記第1の回路からの前記確認信号に応答して前記割

り込み入力信号を前記第1の状態に設定するために前記第2のフリップフロップをリセットするように、第1の状態の前記割り込みクリア信号を提供するように構成される、回路。

【請求項3】

請求項2に記載の回路であって、

前記割り込み入力信号を受信するために前記第2のフリップフロップの出力に結合される入力と、前記第1の回路に割り込み出力信号を提供するために前記第1のクロック信号に同期される出力とを含む同期化回路を更に含む、回路。

【請求項4】

請求項3に記載の回路であって、

前記同期化回路が、

前記第2のフリップフロップの出力に接続されるデータ入力と、前記第1のクロック信号を受信するために前記第1の回路に結合されるように適合されるクロック入力と、出力とを含む第5のフリップフロップと、

前記第5のフリップフロップの出力に接続されるデータ入力と、前記第1のクロック信号を受信するため前記第1の回路に結合されるように適合されるクロック入力と、前記第1のクロック信号に同期される前記割り込み出力信号を提供するために前記第1の回路に結合されるように適合される出力とを含む第6のフリップフロップと、

を更に含む、回路。

【請求項5】

請求項1に記載の回路であって、

前記第1の回路と前記第2の回路と前記第1のフリップフロップと前記第2のフリップフロップとが单一の集積回路において形成される、回路。

【請求項6】

方法であって、

割り込み生成器回路の第1のフリップフロップによって第2の回路から割り込み要求信号と第2のクロック信号とを受信することと、

前記割り込み生成器回路の第3のフリップフロップ回路によって第1の回路から確認信号と第1のクロック信号とを受信することと、

前記割り込み生成器回路の第2のフロップフロップのクロック入力において前記割り込み生成器回路の前記第1のフロップフロップから出力を受信することと、

前記割り込み生成器回路の前記第2のフリップフロップによって前記第1の回路に割り込みするために前記割り込み要求信号に同期される割り込み入力信号を生成することと、

前記割り込み生成器回路によって前記割り込み要求信号に同期される割り込み入力信号を提供することと、

前記割り込み生成器回路の前記第2のフリップフロップにおいて前記第1の回路からの確認信号に応答して前記第2のクロック信号に対して非同期に前記割り込み入力信号をクリアすることと、

を含む、方法。

【請求項7】

請求項6に記載の方法であって、

前記割り込み入力信号を前記第1のクロック信号に同期させることを更に含む、方法。

【請求項8】

請求項7に記載の方法であって、

前記確認信号の前記第1のクロック信号の2サイクル以内に前記割り込み入力信号をクリアすることを更に含む、方法。

【請求項9】

請求項6に記載の方法であって、

同期化回路によって前記割り込み生成器回路から割り込み入力信号を受信することと、前記割り込み入力信号に応答して割り込み出力信号を生成することと、

前記第2のクロック信号に対して非同期に前記割り込み入力信号に応答して前記第1の回路に前記割り込み出力信号を提供することと、
を更に含む、方法。