

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 3 年 3 月 11 日 (2021.3.11)

【公表番号】特表 2020-507176 (P2020-507176A)

【公表日】令和 2 年 3 月 5 日 (2020.3.5)

【年通号数】公開・登録公報 2020-009

【出願番号】特願 2019-562234 (P2019-562234)

【国際特許分類】

G 0 6 F 13/42 (2006.01)

H 0 3 K 5/00 (2006.01)

G 0 6 F 1/12 (2006.01)

【F I】

G 0 6 F 13/42 3 5 0 B

H 0 3 K 5/00 P

G 0 6 F 1/12 5 1 0

【手続補正書】

【提出日】令和 3 年 1 月 27 日 (2021.1.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路であって、

第 2 の回路から割り込み要求信号を受信するように構成される第 1 の入力と、前記第 2 の回路から第 2 のクロック信号を受信するように構成される第 2 の入力と、出力とを含む第 1 のフリップフロップと、

前記第 1 のフリップフロップの出力に結合されるクロック入力と、割り込み入力信号を提供するように構成される出力とを含む第 2 のフリップフロップと、

第 1 の回路から確認信号を受信するように構成される第 1 の入力と、前記第 1 の回路から第 1 のクロック信号を受信するように構成される第 2 の入力と、前記第 1 の回路からの前記確認信号にตอบสนองして前記第 2 のフリップフロップに割り込みクリア信号を提供するように構成される出力とを含む第 3 のフリップフロップと、

を含む、回路。

【請求項 2】

請求項 1 に記載の回路であって、

前記割り込み要求信号が、前記第 2 の回路によって割り込みが要求されていないことを示す第 1 の状態と、前記第 2 の回路によって割り込みが要求されていることを示す第 2 の状態とを有し、

前記割り込みクリア信号が、第 1 の状態と第 2 の状態とを有し、

前記第 2 のフリップフロップの出力が、

第 1 の状態の前記割り込みクリア信号を受信する前記第 2 のフリップフロップの入力にตอบสนองして第 1 の状態の前記割り込み入力信号を提供し、

前記割り込みクリア信号が第 2 の状態にあるときに前記第 1 の状態から前記第 2 の状態に遷移する前記割り込み要求信号にตอบสนองして第 2 の状態の割り込み入力信号を提供する、ように更に構成され、

前記第 3 のフリップフロップが、前記第 1 の回路からの前記確認信号にตอบสนองして前記割

り込み入力信号を前記第 1 の状態に設定するために前記第 2 のフリップフロップをリセットするように、第 1 の状態の前記割り込みクリア信号を提供するように構成される、回路。

【請求項 3】

請求項 2 に記載の回路であって、

前記割り込み入力信号を受信するために前記第 2 のフリップフロップの出力に結合される入力と、前記第 1 の回路に割り込み出力信号を提供するために前記第 1 のクロック信号に同期される出力とを含む同期化回路を更に含む、回路。

【請求項 4】

請求項 3 に記載の回路であって、

前記同期化回路が、

前記第 2 のフリップフロップの出力に接続されるデータ入力と、前記第 1 のクロック信号を受信するために前記第 1 の回路に結合されるように適合されるクロック入力と、出力とを含む第 5 のフリップフロップと、

前記第 5 のフリップフロップの出力に接続されるデータ入力と、前記第 1 のクロック信号を受信するため前記第 1 の回路に結合されるように適合されるクロック入力と、前記第 1 のクロック信号に同期される前記割り込み出力信号を提供するために前記第 1 の回路に結合されるように適合される出力とを含む第 6 のフリップフロップと、

を更に含む、回路。

【請求項 5】

請求項 1 に記載の回路であって、

前記第 1 の回路と前記第 2 の回路と前記第 1 のフリップフロップと前記第 2 のフリップフロップとが単一の集積回路において形成される、回路。

【請求項 6】

方法であって、

割り込み生成器回路の第 1 のフリップフロップによって第 2 の回路から割り込み要求信号と第 2 のクロック信号とを受信することと、

前記割り込み生成器回路の第 3 のフリップフロップ回路によって第 1 の回路から確認信号と第 1 のクロック信号とを受信することと、

前記割り込み生成器回路の第 2 のフリップフロップのクロック入力において前記割り込み生成器回路の前記第 1 のフリップフロップから出力を受信することと、

前記割り込み生成器回路の前記第 2 のフリップフロップによって前記第 1 の回路に割り込みするために前記割り込み要求信号に同期される割り込み入力信号を生成することと、

前記割り込み生成器回路によって前記割り込み要求信号に同期される割り込み入力信号を提供することと、

前記割り込み生成器回路の前記第 2 のフリップフロップにおいて前記第 1 の回路からの確認信号に応答して前記第 2 のクロック信号に対して非同期に前記割り込み入力信号をクリアすることと、

を含む、方法。

【請求項 7】

請求項 6 に記載の方法であって、

前記割り込み入力信号を前記第 1 のクロック信号に同期させることを更に含む、方法。

【請求項 8】

請求項 7 に記載の方法であって、

前記確認信号の前記第 1 のクロック信号の 2 サイクル以内に前記割り込み入力信号をクリアすることを更に含む、方法。

【請求項 9】

請求項 6 に記載の方法であって、

同期化回路によって前記割り込み生成器回路から割り込み入力信号を受信することと、

前記割り込み入力信号に応答して割り込み出力信号を生成することと、

前記第 2 のクロック信号に対して非同期に前記割り込み入力信号に応答して前記第 1 の回路に前記割り込み出力信号を提供することと、
を更に含む、方法。