

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2023-548757

(P2023-548757A)

(43)公表日 令和5年11月21日(2023.11.21)

(51)国際特許分類	F I	テーマコード (参考)
H 1 0 N 60/01 (2023.01)	H 1 0 N 60/01 J	4 M 1 1 3
G 0 6 F 7/38 (2006.01)	G 0 6 F 7/38 6 1 0	

審査請求 未請求 予備審査請求 未請求 (全35頁)

(21)出願番号	特願2023-521560(P2023-521560)	(71)出願人	511050697
(86)(22)出願日	令和3年10月21日(2021.10.21)		アリババ グループ ホウルディング リ
(85)翻訳文提出日	令和5年5月31日(2023.5.31)		ミテッド
(86)国際出願番号	PCT/US2021/055996		英国領ケイマン諸島 グランド ケイマン
(87)国際公開番号	WO2022/093618		ジョージ タウン ピーオーボックス 8
(87)国際公開日	令和4年5月5日(2022.5.5)		4 7 ワン キャピタル プレイス フォー
(31)優先権主張番号	202011187173.0		ス フロア
(32)優先日	令和2年10月29日(2020.10.29)	(74)代理人	100079108
(33)優先権主張国・地域又は機関	中国(CN)		弁理士 稲葉 良幸
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く	(74)代理人	100109346
			弁理士 大貫 敏史
		(74)代理人	100117189
			弁理士 江口 昭彦
		(74)代理人	100134120
			弁理士 内藤 和彦

最終頁に続く

(54)【発明の名称】 ジョセフソン接合を作製するための方法、装置、およびデバイス、ならびに超伝導デバイス

(57)【要約】

ジョセフソン接合作製のための方法、装置、およびデバイスは、第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることと、情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることと、第1の電極層の上に絶縁層を形成することであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成することと、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることと、第1のジョセフソン接合および複数の第2のジョセフソン接合を形成することと、を含む。

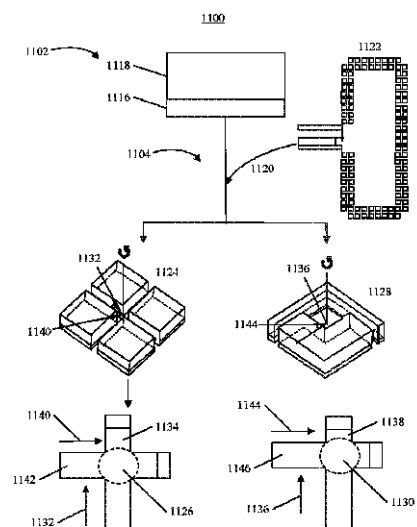


FIG. 11

【特許請求の範囲】

【請求項 1】

ジョセフソン接合を作製するための方法であって、

第 1 のタイプの第 1 のジョセフソン接合を生成するための第 1 のパターン構造、および第 2 のタイプの複数の第 2 のジョセフソン接合を生成するための複数の第 2 のパターン構造を得るステップであって、前記第 1 のジョセフソン接合の接合面積が、前記複数の第 2 のジョセフソン接合のうちの少なくとも 1 つの接合面積と異なる、パターン構造を得るステップと、

情報伝送を実施するための第 1 の電極層を生成するために、材料を前記第 1 のパターン構造および前記複数の第 2 のパターン構造上に第 1 の蒸着方向に基づいて蒸着させるステップであって、前記第 1 の蒸着方向が、前記第 1 のパターン構造の縁部および前記複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行である、第 1 の蒸着方向に基づいて蒸着させるステップと、

前記第 1 の電極層の上に絶縁層を形成するステップであって、前記絶縁層が、前記材料に対応する化合物を含む、絶縁層を形成するステップと、

情報伝送を実施するための第 2 の電極層を生成するために、前記材料を前記第 1 のパターン構造および前記複数の第 2 のパターン構造上に第 2 の蒸着方向に基づいて蒸着させるステップであって、前記第 2 の蒸着方向が、前記第 1 のパターン構造の前記縁部および前記複数の第 2 のパターン構造のうちの前記少なくとも 1 つの前記縁部と実質的に平行である、第 2 の蒸着方向に基づいて蒸着させるステップと、

前記第 1 のパターン構造上に生成された前記第 1 の電極層と、前記絶縁層と、前記第 1 のパターン構造上に生成された前記第 2 の電極層とに基づいて、前記第 1 のジョセフソン接合を形成し、前記複数の第 2 のパターン構造上に生成された前記第 1 の電極層と、前記絶縁層と、前記複数の第 2 のパターン構造上に生成された前記第 2 の電極層とに基づいて、前記複数の第 2 のジョセフソン接合を形成するステップと、を含む方法。

【請求項 2】

前記第 1 のジョセフソン接合の前記接合面積が、事前に設定された面積以下であり、前記複数の第 2 のジョセフソン接合のうちの前記少なくとも 1 つの前記接合面積が、前記事前に設定された面積よりも大きい、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のタイプの前記第 1 のジョセフソン接合を生成するための前記第 1 のパターン構造、および前記第 2 のタイプの前記複数の第 2 のジョセフソン接合を生成するための前記複数の第 2 のパターン構造を得るステップが、

ウエハレベルのジョセフソン接合を作製するためのマスクプレートを得るステップであって、前記マスクプレートが、前記第 1 のジョセフソン接合を作製するための第 1 のマスク領域、および前記複数の第 2 のジョセフソン接合を作製するための複数の第 2 のマスク領域を含む、マスクプレートを得るステップと、

前記第 1 のマスク領域を通じて前記第 1 のパターン構造を得るとともに、前記複数の第 2 のマスク領域を通じて前記複数の第 2 のパターン構造を得るステップと、を含む、請求項 1 に記載の方法。

【請求項 4】

前記第 1 のマスク領域を通じて前記第 1 のパターン構造を得るとともに、前記複数の第 2 のマスク領域を通じて前記複数の第 2 のパターン構造を得るステップが、

基板構造を得るステップと、

前記基板構造上にフォトリジスト層を形成するステップと、

前記マスクプレートを通じて前記フォトリジスト層にエッチングを行って、前記第 1 のパターン構造および前記複数の第 2 のパターン構造を得るステップと、を含む、請求項 3 に記載の方法。

【請求項 5】

前記フォトリジスト層が、上部フォトリジスト層および下部フォトリジスト層を備えて

いる、請求項 4 に記載の方法。

【請求項 6】

前記上部フォトレジスト層の厚みが、前記下部フォトレジスト層の厚みよりも大きい、請求項 5 に記載の方法。

【請求項 7】

前記第 1 のジョセフソン接合を定義するための電氣的パラメータを得るステップと、前記電氣的パラメータに基づいて前記第 1 のジョセフソン接合の接合面積を決定するステップと、をさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記電氣的パラメータが、電磁場エネルギー密度、キャパシタンス、またはインダクタンスの少なくとも 1 つを含む、請求項 7 に記載の方法。

10

【請求項 9】

前記複数の第 2 のジョセフソン接合を作製するための蒸着角度を得るステップであって、前記蒸着角度が、前記第 1 の蒸着方向または前記第 2 の蒸着方向の少なくとも一方に対応する、蒸着角度を得るステップと、

前記蒸着角度に基づいて、前記複数の第 2 のジョセフソン接合に関連する設計接合面積を決定するステップと、をさらに含む、請求項 1 に記載の方法。

【請求項 10】

前記蒸着角度に基づいて、前記複数の第 2 のジョセフソン接合に関連する前記設計接合面積を決定するステップが、

20

前記複数の第 2 のジョセフソン接合を作製するためのフォトレジスト層の厚み情報を得るステップと、

前記厚み情報および前記蒸着角度に基づいて前記設計接合面積を決定するステップであって、前記設計接合面積は、前記複数の第 2 のジョセフソン接合のうちの少なくとも 1 つの接合面積以上である、設計接合面積を決定するステップと、を含む、請求項 9 に記載の方法。

【請求項 11】

前記厚み情報および前記蒸着角度に基づいて前記設計接合面積を決定するステップが、前記蒸着角度に対応するコサイン値を得るステップと、

30

前記コサイン値と前記厚み情報との積値を決定するステップと、

前記積値に基づいて前記設計接合面積を決定するステップと、を含む、請求項 10 に記載の方法。

【請求項 12】

前記蒸着角度が、前記第 1 の蒸着方向に対応する第 1 の蒸着角度または前記第 2 の蒸着方向に対応する第 2 の蒸着角度を含む、請求項 9 に記載の方法。

【請求項 13】

前記第 1 の蒸着方向と重力方向との間に形成される角度が 10° 以上 60° 以下である、請求項 1 に記載の方法。

【請求項 14】

前記第 1 の蒸着方向が前記第 2 の蒸着方向に対して垂直である、請求項 1 に記載の方法。

40

【請求項 15】

前記複数の第 2 のジョセフソン接合が直列接続され、前記第 1 のジョセフソン接合が前記複数の第 2 のジョセフソン接合に並列接続される、請求項 1 に記載の方法。

【請求項 16】

前記材料が、アルミニウム、二元窒化物、三元窒化物、または複合酸化物の少なくとも 1 つを含む、請求項 1 に記載の方法。

【請求項 17】

ジョセフソン接合を作製するための装置であって、少なくとも 1 つの回路を備え、前記少なくとも 1 つの回路が、

50

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、前記第1のジョセフソン接合の接合面積は、前記複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、

前記装置に、情報伝送を実現するための第1の電極層を生成するために、材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、前記第1の蒸着方向が、前記第1のパターン構造の縁部および前記複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、

10

前記装置に、前記第1の電極層の上に絶縁層を形成させることであって、前記絶縁層が、前記材料に対応する化合物を含む、絶縁層を形成させることと、

前記装置に、情報伝送を実施するための第2の電極層を生成するために、前記材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることであって、前記第2の蒸着方向が、前記第1のパターン構造の前記縁部および前記複数の第2のパターン構造のうち前記少なくとも1つの前記縁部と実質的に平行である、第2の蒸着方向に基づいて前記材料を蒸着させることと、

前記装置に、前記第1のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記第1のパターン構造上に生成された前記第2の電極層とに基づいて、前記第1のジョセフソン接合を形成させるとともに、前記複数の第2のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記複数の第2のパターン構造上に生成された前記第2の電極層とに基づいて、前記複数の第2のジョセフソン接合を形成させることと、

20

のために構成されている、装置。

【請求項18】

ジョセフソン接合を作製するためのデバイスであって、
少なくとも1つのプロセッサと、
命令の組を記憶するように構成されたメモリと
を備え、前記命令の組は、前記デバイスに、

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、前記第1のジョセフソン接合の接合面積は、前記複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、

30

情報伝送を実施するための第1の電極層を生成するために、材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、前記第1の蒸着方向は、前記第1のパターン構造の縁部および前記複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、

前記第1の電極層の上に絶縁層を形成することであって、前記絶縁層が、前記材料に対応する化合物を含む、絶縁層を形成することと、

40

情報伝送を実施するための第2の電極層を生成するために、前記材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることであって、前記第2の蒸着方向は、前記第1のパターン構造の前記縁部および前記複数の第2のパターン構造のうちの前記少なくとも1つの前記縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させることと、

前記第1のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記第1のパターン構造上に生成された前記第2の電極層とに基づいて、前記第1のジョセフソン接合を形成し、前記複数の第2のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記複数の第2のパターン構造上に生成された前記第2の電極層とに基づいて、前記複数の第2のジョセフソン接合を形成することと、

50

を行わせるために、前記少なくとも1つのプロセッサにより実行可能である、デバイス。

【請求項19】

第2のタイプの複数の第2のジョセフソン接合に並列接続されている第1のタイプの第1のジョセフソン接合を含む超伝導回路であって、前記複数の第2のジョセフソン接合が直列接続され、前記第1のジョセフソン接合および前記複数の第2のジョセフソン接合が、方法によって生成され、前記方法が、

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得るステップであって、前記第1のジョセフソン接合の接合面積が、前記複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得るステップと、

情報伝送を実施するための第1の電極層を生成するために、材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させるステップであって、前記第1の蒸着方向が、前記第1のパターン構造の縁部および前記複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させるステップと、

前記第1の電極層の上に絶縁層を形成するステップであって、前記絶縁層が、前記材料に対応する化合物を含む、絶縁層を形成するステップと、

情報伝送を実施するための第2の電極層を生成するために、前記材料を前記第1のパターン構造および前記複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させるステップであって、前記第2の蒸着方向が、前記第1のパターン構造の前記縁部および前記複数の第2のパターン構造のうちの前記少なくとも1つの前記縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させるステップと、

前記第1のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記第1のパターン構造上に生成された前記第2の電極層とに基づいて、前記第1のジョセフソン接合を形成し、前記複数の第2のパターン構造上に生成された前記第1の電極層と、前記絶縁層と、前記複数の第2のパターン構造上に生成された前記第2の電極層とに基づいて、前記複数の第2のジョセフソン接合を形成するステップと、を含む、超伝導回路。

【請求項20】

前記超伝導回路の磁束が制御可能である、請求項19に記載の超伝導回路。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本開示は、2020年10月29日に出願された中国特許出願第202011187173.0号の利益およびそれに対する優先権を主張し、同出願の内容は全体が参照により本明細書に組み込まれる。

【0002】

本開示は、超伝導回路の技術分野、特に、ジョセフソン接合を作製するための方法、装置、およびデバイス、ならびに超伝導デバイスに関する。

【背景技術】

【0003】

ジョセフソン接合は、超伝導トンネル接合とも呼ばれ、一般には、SISと呼ばれる超伝導体(S)－絶縁体(I)－超伝導体(S)構造によって形成されるジョセフソン接合などの、非常に薄いバリア層を挟んだ2つの超伝導体を含む構造である。上記のジョセフソン接合は、現代の量子コンピューティングの実現および応用にとって主要な構成要素である。具体的には、超伝導量子コンピュータにおいて、論理演算を行う超伝導量子ビット(qubit)は、1つまたは複数のジョセフソン接合を作り、同時に何らかの他の追加的な回路要素(キャパシタンス要素およびインダクタンス要素など)を追加することにより、

構築することができる。したがって、ジョセフソン接合の作製品質は、超伝導量子ビットの生成の鍵となる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

現在、ジョセフソン接合の作製方法は、通常、マスクプレートを使用してシャドー蒸着を行う。しかし、上記の方法を使用してジョセフソン接合を作製する場合、ジョセフソン接合の品質は、フォトレジストの厚みと蒸着方向とに対する精密な制御に大きく依存する。蒸着方向が変化する、またはフォトレジストの厚みが変わると、ジョセフソン接合の接合品質が変化する。したがって、ジョセフソン接合の作製品質を保証することができない。

10

【課題を解決するための手段】

【0005】

本開示の実施形態は、ジョセフソン接合作製のための方法、装置、およびデバイス、ならびに超伝導回路を提供する。一態様において、ジョセフソン接合を作製するための方法は、第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得るステップであって、第1のジョセフソン接合の接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得るステップと、情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させるステップであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させるステップと、第1の電極層の上に絶縁層を形成するステップであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成するステップと、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させるステップであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させるステップと、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成し、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成するステップと、を含む。

20

30

【0006】

別の態様において、ジョセフソン接合を作製するための装置は、少なくとも1つの回路を備え、この少なくとも1つの回路は、第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、第1のジョセフソン接合の接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、上記装置に、情報伝送を実現するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、上記装置に、第1の電極層の上に絶縁層を形成させることであって、絶縁層が材料に対応する化合物を含む、絶縁層を形成させることと、上記装置に、情報伝送を実施するための第2の電極層を生成するために、第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて材料を蒸着させることであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて材料を蒸着させることと、上記装置に、第1のパターン構造上に生成された第1の電

40

50

極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成させるとともに、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成させることと、のために構成されている。

【0007】

さらに別の態様において、ジョセフソン接合を作製するためのデバイスは、少なくとも1つのプロセッサと、命令の組を記憶するように構成されたメモリとを備え、命令の組は、デバイスに、第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、第1のジョセフソン接合の接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、第1の電極層の上に絶縁層を形成することであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成することと、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させることと、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成し、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成することと、を行わせるために、少なくとも1つのプロセッサにより実行可能である。

【0008】

さらに別の態様において、超伝導回路は、第2のタイプの複数の第2のジョセフソン接合に並列接続されている第1のタイプの第1のジョセフソン接合を含み、複数の第2のジョセフソン接合が直列接続され、第1のジョセフソン接合および複数の第2のジョセフソン接合が、方法によって生成される。方法は、第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得るステップであって、第1のジョセフソン接合の接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得るステップと、情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させるステップであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させるステップと、第1の電極層の上に絶縁層を形成するステップであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成するステップと、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させるステップであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させるステップと、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成し、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成するステップと、を含む。

【0009】

本開示の実施形態における技術的解決法をより明確に説明するために、実施形態を説明するために必要とされる添付図面が以下で簡単に紹介される。以下で説明される添付図面は本開示のいくつかの実施形態に過ぎず、当業者は、創造のための労力を伴わずにそれら添付図面から他の図面を導くことができることは明らかである。

【図面の簡単な説明】

【0010】

【図1】ジョセフソン接合を作製するプロセスを説明する概略図である。

【図2】ジョセフソン接合を作製するプロセスを説明する概略図である。

【図3】ジョセフソン接合を作製するプロセスを説明する概略図である。

【図4A】第1の射出角を使用してジョセフソン接合を作製するプロセスを説明する概略図である。

10

【図4B】第2の射出角を使用してジョセフソン接合を作製するプロセスを説明する概略図である。

【図5A】第1の厚みをもつフォトリジストを使用してジョセフソン接合を作製するプロセスを説明する概略図である。

【図5B】第2の厚みをもつフォトリジストを使用してジョセフソン接合を作製するプロセスを説明する概略図である。

【図6】本開示の一部の実施形態に従う、ジョセフソン接合を作製するための方法を説明するフローチャートである。

【図7】本開示の一部の実施形態に従う、第1のパターン構造および複数の第2のパターン構造を得る方法を説明するフローチャートである。

20

【図8】本開示の一部の実施形態に従う、マスクプレートの概略構造図である。

【図9】本開示の一部の実施形態に従う、ジョセフソン接合を作製するための別の方法のフローチャートである。

【図10】本開示の一部の実施形態に従う、ジョセフソン接合を作製するためのさらに別の方法のフローチャートである。

【図11】本開示の一部の実施形態に従う、ジョセフソン接合を作製するプロセスを説明する概略図である。

【図12】本開示の一部の実施形態に従う、ジョセフソン接合を作製するための装置を示す概略構造図である。

30

【図13A】本開示の一部の実施形態に従う、ジョセフソン接合を作製するための電子デバイスを示す概略構造図である。

【図13B】本開示の一部の実施形態に従う、量子回路を動作させるための例示的なシステムのブロック図である。

【図13C】本開示の一部の実施形態に従う、量子回路を動作させるための例示的な量子コントローラを示す概略図である。

【図14】本開示の一部の実施形態に従う、超伝導デバイスを示す概略図である。

【発明を実施するための形態】

【0011】

次いで、例示的な実施形態を詳細に参照することができ、その例は添付図面に示されている。以下の説明は添付図面を参照し、添付図面では、異なる図面中の同じ番号は、異なるように表されない限り、同じまたは同様の要素を表す。以下の例示的な実施形態の説明において述べられる実装は、本開示によるすべての実装を表すものではない。そうではなく、それらは、添付の特許請求の範囲に記載される本開示に係る態様に従った装置および方法の例に過ぎない。本開示の特定の態様が、以下により詳細に記載される。参照により組み込まれる用語または定義と矛盾する場合は、本明細書に提供される用語および定義が考慮される。

40

【0012】

本開示の実施形態において使用される用語は、単に特定の実施形態を説明する目的であり、本開示を制限することは意図されない。本開示の実施形態および添付の特許請求の範

50

図において使用される単数形の「a」、「said」および「the」は、他の意味が明らかに文脈に示されない限り、複数形も含むことが意図され、また「複数の」は、一般には少なくとも2つを含むが、少なくとも1つを含む場合を除外しない。

【0013】

本明細書における「第1の」および「第2の」などの関係を表す語は、あるエンティティまたは動作を別のエンティティまたは動作から区別するためだけに使用され、それらのエンティティまたは動作の間の実際の関係または順序を必要としたり示唆したりするものではないことが留意されるべきである。さらに、語「～を備える」、「～を有する」、「～を含んでいる」、および「～を含む」ならびに他の同様の形は、同等の意味であり、また、これらの単語のいずれかの後に続く項目がそのような項目の完全な列挙であることは意図されず、また列挙された項目のみに限定されることも意図されないという点で、オープンエンドであることが意図される。

10

【0014】

本明細書で使用される場合、特に断らない限り、用語「または」は、実現不可能である場合を除き、あらゆる可能な組み合わせを包含する。例えば、ある構成要素がAまたはBを含み得ると述べられる場合は、明確に指定されない限りまたは実現不可能でない限り、その構成要素は、A、またはB、またはAおよびBを含み得る。第2の例として、ある構成要素がA、B、またはCを含み得ると述べられる場合は、明確に指定されない限りまたは実現不可能でない限り、その構成要素は、A、またはB、またはC、またはAおよびB、またはAおよびC、またはBおよびC、またはAおよびBおよびCを含み得る。

20

【0015】

文脈に応じて、本明細書において使用される語「～の場合」および「～する場合」は、「～の時」または「～する時」または「判定に応答して」または「検出に応答して」と解釈され得る。同様に、文脈に応じて、表現「判定した場合」または「(述べられた条件または事象を)検出した場合」は、「判定されたとき」または「判定に応答して」または「(述べられた条件または事象を)検出したとき」または「(述べられた条件または事象の)検出に応答して」と解釈され得る。

【0016】

さらに、用語「～を含む」、「～を備える」またはそれらの他の変形は、非排他的な包含をカバーすることが意図され、よって、一連の要素を含む商品またはシステムはそれらの要素を含むだけでなく、明示的に列挙されない他の要素も含み、またはさらには、その商品またはシステムに本質的に備わる要素も含むことが留意されるべきである。さらなる制限がない場合、「一つの...を含む」によって定義される要素は、その要素を含む商品またはシステムが他の同一の要素をさらに含むことを除外しない。また、以下の方法実施形態におけるステップの順序は例に過ぎず、厳格な限定ではない。

30

【0017】

本明細書において使用される場合、ジョセフソン接合(「超伝導トンネル接合」とも称される)は、薄いバリア層を挟んだ2つの超伝導体を含む構造を指すことがある。例として、ジョセフソン接合は、超伝導体-絶縁体-超伝導体構造(または「S-I-S」構造と称される)によって形成され得る。ジョセフソン接合は、現代の量子コンピューティングの実現および応用にとって主要な構成要素であり得る。一部の用途では、超伝導量子コンピュータは、高精度のデータ操作を実現するために多数(例えば約100万)の超伝導量子ビット(「量子ビット」)を利用することがある。論理演算を行う超伝導量子ビットは、1つまたは複数のジョセフソン接合を作り、追加的な回路要素(例えば、キャパシタンス要素またはインダクタンス要素)を追加することにより、構築することができる。したがって、均一な構造の多数の超伝導量子ビットを作製することは、超伝導量子コンピュータにとって非常に重要でありうる。超伝導量子ビットを作製する鍵の一つは、ジョセフソン接合の作製品質である(例えば、ジョセフソン接合の面積、ジョセフソン接合の臨界電流、ジョセフソン接合の非超伝導常伝導状態抵抗、またはジョセフソン接合の任意の他の特性)。

40

50

【0018】

ジョセフソン接合を作製するための既存の技術は、通例、マスクプレートを用いたシャドー蒸着を含む。図1～図3は、ジョセフソン接合を作製する従来のプロセスを説明する概略図である。図1に示すように、マスクプレート102は、第1のマスクパターン104および第2のマスクパターン106を含むことができ、第1のマスクパターン104と第2のマスクパターン106の間にブリッジ構造108が配置される。ブリッジ構造108を有するマスクプレート102に基づいて、第1のマスクパターン104を通じて材料をベアシリコンウエハ110上に成長させて、第1の構造（図1には図示せず）を生成することができる。

【0019】

図2に示すように、第1の構造204を生成するプロセスは、第1の材料202をマスクプレート102の上に第1の射出角 θ_1 で成長させることを含むことができる。第1の材料202は、同じマスクにある第1のマスクパターン104および第2のマスクパターン106を通じてベアシリコンウエハ110上に成長させることができ、それにより第1の構造204を生成することができる。

【0020】

図3に示すように、第2の構造304を生成するプロセスは、第2の材料302を第1の材料202の上に第2の射出角 θ_2 で成長させることを含むことができる。第2の材料302は、同じマスクにある第1のマスクパターン104および第2のマスクパターン106を通じてベアシリコンウエハ110上に成長させることができ、それにより第2の構造304（塗りつぶしたパターンによって表される）を生成することができる。第2の射出角 θ_2 は、第1の射出角 θ_1 と異なり得る（図2に示されるように）。したがって、ベアシリコンウエハ110上の第1の構造204の位置と第2の構造304の位置は異なり得、それにより、重複構造が、第1の構造204と第2の構造304との間に形成され得る。そのような重複構造がジョセフソン接合306を形成することができる（図3で、破線の円で囲まれた構造によって表される）。

【0021】

図1～図3との関連で説明された従来のプロセスを使用してジョセフソン接合を作製する場合、ジョセフソン接合の品質は、フォトレジストの厚みの精密な制御および蒸着方向の精密な制御に大きく依存し得る。蒸着方向が変化すると、ジョセフソン接合の品質は変化の影響を受け得る（例えば、ジョセフソン接合の面積、ジョセフソン接合の臨界電流、ジョセフソン接合の非超伝導常伝導状態抵抗、またはジョセフソン接合の任意の他の特性）。

【0022】

図4Aは、第1の射出角402を使用してジョセフソン接合を作製する従来のプロセスを説明する概略図である。図4Aに示すように、同じフォトレジスト構造および蒸着材料に対して、第1の射出角402を使用して材料を蒸着させると、電極層がフォトレジスト層上に幅404で形成され得る。図4Bは、第2の射出角406を使用してジョセフソン接合を作製する従来のプロセスを説明する概略図である。図4Bに示すように、第2の射出角406を使用して材料を蒸着させると、電極層がフォトレジスト層上に幅408で形成され得る。第1の射出角402と第2の射出角406が異なるとき、幅404と幅408は異なり得る。したがって、複数のジョセフソン接合の作製中に、複数のジョセフソン接合の品質（例えば、ジョセフソン接合の面積）が射出角の変化の影響を受けることがあり、そのため、ジョセフソン接合の作製品質を保証することが難しくなり得る。

【0023】

同様に、ジョセフソン接合の接合品質は、ジョセフソン接合を作製するためのフォトレジストの厚みに応じて変化することがある。図5Aは、第1の厚みをもつフォトレジストを使用してジョセフソン接合を作製する従来のプロセスを説明する概略図である。図5Aに示すように、同じ射出角および蒸着材料に対して、ある射出角を使用してフォトレジスト厚み502のフォトレジスト構造上に材料を蒸着させると、電極層がフォトレジスト層

10

20

30

40

50

上に幅 404 で形成され得る。図 5 B は、第 2 の厚みをもつフォトレジストを使用してジョセフソン接合を作製する従来のプロセスを説明する概略図である。図 5 B に示すように、同じ射出角を使用してフォトレジスト厚み 504 のフォトレジスト構造上に材料を蒸着させると、電極層がフォトレジスト層上に幅 408 で形成され得る。フォトレジストの厚み 502 がフォトレジスト厚み 504 と異なるとき、幅 404 と幅 408 も異なり得る。そのため、複数のジョセフソン接合が異なるフォトレジスト厚みを使用して作製される場合、複数のジョセフソン接合の接合品質（例えば、ジョセフソン接合の面積）は、フォトレジスト厚みの変化の影響を受けることがあり、そのため、ジョセフソン接合の作製品質を保証することが難しくなり得る。

【0024】

10

上記で説明したように、ジョセフソン接合を作製する際、蒸着角度およびフォトレジスト厚みが、ジョセフソン接合の品質に多大な影響を及ぼす。具体的には、複数のジョセフソン接合のウエハ規模の製造では、蒸着角度およびウエハ全体におけるフォトレジスト厚みの分散が、ジョセフソン接合の品質に影響することがあり、場合によってはジョセフソン接合の作製歩留まりを大幅に下げることがある。

【0025】

ジョセフソン接合の品質に対する蒸着方向またはフォトレジスト厚みの変化の影響を低減し、ウエハ規模のジョセフソン接合の均一性および作製歩留まりを向上させるために、ジョセフソン接合を作製するための方法、装置、デバイス、超伝導デバイスが本開示に提供される。本開示の実施形態は、多くの技術的利益を提供することができる。第 1 のジョセフソン接合と複数の第 2 のジョセフソン接合を同時に作製することができる。さらに、第 1 の電極層および第 2 の電極層が生成される際、第 1 の蒸着方向は、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行であり得る。第 2 の蒸着方向は、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行であり得る。そのようにすることにより、ジョセフソン接合の品質に対する蒸着方向またはフォトレジストの厚みの影響を有効に低減することができる。したがって、第 1 のジョセフソン接合および複数の第 2 のジョセフソン接合の品質を保証することができ、ジョセフソン接合を作製する均一性および歩留まりを向上させることができる。

20

【0026】

30

本開示のいくつかの実装が、添付図面を参照して以下で詳細に説明される。実施形態間で矛盾がなければ、以下の実施形態およびそれら実施形態における特徴は、互いと組み合わせることができる。

【0027】

図 6 は、本開示の一部の実施形態に従う、ジョセフソン接合を作製するための方法 600 を説明するフローチャートである。方法 600 は、ウエハレベルのジョセフソン接合を作製するために使用され得る。また、方法 600 を行うことが可能な任意の装置が、ウエハレベルのジョセフソン接合を作製するために使用され得る。ジョセフソン接合を作製するための装置は、ソフトウェア、ハードウェア、またはソフトウェアとハードウェアの組み合わせとして実装され得ることが理解できる。一部の実施形態では、方法 600 は、装置の少なくとも 1 つの回路によって実装され得る。

40

【0028】

ステップ 602 で、第 1 のタイプの第 1 のジョセフソン接合を生成するための第 1 のパターン構造、および第 2 のタイプの複数の第 2 のジョセフソン接合を生成するための複数の第 2 のパターン構造が得られる。第 1 のジョセフソン接合の接合面積は、複数の第 2 のジョセフソン接合のうちの少なくとも 1 つの接合面積と異なり得る。

【0029】

一部の実施形態では、異なるジョセフソン接合は、異なる接合面積に対応し得る。ジョセフソン接合の均一性および作製歩留まりを保証しながらジョセフソン接合の作製を容易にするために、ジョセフソン接合を、第 1 のジョセフソン接合と複数の第 2 のジョセフソ

50

ン接合に分類することができ、第1のジョセフソン接合の接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なり得る。

【0030】

例として、第1のジョセフソン接合の接合面積は、事前に設定された面積以下であり得、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積は、事前に設定された面積よりも大きいものであり得る。そのような場合、第1のジョセフソン接合は「小さい接合」と称することができ、複数の第2のジョセフソン接合は「大きい接合」と称することができる。

【0031】

別の例では、第1のジョセフソン接合の接合面積が、事前に設定された面積より大きいものであり得、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積が、事前に設定された面積以下であり得る。そのような場合、第1のジョセフソン接合を「大きい接合」と称することができ、複数の第2のジョセフソン接合は「小さい接合」と称することができる。

【0032】

曖昧さを生じさせることなく説明を容易にするために、以下の説明は、例として、第1のジョセフソン接合を「小さい接合」とし、複数の第2のジョセフソン接合を「大きい接合」とする。そのような場合、第1のジョセフソン接合を複数の第2のジョセフソン接合から区別するための事前に設定された面積は、あらかじめ設定することができる。例えば、事前に設定された面積は、第1のジョセフソン接合によって実現されることが可能な最も大きい面積であり得る。事前に設定された面積の具体的な数値範囲は、本開示の例示の実施形態において限定されず、当業者は、本明細書では詳細に述べられない特定の用途要件および設計要件に従ってそれを設定できることに留意すべきである。

【0033】

一部の実施形態では、第1のジョセフソン接合と複数の第2のジョセフソン接合を同時に作製するために、第1のパターン構造および複数の第2のパターン構造を事前に作製することができ、それにより、第1のジョセフソン接合は、第1のパターン構造に基づいて生成することができ、複数の第2のジョセフソン接合は、複数の第2のパターン構造に基づいて生成することができる。第1のパターン構造と複数の第2のパターン構造は、同じであっても異なってもよいことが理解できる。例えば、第1のパターン構造は対称構造であり得、複数の第2のパターン構造の少なくとも1つは非対称構造であり得る。一部の実施形態では、本明細書に記載される第1のパターン構造および複数の第2のパターン構造は、マスクプレートを通したエッチングによって得ることができる。

【0034】

一部の実施形態では、複数の第2のジョセフソン接合は、直列接続され得る。第1のジョセフソン接合は、複数の第2のジョセフソン接合に並列接続され得る。そのような場合、複数の第2のジョセフソン接合および第1のジョセフソン接合は、超伝導デバイスを生成するために使用することができ、それにより、作製されたジョセフソン接合の実用性を向上させることができる。

【0035】

引き続き図6を参照すると、ステップ604で、情報伝送を実施するための第1の電極層を生成するために、第1のパターン構造および複数の第2のパターン構造上に、第1の蒸着方向に基づいて材料を蒸着させる。第1の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0036】

一部の実施形態では、ステップ602の後、材料を第1の蒸着方向に基づいて第1のパターン構造および複数の第2のパターン構造上に同時に蒸着させることができる。一部の実施形態では、材料は、アルミニウム、二元窒化物、三元窒化物、複合酸化物、または任意の他の超伝導材料（例えば、タンタル、モリブデン、バナジウム等の少なくとも1つ）

10

20

30

40

50

の少なくとも1つを含み得る。材料は本明細書に記載される例に限定されないことが理解できる。当業者は、特定の用途要件および設計要件に従って材料を選択することもできる。

【0037】

一部の実施形態では、情報伝送を実施するための第1の電極層は、第1のパターン構造および複数の第2のパターン構造上に蒸着した材料によって生成され得る。例えば、第1のパターン構造に生成された第1の電極層は、第1のジョセフソン接合を生成するために使用することができ、複数の第2のパターン構造に生成された第1の電極層は、複数の第2のジョセフソン接合を生成するために使用することができる。

【0038】

一部の実施形態では、第1の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。そのようにすることにより、ジョセフソン接合の作製品質に対する蒸着角度およびフォトレジスト厚みの影響を、第1のジョセフソン接合および複数の第2のジョセフソン接合を作製するプロセスにおいて低減することができる。例として、第1の蒸着方向と重力方向との間に形成される角度は、 10° 以上 60° 以下であり得る。第1の蒸着方向は、本明細書に記載される例示的实施形態に限定されず、第1のジョセフソン接合および複数の第2のジョセフソン接合の均一性および作製歩留まりを保証することができる限り、当業者によって特定の用途要件および設計要件に従って設定できることが留意される。

【0039】

引き続き図6を参照すると、ステップ606で、絶縁層が第1の電極層の上に形成される。絶縁層は、材料に対応する化合物を含み得る。

【0040】

ステップ608で、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させる。第2の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0041】

一部の実施形態では、材料を第2の蒸着方向に基づいて第1のパターン構造および複数の第2のパターン構造上に同時に蒸着させて、第2の電極層を生成することができる。一部の実施形態では、第1のパターン構造に生成された第2の電極層は、第1のジョセフソン接合を生成するために使用することができ、複数の第2のパターン構造に生成された第2の電極層は、複数の第2のジョセフソン接合を生成するために使用することができる。

【0042】

一部の実施形態では、第2の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行であり得る。そのようにすることにより、ジョセフソン接合の作製品質に対する蒸着角度およびフォトレジスト厚みの影響を、第1のジョセフソン接合および複数の第2のジョセフソン接合を作製するプロセスにおいて低減することができる。第2の蒸着方向は、本明細書に記載される例示的实施形態に限定されず、第1のジョセフソン接合および複数の第2のジョセフソン接合を作製する均一性および作製歩留まりを保証することができる限り、当業者によって特定の用途要件および設計要件に従って選択できることが留意されるべきである。一部の実施形態では、第1の蒸着方向は、第2の蒸着方向に対して垂直であり得る。一部の実施形態では、第2の蒸着方向は、第1の蒸着方向に対しておよそ垂直であり得る（例えば、 1° 、 2° 、 5° 、 10° の誤差範囲、または任意の事前に設定された角度範囲内）。

【0043】

引き続き図6を参照すると、ステップ610で、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて

10

20

30

40

50

、第 1 のジョセフソン接合が形成される。複数の第 2 のジョセフソン接合は、複数の第 2 のパターン構造上に生成された第 1 の電極層と、絶縁層と、複数の第 2 のパターン構造上に生成された第 2 の電極層とに基づいて形成される。

【 0 0 4 4 】

一部の実施形態では、第 1 のジョセフソン接合は、第 1 のパターン構造上に生成された第 1 の電極層と、絶縁層と、第 1 のパターン構造上に生成された第 2 の電極層とを含む、重複構造として形成することができる。同様に、複数の第 2 のジョセフソン接合は重複構造として形成することができ、各重複構造は、複数の第 2 のパターン構造上に生成された第 1 の電極層と、絶縁層と、複数の第 2 のパターン構造上に生成された第 2 の電極層とを含む。そのようにすることにより、ジョセフソン接合に対する正確で効果的な作製動作を効果的に実施することができる。

10

【 0 0 4 5 】

上記で説明したように、方法 6 0 0 を行うことにより、第 1 のジョセフソン接合と複数の第 2 のジョセフソン接合を同時に作製することができる。さらに、第 1 の電極層および第 2 の電極層が生成される際、第 1 の蒸着方向は、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行であり得、第 2 の蒸着方向は、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行であり得る。そのようにすることにより、ジョセフソン接合の品質に対する蒸着方向またはフォトレジストの厚みの影響を有効に低減することができる。したがって、第 1 のジョセフソン接合および複数の第 2 のジョセフソン接合の品質を保証することができ、ジョセフソン接合を作製する均一性および歩留まりを向上させることができる。

20

【 0 0 4 6 】

図 7 は、本開示の一部の実施形態に従う、第 1 のパターン構造および複数の第 2 のパターン構造を得る方法 7 0 0 を説明するフローチャートである。第 1 のパターン構造は、方法 6 0 0 で説明されたように第 1 のタイプの第 1 のジョセフソン接合を生成するために使用することができ、複数の第 2 のパターン構造は、方法 6 0 0 で説明されたように第 2 のタイプの複数の第 2 のジョセフソン接合を生成するために使用することができる。

【 0 0 4 7 】

ステップ 7 0 2 で、ウエハレベルのジョセフソン接合を作製するためのマスクプレートが得られる。マスクプレートは、第 1 のジョセフソン接合を作製するための第 1 のマスク領域、および複数の第 2 のジョセフソン接合を作製するための複数の第 2 のマスク領域を含むことができる。ステップ 7 0 4 で、第 1 のマスク領域を通じて第 1 のパターン構造が得られ、複数の第 2 のマスク領域を通じて複数の第 2 のパターン構造が得られる。

30

【 0 0 4 8 】

図 8 は、本開示の一部の実施形態に従う、マスクプレート 8 0 0 の概略構造図である。マスクプレート 8 0 0 は、ウエハレベルのジョセフソン接合を作製するために使用することができ、事前に設定され得る。図 8 に示すように、マスクプレート 8 0 0 は、第 1 のジョセフソン接合を作製するための第 1 のマスク領域 8 0 2、および複数の第 2 のジョセフソン接合を作製するための第 2 のマスク領域 8 0 4 を含むことができる。第 1 のマスク領域 8 0 2 および第 2 のマスク領域 8 0 4 の具体的な数は、特定の応用シナリオおよび設計要件に基づいて調節・設定され得ることが理解できる。一部の実施形態では、本明細書に記載される複数の第 2 のジョセフソン接合を直列接続されたものとして作製するために、第 2 のマスク領域 8 0 4 同士は直列接続することができる。一部の実施形態では、複数の第 2 のジョセフソン接合を第 1 のジョセフソン接合に並列接続されたものとして作製するために、第 2 のマスク領域 8 0 4 は、第 1 のマスク領域 8 0 2 に並列接続することができる。

40

【 0 0 4 9 】

例として、第 1 のパターン構造は、第 1 のマスク領域 8 0 2 を通じて得ることができ、複数の第 2 のパターン構造は、第 2 のマスク領域 8 0 4 を通じて得ることができる。一部

50

の実施形態では、第1のパターン構造および複数の第2のパターン構造を得るために、基板構造を得ることができる。基板構造上にフォトリソ層を形成することができる。そして、マスクプレート800を通じてフォトリソ層にエッチングを行って、第1のパターン構造および複数の第2のパターン構造を得ることができる。

【0050】

一部の実施形態では、ジョセフソン接合を作製するための安定した動作を実現するために、ジョセフソン接合を生成するための事前に設定された基板構造を得ることができる。例えば、基板構造は、事前に設定されたペアシリコンウエハであり得る。基板構造が得られた後、フォトリソ層を基板構造上に形成することができる。エッチング動作によって生成されるパターン構造の品質を保証するために、一部の実施形態では、基板構造上に生成されるフォトリソ層は、二重層構造であり得る。例えば、フォトリソ層は、上部フォトリソ層および下部フォトリソ層を含むことができ、上部フォトリソ層の厚みは、下部フォトリソ層の厚みよりも大きいものであり得る。フォトリソ層が生成された後、マスクプレート（例えば、マスクプレート800）を通じてフォトリソ層にエッチングを行って、第1のパターン構造および複数の第2のパターン構造を得ることができる。そのようにすることにより、第1のパターン構造および複数の第2のパターン構造を得る精度および信頼性を保証することができる。

【0051】

図9は、本開示の一部の実施形態に従う、ジョセフソン接合を作製するための方法900のフローチャートである。一部の実施形態では、方法900は、ジョセフソン接合を作製するための方法600に加えて行われ得る。ステップ902で、第1のジョセフソン接合を定義するための電気的パラメータが得られる。ステップ904で、第1のジョセフソン接合の接合面積が、電気的パラメータに基づいて定義される。方法900を行うことにより、異なるユーザの設計要件および用途要件を満たすように、異なる電気的パラメータに対応して、それぞれ異なる接合面積サイズを有する第1のタイプのジョセフソン接合を作製し、それにより、第1のジョセフソン接合を作製する柔軟性および信頼性をさらに向上させることができる。

【0052】

一部の実施形態では、第1のジョセフソン接合の接合面積は、電気的パラメータに関係し得る。電気的パラメータを得ることは、作製された第1のジョセフソン接合が、設計要件および使用要件を満たせることを保証することができる。一部の実施形態では、電気的パラメータは、電磁場エネルギー密度、キャパシタンス、またはインダクタンスの少なくとも1つを含み得る。一部の実施形態では、電気的パラメータは、ユーザによって事前に入力される、または特定の応用シナリオおよび設計要件に従って決定され得る。例として、ユーザは、方法900を実施するための装置に（例えば、ユーザインターフェースを通じて）電気的パラメータを直接入力することができる。電気的パラメータが得られた後、第1のジョセフソン接合の接合面積が、電気的パラメータに基づいて決定され得る。

【0053】

一部の実施形態では、電気的パラメータに基づいて第1のジョセフソン接合の接合面積を決定するために、様々な電気的パラメータと様々な接合面積との間のマッピング関係が予め決定され得る。電気的パラメータを得た後、そのマッピング関係を使用して第1のジョセフソン接合の接合面積を決定することができる。

【0054】

図10は、本開示の一部の実施形態に従う、ジョセフソン接合を作製するための方法1000のフローチャートである。一部の実施形態では、方法1000は、ジョセフソン接合を作製するための方法600に加えて行われ得る。ステップ1002で、複数の第2のジョセフソン接合を作製するための蒸着角度が得られる。蒸着角度は、第1の蒸着方向または第2の蒸着方向の少なくとも一方に対応し得る。ステップ1004で、複数の第2のジョセフソン接合に関連する設計接合面積が、蒸着角度に基づいて決定される。

【0055】

一部の実施形態では、複数の第2のジョセフソン接合は、設計接合面積およびある接合面積（例えば、実際の接合面積）に対応し得る。例として、設計接合面積は、複数の第2のジョセフソン接合によって実装されるべき理論的接合面積であり得、設計接合面積と接合面積とは、同じであっても異なってもよい。

【0056】

一部の実施形態では、複数の第2のジョセフソン接合に関連する設計接合面積は、複数の第2のジョセフソン接合を作製するための蒸着角度に関係し得る。一部の実施形態では、蒸着角度は、第1の蒸着方向に対応する第1の蒸着角度または第2の蒸着方向に対応する第2の蒸着角度を含み得る。

【0057】

一部の実施形態では、得られた後、蒸着角度を分析および処理して、複数の第2のジョセフソン接合に関連する設計接合面積を決定することができる。例えば、複数の第2のジョセフソン接合に関連する設計接合面積を決定するために、複数の第2のジョセフソン接合を作製するためのフォトレジスト層の厚み情報を得ることができる。そして、厚み情報および蒸着角度に基づいて設計接合面積を決定することができる。設計接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積以上であり得る。

【0058】

一部の実施形態では、厚み情報および蒸着角度に基づいて設計接合面積を決定するために、蒸着角度に対応するコサイン値を得ることができる（例えば、蒸着角度が得られた後に）。コサイン値と厚み情報との積値が決定され得る。例えば、積値は、設計接合面積に対応するエリアライン（area line）として使用され得る。そして、積値に基づいて設計接合面積を決定することができる。例えば、設計接合面積は、積値の平方値として決定され得る。

【0059】

図11は、本開示の一部の実施形態に従う、ジョセフソン接合を作製するプロセス1100を説明する概略図である。プロセス1100は、ウエハレベルでの複数のジョセフソン接合の同時の作製を実現することができ、複数のジョセフソン接合は、本明細書に記載されるように、第1のジョセフソン接合および複数の第2のジョセフソン接合を含むことができる。例えば、第1のジョセフソン接合は、接合面積が事前に設定された面積以下である小さい接合と称することができ、複数の第2のジョセフソン接合は、接合面積が事前に設定された面積よりも大きい、大きい接合と称することができる。

【0060】

図11に示すように、ステップ1102で、基板材料1116が得られ、二重層フォトレジスト層1118が基板材料1116上に形成される。一部の実施形態では、二重層フォトレジスト層1118は、頂部フォトレジスト層および底部フォトレジスト層（図11には図示せず）を含むことができ、頂部フォトレジスト層の厚みは、底部フォトレジスト層の厚みよりも大きいものであり得る。そのようにすることにより、第1のパターン構造および複数の第2のパターン構造を生成する品質および効率を保証することができる。

【0061】

図11に示すように、ステップ1104で、マスクプレート1122を通じて二重層フォトレジスト層1118にエッチング動作1120を行って、第1のタイプの第1のジョセフソン接合1126（図11では破線の楕円形で囲まれた重複エリアによって表される）を生成するための第1のパターン構造1124、および第2のタイプの複数の第2のジョセフソン接合1130（図11では破線の楕円形で囲まれた重複エリアによって表される）を生成するための複数の第2のパターン構造1128を得る。図11に示すように、第1のパターン構造1124は、4つの対称的に配置されたフォトレジスト構造ブロックによって形成されるパターンエリアを含むことができ、各フォトレジスト構造ブロックのサイズおよび形状は同じである。第1のパターン構造1124を形成する2つの隣接するフォトレジスト構造ブロックの間に所定の距離があり得、第1のパターン構造1124の全体は、十字型構造を形成することができる。

【0062】

図11に示すように、第2のパターン構造1128は、2つのフォトリソット構造ブロックによって形成されるパターンエリアを含むことができ、2つのフォトリソット構造ブロックのサイズおよび形状は異なる。具体的には、フォトリソット構造ブロックの一方は、L字型構造を有し、もう一方のフォトリソット構造ブロックは、逆さになったL字型構造を有し、2つのフォトリソット構造ブロックの間には所定の距離がある。

【0063】

一部の実施形態では、第1のジョセフソン接合1126と第2のジョセフソン接合1130を同時に作製することができるように、基板材料1116上への第1のパターン構造1124の配置方向と第2のパターン構造1128の配置方向が同じであり得る。例えば、図11に示すように、第1のジョセフソン接合1126を生成するための第1の電極層1134の第1の蒸着方向1132は、第2のジョセフソン接合1130を生成するための第1の電極層1138の第1の蒸着方向1136と同じであり得る。第1のジョセフソン接合1126を生成するための第2の電極層1142の第2の蒸着方向1140は、第2のジョセフソン接合1130を生成するための第2の電極層1146の第2の蒸着方向1144と同じであり得る。

【0064】

ステップ1106（図11には図示せず）で、材料が蒸着器具に充填される。蒸着器具を使用して、材料を第1の第1のパターン構造1124上に蒸着方向1132に蒸着させて第1の電極層1134を生成し、同時に、材料を第2のパターン構造1128上に第1の蒸着方向1136（第1の蒸着方向1132と同じ）に蒸着させて、第1の電極層1138を生成することができる。第1の蒸着方向1132（第1の蒸着方向1136と同じ）は、第1のパターン構造1124の縁部および第2のパターン構造1128のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0065】

ステップ1108（図11には図示せず）で、絶縁層が、第1の電極層1134および第1の電極層1138上に形成される。

【0066】

ステップ1110（図11には図示せず）で、蒸着器具を使用して、材料を第2の蒸着方向1140に基づいて第1のパターン構造1124上に蒸着させて第2の電極層1142を形成し、材料を第2の蒸着方向1144（第2の蒸着方向1140と同じ）に基づいて第2のパターン構造1128上に蒸着させて第2の電極層1146を生成する。第2の蒸着方向1144（第2の蒸着方向1140と同じ）は、第1のパターン構造1124の別の縁部、および第2のパターン構造1128のうちの少なくとも1つの別の縁部と実質的に平行例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0067】

一部の実施形態では、生成されたジョセフソン接合のサイズ情報が事前に設定された要件を満たすことを保証し、また生成されたジョセフソン接合の線幅サイズが細くなるのを防止するために、第1の蒸着方向1132（第1の蒸着方向1136と同じ）は、第2の蒸着方向1140（第2の蒸着方向1146と同じ）に対して垂直であり得る。

【0068】

ステップ1112（図11には図示せず）で、二重層フォトリソット層1118を除去して、第1のジョセフソン接合1126および第2のジョセフソン接合1130を含むジョセフソン接合を得る。第1のジョセフソン接合1126は、第1の電極層1134、絶縁層、および第2の電極層1142を含むことができる。第2のジョセフソン接合1130は、第1の電極層1138、絶縁層、および第2の電極層1146を含むことができる。

【0069】

第1のジョセフソン接合1126の接合面積と電気的特徴（例えば、電磁場エネルギー密度、キャパシタンス、またはインダクタンス）とが対応しているため、第1のジョセフ

10

20

30

40

50

ソソソソソソ 1 1 2 6 がプロセス 1 1 0 0 によって作製されるとき、第 1 のジョセフソソソソソソ 1 1 2 6 に対するフォソソソソソソ厚みの変化および蒸着角度の変化の影響を効果的に低減できることが留意されるべきである。そのような場合、ジョセフソソソソソソの接合面積は、第 1 のパターン構造 1 1 2 4 に対応する線幅のみに関係し得、よって、ジョセフソソソソソソの高品質の作製動作を有効に保証する。

【0 0 7 0】

ジョセフソソソソソソ接合が生成された後、マスクプレート 1 1 2 2 を除去することができる。一部の実施形態では、マスクプレート 1 1 2 2 は、有機溶剤または高周波気相エッチング法を使用して除去することができる。当業者は、その方法がマスクプレート 1 1 2 2 を安定かつ効果的に除去できることを保証する限り、マスクプレート 1 1 2 2 を除去するために、ここでは詳細に説明されない他の方法を使用することができる。

10

【0 0 7 1】

ステップ 1 1 1 4 (図 1 1 には図示せず) で、第 1 のジョセフソソソソソソ接合 1 1 2 6 および第 2 のジョセフソソソソソソ接合 1 1 3 0 が得られた後、第 1 のジョセフソソソソソソ接合 1 1 2 6 および第 2 のジョセフソソソソソソ接合 1 1 3 0 を使用して超伝導デバイスを作製することができる。例として、第 2 のジョセフソソソソソソ接合 1 1 3 0 同士は直列接続することができ、第 2 のジョセフソソソソソソ接合 1 1 3 0 は、第 1 のジョセフソソソソソソ接合 1 1 2 6 に並列接続することができ、それにより、調節可能な磁束を有する超伝導デバイスを生成することができる。超伝導デバイスは、長い相関時間を有し得る。

【0 0 7 2】

20

図 1 1 との関連で説明された技術的解決法は、第 1 のジョセフソソソソソソ接合 1 1 2 6 および第 2 のジョセフソソソソソソ接合 1 1 3 0 が同時に作製されることを保証することができる。さらに、第 1 の電極層 (例えば、第 1 の電極層 1 1 3 4 または第 1 の電極層 1 1 3 8) および第 2 の電極層 (例えば、第 2 の電極層 1 1 4 2 または第 2 の電極層 1 1 4 6) の生成中、第 1 の蒸着方向 (例えば、第 1 の蒸着方向 1 1 3 2 または第 1 の蒸着方向 1 1 3 6) は、第 1 のパターン構造 1 1 2 4 の縁部および第 2 のパターン構造 1 1 2 8 のうちの少なくとも 1 つの縁部と実質的に平行 (例えば、 $\pm 2^\circ$ の誤差範囲内) であり得る。また、第 1 の電極層および第 2 の電極層の生成中、第 2 の蒸着方向 (例えば、第 2 の蒸着方向 1 1 4 0 または第 2 の蒸着方向 1 1 4 4) は、第 1 のパターン構造 1 1 2 4 の別の縁部および第 2 のパターン構造 1 1 2 8 のうちの少なくとも 1 つの別の縁部と実質的に平行 (例えば、 $\pm 2^\circ$ の誤差範囲内) であり得る。そのようにすることにより、ジョセフソソソソソソ接合の品質 (例えば、ジョセフソソソソソソ接合の面積、ジョセフソソソソソソ接合の臨界電流、またはジョセフソソソソソソ接合の非超伝導常伝導状態抵抗) に対する蒸着方向の影響またはフォソソソソソソの厚みの影響を低減することができる。したがって、第 1 のジョセフソソソソソソ接合 1 1 2 6 および第 2 のジョセフソソソソソソ接合 1 1 3 0 の品質を保証することができ、ジョセフソソソソソソ接合を作製する均一性および歩留まりを向上させることができる。

30

【0 0 7 3】

図 1 2 は、本開示の一部の実施形態に従う、ジョセフソソソソソソ接合を作製するための装置 1 2 0 0 を示す概略構造図である。装置 1 2 0 0 は、ウエハレベルのジョセフソソソソソソ接合を作製するために使用され得る。一部の実施形態では、装置 1 2 0 0 は、図 6 ~ 図 7 および図 9 ~ 図 1 0 との関連で説明された方法 6 0 0、7 0 0、9 0 0、または 1 0 0 0 のいずれをも行うことができる。図 1 2 に示すように、装置 1 2 0 0 は、取得モジュール 1 2 0 2、蒸着モジュール 1 2 0 4、生成モジュール 1 2 0 6、および作製モジュール 1 2 0 8 を含むことができる。取得モジュール 1 2 0 2、蒸着モジュール 1 2 0 4、生成モジュール 1 2 0 6、および作製モジュール 1 2 0 8 は、ソフトウェアモジュール、ハードウェアモジュール (例えば、回路を含む)、またはソフトウェアモジュールとハードウェアモジュールの組み合わせとして実装され得ることが留意されるべきである。

40

【0 0 7 4】

取得モジュール 1 2 0 2 は、第 1 のタイプの第 1 のジョセフソソソソソソ接合を生成するための第 1 のパターン構造、および第 2 のタイプの複数の第 2 のジョセフソソソソソソ接合を生成するた

50

めの複数の第2のパターン構造、を得るように構成され得る。第1のジョセフソン接合の接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なり得る。

【0075】

蒸着モジュール1204は、情報伝送を実現するための第1の電極層を生成するために、装置1200に、第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて材料を蒸着させるように構成され得る。第1の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0076】

生成モジュール1206は、装置1200に、第1の電極層上に絶縁層を形成させるように構成され得る。絶縁層は、材料に対応する化合物を含み得る。

【0077】

蒸着モジュール1204は、情報伝送を実現するための第2の電極層を生成するために、装置1200に、第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて材料を蒸着させるようにさらに構成され得る。第2の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行（例えば、 $\pm 2^\circ$ の誤差範囲内）であり得る。

【0078】

作製モジュール1208は、装置1200に、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成させるとともに、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて複数の第2のジョセフソン接合を形成させるように構成され得る。

【0079】

一部の実施形態では、第1のジョセフソン接合の接合面積は、事前に設定された面積以下であり得、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積は、当該事前に設定された面積よりも大きいものであり得る。

【0080】

一部の実施形態では、第1のパターン構造および複数の第2のパターン構造を得るために、取得モジュール1202は、装置1200に、ウエハレベルのジョセフソン接合を作製するためのマスクプレートを得させるように構成され得る。マスクプレートは、第1のジョセフソン接合を作製するための第1のマスク領域、および複数の第2のジョセフソン接合を作製するための複数の第2のマスク領域を含むことができる。取得モジュール1202は、装置1200に、第1のマスク領域を通じて第1のパターン構造を得させるとともに、複数の第2のマスク領域を通じて複数の第2のパターン構造を得させるようにさらに構成され得る。

【0081】

一部の実施形態では、第1のパターン構造および複数の第2のパターン構造を得るために、取得モジュール1202は、装置1200に、基板構造を得させ、基板構造上にフォトリソ層を形成させ、そしてマスクプレートを通じてフォトリソ層にエッチングを行わせて、第1のパターン構造および複数の第2のパターン構造を得るようにさらに構成され得る。

【0082】

一部の実施形態では、取得モジュール1202は、装置1200に、第1のジョセフソン接合を定義するための電氣的パラメータを得させるように構成され得る。蒸着モジュール1204は、電氣的パラメータに基づいて第1のジョセフソン接合の接合面積を決定するように構成され得る。例として、電氣的パラメータは、電磁場エネルギー密度、キャパシタンス、またはインダクタンスの少なくとも1つを含み得る。

【0083】

10

20

30

40

50

一部の実施形態では、取得モジュール1202は、装置1200に、複数の第2のジョセフソン接合を作製するための蒸着角度を得させるように構成され得る。蒸着角度は、第1の蒸着方向または第2の蒸着方向の少なくとも一方に対応することができる。蒸着モジュール1204は、蒸着角度に基づいて、複数の第2のジョセフソン接合に関連する設計接合面積を決定するように構成され得る。

【0084】

一部の実施形態では、設計接合面積を決定するために、蒸着モジュール1204は、装置1200に、複数の第2のジョセフソン接合を作製するためのフォトリソ層の厚み情報を得させ、厚み情報および蒸着角度に基づいて設計接合面積を決定させるようにさらに構成され得る。設計接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積以上であり得る。

【0085】

一部の実施形態では、設計接合面積を決定するために、蒸着モジュール1204は、蒸着角度に対応するコサイン値を得、コサイン値と厚み情報との積値を決定し、積値に基づいて設計接合面積を決定するようにさらに構成され得る。

【0086】

一部の実施形態では、第1の蒸着方向と重力方向との間に形成される角度は、 10° 以上 60° 以下である。一部の実施形態では、第1の蒸着方向は、第2の蒸着方向に対して垂直である。一部の実施形態では、複数の第2のジョセフソン接合は直列接続され、第1のジョセフソン接合は、複数の第2のジョセフソン接合に並列接続される。一部の実施形態では、材料は、アルミニウム、二元窒化物、三元窒化物、または複合酸化物の少なくとも1つを含む。

【0087】

本開示の一部の実施形態に従い、図12の装置1200の構造は、電子デバイスとして実装され得る。電子デバイスは、携帯電話、タブレットコンピュータ、またはサーバなどの様々なデバイスを含み得る。図13Aは、本開示の一部の実施形態に従う、ジョセフソン接合を作製するための電子デバイス1300Aを示す概略構造図である。図13Aに示すように、電子デバイス1300Aは、プロセッサ1302およびメモリ1304を含み得る。メモリ1304は、電子デバイス1300Aが、図6～図7および図9～図10との関連で説明された方法600、700、900、または1000などの、ジョセフソン接合を作製するための方法を行うためのプログラム（例えば、1つまたは複数のコンピュータ命令を含む）を記憶するために使用され得る。プロセッサ1302は、メモリ1304に記憶されたプログラムを実行するように構成され得る。電子デバイス1300Aは、電子デバイス1300Aが別のデバイスまたは通信ネットワークと通信するための通信インターフェース1306も含み得る。

【0088】

本開示の一部の実施形態に従い、図13Bは、本開示の一部の実施形態に従う量子回路を動作させるための例示的なシステム1300Bのブロック図である。一部の実施形態では、システム1300Bは、図6～図12との関連で説明されたように量子回路を動作させるための動作を実行するように構成されたコンピュータ（例えば、伝統的なコンピュータ）を含み得る。図13Bに描かれるように、システム1300Bは、メモリ1310と、入出力（I/O）モジュール1312と、ネットワークインターフェースコントローラ（NIC）1316とに対して動作可能に接続された状態であり得るプロセッサ1308を含む。

【0089】

プロセッサ1308が本明細書に記載される命令を実行すると、システム1300Bは、ジョセフソン接合を作製するための特化した機械になることができる。プロセッサ1308は、情報の操作または処理が可能な任意種類の回路であり得る。例えば、プロセッサ1308は、中央演算処理装置（または「CPU」）、グラフィック処理装置（または「GPU」）、ニューラル処理装置（「NPU」）、マイクロコントローラユニット（「M

10

20

30

40

50

C U」)、光学プロセッサ、プログラム可能論理コントローラ、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサ、知的財産 (I P) コア、プログラマブル・ロジック・アレイ (P L A)、プログラマブル・アレイ・ロジック (P A L)、汎用アレイロジック (G A L)、コンプレックス・プログラマブル・ロジック・デバイス (C P L D)、フィールド・プログラマブル・ゲート・アレイ (F P G A)、システム・オン・チップ (S o C)、特定用途集積回路 (A S I C) 等の任意の数の任意の組み合わせを含み得る。一部の実施形態では、プロセッサ 1 3 0 8 はまた、単一の論理コンポーネントとしてグループ化されたプロセッサの組 (図 1 3 B には図示せず) であり得る。

【0090】

メモリ 1 3 1 0 は、データ 1 3 1 2 (例えば、命令の組、コンピュータコード、中間データ、または出力するデータ) を記憶するように構成され得る単一のメモリまたは複数のメモリを含むことができる。メモリ 1 3 1 0 は、高速ランダムアクセス記憶装置または不揮発性記憶装置を含み得る。一部の実施形態では、メモリ 1 3 1 0 は、ランダムアクセスメモリ (R A M)、読出し専用メモリ (R O M)、光学ディスク、磁気ディスク、ハードドライブ、ソリッドステートドライブ、フラッシュドライブ、セキュリティデジタル (S D) カード、メモリスティック、コンパクトフラッシュ (登録商標) (C F) カード等の任意の数の任意の組み合わせを含み得る。メモリ 1 3 1 0 はまた、単一の論理コンポーネントとしてグループ化されたメモリの群 (図 1 3 B には図示せず) であり得る。プロセッサ 1 3 0 8 は、プログラム命令およびデータ 1 3 1 2 にアクセスし、そのプログラム命令を実行して、データ 1 3 1 2 に対する動作または操作を行うことができる。図 1 3 B に描かれるように、メモリ 1 3 1 0 は、オペレーティングシステム 1 3 1 8 およびジョセフソン接合作製プログラム (Josephson junction preparer) 1 3 2 0 を記憶することができる。例えば、ジョセフソン接合作製プログラム 1 3 2 0 は、ジョセフソン接合を作製するための、図 6 ~ 図 1 2 との関連で説明された方法を実施する命令を含むことができる。

【0091】

曖昧さを生じさせることなく説明を容易にするために、プロセッサ 1 3 0 8 と他のデータ処理回路は、本開示では「データ処理回路」と総称される。データ処理回路は、完全にハードウェアとして、またはソフトウェア、ハードウェア、もしくはファームウェアの組み合わせとして、実装され得る。また、データ処理回路は、単一の独立したモジュールであり得、または全体もしくは一部がシステム 1 3 0 0 B の他の構成要素に組み込まれ得る。

【0092】

入出力モジュール (I / O) 1 3 1 4 は、データベース 1 3 2 2 にデータを記憶し、取り出すことができる。例えば、データベース 1 3 2 2 は、量子回路を記述するデータ構造および量子ゲートを記述するデータ構造を含み得る。N I C 1 3 1 6 は、システム 1 3 0 0 B とネットワーク (例えば、インターネット 1 3 2 4、イントラネット、ローカルエリアネットワーク、移動通信網等) との間の有線または無線通信を提供することができる。システム 1 3 0 0 B は、N I C 1 3 1 6 を使用してネットワークを通じてデータおよび命令を受信することができ、N I C 1 3 1 6 を使用してネットワークを通じてデータおよび命令を送信することができる。一部の実施形態では、N I C 1 3 1 6 は、無線周波 (R F) モジュール、トランスポンダ、トランシーバ、モデム、ルータ、ゲートウェイ、有線ネットワークアダプタ、ワイヤレスネットワークアダプタ、B l u e t o o t h アダプタ、赤外線アダプタ、近距離通信 (「N F C」) アダプタ、またはセルラーネットワークチップの任意の組み合わせを含み得る。

【0093】

図 1 3 B に描かれるように、システム 1 3 0 0 B はまた、量子コンピューティングデバイス 1 3 2 6 と (例えば、I / O 1 3 1 4 または N I C 1 3 1 6 を介して) 通信的に結合することができる。一部の実施形態では、システム 1 3 0 0 B は、量子コンピューティングデバイス 1 3 2 6 とは別個の伝統的なコンピュータ (例えば、デスクトップコンピュー

タ、ラップトップコンピュータ、またはタブレットコンピュータ）であり得る。一部の実施形態では、システム1300Bは、伝統的なコンピューティングデバイス（例えば、プロセッサ1308、メモリ1310、I/O1314、NIC1316、またはデータベース1322）、および量子コンピューティングデバイス（例えば、量子コンピューティングデバイス1326を含む）を含み得る。量子コンピューティングデバイス1326は、量子ビットに作用するための任意数の任意種類の量子回路（量子ゲートを含む）と、量子回路を維持し、支援するための周辺デバイス（例えば、クライオスタット、レーザ発生器、電気発振器）とを含み得る。一部の実施形態では、量子コンピューティングデバイス1326は、量子ビットを作成・記憶するための量子データプレーン、量子ビットに対する動作を実行し、その結果生じる量子ビットを測定するための制御・測定プレーン、および、アルゴリズムまたは測定結果に基づいて動作および測定の順序を決定するための制御プロセッサプレーン、として機能するハードウェア構成要素を含むことができる。システム1300Bが伝統的なコンピュータである場合、それは、ネットワークアクセス（例えばNIC1316を介する）、大容量記憶（例えばデータベース1316を使用する）、およびユーザとのインタラクション（例えばI/O1314を介する）に関して、量子コンピューティングデバイス1326を支援することができる。

10

20

30

40

50

【0094】

本開示の一部の実施形態に従い、図13Cは、量子回路（例えば、図示されるように量子回路1330）を動作させる（例えば、量子ビットを演算のために制御する、量子ビットをコンパイルのために制御する、または量子ビットの任意の操作）ための例示的な量子コントローラ1328を示す概略図である。量子回路1330は、1つまたは複数の量子ビットを含むことができる。図13Cに描かれる非制限的な例では、量子回路1330は、量子ビット1332および1334を含むことができる。例えば、量子ビット1332および1334は、フルクソニウム（fluxonium）量子ビットであり得る。この例を続けると、量子ビット1332および1334の各々は、キャパシタ（例えば、キャパシタ1340または1342）およびインダクタ（例えば、インダクタ1344または1346）によって分流されたジョセフソン接合（例えば、ジョセフソン接合1336または1338）を使用して実装され得る。インダクタ1344および1346の各々は、ジョセフソン接合の配列（図13Cには図示せず）によって実現され得る。量子ビット1334および1334の各々は、バイアス磁束に対して極小値の周波数で動作するように構築することができる。この非制限的な例では、量子ビット1332と1334とは、キャパシタ1348を使用して結合して、量子ビット1334と1334との間に横方向の共振結合（例えば、電荷結合等）を実装することができる。そのような結合は、量子ビット周波数の整合を必要とし得る。量子回路1330が動作していないとき、量子ビット1332および1334は、それぞれ異なる周波数に維持され得る。

【0095】

一部の実施形態では、量子回路1330は、量子ビット1332および1334ならびにその間の両者の結合を含んでいるチップを使用して実現され得る。一部の実施形態では、量子回路1330は、図13Bの量子コンピューティングデバイス1326内のチップとして実装され得る。

【0096】

一部の実施形態では、チップは、量子コントローラ1328との1つまたは複数の結合を含むことができる。量子コントローラ1328は、デジタルコンピューティングデバイス（例えば、中央演算処理装置、グラフィック処理装置、特定用途集積回路、フィールド・プログラマブル・ゲート・アレイ、または他の適切なプロセッサを含むコンピューティングデバイス）であり得る。量子コントローラ1328は、演算（例えば、量子ビット1332および1334を操作することによる）のために量子回路1330を構成し、演算ゲートを提供し、または量子回路1330から状態情報を読み出すことができる。

【0097】

本開示の一部の実施形態に従い、量子コントローラ1328は、量子回路1330の1

つまたは複数の量子ビット（例えば、量子ビット 1 3 3 2 および 1 3 3 4 を含む）に対してゲート動作が行われることを可能にすることにより、量子回路 1 3 3 0 を構成することができる。一部の実施形態では、量子回路 1 3 3 0 は、2 つの量子ビットを移動させて共振状態にするための 1 つまたは複数のバイアスドライブを与えることによって構成される。量子コントローラ 1 3 2 8 は、1 つまたは複数のバイアスドライブを回路 1 3 3 0 に直接与えることができ、または、バイアスドライブ源（例えば、波形生成器等）に命令を与えて、バイアスドライブ源から回路 1 3 3 0 にバイアスドライブを与えさせることができる。一部の実施形態では、バイアスドライブを与えることは、回路 1 3 3 0 にとって外部のコイルに電流を流すことを含み得る。様々な実施形態において、バイアスドライブを与えることは、チップ上のコイルに電流を流すことを含み得る。開示される実施形態は、バイアスドライブを与える特定の手法、または量子ビットをバイアスする特定の手法に限定されない。

10

【0098】

本開示の一部の実施形態に従い、量子コントローラ 1 3 2 8 は、回路 1 3 3 0 上で演算ゲートを実装することができる。量子コントローラ 1 3 2 8 は、回路 1 3 3 0 内の対応する量子ビットに 1 つまたは複数の演算ドライブを与えることにより、または、演算ドライブ源（例えば、波形生成器等）に命令を与えて、演算ドライブ源から回路 1 3 3 0 に 1 つまたは複数の演算ドライブを与えさせることにより、そのようなゲートを実装することができる。そのような演算ドライブは、マイクロ波ドライブを含み得る。演算ドライブは、量子ビット上で量子ゲートを実装するために量子コントローラ 1 3 2 8 によって選択されたパラメータを有する、正弦波、矩形波、パルス列、または他の量子ゲートドライブを含み得る。1 つまたは複数の演算ドライブは、対応する量子ビットに結合された 1 つまたは複数のコイルを使用して対応する量子ビットに与えることができる。コイルは、回路 1 3 3 0 の外部に、または回路 1 3 3 0 を含んでいるチップ上に、あり得る。

20

【0099】

本開示の一部の実施形態に従い、量子コントローラ 1 3 2 8 は、量子回路 1 3 3 0 の状態情報を決定するように構成され得る。一部の実施形態では、量子コントローラ 1 3 2 8 は、回路 1 3 3 0 の 1 つまたは複数の量子ビットの状態を測定することができる。状態は、一続きの 1 つまたは複数の量子動作が完了した時に測定され得る。一部の実施形態では、量子コントローラ 1 3 2 8 は、結合されている回路 1 3 3 0 の共振器にプローブ信号（例えば、マイクロ波プローブトーン）を与える、またはプローブ信号の提供元である読み出しデバイス（例えば、任意の波形生成器）に命令を与えることができる。様々な実施形態において、量子コントローラ 1 3 2 8 は、マイクロ波プローブトーンを与えるのに応答して結合された共振器から受け取られた出力信号の振幅および位相を判定するように構成された検出器を含むか、または検出器からの情報を受け取るように構成され得る。出力信号の振幅および位相は、調査された量子ビットの状態を判定するために使用され得る。開示される実施形態は、量子ビットの状態を測定するなどの特定の手法にも限定されない。

30

【0100】

開示される実施形態は、量子コントローラ 1 3 2 8 が 1 つの量子回路のみを制御する実施形態に限定されない。一部の実施形態では、量子コントローラ 1 3 2 8 は、複数の量子回路（実装が同一であっても、または実装が異なってもよい）を制御することができる。例えば、量子コントローラ 1 3 2 8 は、第 1 のトランズモン (transmon) 量子ビットに基づく量子回路および第 2 のフルキソニウム量子ビットに基づく量子回路を制御することができる。一部の実施形態では、量子コントローラ 1 3 2 8 は、複数の量子回路をそれぞれ独立して制御することが可能であり得る。一部の例では、例えば、複数の量子回路の各々が、それぞれ異なる同時の演算を行っていることがあり得る。様々な事例において、複数の量子回路は、同じ演算に関与し得る（例えば並列演算等）。

40

【0101】

本開示の一部の実施形態に従い、量子コントローラ 1 3 2 8 は、量子回路 1 3 3 0 を構成ことができ、得られた状態情報に少なくとも部分的に基づいて回路 1 3 3 0 に演算

50

ゲートを与えることができる。一部の実施形態では、量子コントローラ 1328 は、図 13B のコンピューティングデバイス 1326 の一部として含まれ得る。

【0102】

図 14 は、本開示の一部の実施形態に従う超伝導デバイス 1400 を示す概略図である。一部の実施形態では、超伝導デバイス 1400 の磁束は、制御可能であり得る。図 14 に示すように、超伝導デバイス 1400 は、第 2 のタイプの複数の第 2 のジョセフソン接合 1404 に並列接続された第 1 のタイプの第 1 のジョセフソン接合 1402 を含むことができる。第 2 のジョセフソン接合 1404 同士は直列接続される。例として、第 1 のジョセフソン接合 1402 および第 2 のジョセフソン接合 1404 は、図 6～図 7 および図 9～図 10 との関連で説明された方法 600、700、900、または 1000 の少なくとも 1 つを行うことにより生成することができる。

10

【0103】

本開示の一部の実施形態に従い、装置によって使用されるコンピュータソフトウェア命令を記憶するための非一時的なコンピュータ可読記憶媒体が本明細書において提供される。非一時的なコンピュータ可読記憶媒体は、本明細書に開示されるジョセフソン接合を作製するための方法またはプロセス（例えば、図 6～図 7 および図 9～図 10 との関連で説明された方法 600、700、900、または 1000）を行うためのプログラムを含むことができる。

【0104】

実施形態は、以下の節を使用してさらに説明され得る。

20

1. ジョセフソン接合を作製するための方法であって、

第 1 のタイプの第 1 のジョセフソン接合を生成するための第 1 のパターン構造、および第 2 のタイプの複数の第 2 のジョセフソン接合を生成するための複数の第 2 のパターン構造を得るステップであって、第 1 のジョセフソン接合の接合面積が、複数の第 2 のジョセフソン接合のうちの少なくとも 1 つの接合面積と異なる、パターン構造を得るステップと、

情報伝送を実施するための第 1 の電極層を生成するために、材料を第 1 のパターン構造および複数の第 2 のパターン構造上に第 1 の蒸着方向に基づいて蒸着させるステップであって、第 1 の蒸着方向が、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行である、第 1 の蒸着方向に基づいて蒸着させるステップと、

30

第 1 の電極層の上に絶縁層を形成するステップであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成するステップと、

情報伝送を実施するための第 2 の電極層を生成するために、材料を第 1 のパターン構造および複数の第 2 のパターン構造上に第 2 の蒸着方向に基づいて蒸着させるステップであって、第 2 の蒸着方向が、第 1 のパターン構造の縁部および複数の第 2 のパターン構造のうちの少なくとも 1 つの縁部と実質的に平行である、第 2 の蒸着方向に基づいて蒸着させるステップと、

第 1 のパターン構造上に生成された第 1 の電極層と、絶縁層と、第 1 のパターン構造上に生成された第 2 の電極層とに基づいて、第 1 のジョセフソン接合を形成し、複数の第 2 のパターン構造上に生成された第 1 の電極層と、絶縁層と、複数の第 2 のパターン構造上に生成された第 2 の電極層とに基づいて、複数の第 2 のジョセフソン接合を形成するステップと、を含む方法。

40

2. 節 1 の方法であって、第 1 のジョセフソン接合の接合面積が、事前に設定された面積以下であり、複数の第 2 のジョセフソン接合のうちの少なくとも 1 つの接合面積が、当該事前に設定された面積よりも大きい。

3. 節 1 または 2 の方法であって、第 1 のタイプの第 1 のジョセフソン接合を生成するための第 1 のパターン構造、および第 2 のタイプの複数の第 2 のジョセフソン接合を生成するための複数の第 2 のパターン構造を得るステップが、

ウエハレベルのジョセフソン接合を作製するためのマスクプレートを得るステップであ

50

って、マスクプレートが、第1のジョセフソン接合を作製するための第1のマスク領域、および複数の第2のジョセフソン接合を作製するための複数の第2のマスク領域を含む、マスクプレートを得るステップと、

第1のマスク領域を通じて第1のパターン構造を得るとともに、複数の第2のマスク領域を通じて複数の第2のパターン構造を得るステップと、を含む。

4. 節3の方法であって、第1のマスク領域を通じて第1のパターン構造を得るとともに、複数の第2のマスク領域を通じて複数の第2のパターン構造を得るステップが、

基板構造を得るステップと、

基板構造上にフォトレジスト層を形成するステップと、

マスクプレートを通じてフォトレジスト層にエッチングを行って、第1のパターン構造および複数の第2のパターン構造を得るステップと、を含む。

5. 節4の方法であって、フォトレジスト層が、上部フォトレジスト層および下部フォトレジスト層を備えている。

6. 節5の方法であって、上部フォトレジスト層の厚みが、下部フォトレジスト層の厚みよりも大きい。

7. 節1～6のいずれかの方法であって、

第1のジョセフソン接合を定義するための電氣的パラメータを得るステップと、

電氣的パラメータに基づいて第1のジョセフソン接合の接合面積を決定するステップと、をさらに含む。

8. 節7の方法であって、電氣的パラメータが、電磁場エネルギー密度、キャパシタンス、またはインダクタンスの少なくとも1つを含む。

9. 節1～8のいずれかの方法であって、

複数の第2のジョセフソン接合を作製するための蒸着角度を得るステップであって、蒸着角度が、第1の蒸着方向または第2の蒸着方向の少なくとも一方に対応する、蒸着角度を得るステップと、

蒸着角度に基づいて、複数の第2のジョセフソン接合に関連する設計接合面積を決定するステップと、をさらに含む。

10. 節9の方法であって、蒸着角度に基づいて、複数の第2のジョセフソン接合に関連する設計接合面積を決定するステップが、

複数の第2のジョセフソン接合を作製するためのフォトレジスト層の厚み情報を得るステップと、

厚み情報および蒸着角度に基づいて設計接合面積を決定するステップであって、設計接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積以上である、設計接合面積を決定するステップと、を含む。

11. 節10の方法であって、厚み情報および蒸着角度に基づいて設計接合面積を決定するステップが、

蒸着角度に対応するコサイン値を得るステップと、

コサイン値と厚み情報との積値を決定するステップと、

積値に基づいて設計接合面積を決定するステップと、を含む。

12. 節9～11のいずれかの方法であって、蒸着角度が、第1の蒸着方向に対応する第1の蒸着角度または第2の蒸着方向に対応する第2の蒸着角度を含む。

13. 節1～12のいずれかの方法であって、第1の蒸着方向と重力方向との間に形成される角度が 10° 以上 60° 以下である。

14. 節1～13のいずれかの方法であって、第1の蒸着方向が第2の蒸着方向に対して垂直である。

15. 節1～14のいずれかの方法であって、複数の第2のジョセフソン接合が直列接続され、第1のジョセフソン接合が、複数の第2のジョセフソン接合に並列接続される。

16. 節1～15のいずれかの方法であって、材料が、アルミニウム、二元窒化物、三元窒化物、または複合酸化物の少なくとも1つを含む。

17. ジョセフソン接合を作製するための装置であって、少なくとも1つの回路を備え、

10

20

30

40

50

この少なくとも1つの回路が、

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、第1のジョセフソン接合の接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、

情報伝送を実現するための第1の電極層を生成するために、上記装置に、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、

上記装置に、第1の電極層の上に絶縁層を形成させることであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成させることと、

上記装置に、情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうち少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させることと、

上記装置に、第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成させるとともに、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成させることと、のために構成されている。

18. ジョセフソン接合を作製するためのデバイスであって、

少なくとも1つのプロセッサと、

1つまたは複数の命令を記憶するように構成されたメモリと

を備え、前記1つまたは複数の命令は、デバイスに、

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得ることであって、第1のジョセフソン接合の接合面積は、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得ることと、

情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させることであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させることと、

第1の電極層の上に絶縁層を形成することであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成することと、

情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させることであって、第2の蒸着方向は、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させることと、

第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成し、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成することと、

を行わせるために、少なくとも1つのプロセッサにより実行可能である、デバイス。

19. 第2のタイプの複数の第2のジョセフソン接合に並列接続されている第1のタイプの第1のジョセフソン接合を含む超伝導回路であって、複数の第2のジョセフソン接合が

10

20

30

40

50

直列接続され、第1のジョセフソン接合および複数の第2のジョセフソン接合が、方法によって生成され、方法が、

第1のタイプの第1のジョセフソン接合を生成するための第1のパターン構造、および第2のタイプの複数の第2のジョセフソン接合を生成するための複数の第2のパターン構造を得るステップであって、第1のジョセフソン接合の接合面積が、複数の第2のジョセフソン接合のうちの少なくとも1つの接合面積と異なる、パターン構造を得るステップと、

情報伝送を実施するための第1の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第1の蒸着方向に基づいて蒸着させるステップであって、第1の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第1の蒸着方向に基づいて蒸着させるステップと、

第1の電極層の上に絶縁層を形成するステップであって、絶縁層が、材料に対応する化合物を含む、絶縁層を形成するステップと、

情報伝送を実施するための第2の電極層を生成するために、材料を第1のパターン構造および複数の第2のパターン構造上に第2の蒸着方向に基づいて蒸着させるステップであって、第2の蒸着方向が、第1のパターン構造の縁部および複数の第2のパターン構造のうちの少なくとも1つの縁部と実質的に平行である、第2の蒸着方向に基づいて蒸着させるステップと、

第1のパターン構造上に生成された第1の電極層と、絶縁層と、第1のパターン構造上に生成された第2の電極層とに基づいて、第1のジョセフソン接合を形成し、複数の第2のパターン構造上に生成された第1の電極層と、絶縁層と、複数の第2のパターン構造上に生成された第2の電極層とに基づいて、複数の第2のジョセフソン接合を形成するステップと、を含む、超伝導回路。

20. 節19の超伝導回路であって、超伝導回路の磁束が制御可能である。

【0105】

本明細書に記載される例示的な装置およびデバイスは概略的なものに過ぎず、別個の構成要素として説明されたユニットは、物理的に分離している場合もそうでない場合もあり、ユニットとして表示された構成要素は、物理的ユニットである場合もそうでない場合もある（例えば、一箇所に位置し得る、または複数のネットワークユニットに分散され得る）ことが理解されるべきである。モジュールの一部またはすべては、本実施形態の解決法の目的を実現するための実際のニーズに従って選択され得る。当業者は、創造のための努力を伴わずに、本実施形態の解決法を理解し、実施することができる。

【0106】

上記の実施の説明から、当業者は、様々な実装は、ソフトウェアに必要なハードウェアプラットフォームを足すことによって実施することができ、またハードウェアとソフトウェアの組み合わせによって実施することも可能であることを明確に理解することができる。そのような理解に基づいて、上記の技術的解決法は基本的に、または従来技術に寄与する部分は、コンピュータ製品の形態で具現化することができる。本開示は、コンピュータ使用可能プログラムコードを含む1つまたは複数のコンピュータ使用可能記憶媒体（これらに限定されないが、磁気ディスクメモリ、CD-ROM、光学メモリ等を含む）上に実施されたコンピュータプログラム製品の形態であり得る。

【0107】

本開示は、本発明の実施形態に従った方法、デバイス、システム、およびコンピュータプログラム製品のフローチャートまたはブロック図を参照して記載される。フローチャートまたはブロック図中の各フローまたはブロック、およびフローチャートまたはブロック図中のフローまたはブロックの組み合わせは、コンピュータプログラム命令によって実施され得ることが理解されるべきである。これらのコンピュータプログラム命令は、機械を作成すべく、汎用コンピュータのプロセッサ、特殊目的コンピュータ、埋め込みプロセッサ、別のプログラム可能デバイスに提供され得、その結果、コンピュータのプロセッサま

たは他のプログラム可能デバイスによって実行される命令が、フローチャートの1つまたは複数のフローあるいはブロック図の1つまたは複数のブロックで特定される機能を実現するための装置を作り出す。

【0108】

これらのコンピュータプログラム命令は、非一時的なコンピュータ可読メモリに記憶されることができ、当該命令は、コンピュータまたは別のプログラム可能デバイスに特定の状態で機能するように指示することができ、その結果、フローチャートの1つまたは複数のフローあるいはブロック図の1つまたは複数のブロックで特定される機能を実施する命令装置を含む製造品を作り出す。

【0109】

これらのコンピュータプログラム命令は、コンピュータまたは別のプログラム可能デバイスに読み込まれてもよく、その結果、コンピュータによって実施される処理を作り出すために一連の動作ステップがコンピュータまたは別のプログラム可能デバイスで行われて、それにより、コンピュータまたは別のプログラム可能デバイス上で実行された命令が、フローチャートの1つまたは複数のフローあるいはブロック図の1つまたは複数のブロックに指定される機能を実施するステップを提供する。

【0110】

典型的な構成において、コンピューティングデバイスは、1つまたは複数のプロセッサ（CPU）、入出力インターフェース、ネットワークインターフェース、およびメモリを備える。メモリは、揮発性メモリ、ランダムアクセスメモリ（RAM）、またはコンピュータ可読媒体内の不揮発性メモリ、例えば読出し専用メモリ（ROM）またはフラッシュRAM、を含み得る。メモリは、コンピュータ可読媒体の例である。

【0111】

非一時的なコンピュータ可読媒体は、恒久的または非恒久的、取り外し可能または取り外し不能な媒体を含み得、これらは、任意の方法または技術を使用することによって情報の記憶を実装することができる。情報は、コンピュータ可読命令、データパターン、プログラムモジュール、または他のデータであり得る。コンピュータ記憶媒体の例には、これらに限定されないが、位相変化メモリ（PRAM）、静的ランダムアクセスメモリ（SRAM）、動的ランダムアクセスメモリ（DRAM）、他の種類のランダムアクセスメモリ（RAM）、読出し専用メモリ（ROM）、電氣的に消去可能なプログラム可能読出し専用メモリ（EEPROM）、フラッシュメモリまたは他のメモリ技術、コンパクトディスク読出し専用メモリ（CD-ROM）、デジタル多用途ディスク（DVD）もしくは他の光学記憶、カセット磁気テープ、テープおよびディスク記憶もしくは他の磁気記憶装置、またはコンピューティングデバイスによってアクセス可能な情報を記憶するために構成できる任意の他の非伝送媒体が含まれる。本明細書において定義されるとき、非一時的なコンピュータ可読媒体は、変調データ信号や搬送波などのコンピュータ可読一時的媒体は含まない。

【0112】

最後に、上記の実施形態は、本開示の技術的解決法を説明するためだけに使用され、本開示を制限する意図はないことが留意されるべきである。本開示は、上記の実施形態を参照して詳細に説明されたが、当業者は、上記の様々な実施形態に記録された技術的解決法は依然として変更を加えられることが可能である、またはその技術的特徴の一部は等価に置き換えられ得ることを理解すべきである。そのような変更や置き換えは、対応する技術的解決法の本質を、本開示の実施形態の技術的解決法の主旨および範囲から逸脱させることはない。

10

20

30

40

50

【図面】
【図 1】

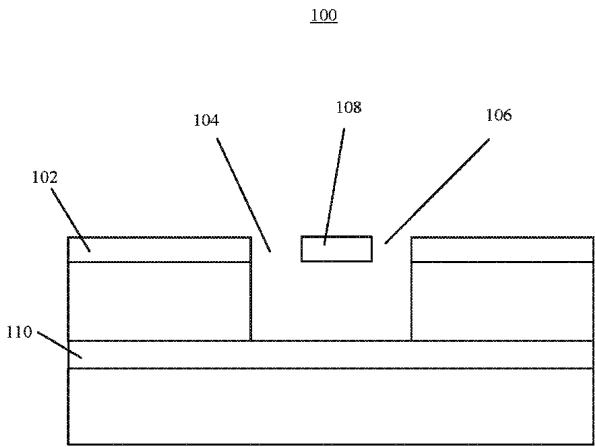


FIG. 1

【図 2】

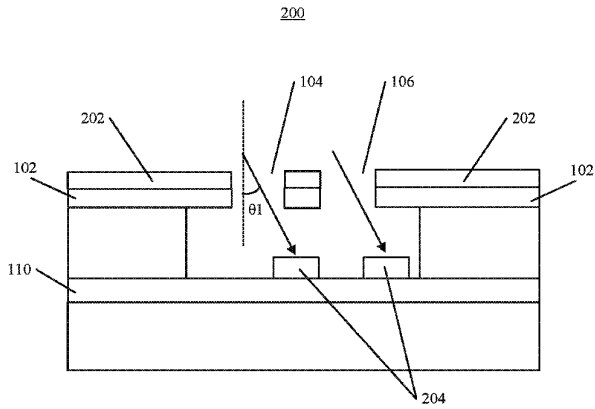


FIG. 2

【図 3】

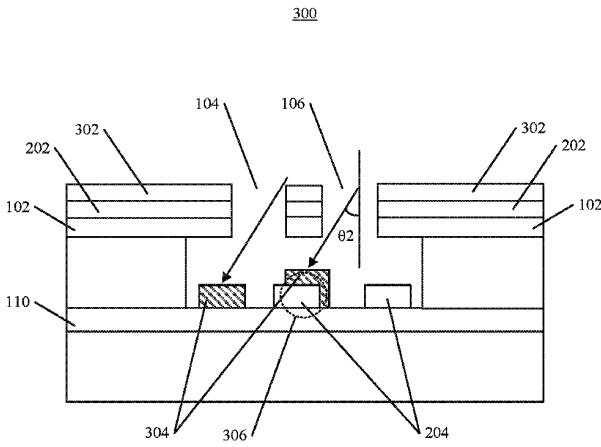


FIG. 3

【図 4 A】

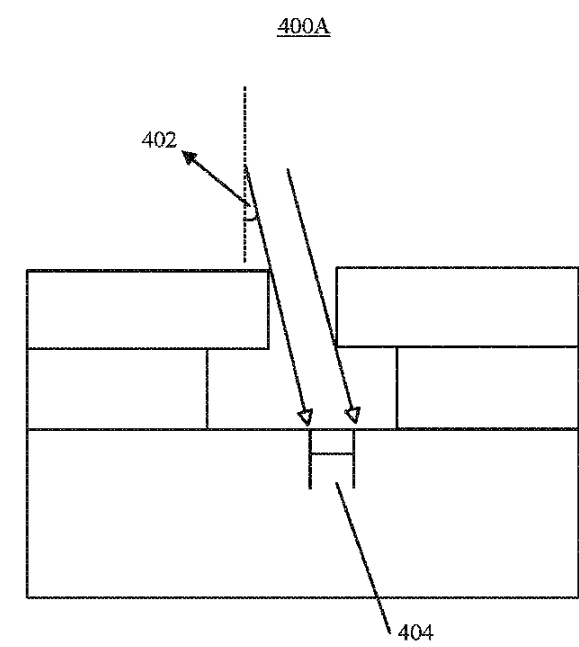


FIG. 4A

10

20

30

40

50

【図 4 B】

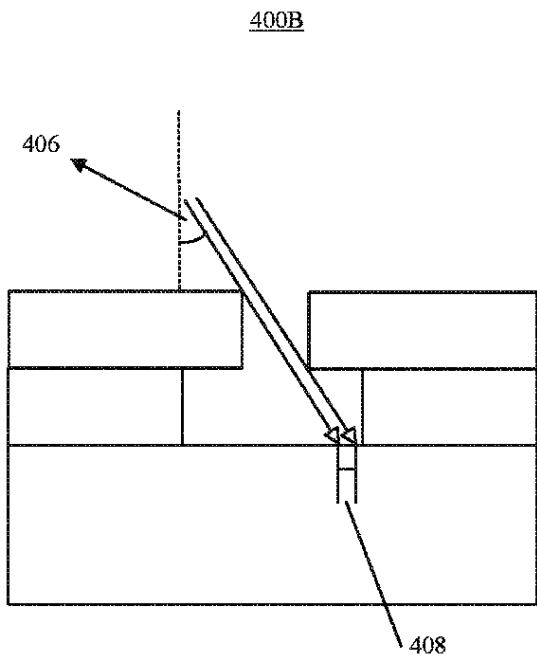


FIG. 4B

【図 5 A】

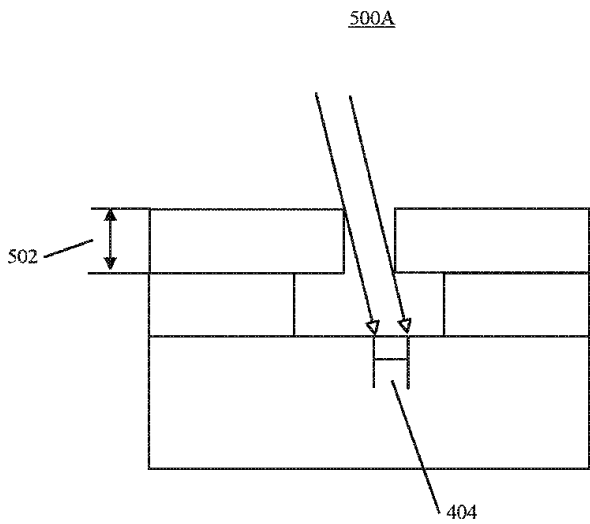


FIG. 5A

【図 5 B】

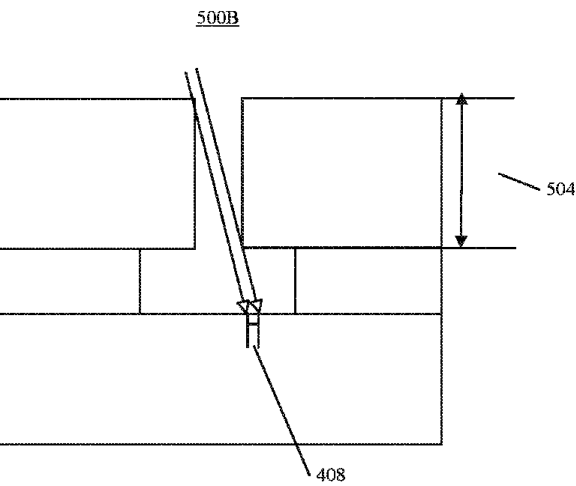
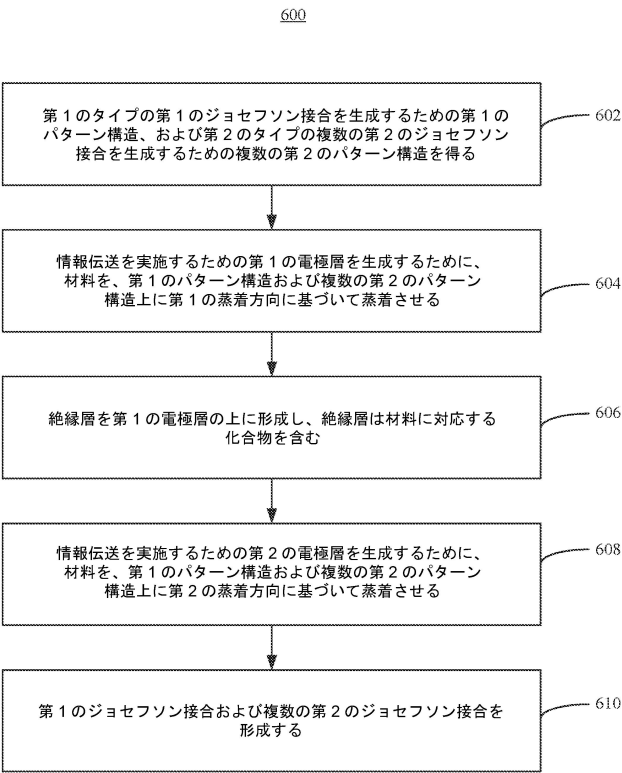


FIG. 5B

【図 6】



10

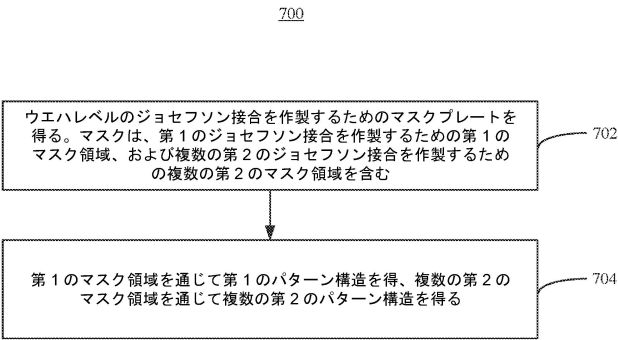
20

30

40

50

【図 7】



【図 8】

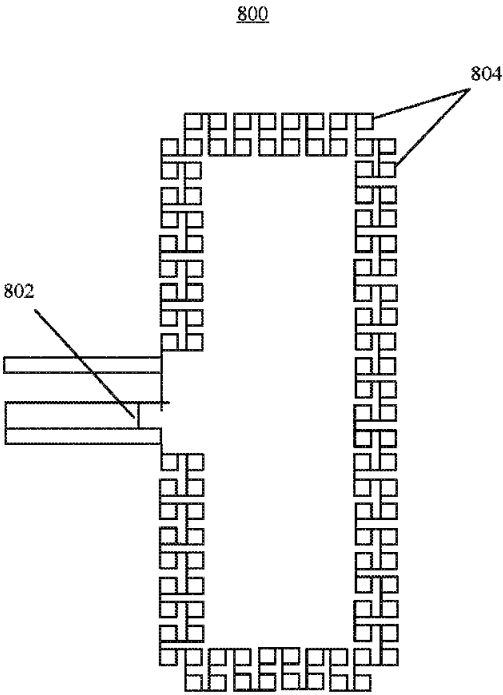
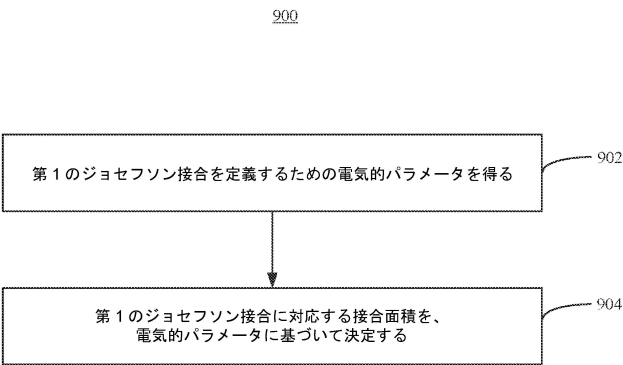
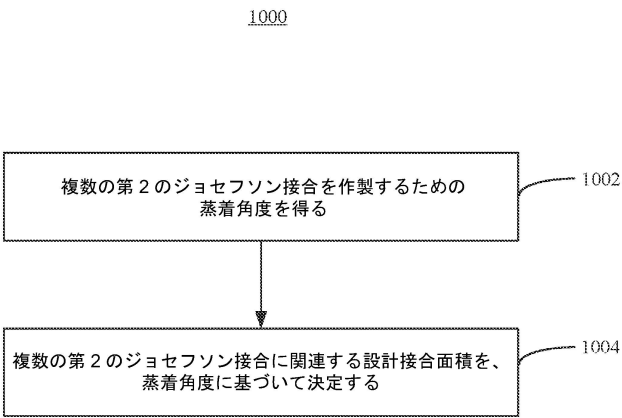


FIG. 8

【図 9】



【図 10】



10

20

30

40

50

【図 1 1】

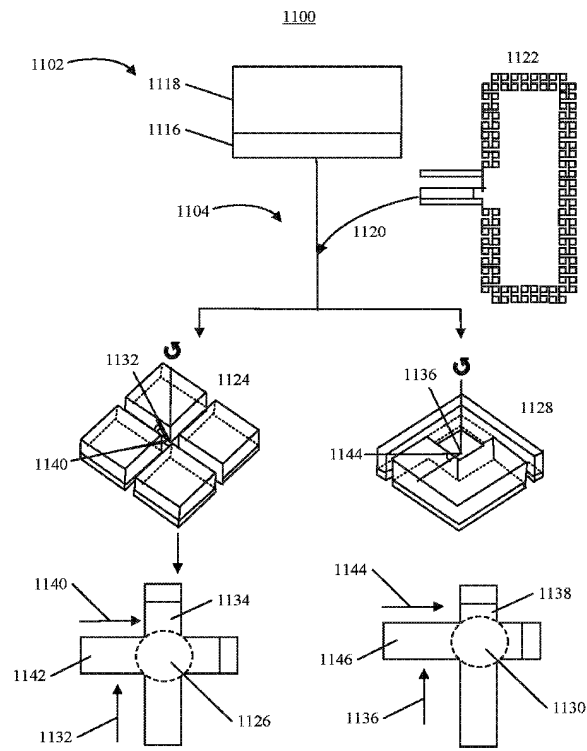
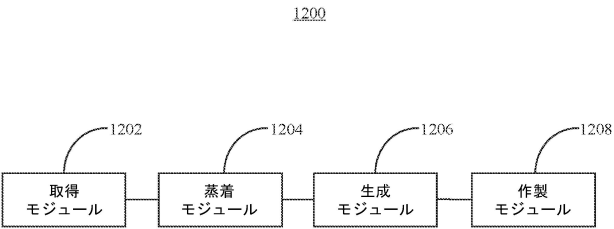
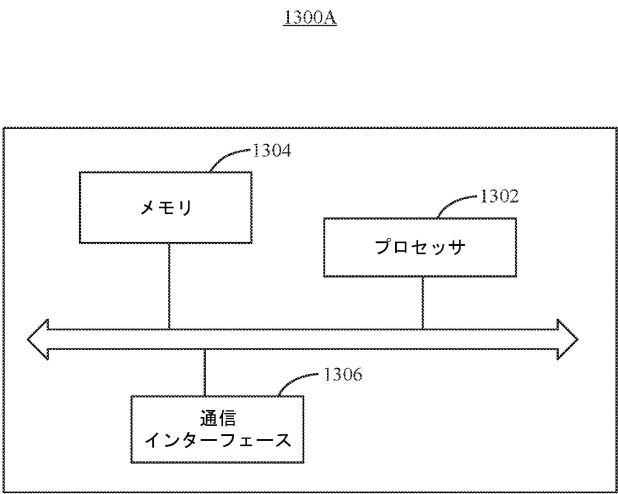


FIG. 11

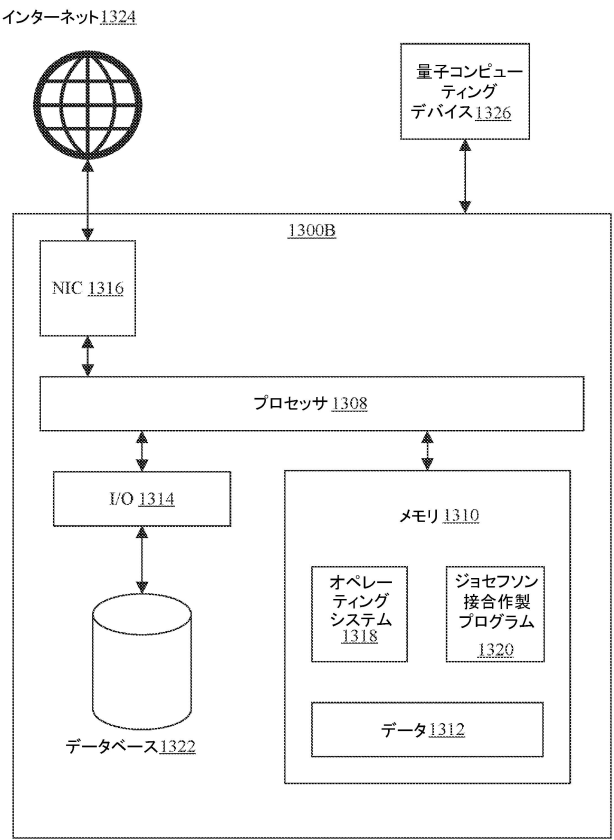
【図 1 2】



【図 1 3 A】



【図 1 3 B】



10

20

30

40

50

【図 13 C】

【図 14】

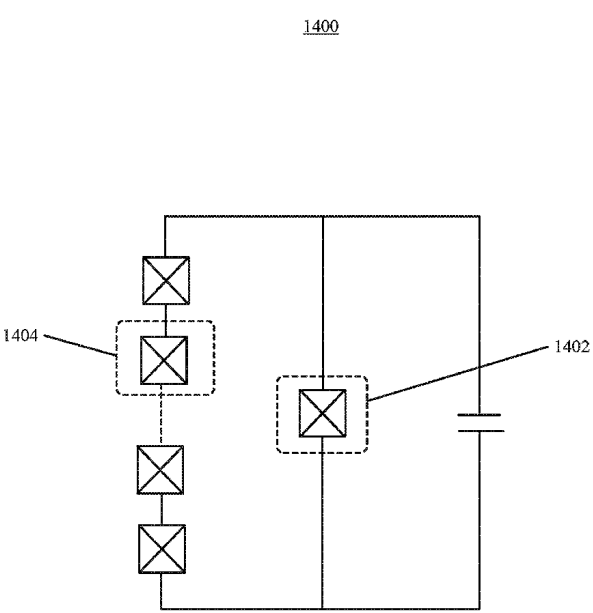
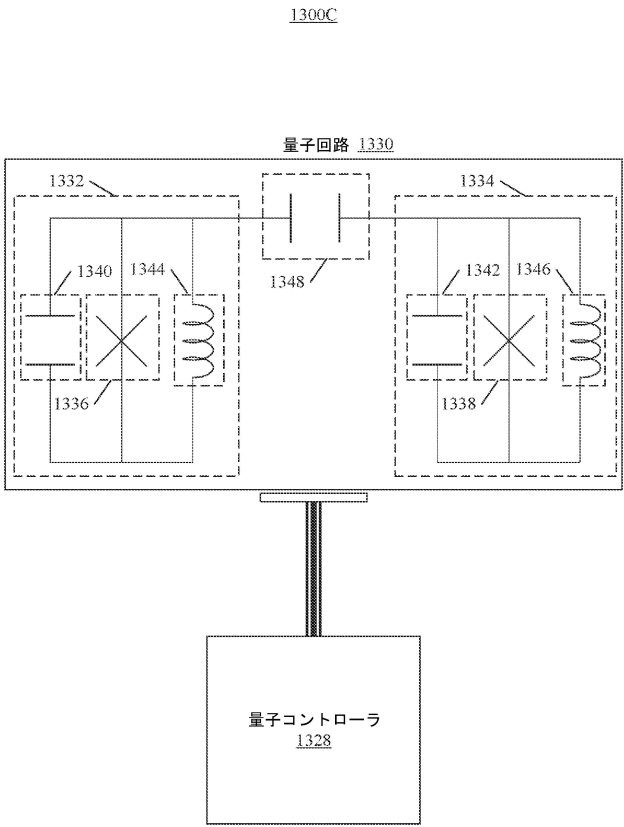


FIG. 14

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 21/55996

A. CLASSIFICATION OF SUBJECT MATTER

IPC - H01L 39/22 (2021.01)

CPC - H01L 39/2493; H01L 39/025; H01L 39/223

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

See Search History document

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4,370,359 A (FETTER et al.) 25 January 1983 (25.01.1983) Fig 1, abstract, col 3, ln 7-58, col 5, ln 58-59, col 7, ln 1-31	1-20
A	US 2007/0158791 A1 (WAKANA et al.) 12 July 2007 (12.07.2007) Fig 12, 17, abstract, para [0054], [0087], [0112]	1-20
A	US 2020/0168782 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 28 May 2020 (28.05.2020) Fig 14, abstract, para [0102]-[0106]	1-20
X. P	CN 113257989 A (ALIBABA GROUP HOLDING LTD) 13 August 2021 (13.08.2021) abstract	1-20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"D" document cited by the applicant in the international application

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 December 2021

Date of mailing of the international search report

JAN 26 2022

Name and mailing address of the ISA/US
Mail Stop PCT, Attn: ISA/US, Commissioner for Patents
P.O. Box 1450, Alexandria, Virginia 22313-1450
Facsimile No. 571-273-8300

Authorized officer

Kari Rodriguez

Telephone No. PCT Helpdesk: 571-272-4300

Form PCT/ISA/210 (second sheet) (July 2019)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,N
G,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,
TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. BLUETOOTH

(72)発明者 ガオ, ラン

中華人民共和国, ジャー جان 3 1 1 1 2 1, ハンチョウ, ユ ハン ディストリクト, ウェスト
ウェン イ ロード ナンバー 9 6 9 ビルディング 3 5 / エフ, アリババ グループ リーガル デ
パートメント

(72)発明者 キン, ジン

中華人民共和国, ジャー جان 3 1 1 1 2 1, ハンチョウ, ユ ハン ディストリクト, ウェスト
ウェン イ ロード ナンバー 9 6 9 ビルディング 3 5 / エフ, アリババ グループ リーガル デ
パートメント

(72)発明者 デン, チャンキン

中華人民共和国, ジャー جان 3 1 1 1 2 1, ハンチョウ, ユ ハン ディストリクト, ウェスト
ウェン イ ロード ナンバー 9 6 9 ビルディング 3 5 / エフ, アリババ グループ リーガル デ
パートメント

F ターム (参考) 4M113 AA03 AA13 AA23 AC45 BA04 CA12 CA16