

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



(10) 国際公開番号

WO 2020/031536 A1

(51) 国際特許分類:
H02M 7/5387 (2007.01) *H03K 19/0185* (2006.01)
H02M 1/084 (2006.01) *H02M 1/08* (2006.01)
H03K 17/0412 (2006.01) *H02M 7/48* (2007.01)
H03K 17/687 (2006.01)

(21) 国際出願番号 : PCT/JP2019/025517

(22) 国際出願日 : 2019年6月27日(27.06.2019)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

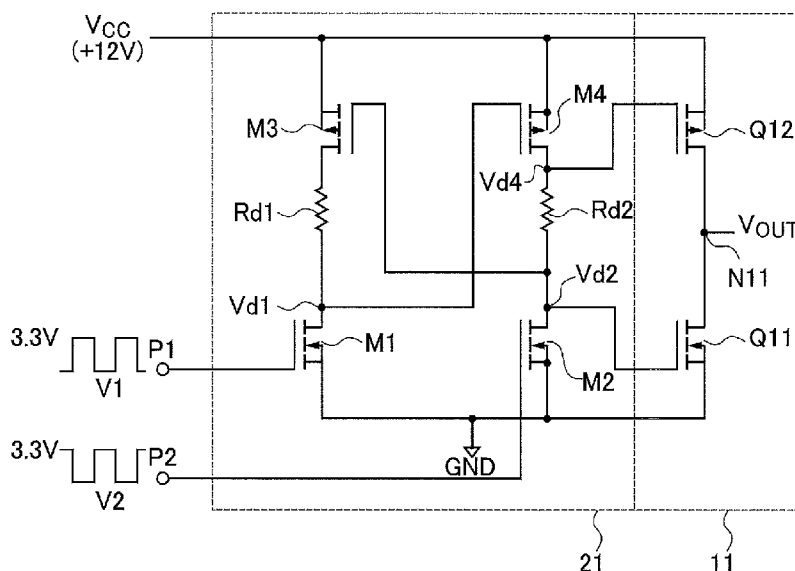
(30) 優先権データ :
特願 2018-151211 2018年8月10日(10.08.2018) JP

(71) 出願人: 日本電産株式会社 (NIDEC CORPORATION) [JP/JP]; 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 Kyoto (JP).

(72) 発明者: 吉永 眞樹 (YOSHINAGA, Masaki); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 雨貝 太郎 (AMAGAI, Taro); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 池田 明子 (IKEDA, Akiko); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 荒木 健吾 (ARAKI, Kengo); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 渡邊 克巳 (WATANABE, Katsumi);

(54) Title: DRIVE CIRCUIT AND DRIVE SYSTEM

(54) 発明の名称 : 駆動回路、駆動システム



(57) Abstract: The present invention provides a drive circuit which is provided with: a driving NMOS transistor and a driving PMOS transistor, which have a common drain connected to a load; and a level shift circuit. The level shift circuit comprises: a first transistor which is an NMOS transistor; a second transistor which is an NMOS transistor; a third source which is set to a second potential; a third transistor which is a PMOS transistor; and a fourth transistor which is a PMOS transistor. A first drain of the first transistor and a fourth gate of the fourth transistor are connected to each other; and a second drain of the second transistor and a third gate of the third transistor are connected to each other.

〒6018205 京都府京都市南区久世殿城町 3 3 8
番地 日本電産株式会社内 Kyoto (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 共通のドレインが負荷に接続された駆動用NMOSトランジスタおよび駆動用PMOSトランジスタと、レベルシフト回路と、を備えた駆動回路が提供される。レベルシフト回路は、NMOSトランジスタである第1トランジスタと、NMOSトランジスタである第2トランジスタと、第2電位に設定される第3ソースと、PMOSトランジスタである第3トランジスタと、PMOSトランジスタである第4トランジスタと、を有する。第1トランジスタの第1ドレインと第4トランジスタの第4ゲートとが接続され、第2トランジスタの第2ドレインと第3トランジスタの第3ゲートとが接続される。

明 細 書

発明の名称： 駆動回路、駆動システム

技術分野

[0001] 本発明は、駆動回路および駆動システムに関する。

背景技術

[0002] 従来、モータを駆動するためのインバータ装置として、マイクロコントローラからの指令に基づき、モータに与える電圧を制御するスイッチ素子に対する信号を生成する専用 IC が設けられたものが知られている（例えば、日本国登録公報特許第 5 6 5 2 2 4 0 号の図 1 を参照）。

先行技術文献

特許文献

[0003] 特許文献 1：日本国登録公報：特許第 5 6 5 2 2 4 0 号

発明の概要

発明が解決しようとする課題

[0004] モータ等の負荷を駆動する駆動回路において専用 IC を設ける場合には、設計の自由度が高いため、専用 IC を設けない場合よりも、例えば消費電力、応答性、エネルギー損失等の特性上で有利であるが、コスト面では不利である。

[0005] そこで、本発明は、負荷をスイッチング駆動する場合に専用 IC を用いずに性能向上を実現することを目的とする。

課題を解決するための手段

[0006] 本願の例示的な第 1 発明は、共通のドレインが負荷に接続された駆動用 NMOS トランジスタおよび駆動用 PMOS トランジスタと、基準電位と前記基準電位よりも高い第 1 電位との間で変動する第 1 入力端子および第 2 入力端子の電位に基づいて、前記駆動用 NMOS トランジスタおよび前記駆動用 PMOS トランジスタのゲートの電位が、前記基準電位と前記第 1 電位よりも高い第 2 電位との間で変動するように信号処理するレベルシフト回路と、を

備え、前記駆動用NMOSトランジスタのソースが前記基準電位側に設けられ、前記駆動用PMOSトランジスタのソースが前記第2電位に設定され、前記レベルシフト回路は、前記基準電位に設定される第1ソースと、前記第1入力端子に接続される第1ゲートと、第1ドレインと、を有するNMOSトランジスタである第1トランジスタと、前記基準電位に設定される第2ソースと、前記第2入力端子に接続される第2ゲートと、前記駆動用NMOSトランジスタのゲートに接続される第2ドレインと、を有するNMOSトランジスタである第2トランジスタと、前記第2電位に設定される第3ソースと、第3ゲートと、前記第1ドレインに接続される第3ドレインと、を有するPMOSトランジスタである第3トランジスタと、前記第2電位に設定される第4ソースと、第4ゲートと、前記第2ドレインおよび前記駆動用PMOSトランジスタのゲートに接続される第4ドレインと、を有するPMOSトランジスタである第4トランジスタと、を有し、前記第1ドレインと前記第4ゲートとが接続され、前記第2ドレインと前記第3ゲートとが接続される、駆動回路である。

発明の効果

[0007] 本発明によれば、負荷をスイッチング駆動する場合に専用ICを用いずに性能向上を実現することができる。

図面の簡単な説明

- [0008] [図1]第1の実施形態のモータ駆動システムのシステム構成を示す図である。
- [図2]第1の実施形態の駆動回路の回路図である。
- [図3]第1の実施形態の駆動回路の動作を示すタイミングチャートである。
- [図4]第1の実施形態の駆動回路のMOSトランジスタの構造例を示す図である。
- [図5]第1の実施形態の駆動回路のMOSトランジスタの別の構造例を示す図である。
- [図6]第2の実施形態の駆動回路の回路図である。
- [図7]第2の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図8]第2の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図9]第2の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図10]第3の実施形態の駆動回路の回路図である。

[図11]第3の実施形態の駆動回路に含まれる各可変抵抗の等価回路を示す図である。

[図12]第3の実施形態の駆動回路に含まれるP／N型可変抵抗の構成例を示す図である。

[図13]第4の実施形態の駆動回路の回路図である。

[図14]第5の実施形態の駆動回路の回路図である。

[0009] 以下、本発明の駆動システムの実施形態であるモータ駆動システムについて説明する。

[0010] (1) 第1の実施形態

(1-1) システム構成

以下、本発明のモータ駆動システムの一実施形態について図面を参照して説明する。

図1は、実施形態のモータ駆動システム1のシステム構成を示す図である。モータ駆動システム1は、インバータ装置2、リニアレギュレータ(LDO: Low Dropout)3、CPU(Central Processing Unit)5、および、3相交流モータMを備える。CPU5は、マイクロコントローラの例である。

インバータ装置2は、3相電圧生成部10およびレベルシフト回路群20を備え、3相交流電力を発生させて3相交流モータMに供給する。3相交流モータMには、回転子の位置を検出する相ごとのホールセンサ100が取り付けられている。

[0011] 以下の説明において、回路内のノードまたは端子の電圧は、グラウンド電位GND(以下の説明では、「GND電位」とする。)を基準とした電位を意味している。例えば、インバータ装置2において最も高い電位は電源電位 V_{cc} (+12V)であるが、GND電位は0Vとみなしてよいため、適宜、「電源電圧 V_{cc} 」ともいう。

リニアレギュレータ 3 は、電源電圧 V_{cc} (+12V) を CPU 5 が動作するのに必要となる所定の電圧（本実施形態の例では、+3.3V）まで低下させて CPU 5 に供給する。

CPU 5 は、レベルシフト回路群 20 のレベルシフト回路 21～23 の各々に対して、振幅が 3.3V のパルス信号を供給する。各レベルシフト回路は、CPU 5 からのパルス信号を、3相電圧生成部 10 内の MOS トランジスタを動作可能となる信号レベルに変換する。

図 1 では、レベルシフト回路 21～23 がそれぞれ、ノード N11～N13 に対応しており、それぞれ後述する駆動回路の出力端子に相当する。

[0012] (1-2) インバータ装置 2 の構成

以下、インバータ装置 2 の構成を詳細に説明する。

図 1 に示すように、インバータ装置 2 の 3 相電圧生成部 10 は、ローサイドスイッチとしての NMOS トランジスタ Q11, Q21, Q31、および、ハイサイドスイッチとしての PMOS トランジスタ Q12, Q22, Q32 を備える。3 相交流モータ M は 100% デューティで動作する場合もあるため、3 相電圧生成部 10 は、ハイサイドスイッチを PMOS トランジスタとしている。

[0013] 本実施形態では、PMOS トランジスタ Q12 と NMOS トランジスタ Q11 は、3 相交流モータ M に供給される 3 相交流電力の U 相に対して設けられる。PMOS トランジスタ Q12 と NMOS トランジスタ Q11 とがスイッチング動作を行うことにより U 相の出力電圧である U 相電圧 V_u が生成される。

同様に、PMOS トランジスタ Q22 と NMOS トランジスタ Q21 は、3 相交流モータ M に供給される 3 相交流電力の V 相に対して設けられる。PMOS トランジスタ Q22 と NMOS トランジスタ Q21 とがスイッチング動作を行うことにより V 相の出力電圧である V 相電圧 V_v が生成される。PMOS トランジスタ Q32 と NMOS トランジスタ Q31 は、3 相交流モータ M に供給される 3 相交流電力の W 相に対して設けられる。PMOS トラン

ジスタQ32とNMOSトランジスタQ31とがスイッチング動作を行うことによりW相の出力電圧であるW相電圧 V_w が生成される。

[0014] NMOSトランジスタQ11, Q21, Q31のソースは、グラウンド電位GNDに設定されている。PMOSトランジスタQ12, Q22, Q32のソースは、インバータ装置2の電源電圧 V_{cc} に接続されている。

[0015] U相のNMOSトランジスタQ11とPMOSトランジスタQ12の共通のドレイン（ノードN11）は、3相交流モータMのU相の巻線（図示せず）の一端に接続される。同様に、V相のNMOSトランジスタQ21とPMOSトランジスタQ22の共通のドレイン（ノードN12）は、3相交流モータMのV相の巻線（図示せず）の一端に接続され、W相のNMOSトランジスタQ31とPMOSトランジスタQ32の共通のドレイン（ノードN13）は、3相交流モータMのW相の巻線（図示せず）の一端に接続される。

[0016] CPU5は、3相交流モータMの回転子の位置を検出するホールセンサ100の各相の検出値を示す信号 H_u , H_v , H_w に基づいて、レベルシフト回路群20のレベルシフト回路21～23に供給するパルス信号のデューティ比を決定する。なお、信号 H_u , H_v , H_w は、順に120度ずつ位相差がある正弦波信号である。CPU5は、決定したデューティ比のパルス信号を各レベルシフト回路に供給する。各レベルシフト回路に供給されるパルス信号の振幅は、CPU5の動作電圧と同一の3.3Vである。

[0017] レベルシフト回路群20の各レベルシフト回路は、振幅3.3VのCPU5からのパルス信号を振幅12Vのパルス信号にレベル変換する。レベルシフト回路21は、U相のNMOSトランジスタQ11およびPMOSトランジスタQ12の各ゲートに対してレベル変換したパルス信号を入力する。レベルシフト回路22は、V相のNMOSトランジスタQ21およびPMOSトランジスタQ22の各ゲートに対してレベル変換したパルス信号を入力する。レベルシフト回路23は、W相のNMOSトランジスタQ31およびPMOSトランジスタQ32の各ゲートに対してレベル変換したパルス信号を入力する。

レベルシフト回路21, 22, 23によってレベル変換されたパルス信号によって、ローサイドスイッチであるNMOSトランジスタQ11, Q21, Q31およびハイサイドスイッチであるPMOSトランジスタQ12, Q22, Q32の動作が制御される。

[0018] (1-3) レベルシフト回路群20の構成

以下、レベルシフト回路群20の構成について、図2を参照してさらに詳しく説明する。図2は、レベルシフト回路21と、3相電圧生成部10においてレベルシフト回路21に対応するU相のNMOSトランジスタQ11およびPMOSトランジスタQ12と、を備えた駆動回路の回路構成を示している。

レベルシフト回路22と、対応するV相のNMOSトランジスタQ21およびPMOSトランジスタQ22と、を備えた駆動回路、および、レベルシフト回路23と、対応するW相のNMOSトランジスタQ31およびPMOSトランジスタQ32と、を備えた駆動回路は、U相の場合と同じである。そのため、以下ではU相の場合についてのみ説明し、V相およびW相についての重複説明は省略する。

[0019] NMOSトランジスタQ11（駆動用NMOSトランジスタの例）およびPMOSトランジスタQ12（駆動用PMOSトランジスタの例）の共通のドレインが、負荷としての3相交流モータMに接続される。NMOSトランジスタQ11のソースがグラウンド電位GNDに設定され、PMOSトランジスタQ12のソースが電源電位 V_{CC} に設定される。

[0020] レベルシフト回路21は、グラウンド電位GND（基準電位の例）と3.3V（第1電位の例）との間で変動する第1入力端子P1および第2入力端子P2の電位に基づいて、NMOSトランジスタQ11およびPMOSトランジスタQ12のゲートの電位が、グラウンド電位GNDと電源電位 V_{CC} （+12V；第2電位の例）との間で変動するように信号処理する。

第1入力端子P1と第2入力端子P2には、CPU5から、グラウンド電位GNDと3.3Vの間で変動する互いに相補的なパルス信号が入力される。

[0021] レベルシフト回路21は、NMOSトランジスタM1（第1トランジスタの例）と、NMOSトランジスタM2（第2トランジスタの例）と、PMOSトランジスタM3（第3トランジスタの例）と、PMOSトランジスタM4（第4トランジスタの例）とを有する。

NMOSトランジスタM1は、グラウンド電位GNDに設定されるソース（第1ソースの例）と、第1入力端子P1に接続されるゲート（第1ゲートの例）と、ドレイン（第1ドレインの例）と、を有する。

NMOSトランジスタM2は、グラウンド電位GNDに設定されるソース（第2ソースの例）と、第2入力端子P2に接続されるゲート（第2ゲートの例）と、NMOSトランジスタQ11のゲートに接続されるドレイン（第2ドレインの例）と、を有する。

PMOSトランジスタM3は、電源電位 V_{cc} に設定されるソース（第3ソースの例）と、ゲート（第3ゲートの例）と、NMOSトランジスタM1のドレインに接続されるドレイン（第3ドレインの例）と、を有する。

PMOSトランジスタM4は、電源電位 V_{cc} に設定されるソース（第4ソースの例）と、ゲート（第4ゲートの例）と、PMOSトランジスタQ12のゲートに接続されるドレイン（第4ドレインの例）と、を有する。PMOSトランジスタM4のゲートは、NMOSトランジスタM2のドレインに接続される。

NMOSトランジスタM1のドレインとPMOSトランジスタM4のゲートとが接続され、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートとが接続される。

[0022] レベルシフト回路21は、ドレイン抵抗 R_{d1} （第1ドレイン抵抗の例）とドレイン抵抗 R_{d2} （第2ドレイン抵抗の例）を有する。ドレイン抵抗 R_{d1} は、NMOSトランジスタM1のドレインとPMOSトランジスタM3のドレインとの間に設けられる。ドレイン抵抗 R_{d2} は、NMOSトランジスタM2のドレインとPMOSトランジスタM4のドレインとの間に設けられ

る。

[0023] (1-4) 駆動回路の動作

次に、レベルシフト回路21と、NMOSトランジスタQ11およびPMOSトランジスタQ12と、を備えた駆動回路の動作について、図3を参照して説明する。図3は、図2に示す駆動回路の動作を示すタイミングチャートである。図3において、上から1番目と2番目のタイミングチャートは、それぞれ、PMOSトランジスタQ12のオン／オフの状態、NMOSトランジスタQ11のオン／オフの状態を示している。図3において、上から3番目、4番目、および5番目のタイミングチャートは、それぞれ、NMOSトランジスタM1のドレイン電圧 V_{d1} 、PMOSトランジスタM4のドレイン電圧 V_{d4} 、およびNMOSトランジスタM2のドレイン電圧 V_{d2} を示している。図3において、上から6番目と7番目のタイミングチャートは、第2入力端子P2の電圧 V_2 と第1入力端子P1の電圧 V_1 を示している。

なお、図3に示す各ドレイン電圧の最大値(12V)は、各MOSトランジスタのオン抵抗およびドレイン抵抗による電圧降下分を無視した値である。

[0024] 図3に示す動作例では、説明の目的で、第2入力端子P2の電圧 V_2 と第1入力端子P1の電圧 V_1 がパルスであり、そのデューティ比が概ね50%である場合を示している。

[0025] 時刻 t_0 から時刻 t_1 に達する前まで、第1入力端子P1の電圧 V_1 が3.3V(以下、「Hレベル」という。)であり、第2入力端子P2の電圧 V_2 がGNDレベル(以下、「Lレベル」という。)である。そのため、時刻 t_0 から時刻 t_1 に達する前まで、NMOSトランジスタM1がオフ、NMOSトランジスタM2がオン、PMOSトランジスタM3がオン、PMOSトランジスタM4がオフ、PMOSトランジスタQ12がオン、NMOSトランジスタQ11がオフとなっている。

[0026] 時刻 t_1 になると、第2入力端子P2の電圧 V_2 がHレベルからLレベルと

なる。時刻 t_1 から時刻 t_2 に達するまでの期間（デッドタイム d_t ）は、第1入力端子 P_1 の電圧 V_1 と第2入力端子 P_2 の電圧 V_2 を共にLレベルとすることで、NMOSトランジスタ M_1 、 M_2 を共にオフとし、貫通電流を防止する。

このとき、NMOSトランジスタ M_2 のドレイン電圧 V_{d2} （つまり、NMOSトランジスタ Q_{11} のゲート）はGNDレベルであり、NMOSトランジスタ Q_{11} はオフである。

[0027] 時刻 t_2 になると、第1入力端子 P_1 の電圧 V_1 がHレベルとなるため、NMOSトランジスタ M_1 がオンとなり、図3に示すように、NMOSトランジスタ M_1 のドレイン電圧 V_{d1} が12VからGNDレベルに下降する。その下降途中でドレイン電圧 V_{d1} が閾値電圧 TH_1 に達すると、PMOSトランジスタ M_4 のゲートの電圧も閾値電圧 TH_1 まで低下することによって、PMOSトランジスタ M_4 がオンとなる。そのため、PMOSトランジスタ M_4 のドレイン電圧 V_{d4} がGNDレベルから12Vに上昇する。その上昇の途中でドレイン電圧 V_{d4} が閾値電圧 TH_4 に達すると、PMOSトランジスタ Q_{12} のゲートも閾値電圧 TH_4 まで上昇することによって、PMOSトランジスタ Q_{12} がオフとなる。

他方、PMOSトランジスタ M_4 のドレイン電圧 V_{d4} の上昇に伴って、ドレイン抵抗 R_{d2} と寄生キャパシタによって定まる遅延時間遅れて、NMOSトランジスタ M_2 のドレイン電圧 V_{d2} が上昇する。ドレイン電圧 V_{d2} が閾値電圧 TH_2 に達すると、NMOSトランジスタ Q_{11} のゲートも閾値電圧 TH_2 まで上昇することによってNMOSトランジスタ Q_{11} がオンとなる。

なお、NMOSトランジスタ M_2 のドレイン電圧 V_{d2} が上昇に伴ってPMOSトランジスタ M_3 のゲート電位が上昇するため、PMOSトランジスタ M_3 がオフとなる。

[0028] 時刻 t_3 になると、第1入力端子 P_1 の電圧 V_1 がHレベルからLレベルとなる。時刻 t_3 から時刻 t_4 に達するまでの期間（デッドタイム d_t ）は、

第1入力端子P1の電圧V1と第2入力端子P2の電圧V2を共にLレベルとすることで、NMOSトランジスタM1, M2を共にオフとし、貫通電流を防止する。

このとき、NMOSトランジスタM1のドレイン電圧Vd1はGNDレベルを維持している。

[0029] 時刻t4になると、第2入力端子P2の電圧V2がLレベルからHレベルとなるため、NMOSトランジスタM2がオンとなり、図3に示すように、NMOSトランジスタM2のドレイン電圧Vd2が12VからGNDレベルに下降する。その下降途中でドレイン電圧Vd2が閾値電圧TH2に達すると、NMOSトランジスタQ11のゲートも閾値電圧TH2まで低下することによってNMOSトランジスタQ11がオフとなる。

NMOSトランジスタM2のドレイン電圧Vd2の低下に伴って、NMOSトランジスタM2のドレインに接続されたPMOSトランジスタM3のゲートの電圧も低下し、PMOSトランジスタM3のゲートソース間電圧Vgsが閾値電圧を超えると、PMOSトランジスタM3がオンとなる。PMOSトランジスタM3がオンになると、ドレイン抵抗Rd1と寄生キャパシタによって定まる遅延時間遅れて、図3に示すように、NMOSトランジスタM1のドレイン電圧Vd1が上昇する。その上昇の途中でドレイン電圧Vd1が閾値電圧TH1に達すると、NMOSトランジスタM1のドレインに接続されたPMOSトランジスタM4のゲート電圧も閾値電圧TH1になり、PMOSトランジスタM4のゲートソース間電圧Vgsが閾値電圧より低下する。その結果、PMOSトランジスタM4がオフとなる。

PMOSトランジスタM4がオフになると、PMOSトランジスタM4のドレイン電圧Vd4が低下する。ドレイン電圧Vd4が閾値電圧TH4まで低下すると、PMOSトランジスタQ12も閾値電圧TH4まで低下し、PMOSトランジスタQ12のゲートソース間電圧Vgsが閾値電圧を超えてPMOSトランジスタQ12がオンとなる。

[0030] 時刻t5になると、第2入力端子P2の電圧V2がHレベルからLレベルと

なる。時刻 t_5 の各部の状態は時刻 t_1 の各部の状態と同じであり、以後、同じ動作を繰り返す。

図3では、PMOSトランジスタQ12とNMOSトランジスタQ11が共にオフである期間をデッドタイムDTとして示している。つまり、デッドタイムDTは、第1入力端子P1と第2入力端子P2に入力されるパルス信号が、信号レベルが切り替わるときにおいて、共にグランド電位GNDとなる期間である。デッドタイムDTは、第1入力端子P1の電圧V1と第2入力端子P2の電圧V2において設定されるデッドタイム d_t と、ドレイン抵抗 R_{d1} 、 R_{d2} および寄生キャパシタによって生ずる遅延時間とによって決定される。

[0031] 図2および図3を参照して説明したように、本願発明の駆動回路には以下の有利な効果がある。

(i) PMOSトランジスタQ12がオン時には、NMOSトランジスタM1がオフ、NMOSトランジスタM2がオン、PMOSトランジスタM3がオン、PMOSトランジスタM4がオフとなる。また、NMOSトランジスタQ11がオン時には、NMOSトランジスタM1がオン、NMOSトランジスタM2がオフ、PMOSトランジスタM3がオフ、PMOSトランジスタM4がオンとなる。そのため、PMOSトランジスタM3、ドレイン抵抗 R_{d1} 、NMOSトランジスタM1を流れる電流、および、PMOSトランジスタM4、ドレイン抵抗 R_{d2} 、NMOSトランジスタM2に流れる電流は、定常時にはゼロとなり、低消費電力化が実現する。

[0032] (ii) 図2の駆動回路では、PMOSトランジスタM4のドレインがPMOSトランジスタQ12のゲートに接続されている。そのため、第1入力端子P1の電圧V1がLレベルからHレベルになるときは（図3の時刻 t_2 ）、NMOSトランジスタM1オン、PMOSトランジスタM4オンとなり、PMOSトランジスタQ12のゲート電位が急速に上昇することで、PMOSトランジスタQ12がオフになる。すなわち、PMOSトランジスタQ12を高速にオフとすることができる。

[0033] (iii) NMOSトランジスタQ11のオン時には、NMOSトランジスタM1がオン、NMOSトランジスタM2がオフ、PMOSトランジスタM3オフ、PMOSトランジスタM4がオンとなる。そのため、NMOSトランジスタQ11のゲートソース間電圧 V_{gs} は、入力電圧の3.3Vではなく電源電圧 V_{cc} (+12V)となる。よって、NMOSトランジスタQ11のオン抵抗を低い値とすることができ、損失低減に寄与する。

[0034] 以上説明したように、本実施形態のモータ駆動システム1において3相交流モータMを駆動するための駆動回路は、CPU5からの3.3Vの低電力のパルス信号を電源電圧 V_{cc} (+12V)まで昇圧させるレベルシフト回路21~23を設けることによって駆動用MOSトランジスタを制御する。そして、各レベルシフト回路は、低消費電力であり、応答性に優れ、かつ低損失にて動作することから、専用ICを用いずに性能向上を実現することができる。

[0035] 上述した実施形態の駆動回路において、ドレイン抵抗 R_{d1} とドレイン抵抗 R_{d2} を有することは必ずしも必須ではない。しかし、ドレイン抵抗 R_{d1} とドレイン抵抗 R_{d2} を設けることで、入力信号にデッドタイム d_t を設定しない場合でも、NMOSトランジスタQ11とPMOSトランジスタQ12のデッドタイム DT を設けることが可能となる。さらに入力信号にデッドタイム d_t を設定することで、デッドタイムのマージンを拡大することができる。

[0036] (1-5) MOSトランジスタの構造

本実施形態の駆動回路における好ましいMOSトランジスタの構造について、図4および図5を参照して説明する。図4は、本実施形態の駆動回路のMOSトランジスタの構造例を示す図である。図5は、本実施形態の駆動回路のMOSトランジスタの別の構造例を示す図である。

なお、図4では、図2に示す駆動回路のレベルシフト回路21のうちNMOSトランジスタM2、ドレイン抵抗 R_{d2} 、および、PMOSトランジスタM4のみを示しているが、NMOSトランジスタM1、ドレイン抵抗 R_{d1}

1、および、PMOSトランジスタM3についても同様の構造とすることができる。

[0037] 図4に示すMOSトランジスタの構造例では、駆動用MOSトランジスタであるNMOSトランジスタQ11およびPMOSトランジスタQ12を縦型構造としている。縦型構造では、図4に示すように、ドレイン電極がゲート電極およびソース電極と反対側に設けられる。NMOSトランジスタQ11およびPMOSトランジスタQ12は共通のドレインがノードN11（図1参照）に接続されているため、同一の金属（リードフレーム）上に実装することができる。

縦型構造を採用することでNMOSトランジスタQ11およびPMOSトランジスタQ12のオン抵抗を低くすることができる。

[0038] 他方、図4に示すMOSトランジスタの構造例では、レベルシフト回路21に含まれるNMOSトランジスタM2およびPMOSトランジスタM4を横型構造としている。後述する実施形態で明らかとなるように、レベルシフト回路を多数設ける場合があるため、レベルシフト回路内のMOSトランジスタを横型構造として1チップ化することにより集積度が上がり、低コスト化を図ることができる。

なお、レベルシフト回路内のMOSトランジスタを縦型構造とし、縦型構造のNMOSトランジスタQ11およびPMOSトランジスタQ12と合わせて駆動回路のすべてのMOSトランジスタを縦型構造のみで構成してもよい。

[0039] なお、NMOSトランジスタM2およびPMOSトランジスタM4では、ゲートソース間最大定格電圧 V_{GSS} が電源電圧 V_{CC} （+12V）を満足する必要があるが、一般的なIC内部の横型構造のMOSトランジスタの場合、ゲートソース間最大定格 V_{GSS} は5V程度である。しかし、図2に示すレベルシフト回路21の各MOSトランジスタでは、大きな駆動能力や低オン抵抗を必要としないため、一般的な横型構造のMOSトランジスタよりもゲート酸化膜を厚くすることでゲートソース間最大定格電圧 V_{GSS} を大きくすることが

できる。すなわち、横型構造のMOSトランジスタであってもゲートソース間最大定格電圧 V_{GSS} を12V以上とすることができる。

[0040] NMOSトランジスタM2およびPMOSトランジスタM4のp型基板はGND電位であるため、NMOSトランジスタQ11およびPMOSトランジスタQ12のリードフレームとは分離する必要がある。そのため、レベルシフト回路の横型構造のMOSトランジスタ用のチップにボンディングパッド領域を設け、縦型構造の駆動用MOSトランジスタとの結線をワイヤボンディングで行う。

[0041] 図5に示すMOSトランジスタの構造例では、図4に対して横型構造のMOSトランジスタのpウェルがない構造となっている。かかる構造を横型構造のMOSトランジスタとして適用してもよく、図4の縦型構造のMOSトランジスタと組み合わせることもできる。

[0042] (2) 第2の実施形態

次に、第2の実施形態のモータ駆動システムについて説明する。本実施形態のモータ駆動システムの全体構成は、図1に示したものと同一であり、駆動回路が図2に示したものと異なる。

図6は、第2の実施形態の駆動回路の回路図である。図6に示す駆動回路が図2に示した駆動回路と異なる点は、レベルシフト回路内の各MOSトランジスタにソース抵抗およびゲート抵抗が設けられる点にある。すなわち、本実施形態の駆動回路のレベルシフト回路21Aでは、以下の抵抗を備える。

[0043] ・ グランド電位GNDのノード N_{GND} とNMOSトランジスタM1のソースとの間のソース抵抗 R_{s1} （第1ソース抵抗の例）

・ 第1入力端子P1とNMOSトランジスタM1のゲートとの間のゲート抵抗 R_{g1} （第1ゲート抵抗の例）

・ グランド電位GNDのノード N_{GND} とNMOSトランジスタM2のソースとの間のソース抵抗 R_{s2} （第2ソース抵抗の例）

・ 第2入力端子P2とNMOSトランジスタM2のゲートとの間のゲート

抵抗 R_{g2} (第2ゲート抵抗の例)

- ・電源電位 V_{cc} のノード N_{VCC} と PMOS トランジスタ $M3$ のソースとの間のソース抵抗 R_{s3} (第3ソース抵抗の例)

- ・ PMOS トランジスタ $M3$ のゲートと NMOS トランジスタ $M2$ のドレインとの間のゲート抵抗 R_{g3} (第3ゲート抵抗の例)

- ・電源電位 V_{cc} のノード N_{VCC} と PMOS トランジスタ $M4$ のソースとの間のソース抵抗 R_{s4} (第4ソース抵抗の例)

- ・ PMOS トランジスタ $M4$ のゲートと NMOS トランジスタ $M1$ のドレインとの間のゲート抵抗 R_{g4} (第4ゲート抵抗の例)

[0044] なお、図6に示す例では、各MOSトランジスタのソース抵抗 $R_{s1} \sim R_{s4}$ およびゲート抵抗 $R_{g1} \sim R_{g4}$ をすべて備えるレベルシフト回路21Aを示しているが、その限りではなく、これらの抵抗のうち、少なくともいずれか1つの抵抗を備えていればよい。

本実施形態において、各MOSトランジスタのソース抵抗 $R_{s1} \sim R_{s4}$ およびゲート抵抗 $R_{g1} \sim R_{g4}$ を設けているのは、貫通電流および各MOSトランジスタのドレイン電流を抑制するためである。

[0045] 図7～図9はそれぞれ、ソース抵抗 $R_{s1} \sim R_{s4}$ およびゲート抵抗 $R_{g1} \sim R_{g4}$ を変化させた場合に、NMOSトランジスタ $Q11$ およびPMOSトランジスタ $Q12$ のオン／オフが切り替わるときの各部の電流波形を示している。具体的には、出力電流 I_{OUT} 、PMOSトランジスタ $Q12$ のドレイン電流 I_{Q12} 、NMOSトランジスタ $Q11$ のドレイン電流 I_{Q11} 、および、PMOSトランジスタ $M4$ のドレイン電流 I_{M4D} の波形を示している。なお、レベルシフト回路21A内のMOSトランジスタのドレイン電流の中で、PMOSトランジスタ $M4$ のドレイン電流 I_{M4D} が最も大きいため、図7～図9では、ドレイン電流 I_{M4D} の波形のみを示している。

[0046] 図7～図9は、すべてドレイン抵抗 R_{d1} 、 R_{d2} が共に 500Ω の場合である。図7は、ソース抵抗 $R_{s1} \sim R_{s4}$ およびゲート抵抗 $R_{g1} \sim R_{g4}$ が設定されていない場合を示している。

図8は、ソース抵抗 R_{s1} 、 R_{s2} が共に 50Ω であり、ソース抵抗 R_{s3} 、 R_{s4} が共に 100Ω であり、ゲート抵抗 R_{g1} 、 R_{g2} が共に 500Ω であり、ゲート抵抗 R_{g3} 、 R_{g4} が共に 100Ω である場合を示している。

図9は、図8の場合に対してドレイン抵抗 R_{d2} を 500Ω から 2000Ω に変更した場合を示している。

[0047] 図7の場合は実質的に、図2においてドレイン抵抗 R_{d1} 、 R_{d2} を 500Ω とした場合と同じ条件である。この場合、ドレイン電流 I_{M4D} のピーク電流は 800mA と高い値となっている。

それに対して、図8では、ソース抵抗およびゲート抵抗を設定することにより、ドレイン電流 I_{M4D} のピーク電流が 80mA となって図7の場合と比較してドレイン電流 I_{M4D} が10分の1程度となるが、NMOSトランジスタQ11およびPMOSトランジスタQ12の貫通電流が 20A まで増加する。これは、NMOSトランジスタQ11とPMOSトランジスタQ12が同時にオンし、貫通電流が流れているためである。そこで、ドレイン抵抗 R_{d2} を増加させることで、図9に示すように、NMOSトランジスタQ11およびPMOSトランジスタQ12の貫通電流を無くし、ドレイン電流を定常電流の 600mA まで低下させつつ、PMOSトランジスタM4のドレイン電流 I_{M4D} を 80mA に維持させることができる。

[0048] 図7～図9からわかるように、レベルシフト回路21A内の各MOSトランジスタにソース抵抗およびゲート抵抗を適宜設けることで、NMOSトランジスタQ11およびPMOSトランジスタQ12の貫通電流を低下させることができる。同時に、レベルシフト回路21A内の各MOSトランジスタのドレイン電流を低下させることができる。なお、レベルシフト回路21A内の各MOSトランジスタにおいて、ソース抵抗および／またはゲート抵抗の有無、および、ソース抵抗および／またはゲート抵抗を設ける場合の抵抗値は、電源電圧の値や駆動用MOSトランジスタのオン抵抗等に応じて適宜決定することができる。ソース抵抗および／またはゲート抵抗の抵抗値の上限

値は、高周波のパルス入力信号に対する応答性の許容レベルに応じて決定することができる。

以上説明したように、本実施形態の駆動回路によれば、第1の実施形態の駆動回路に対して、レベルシフト回路内のMOSトランジスタに対してソース抵抗および／またはゲート抵抗を設けたため、貫通電流およびドレイン電流をさらに抑制することが可能となる。

[0049] (3) 第3の実施形態

次に、第3の実施形態のモータ駆動システムについて、図10～図12を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図1に示したものと同一であり、ゲート駆動回路が図6に示したものと異なる。

図10は、第3の実施形態の駆動回路の回路図である。図11は、本実施形態の駆動回路に含まれる各可変抵抗の等価回路を示す図である。図12は、本実施形態の駆動回路に含まれるP／N型可変抵抗の構成例を示す図である。

[0050] 図10に示す駆動回路が図6に示した駆動回路と異なる点は、レベルシフト回路内の各MOSトランジスタにドレイン可変抵抗、ソース可変抵抗、およびゲート可変抵抗が設けられる点にある。すなわち、本実施形態の駆動回路のレベルシフト回路21Bでは、以下の抵抗を備える。

[0051] ・NMOSトランジスタM1のドレインとPMOSトランジスタM3のドレインとの間のドレイン可変抵抗 R_{d1_pn} （第1ドレイン可変抵抗の例）

・NMOSトランジスタM2のドレインとPMOSトランジスタM4のドレインとの間にドレイン可変抵抗 R_{d2_pn} （第2ドレイン可変抵抗の例）

・グラウンド電位GNDのノード N_{GND} とNMOSトランジスタM1のソースの間のソース可変抵抗 R_{s1_n} （第1ソース可変抵抗の例）

・第1入力端子P1とNMOSトランジスタM1のゲートとの間のゲート可変抵抗 R_{g1_n} （第1ゲート可変抵抗の例）

- ・ グランド電位 GND のノード N_{GND} と NMOS トランジスタ $M2$ のソースとの間のソース可変抵抗 R_{s2_n} (第2ソース可変抵抗の例)

- ・ 第2入力端子 $P2$ と NMOS トランジスタ $M2$ のゲートとの間のゲート可変抵抗 R_{g2_n} (第2ゲート可変抵抗の例)

- ・ 電源電位 V_{cc} のノード N_{VCC} と PMOS トランジスタ $M3$ のソースとの間のソース可変抵抗 R_{s3_p} (第3ソース可変抵抗の例)

- ・ PMOS トランジスタ $M3$ のゲートと NMOS トランジスタ $M2$ のドレインとの間のゲート可変抵抗 R_{g3_pn} (第3ゲート可変抵抗の例)

- ・ 電源電位 V_{cc} のノード N_{VCC} と PMOS トランジスタ $M4$ のソースとの間のソース可変抵抗 R_{s4_p} (第4ソース可変抵抗の例)

- ・ PMOS トランジスタ $M4$ のゲートと NMOS トランジスタ $M1$ のドレインとの間のゲート可変抵抗 R_{g4_pn} (第4ゲート可変抵抗の例)

[0052] ソース可変抵抗 R_{s1_n} , R_{s2_n} 、および、ゲート可変抵抗 R_{g1_n} , R_{g2_n} は、図11(a)に等価回路を例示するN型可変抵抗である。図11(a)の例では、可変抵抗の両端 $T1$, $T2$ (端子 $T2$ は高圧側の端子、端子 $T1$ は低圧側の端子) の間に、抵抗 R_a , R_b が並列に設けられ、一方の抵抗 R_b に直列にスイッチ素子 SW が設けられる。スイッチ素子 SW は、例えば NMOS トランジスタによって構成できる。N型可変抵抗において低圧側にスイッチ素子 SW を設けているのは、スイッチ素子 SW がオン時のゲートソース間電圧 V_{GS} を大きくとれるようにするためである。

[0053] ソース可変抵抗 R_{s3_p} , R_{s4_p} は、図11(b)に等価回路を例示するP型可変抵抗である。図11(b)の例では、可変抵抗の両端 $T1$, $T2$ (端子 $T2$ は高圧側の端子、端子 $T1$ は低圧側の端子) の間に、抵抗 R_a , R_b が並列に設けられ、一方の抵抗 R_b に直列にスイッチ素子 SW が設けられる。スイッチ素子 SW は、例えば PMOS トランジスタによって構成できる。P型可変抵抗において高圧側にスイッチ素子 SW を設けているのは、スイッチ素子 SW がオン時のゲートソース間電圧 V_{GS} を大きくとれるようにするためである。

- [0054] ドレイン可変抵抗 R_{d1_pn} , R_{d2_pn} および、ゲート可変抵抗 R_{g3_pn} , R_{g4_pn} は、図 11 (c) に等価回路を例示する P/N 型可変抵抗である。図 11 (c) の例では、可変抵抗の両端 T1, T2 (端子 T2 は高圧側の端子、端子 T1 は低圧側の端子) の間に、抵抗 R_a , R_b が並列に設けられ、一方の抵抗 R_b に直列にスイッチ素子 SW1, SW2 が設けられる。スイッチ素子 SW1, SW2 は、それぞれ NMOS トランジスタ、PMOS トランジスタによって構成できる。ドレイン可変抵抗およびゲート可変抵抗においてスイッチ素子 SW1, SW2 を設けているのは、ドレイン可変抵抗およびゲート可変抵抗が設定されるノードが低圧側と高圧側のいずれもとりにうするためである。
- [0055] 図 11 に例示する可変抵抗では、スイッチ素子 SW または、スイッチ素子 SW1, SW2 の導通状態が CPU5 からの制御信号によって個別に制御されることによって、その合成抵抗値が R_a または $R_a \cdot R_b / (R_a + R_b)$ となる。各可変抵抗において、抵抗 R_a , R_b の値を独立に設定してよいが、スイッチ素子と直列に接続されていない抵抗 R_a は比較的大きな値とすることが好ましい。
- [0056] 図 11 に例示する可変抵抗では、2 個の抵抗を並列に設け、いずれかの抵抗に直列にスイッチ素子を設けた例を示したが、その限りではない。3 個以上の抵抗を並列に設け、2 個以上のスイッチ素子を設けることで、可変抵抗値 (合成抵抗値) が採りうる抵抗値の数の任意の値に設定することもできる。
- [0057] 図 11 に例示する可変抵抗では、スイッチ素子の状態に関わらず両端 T1, T2 の間が開放状態にならないが、スイッチ素子の状態によって両端 T1, T2 の間が開放状態となるように構成してもよい。例えば、図 11 に示すように、互いに並列な 2 個の抵抗によって構成する場合には、各抵抗に直列にスイッチ素子を設ける。互いに並列な 3 個以上の抵抗によって構成する場合も同様に、各抵抗に直列にスイッチ素子を設ける。第 5 の実施形態において後述するが、特に P/N 型可変抵抗において開放状態となることが可能とな

るように構成することで、出力端子をフローティング状態とすることが可能となる。

[0058] 図12に示す具体的なP／N型可変抵抗では、スイッチ素子SW1としてNMOSトランジスタm5が設けられ、スイッチ素子SW2としてPMOSトランジスタm6が設けられる。図12のP／N型可変抵抗においてレベルシフト回路8は、CPU5からのスイッチ制御信号 sw_off 、 sw_on （例えばGNDレベルまたは3.3Vの信号）をGNDレベルまたは電源電圧 V_{cc} （+12V）となる信号にレベル変換してNMOSトランジスタm5、PMOSトランジスタm6のゲートに入力する。レベルシフト回路8の回路構成は、図2のレベルシフト回路21と同じである。スイッチ制御信号 sw_off がHレベル（3.3V）であり、かつスイッチ制御信号 sw_on がLレベル（GNDレベル）である場合には、NMOSトランジスタm5、PMOSトランジスタm6が共にオフとなり、P／N型可変抵抗の端子T1、T2間の抵抗が R_a となる。スイッチ制御信号 sw_off がLレベル（GNDレベル）であり、かつスイッチ制御信号 sw_on がHレベル（3.3V）である場合には、NMOSトランジスタm5、PMOSトランジスタm6が共にオンとなり、P／N型可変抵抗の端子T1、T2間の抵抗が $R_a \cdot R_b / (R_a + R_b)$ となる。

[0059] スwitch制御信号 sw_off 、 sw_on は通常、所望の抵抗値となるように初期に設定した固定の信号レベルとなるため、レベルシフト回路8の動作は遅くてもよい。そのため、レベルシフト回路8のドレイン抵抗 r_{d1} 、 r_{d2} を大きな値とすることができ、レベルシフト回路8内の貫通電流を抑制することができる。

[0060] 図10に示す例では、各MOSトランジスタのソース可変抵抗 R_{s1_n} 、 R_{s2_n} 、 R_{s3_p} 、 R_{s4_p} 、ゲート可変抵抗 R_{g1_n} 、 R_{g2_n} 、 R_{g3_pn} 、 R_{g4_pn} 、および、ドレイン可変抵抗 R_{d1_pn} 、 R_{d2_pn} をすべて備えるレベルシフト回路21Bを示しているが、その限りではなく、これらの抵抗のうち、少なくともいずれか1つの可変抵

抗を備えていればよい。

上述したように、本実施形態の駆動回路によれば、レベルシフト回路21Bの各MOSトランジスタのソース、ゲート、および、ドレインに可変抵抗を設けることで、負荷（3相交流モータM）に応じて最適な抵抗値（つまり、貫通電流およびドレイン電流を抑制し、かつ応答性が悪化しない抵抗値）とすることができる。

[0061] （4）第4の実施形態

次に、第4の実施形態のモータ駆動システムについて、図13を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図1に示したものと同一であり、ゲート駆動回路が図2に示したものと異なる。図13は、第4の実施形態の駆動回路の回路図である。

[0062] 図3に示したように、図2の駆動回路では、PMOSトランジスタQ12がオンからオフになりNMOSトランジスタQ11がオフからオンになるときのデッドタイムDTと、NMOSトランジスタQ11がオンからオフになりPMOSトランジスタQ12がオフからオンになるときのデッドタイムDTとは同一である。しかし、負荷によってはデッドタイムを大きくとりたい場合もあり、いずれか一方のデッドタイムをより大きくとりたい場合もある。

そこで、図13に示す本実施形態の駆動回路は、NMOSトランジスタQ11とPMOSトランジスタQ12に対してそれぞれ独立にレベルシフト回路を設けている。

すなわち、本実施形態のレベルシフト回路21Cは、NMOSトランジスタQ11に対応する第1レベルシフト回路211と、PMOSトランジスタQ12に対応する第2レベルシフト回路212とを備える。

[0063] 第1レベルシフト回路211は、グランド電位GNDと3.3Vとの間で変動する第1入力端子P11および第2入力端子P12の電位に基づいて、NMOSトランジスタQ11のゲートの電位が、グランド電位GNDと電源電位V_{cc}との間で変動するように信号処理する。第1レベルシフト回路211は、NMOSトランジスタM11、M21、PMOSトランジスタM31、

M4 1 およびドレイン抵抗 R_{d11} , R_{d21} を備える。

[0064] 第2レベルシフト回路212は、グラウンド電位GNDと3.3Vとの間で変動する第3入力端子P13および第4入力端子P14の電位に基づいて、PMOSトランジスタQ12のゲートの電位が、グラウンド電位GNDと電源電位 V_{cc} との間で変動するように信号処理する。第2レベルシフト回路212は、NMOSトランジスタM12, M22、PMOSトランジスタM32, M42およびドレイン抵抗 R_{d12} , R_{d22} を備える。

[0065] 第1レベルシフト回路211および第2レベルシフト回路212のそれぞれの動作は、図2のレベルシフト回路21と同様である。

第1レベルシフト回路211では、第1入力端子P11および第2入力端子P12に対して相補的に入力されるパルス信号に基づいて、NMOSトランジスタQ11のオフからオンになるタイミング、および、オンからオフになるタイミングが決定される。すなわち、第1入力端子P11がHレベルであり、第2入力端子P12がLレベルである場合、NMOSトランジスタM11がオン、NMOSトランジスタM21がオフ、PMOSトランジスタM31がオフ、PMOSトランジスタM41がオンとなるため、NMOSトランジスタQ11がオンとなる。他方、第1入力端子P11がLレベルであり、第2入力端子P12がHレベルである場合、NMOSトランジスタM11がオフ、NMOSトランジスタM21がオン、PMOSトランジスタM31がオン、PMOSトランジスタM41がオフとなるため、NMOSトランジスタQ11がオフとなる。

また、第2レベルシフト回路212では、第3入力端子P13および第4入力端子P14に対して相補的に入力されるパルス信号に基づいて、PMOSトランジスタQ12のオフからオンになるタイミング、および、オンからオフになるタイミングが決定される。すなわち、第3入力端子P13がHレベルであり、第4入力端子P14がLレベルである場合、NMOSトランジスタM12がオン、NMOSトランジスタM22がオフ、PMOSトランジスタM32がオフ、PMOSトランジスタM42がオンとなるため、PMO

SトランジスタQ 1 2がオフとなる。他方、第3入力端子P 1 3がLレベルであり、第4入力端子P 1 4がHレベルである場合、NMOSTランジスタM 1 2がオフ、NMOSTランジスタM 2 2がオン、PMOSTランジスタM 3 2がオン、PMOSTランジスタM 4 2がオフとなるため、PMOSTランジスタQ 1 2がオンとなる。

[0066] したがって、本実施形態の駆動回路では、第1入力端子P 1 1および第2入力端子P 1 2の各信号のレベル変化のタイミングと、第3入力端子P 1 3および第4入力端子P 1 4の各信号のレベル変化のタイミングとを個別に設定することで、NMOSTランジスタQ 1 1およびPMOSTランジスタQ 1 2のデッドタイムを所望の値に独立に設定することが可能となる。

[0067] (5) 第5の実施形態

次に、第5の実施形態のモータ駆動システムについて、図14を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図1に示したものと同一であり、ゲート駆動回路が図2に示したものと異なる。図14は、第5の実施形態の駆動回路の回路図である。

3相交流モータMの始動時に出力端子（図1のノードN 1 1）がフローティング状態とする場合があるが、図2に示した駆動回路では出力端子をフローティング状態とすることができない。例えば、図2の駆動回路において、第1入力端子P 1と第2入力端子P 2のいずれもLレベル（GNDレベル）としてもNMOSTランジスタQ 1 1およびPMOSTランジスタQ 1 2のゲート電位は電源電位V_{cc}の中間電位となるため、いずれのMOSトランジスタもオンとなって出力端子はフローティング状態とならない。

[0068] そこで、図14に示す本実施形態の駆動回路は、3相交流モータMの始動時に出力端子（図1のノードN 1 1）がフローティング状態とするように構成されている。図14に示す駆動回路は、図2に示した駆動回路に対して、NMOSTランジスタM 2のドレインとPMOSTランジスタM 3のゲートの間に、NMOSTランジスタm 5およびPMOSTランジスタm 6からなるスイッチ素子を備えたレベルシフト回路2 1 Dを含む。このスイッチ素子に

よって、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートの間の導通状態が制御される。

NMOSトランジスタm5およびPMOSトランジスタm6の各ゲートには、図12に示したP/N型可変抵抗に適用されているレベルシフト回路8が接続される。すなわち、CPU5からのスイッチ制御信号sw__off, sw__on（例えばGNDレベルまたは3.3Vの信号）をGNDレベルまたは電源電圧Vcc（+12V）となる信号までレベル変換してNMOSトランジスタm5、PMOSトランジスタm6のゲートに入力する。

[0069] 図14の駆動回路において、3相交流モータMの始動時には、CPU5は、スイッチ制御信号sw__off, sw__onをそれぞれHレベル（3.3V）、Lレベル（GNDレベル）とする。すると、NMOSトランジスタm5のゲートはGNDレベルとなり、PMOSトランジスタm6のゲートは電源電位ccとなるため、NMOSトランジスタm5およびPMOSトランジスタm6は共にオフとなる。そのため、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートの間が非導通状態となる。このとき、CPU5から入力端子P1, P2に与えられる信号レベルを共にHレベル（3.3V；第1電位の例）とすることで、出力端子であるノードN11はフローティング状態となる。

[0070] 図14の駆動回路を備えたモータ駆動システムの動作は以下のとおりである。

3相交流モータMの始動時には、スイッチ制御信号sw__off, sw__onをそれぞれHレベル、Lレベルとする。それによって、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートの間が非導通状態となる。この状態で、第1入力端子P1, 第2入力端子P2の入力信号を共にHレベルとする。すると、NMOSトランジスタM1がオンとなり、PMOSトランジスタM4のゲートがGNDレベルとなって、PMOSトランジスタM4がオンとなる。そのため、PMOSトランジスタQ12がオフとなる。このとき、PMOSトランジスタM3のゲートが電源電位ccとなる

ため、PMOSトランジスタM3はオフとなる。

他方、第2入力端子P2の入力信号がHレベルであるため、NMOSトランジスタM2がオンし、NMOSトランジスタQ11のゲート電位がGNDレベルとなって、NMOSトランジスタQ11がオフとなる。このとき、NMOSトランジスタM2のドレインはGNDレベルとなるが、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートが非導通状態となっているため、PMOSトランジスタM3のオフ状態が維持される。

以上の動作説明のとおり、3相交流モータMの始動時には、NMOSトランジスタQ11とPMOSトランジスタQ12が共にオフとなり、出力端子であるノードN11はフローティング状態となる。

[0071] 次いで、スイッチ制御信号sw__off, sw__onをそれぞれLレベル、Hレベルとすることで、NMOSトランジスタm5のゲートは電源電圧Vccとなり、PMOSトランジスタm6のゲートはGNDレベルとなるため、NMOSトランジスタm5およびPMOSトランジスタm6は共にオンとなる。そのため、NMOSトランジスタM2のドレインとPMOSトランジスタM3のゲートの間が導通状態となり、図2の駆動回路と同一の動作となる。

[0072] 以上説明したように、図14に示した本実施形態の駆動回路によれば、3相交流モータMの始動時に出力端子をフローティング状態とすることができる。

[0073] なお、3相交流モータMの始動時に出力端子をフローティング状態とすることができる駆動回路は図14に限られず、図13に示した駆動回路によっても実現することができる。図13の駆動回路において、3相交流モータMの始動時に、CPU5によって、第1入力端子P11をLレベル（グラウンド電位GND）に設定し、第2入力端子P12をHレベル（3.3V）に設定し、第3入力端子P13をHレベル（3.3V）に設定し、第4入力端子P14をLレベル（グラウンド電位GND）設定する。その場合、前述したように、NMOSトランジスタQ11がオフとPMOSトランジスタQ12が共に

オフとなる。そのため、出力端子がフローティング状態となる。

[0074] 以上、本発明のモータ駆動システムの実施形態について詳細に説明したが、本発明の範囲は上記の実施形態に限定されない。また、上記の実施形態は、本発明の主旨を逸脱しない範囲において、種々の改良や変更が可能である。

[0075] 例えば、上述した実施形態では、3相電圧生成部10の各駆動用MOSトランジスタのオン・オフ制御が、ホールセンサの位置情報に基づく120度通電によって行われる場合について説明したが、その限りではない。各駆動用MOSトランジスタのオン・オフ制御方法は、180度通電等の他の通電制御方法を適用してもよい。

請求の範囲

- [請求項1] 共通のドレインが負荷に接続された駆動用NMOSトランジスタおよび駆動用PMOSトランジスタと、
- 基準電位と前記基準電位よりも高い第1電位との間で変動する第1入力端子および第2入力端子の電位に基づいて、前記駆動用NMOSトランジスタおよび前記駆動用PMOSトランジスタのゲートの電位が、前記基準電位と前記第1電位よりも高い第2電位との間で変動するように信号処理するレベルシフト回路と、
- を備え、
- 前記駆動用NMOSトランジスタのソースが前記基準電位側に設けられ、前記駆動用PMOSトランジスタのソースが前記第2電位に設定され、
- 前記レベルシフト回路は、
- 前記基準電位に設定される第1ソースと、前記第1入力端子に接続される第1ゲートと、第1ドレインと、を有するNMOSトランジスタである第1トランジスタと、
- 前記基準電位に設定される第2ソースと、前記第2入力端子に接続される第2ゲートと、前記駆動用NMOSトランジスタのゲートに接続される第2ドレインと、を有するNMOSトランジスタである第2トランジスタと、
- 前記第2電位に設定される第3ソースと、第3ゲートと、前記第1ドレインに接続される第3ドレインと、を有するPMOSトランジスタである第3トランジスタと、
- 前記第2電位に設定される第4ソースと、第4ゲートと、前記第2ドレインおよび前記駆動用PMOSトランジスタのゲートに接続される第4ドレインと、を有するPMOSトランジスタである第4トランジスタと、
- を有し、前記第1ドレインと前記第4ゲートとが接続され、前記第

2 ドレインと前記第3 ゲートとが接続される、
駆動回路。

[請求項2]

前記レベルシフト回路は、

前記第1 ドレインと前記第3 ドレインとの間に第1 ドレイン抵抗を有し、前記第2 ドレインと前記第4 ドレインとの間に第2 ドレイン抵抗を有する、

請求項1 に記載された駆動回路。

[請求項3]

前記第1 入力端子と前記第2 入力端子には、前記基準電位と前記第1 電位の間で変動する互いに相補的なパルス信号が入力される、

請求項1 または2 に記載された駆動回路。

[請求項4]

前記パルス信号は、信号レベルが切り替わるときに前記第1 入力端子と前記第2 入力端子がともに前記基準電位となる期間が設定されている、

請求項3 に記載された駆動回路。

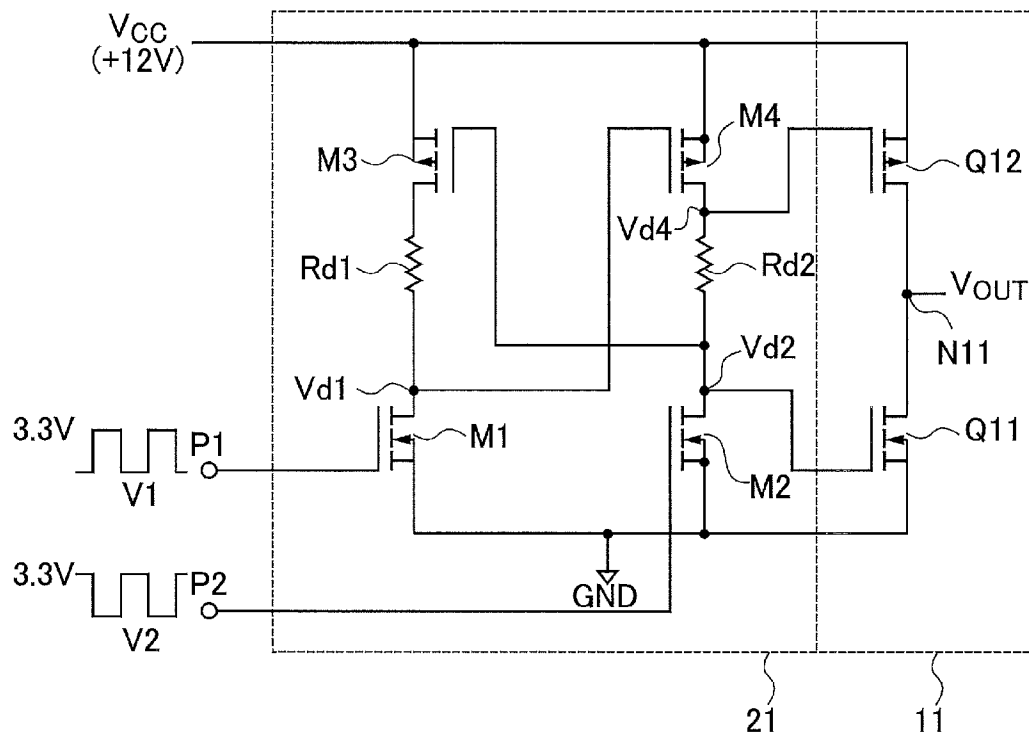
[請求項5]

請求項1 から4 のいずれか1 項に記載された駆動回路と、

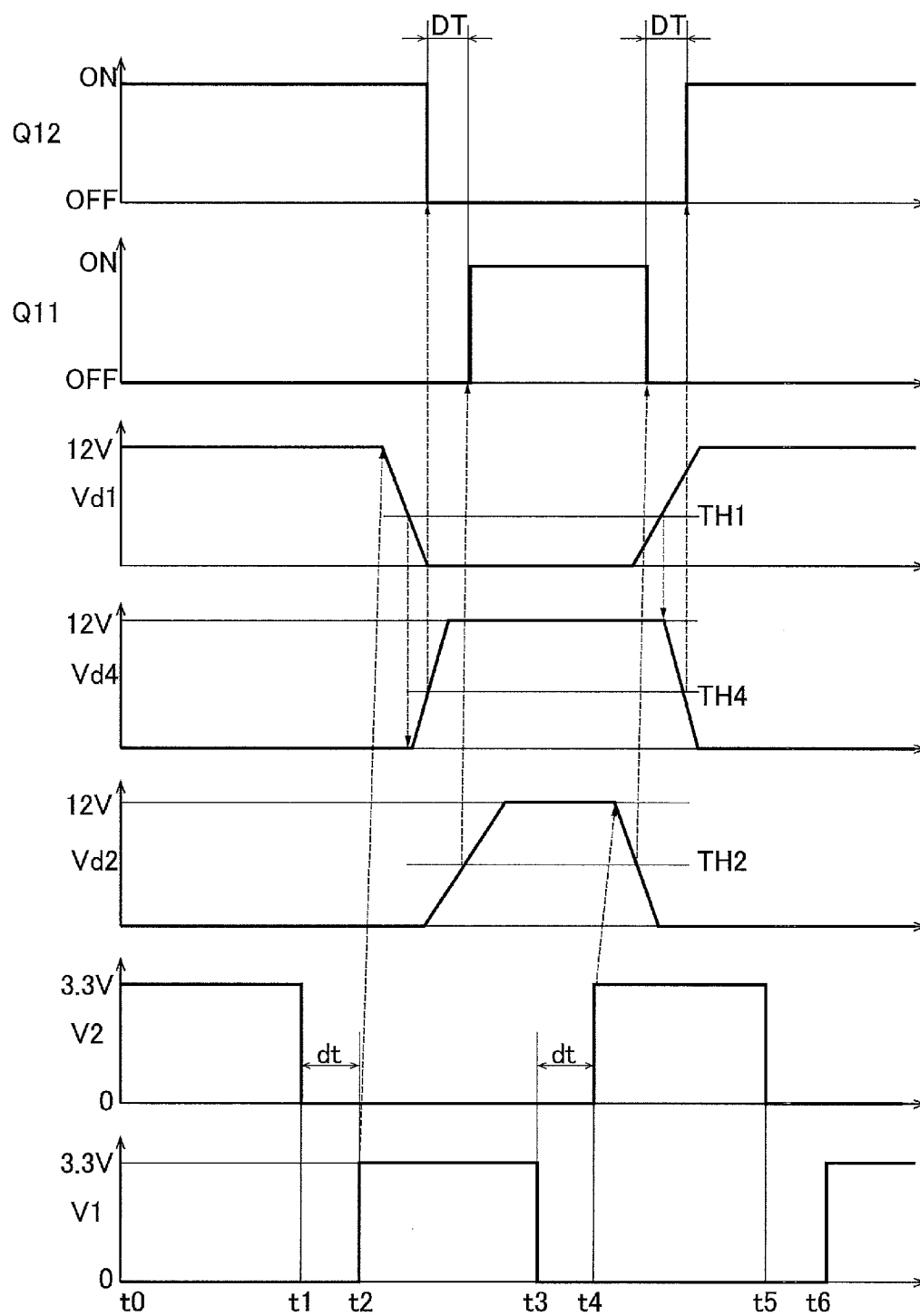
マイクロコントローラと、を備え、

前記マイクロコントローラによって前記第1 入力端子および前記第2 入力端子の電位が設定される、駆動システム。

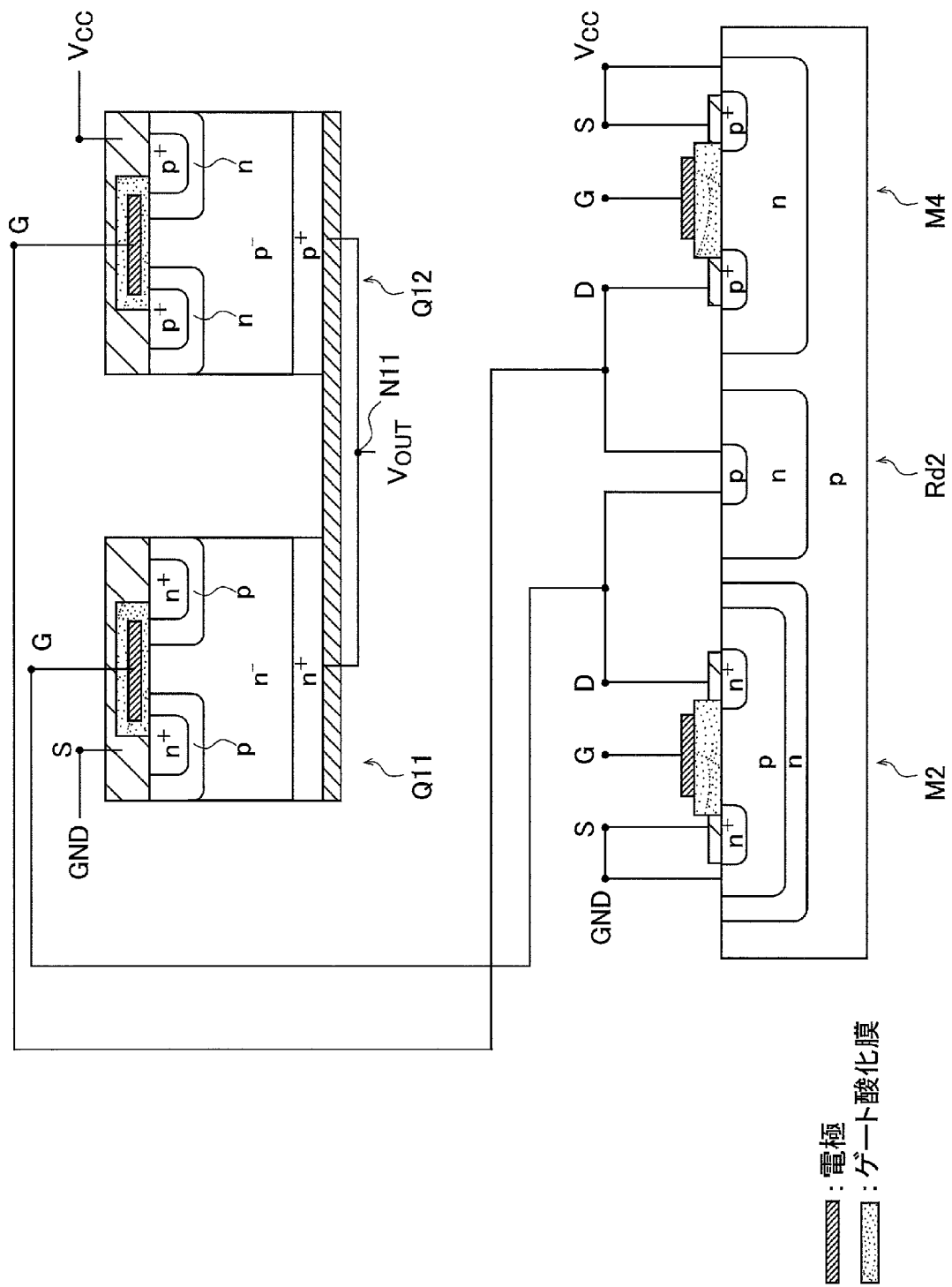
[図2]

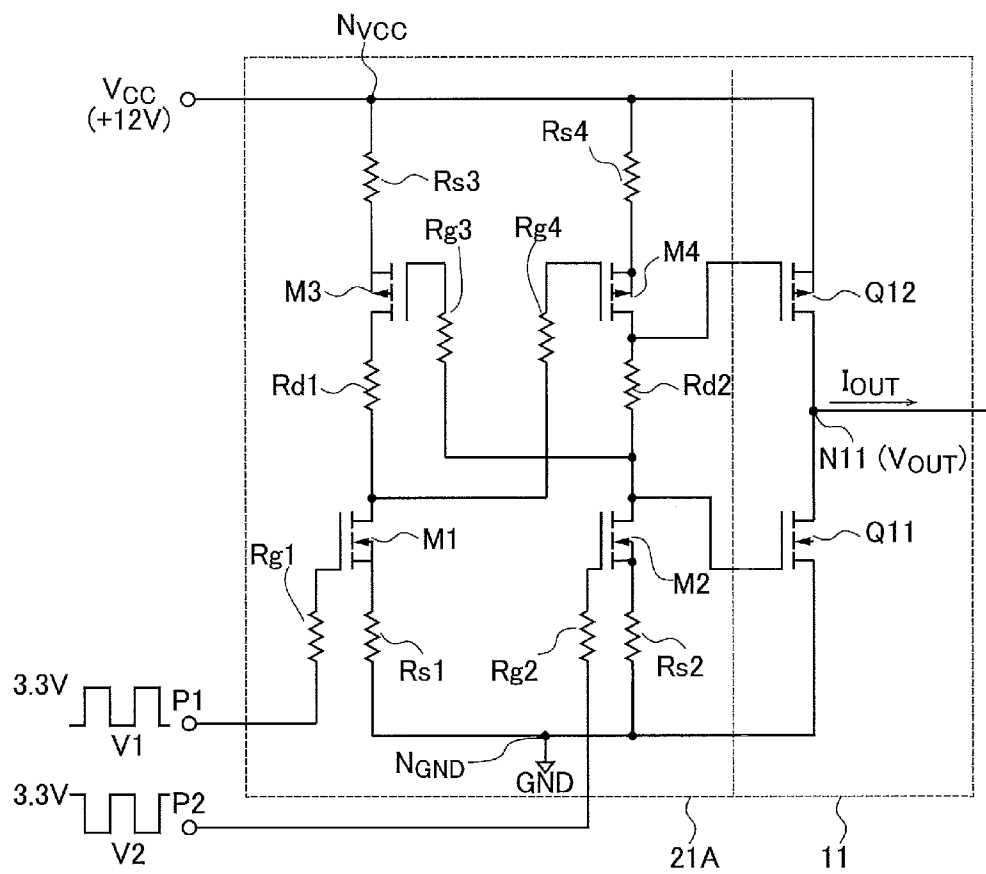
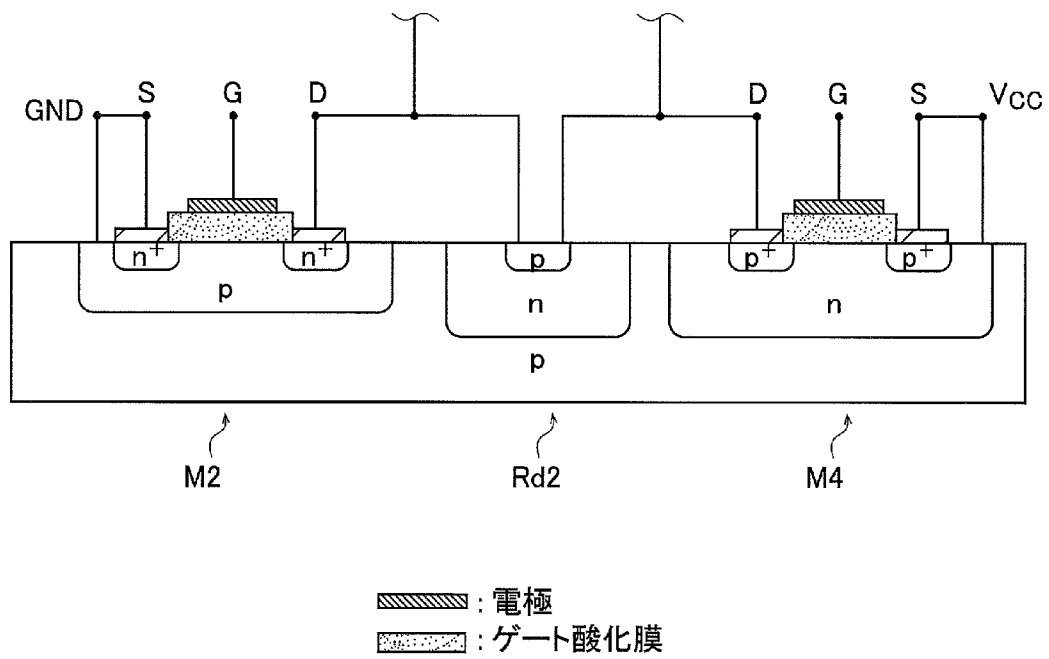


[図3]

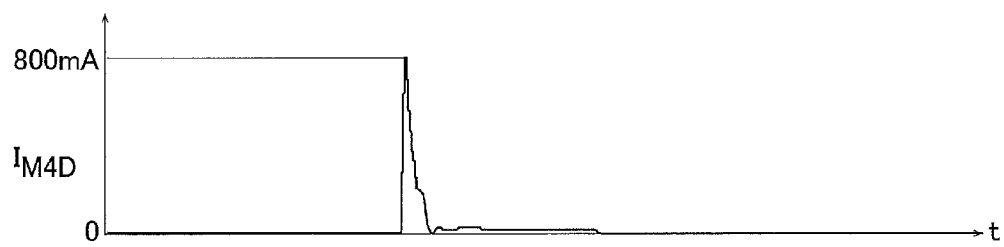
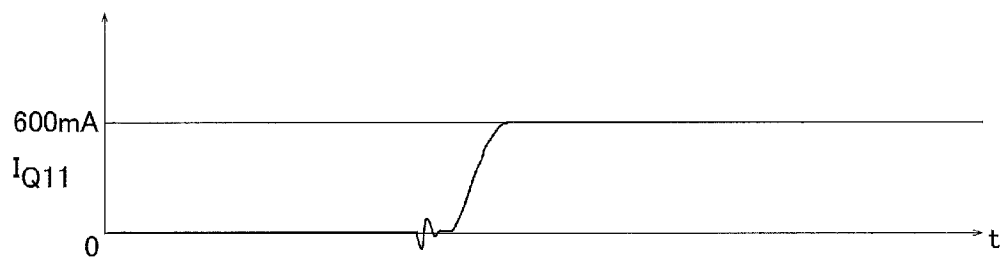
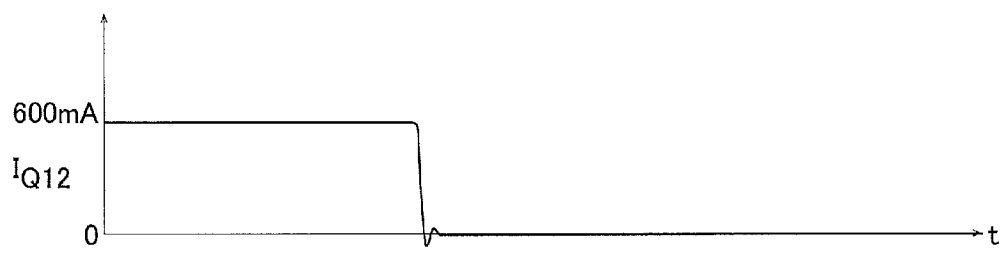
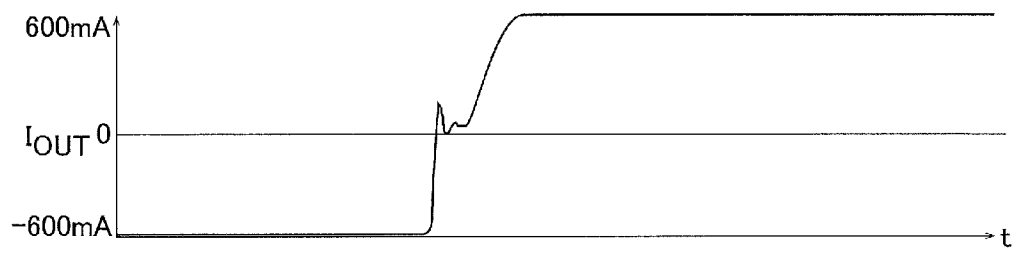


[図4]

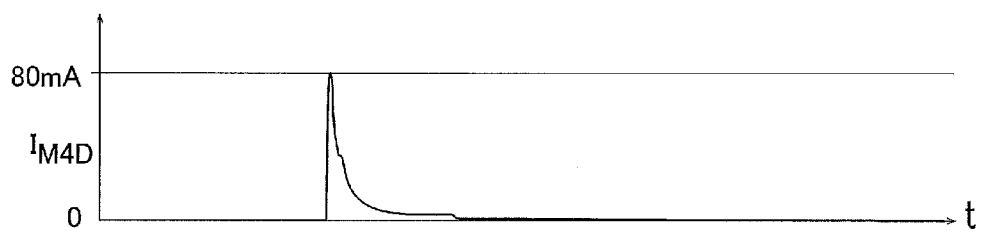
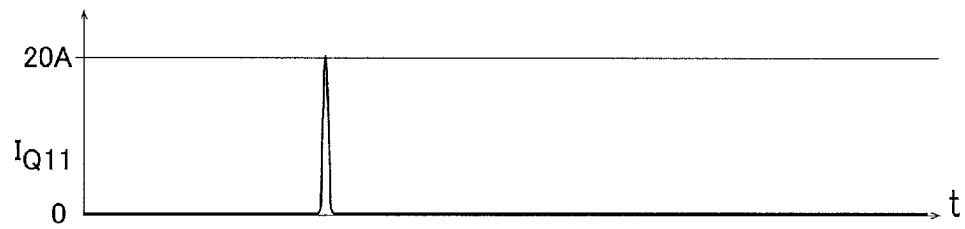
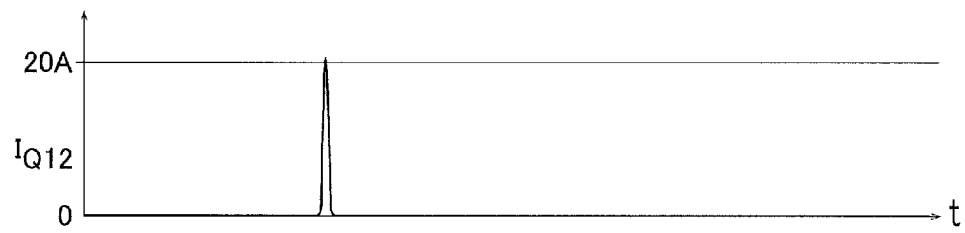
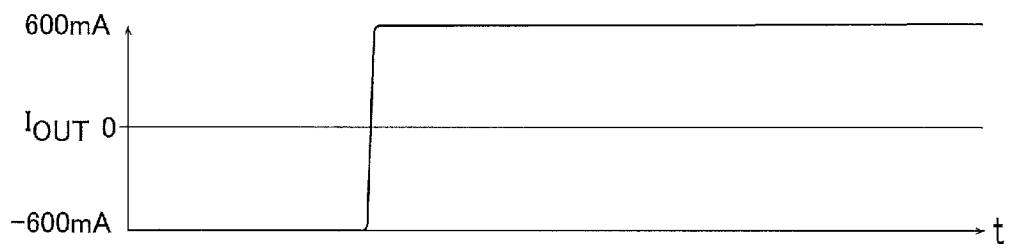




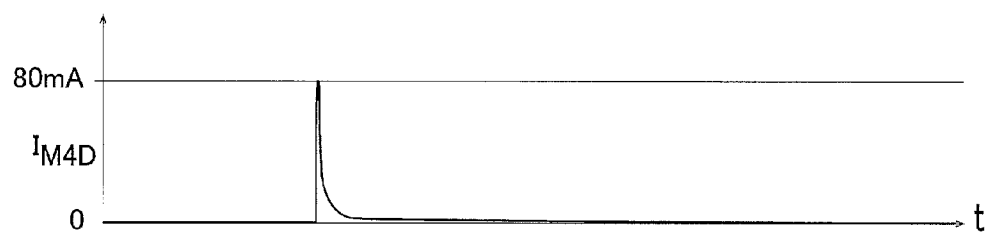
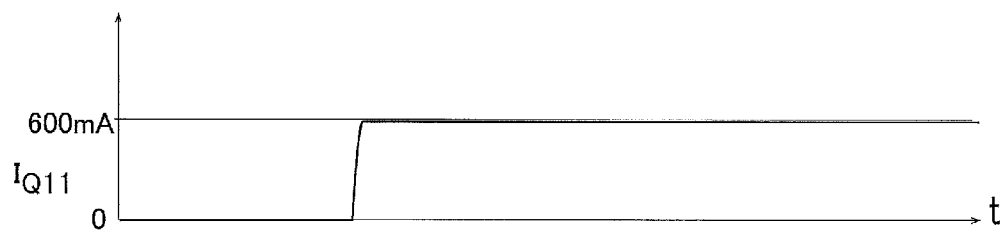
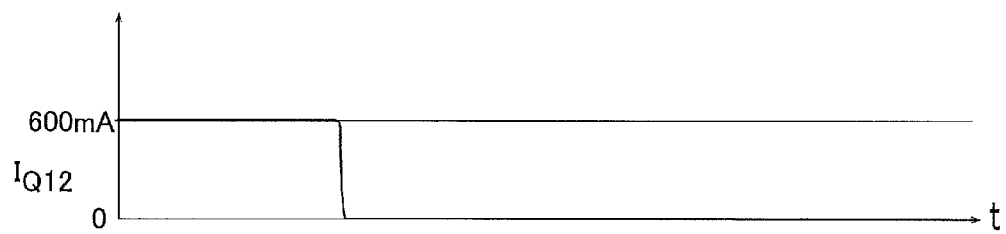
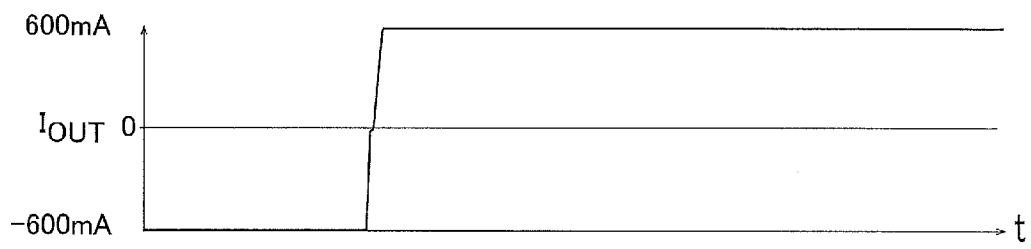
[図7]



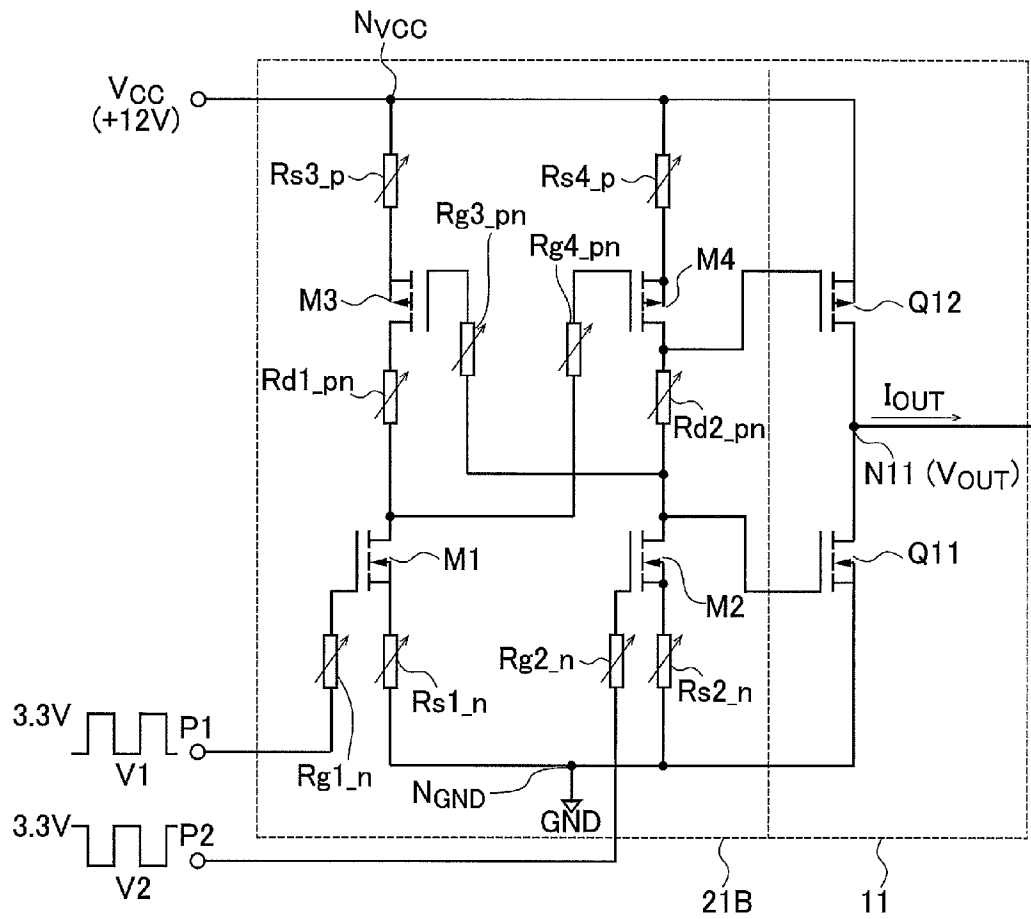
[図8]



[図9]

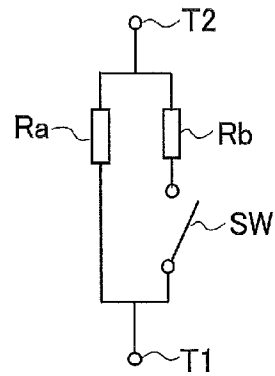


[図10]

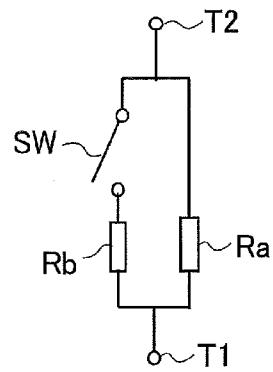


[図11]

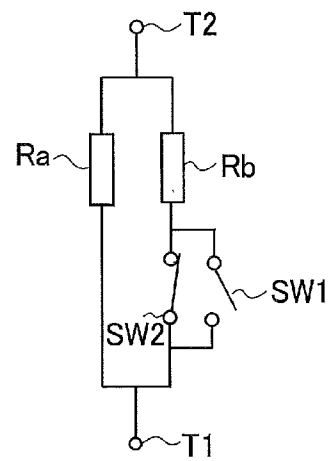
(a) N型可変抵抗



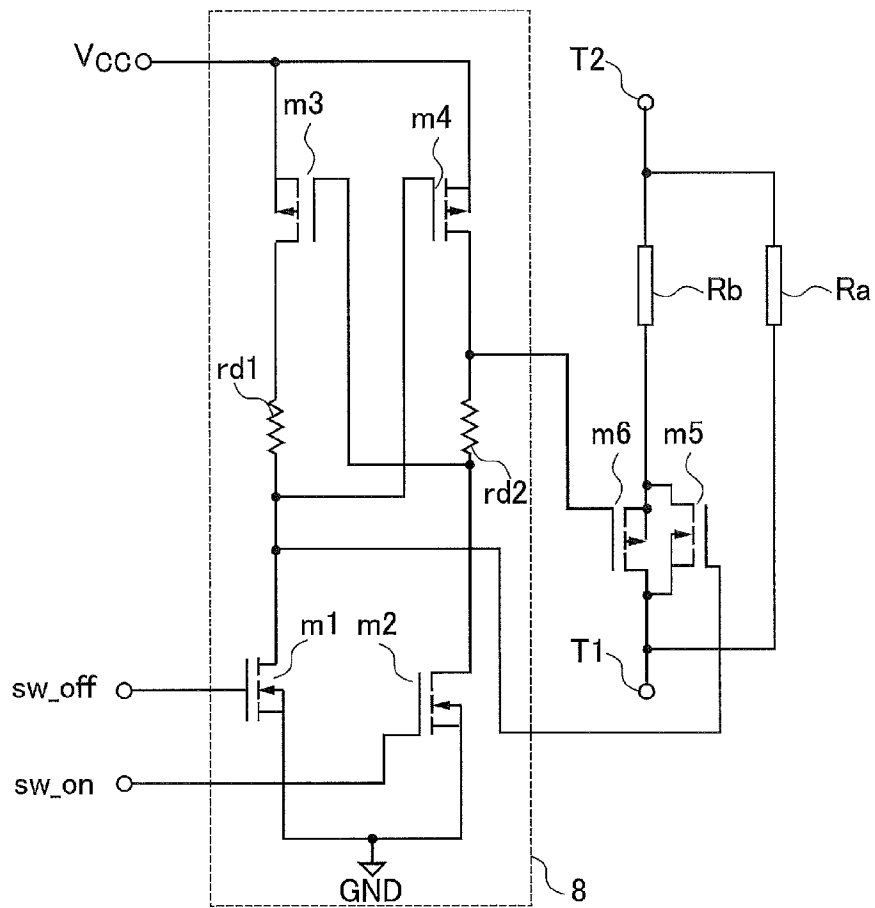
(b) P型可変抵抗



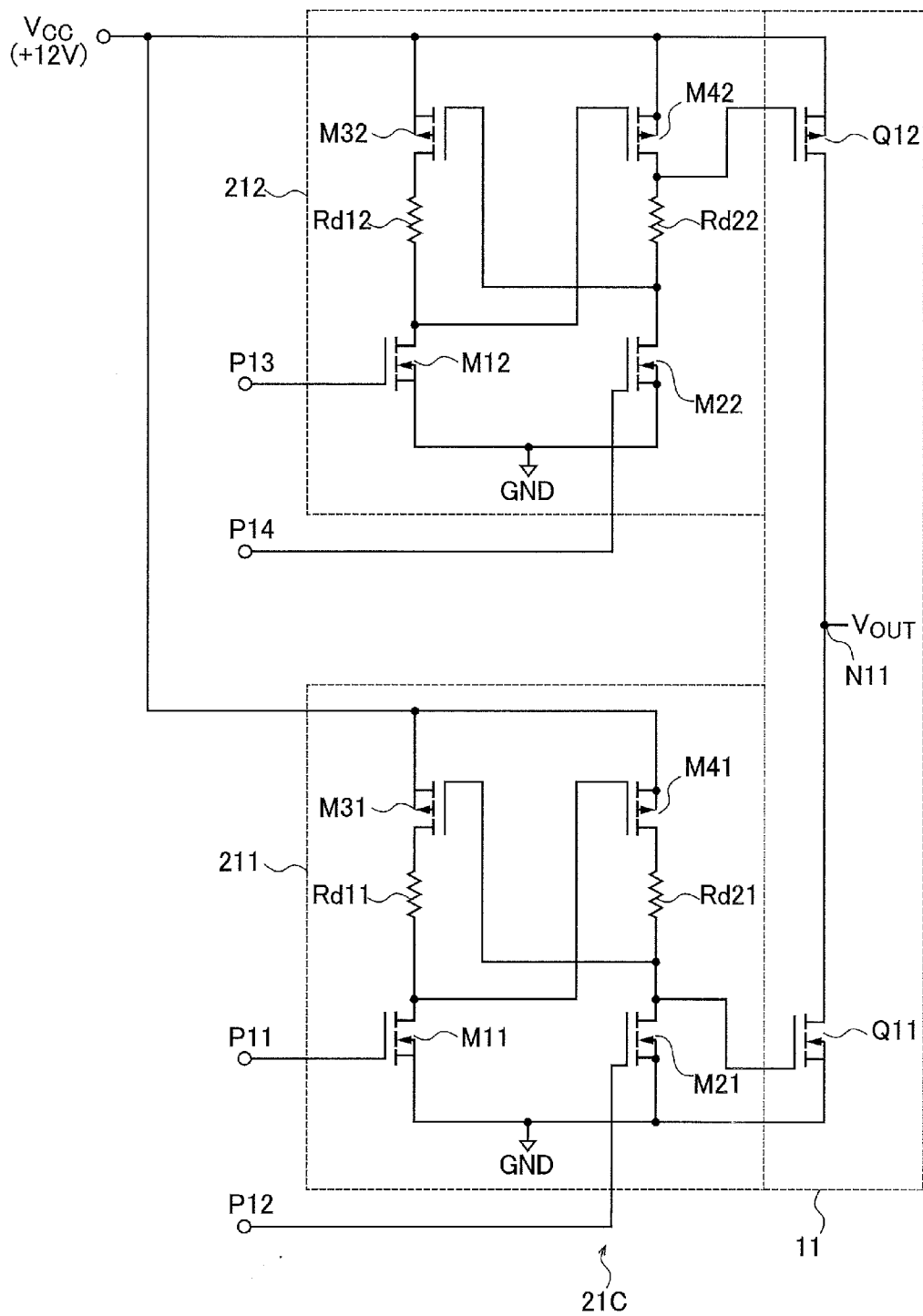
(c) P/N型可変抵抗



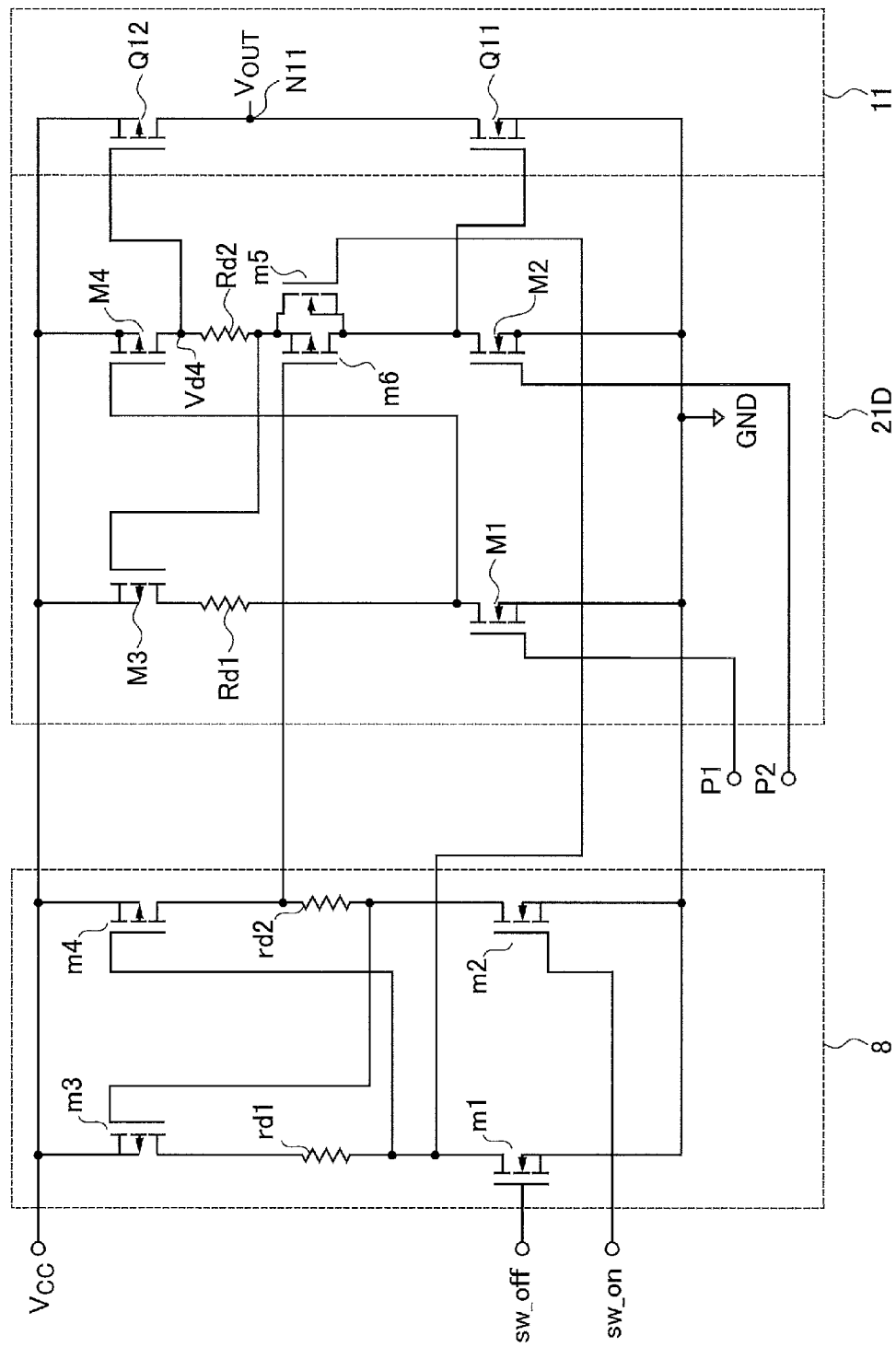
[図12]

P/N 型可変抵抗

[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025517

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M7/5387(2007.01)i, H02M1/084(2006.01)i, H03K17/0412(2006.01)i, H03K17/687(2006.01)i, H03K19/0185(2006.01)i, H02M1/08(2006.01)n, H02M7/48(2007.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M7/5387, H02M1/08, H02M1/084, H02M7/48, H03K17/0412, H03K17/687, H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 05-300001 A (OKI ELECTRIC IND CO., LTD.) 12 November 1993, paragraphs [0001], [0031], [0034], [0035], [0048]-[0051], fig. 1, 2, 8, 10 & US 5378932 A, column 1, lines 12-16, column 3, lines 11-37, column 4, lines 19-31, column 6, line 55 to column 7, line 31, fig. 1, 2, 5, 6	1-5
A	US 5204557 A (NGUYEN) 20 April 1993, fig. 6 (Family: none)	1-5
A	US 5510731 A (DINGWALL) 23 April 1996, fig. 1 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13.08.2019	Date of mailing of the international search report 27.08.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/5387(2007.01)i, H02M1/084(2006.01)i, H03K17/0412(2006.01)i, H03K17/687(2006.01)i,
H03K19/0185(2006.01)i, H02M1/08(2006.01)n, H02M7/48(2007.01)n

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/5387, H02M1/08, H02M1/084, H02M7/48, H03K17/0412, H03K17/687, H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 05-300001 A (沖電気工業株式会社) 1993.11.12, 段落[0001], [0031], [0034]-[0035], [0048]-[0051], 図1-2, 8, 10 & US 5378932 A, 第1欄12-16行目, 第3欄11-37行目, 第4欄19-31行目, 第6欄55行目-第7欄31行目, 図1-2, 5-6	1-5
A	US 5204557 A (NGUYEN) 1993.04.20, 図6 (ファミリーなし)	1-5
A	US 5510731 A (DINGWALL) 1996.04.23, 図1 (ファミリーなし)	1-5

❏ C欄の続きにも文献が列挙されている。

❏ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.08.2019

国際調査報告の発送日

27.08.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 秀和

5 G

3449

電話番号 03-3581-1101 内線 3526