

公 告 本

申請日期	90.9.19
案 號	90123069
類 別	H01L 21/8247, H01L 27/115

A4
C4

523880

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明名稱 [REDACTED]	中 文	將自我對準浮置閘多晶矽形成至用於發光電氣可抹除可規劃唯讀記憶體晶胞之作用區域的方法
	英 文	A METHOD OF FORMING A SELF-ALIGNED FLOATING GATE POLY TO AN ACTIVE REGION FOR A FLASH E2PROM CELL
二、發明人 [REDACTED]	姓 名	王志興
	國 籍	中華民國
	住、居所	美國加州聖瓊斯·峽谷道6585號
三、申請人	姓 名 (名稱)	美商·希里康儲存技術公司
	國 籍	美 國
	住、居所 (事務所)	美國加州聖尼瓦·索諾拉街1171號
	代 表 人 姓 名	葉炳輝

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申請專利，申請日期： 案號： ， ☒ 有 ☐ 無主張優先權
2001,03,29 60/280,313
2001,07,26 09/916,423

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

技術範疇

本發明係有關形成浮置閘記憶體晶胞之半導體記憶體陣列之自我對準方法，特別係有關形成隔離區介於形成記憶體晶胞之作用區間之改良方法。

發明背景

使用浮置閘來儲存電荷於其上之非依電性半導體記憶體晶胞，以及形成於半導體基板之此種非依電性半導體晶胞之記憶體陣列為業界眾所周知。典型此種浮置閘記憶體晶胞分成分裂閘型或堆疊閘型或其組合。

製造半導體浮置閘記憶體晶胞陣列時面臨的一項問題係各種組件例如源極、汲極、控制閘以及浮置閘，以及介於含有此等組件的作用區域間之隔離區的對準。隨著半導體處理積體設計法則的縮小，最小微影術結構大小的縮小，精確對準的需求變成愈來愈苛刻。

各種部件的對準也決定半導體產物製造的良率。

自我對準為業界眾所周知。自我對準係指涉及一或多種材料之一或多個處理步驟，讓各結構於該步驟處理時彼此自動對準。如此本發明使用自我對準技術達成半導體記憶體陣列，例如帶有浮置閘記憶體晶胞類型使用的隔離區之製造。

第1A-1B圖顯示用以介於記憶體陣列半導體元件之作用區域間形成隔離區域之眾所周知的淺渠方法(STI)。如第1A圖所示，第一層絕緣材料12如二氧化矽(「氧化物」)形

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

成於基板10上。一層多晶矽14(用以形成浮置閘)沉積於絕緣材料層12頂上。氮化矽層16(「氮化物」)沉積於多晶矽層14上方。然後適當光阻材料18施用於氮化矽層16上，以及進行罩蓋步驟，俾由某些區域選擇性去除光阻材料(長條20)。光阻材料18被去除之處，氮化矽16、多晶矽14及下方絕緣材料12使用標準蝕刻技術(亦即各向異性蝕刻技術)於平行長條20被蝕刻去除。蝕刻連續形成溝渠22，溝渠向下伸展入基板10。當矽基板被蝕刻而形成溝渠24時，形成略為橫向的凹割26，此處氧化物層12及多晶矽層14係架空於溝渠22之上。而光阻18未被去除之處，氮化矽16、第一多晶矽區14以及下方絕緣區12仍然維持。

該結構進一步經處理而去除其餘光阻18，接著於溝渠22形成絕緣材料24如二氧化矽(例如經由沉積氧化物層接著進行CMP蝕刻形成)。然後選擇性去除氮化物層18。結果所得結構顯示於第1B圖。其餘多晶矽層14以及下方第一絕緣材料12形成作用區域，於該區形成記憶體晶胞。如此此時，基板10有作用區域以及隔離區域的交替長條，隔離區係由淺渠絕緣材料24形成。

第1B圖之結構表示自我對準結構，該結構比藉非自我對準方法形成的結構更為緻密。但於隔離完成後以及記憶體晶胞形成的過程中此種結構可能出問題。第1C圖說明於後方處理步驟後，結構進行處理而完成記憶體晶胞陣列結構。此種後處理步驟典型現象為多晶矽層耗損，因此曾經

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

伸展而架空於隔離溝渠22上方的多晶矽層14側緣稍後由隔離溝渠22被向後拉離。結構導致多晶矽層14側緣與隔離溝渠22邊緣之間隙 δ ，留下部分氧化物層12及基板10暴露出而未由多晶矽層14保護。此種情況造成若干不良後果。首先，此種結構容易於作用區域形成矽凹坑，仰賴多晶矽層14保護之處理步驟容易損傷於間隙區 δ 的氧化物層12及基板10。進一步由於多晶矽層14(形成浮置閘控制下方基板傳導)不再覆蓋於毗鄰溝渠間基板的全部寬度，故最終產品之電氣效能受到不良影響。習知STI隔離之又一項缺點為出現多晶矽層升高(亦即「微笑效應」)，表示接近多晶矽層14側緣的氧化物層12厚度增加。多晶矽層升高的發生原因在於於形成隔離溝渠氧化物24之前先形成多晶矽層14。

因此需要有一種可解決此等問題之隔離方法。

發明概要

本發明經由利用一種可自我對準多晶矽層與擴散邊緣而解決前述問題，此處於多晶矽層側緣與隔離區間形成較多重疊。本發明方法可以自我對準方式分別調整為最理想化。

本發明為一種於半導體元件形成隔離區域及作用區域之自我對準方法，以及包括下列步驟：形成一層第一材料於半導體基板上，形成多條彼此隔開的溝渠，溝渠伸展貫穿該層第一材料且進入基板，沿溝渠側部形成第一層絕緣材料，以絕緣材料填補溝渠，去除該層第一材料而暴露基

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

上。適當光阻材料34施用於氮化物層32上，進行罩蓋步驟俾選擇性由平行長條區36去除光阻材料。光阻材料34被去除之處，暴露出的氮化物層32長條使用標準蝕刻技術(亦即各向異性蝕刻法)蝕刻去除而暴露出下方矽基板30長條。然後於長條36施行矽蝕刻法俾形成溝渠38延伸貫穿氮化物層32進入矽基板30。溝渠原先係由氮化物緣42以及形成於矽基板30之側壁部39界限。結果所得結構舉例說明於第2A圖，包括略為凹割部40，此處氮化物層邊緣42延伸超越形成於矽基板30之溝渠側壁部39。

結構經進一步處理俾去除其餘光阻劑34。然後進行線性氧化法，經由鈍化溝渠側壁部39而形成氧化物層44沿基板30之溝渠側壁部39。此種氧化步驟進一步將溝渠側壁部39橫向推進氮化物層32下方，加大基板10之溝渠38寬度，經由於側壁部39與毗鄰氮化物層32邊緣42間形成自我對準補償。然後溝渠38藉習知氧化物沉積及平面化(例如CMP)方法以氧化物填補而形成氧化物塊46。結果所得結構顯示於第2B圖。

進行氮化物蝕刻(濕或乾)俾去除氮化物層32。然後形成絕緣層48於基板10暴露部分上。較佳絕緣層48為經由氧化物沉積(例如CVD)或經由氧化基板30暴露面形成的氧化物層。結果所得結構顯示於第2C圖。

然後導電層50形成於絕緣(氧化物)層48上，其頂面係與溝渠氧化物46頂面齊平。較佳具體實施例中，導電層係

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

經由多晶矽沉積法接著CMP平面化製成。結果所得結構顯示於第2D圖。

現在經由氧化物塊46與氧化物層44組合界定隔離區。導電層50邊緣52重疊隔離區(亦即氧化物層44)之重疊距離 Δ 增加。此種重疊距離 Δ 大小主要係依據形成於隔離溝渠38之氧化物層44厚度決定，該厚度可以控制。如此重疊距離 Δ 可以自我對準方式分別最理想化而提供較佳重疊，對治於後來後端處理期間的多晶矽層耗損，因此一段全部處理步驟完成時，多晶矽層50邊緣更佳地對準隔離區邊緣。又因多晶矽層50係於溝渠氧化物46、隔離氧化物48及氧化物層44形成後形成，故可避免多晶矽的升高。

需了解本發明非僅限於前文敘述及此處舉例說明之具體實施例，反而涵蓋於隨附之申請專利範圍內之任何及全部變化例。例如雖然前述方法描述使用多晶矽作為導電材料以及使用氮化物及氧化物作為絕緣材料，但對熟諳技藝人士而言顯然可使用任一種適當導電材料及絕緣材料。此外，氧化物層44厚度可小於架空部40的長度，因此導電層50邊緣52也部分伸展並疊置於部分對應氧化物塊46上方。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

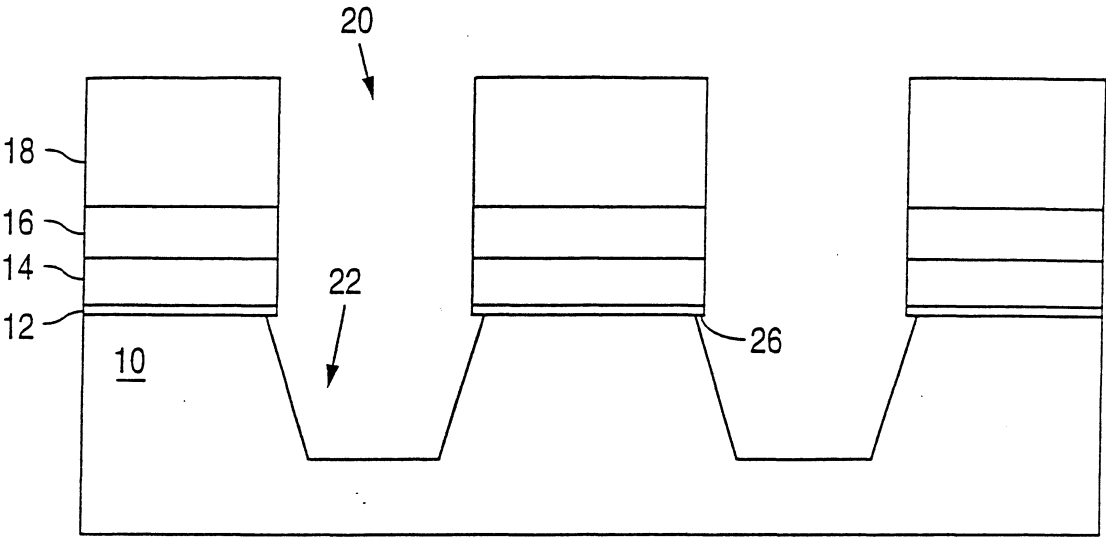
元 件 標 號 對 照

- 10...基板
- 12...絕緣材料
- 14...多晶矽
- 16...氮化矽
- 18...光阻材料
- 20...長條
- 22...溝渠
- 24...溝渠絕緣材料
- 26...凹割
- 30...半導體基板
- 32...氮化矽層
- 34...光阻材料
- 36...長條區
- 38...溝渠
- 40...凹割部
- 42...緣
- 44...氧化物層
- 46...氧化物塊
- 48...絕緣層
- 50...導電層
- 52...緣

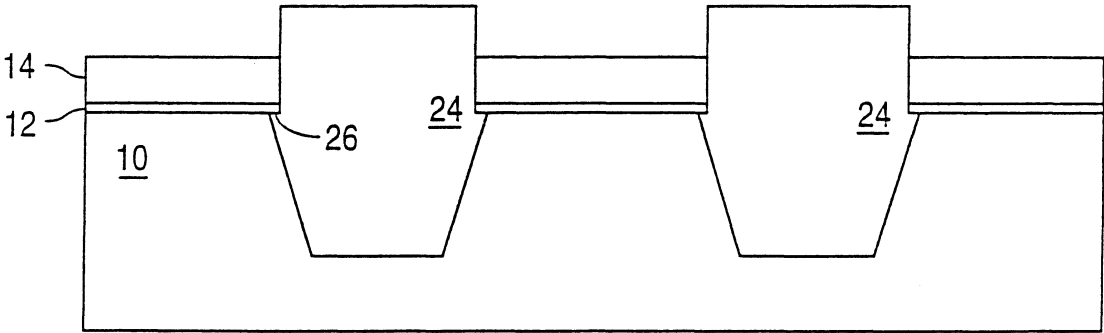
(請先閱讀背面之注意事項再填寫本頁)

訂

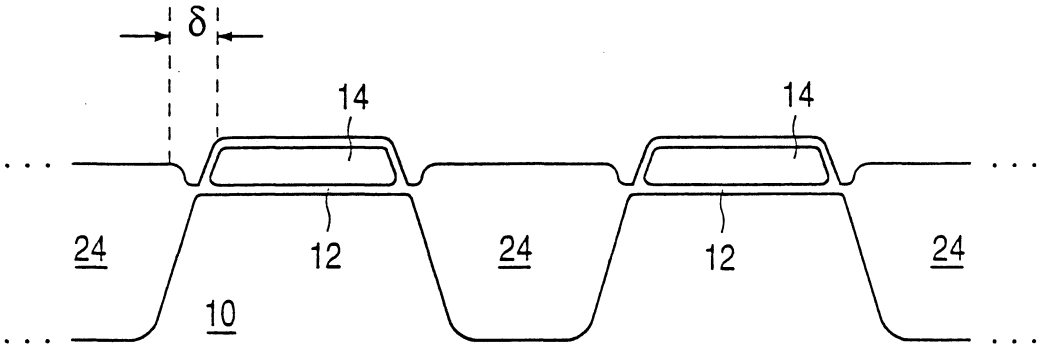
90123069



第1A 圖
(習知技術)

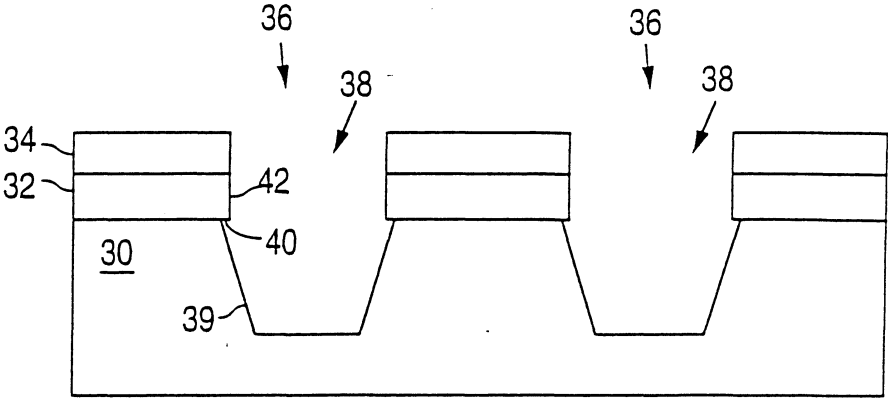


第1B 圖
(習知技術)

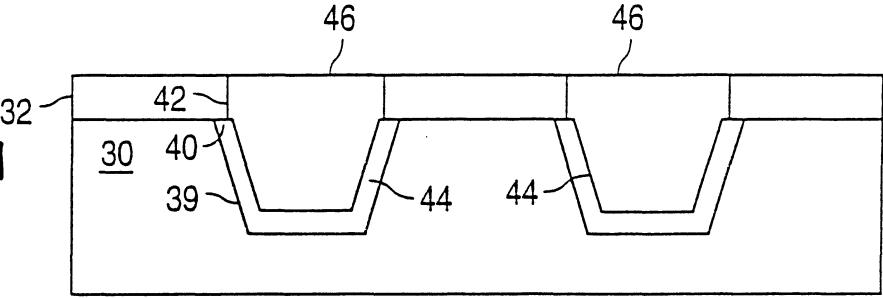


第1C 圖
(習知技術)

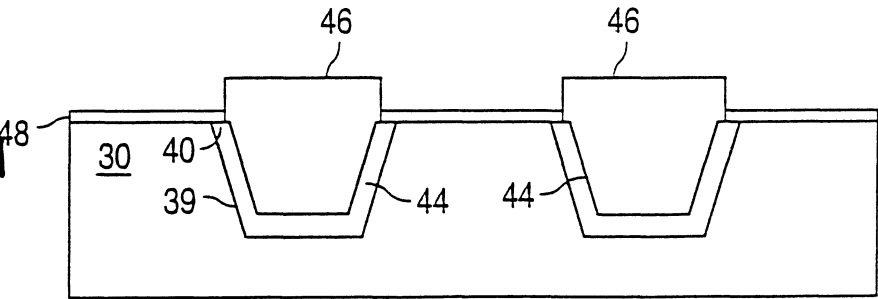
第 2A 圖



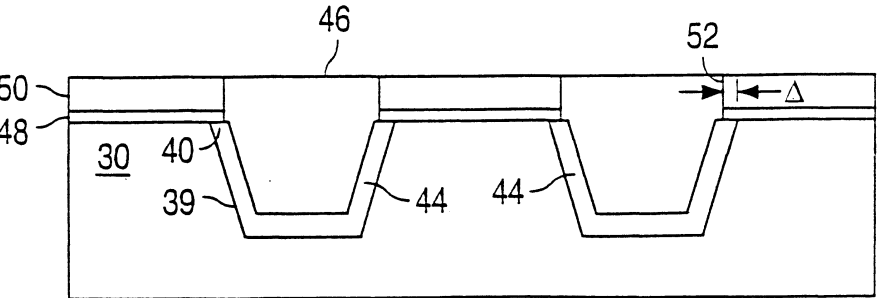
第 2B 圖



第 2C 圖



第 2D 圖



五、發明說明 (4)

板部分，形成第二層絕緣材料於基板之暴露部分上，以及形成一層導電材料於第二層絕緣材料上。

於本發明之另一特徵方面，一種用於製造可電規劃及可抹除記憶體元件之半導體結構，包括第一導電型之半導體材料製成之基板，第一層絕緣材料形成於基板上，一層導電材料形成於第一層絕緣材料上，多個彼此隔開的溝渠形成貫穿第一層絕緣材料及該層導電材料且進入基板，第二層絕緣材料形成於溝渠之側壁部上，以及一塊絕緣材料形成於溝渠。對各溝渠，該層導電材料之一緣部係伸展於第一層絕緣材料區疊置第二層絕緣材料達預定距離 Δ 。

其它本發明之目的及特性由說明書、申請專利範圍及附圖之綜論將更為彰顯。

圖式之簡單說明

第1A-1B圖為習知於半導體記憶體元件形成隔離長條之剖面圖。

第1C圖為使用習知隔離技術形成半導體元件但於進行進一步後處理步驟後之剖面圖。

第2A-2D圖為剖面圖顯示處理半導體元件用以形成隔離區域於記憶體陣列半導體元件之步驟順序。

較佳具體實施例之詳細說明

本發明方法係於第2A-2D圖舉例說明，始於半導體基板30且較佳為P型且為業界眾所周知。氮化矽層32(後文稱為「氮化物」)較佳藉化學氣相沉積(CVD)沉積於矽基板30

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱： 將自我對準浮置閘多晶矽形成至用於發
光電氣可抹除可規劃唯讀記憶體晶胞之
作用區域的方法

於電氣可規劃且可抹除記憶體元件隔離作用區之方法
及裝置。第一層絕緣材料形成於基板上。一層導電材料形
成於第一層絕緣材料。多條彼此隔開的溝渠係貫穿第一層
絕緣材料、導電材料形成入基板內。第二層絕緣材料形成
於溝渠之側壁部。一塊絕緣材料形成於溝渠。用於各溝渠
，導電層緣部伸展於第二絕緣層上且疊置於其上，可能疊
置部分絕緣材料塊達預定距離 Δ 。對於各溝渠，選定預定
距離 Δ ，故對基板及導電層進行後端處理後，導電層緣部
係對準隔離溝渠之側壁部。

英文發明摘要（發明之名稱： A METHOD OF FORMING A SELF-ALIGNED FLOATING
GATE POLY TO AN ACTIVE REGION FOR A FLASH
E2PROM CELL

Method and apparatus for isolating active regions in an electrically programmable and erasable memory device. A first layer of insulating material is formed on a substrate. A layer of conductive material is formed on the first layer of insulating material. A plurality of spaced apart trenches are formed through the first layer of insulating material, the layer of conductive material, and into the substrate. A second layer of insulation material is formed on sidewall portions of the trenches. A block of insulation material is formed in the trenches. For each of the trenches, an edge portion of the layer of conductive material extends over and overlaps with the second layer of insulating material and possibly a portion of the insulation material block by a predetermined distance Δ . For each of the trenches, the predetermined distance Δ is selected so that after back end processing is performed to the substrate and the conductive layer, the edge portion of the conductive layer is aligned to the sidewall portion of the isolation trench.

91.10.17 修正
年 月 日

補充本

A8
B8
C8
D8

六、申請專利範圍

第90123069號 專利申請案申請專利範圍修正本91年10月17日

1. 一種於半導體元件形成隔離區及主動區之自我對準方法，該方法包含下列步驟：

形成一層第一材料於半導體基板上；

形成多個彼此隔開的溝渠延伸貫穿第一材料層且進入基板；

形成第一絕緣材料層沿溝渠的側壁部；

使用絕緣材料填補溝渠；

去除第一材料層而暴露部分基板；

形成第二層絕緣材料於基板之暴露部分上；以及

形成一層導電材料於第二層絕緣材料上。

2. 如申請專利範圍第1項之方法，其中第一層絕緣材料沿其形成的溝渠側壁部係位於基板內部。
3. 如申請專利範圍第1項之方法，其中對各溝渠而言，該層導電材料有一緣部其延伸且疊置於第一層絕緣材料上方達預定距離 Δ 。
4. 如申請專利範圍第1項之方法，其中對各溝渠而言，該層導電材料有一緣部其延伸且疊置於第一層絕緣材料以及填補溝渠之部分絕緣材料上方達預定距離 Δ 。
5. 如申請專利範圍第1項之方法，其中對各溝渠而言，預定距離 Δ 經選擇，因此對基板及導電層進行後端處理後，緣部係對準於溝渠側壁。
6. 如申請專利範圍第1項之方法，其中對各溝渠而言，第一層絕緣材料的形成包括進一步延伸側壁部進入基板

六、申請專利範圍

內部俾加大溝渠下部寬度。

7. 一種用於製造電氣可規劃且可抹除記憶體元件之半導體結構，包含：

一片第一導電型半導體材料製成的基板；

一層形成於基板上的第一層絕緣材料；

一層形成於第一層絕緣材料上的導電材料；

多條彼此隔開的溝渠，其係形成貫穿第一層絕緣材料、該層導電材料以及進入基板；

一層形成於溝渠側壁部上之第二層絕緣材料；以及

一塊形成於溝渠之絕緣材料；

其中對各溝渠而言，該層導電材料之一緣部係延伸且疊置於第二層絕緣材料上方達預定距離 Δ 。

8. 如申請專利範圍第7項之半導體結構，其中對各溝渠而言，該層導電材料緣部進一步延伸且疊置部分絕緣材料塊。

9. 如申請專利範圍第7項之半導體結構，其中對各溝渠而言，預定距離 Δ 係選擇於對基板及導電層進行後端處理後，該緣部係實質上對準溝渠側壁部。