

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2022-541088

(P2022-541088A)

(43)公表日 令和4年9月22日(2022.9.22)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 G 4/40 (2006.01)	H 0 1 G 4/40 3 1 0 A	5 E 0 0 1
H 0 1 G 4/30 (2006.01)	H 0 1 G 4/30 2 0 1 C	5 E 0 8 2
H 0 1 G 4/228(2006.01)	H 0 1 G 4/30 2 0 1 F	
	H 0 1 G 4/30 2 0 1 H	
	H 0 1 G 4/30 3 1 1 E	

審査請求 有 予備審査請求 未請求 (全22頁) 最終頁に続く

(21)出願番号	特願2021-563206(P2021-563206)	(71)出願人	500047848 キョーセラ・エイブイエックス・コンポ ーネッツ・コーポレーション アメリカ合衆国 2 9 6 4 4 - 9 0 3 9 サウスカロライナ州 ファウンテン イン ワン エイブイエックス プルバード
(86)(22)出願日	令和2年4月17日(2020.4.17)	(74)代理人	100118902 弁理士 山本 修
(85)翻訳文提出日	令和3年12月14日(2021.12.14)	(74)代理人	100106208 弁理士 宮前 徹
(86)国際出願番号	PCT/US2020/028740	(74)代理人	100196508 弁理士 松尾 淳一
(87)国際公開番号	WO2020/219357	(74)代理人	100162846 弁理士 大牧 綾子
(87)国際公開日	令和2年10月29日(2020.10.29)	(72)発明者	カーク, マイケル・ダブリュー
(31)優先権主張番号	62/838,410		
(32)優先日	平成31年4月25日(2019.4.25)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 コンデンサおよびディスクリットバリスタを含む統合構成要素

(57)【要約】

統合構成要素は、第1のアクティブ端子、第2のアクティブ端子、少なくとも1つの接地端子、および、第1のアクティブ端子と第2のアクティブ端子との間に直列に接続された一対のコンデンサとを含む多層コンデンサを含み得る。統合構成要素は、多層コンデンサの第1のアクティブ端子に接続された第1の外部バリスタ端子と、第2のアクティブ端子に接続された第2の外部バリスタ端子とを備えるディスクリットバリスタを含み得る。

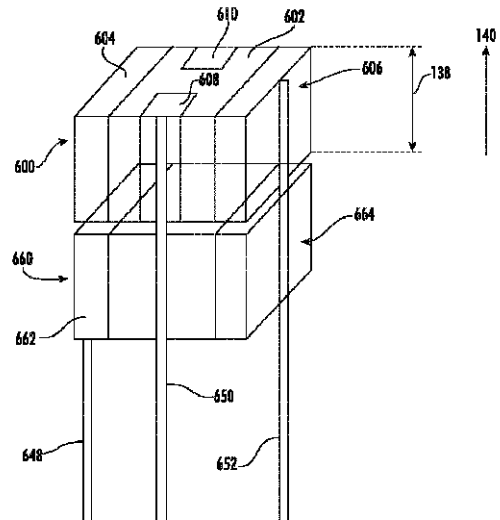


FIG. 3A

【特許請求の範囲】

【請求項 1】

第 1 のアクティブ端子、第 2 のアクティブ端子、少なくとも 1 つの接地端子、および、前記第 1 のアクティブ端子と前記第 2 のアクティブ端子との間に直列に接続された一対のコンデンサとを備える多層コンデンサと、

前記多層コンデンサの前記第 1 のアクティブ端子に接続された第 1 の外部バリスタ端子と、前記第 2 のアクティブ端子に接続された第 2 の外部バリスタ端子とを備えるディスクリードバリスタとを備える、統合構成要素。

【請求項 2】

前記多層コンデンサはさらに、

複数の誘電体層を備える本体と、

前記本体内に配置され、前記第 1 のアクティブ端子に接続された第 1 の複数の電極層と

10

、前記本体内に配置され、前記第 2 のアクティブ端子に接続された第 2 の複数の電極層と

、前記少なくとも 1 つの接地端子に接続され、前記第 1 の複数の電極層および第 2 の複数の電極層のおのおの容量結合されて、前記第 1 の複数の電極層と第 3 の複数の電極層との間に第 1 のコンデンサを、および、前記第 2 の複数の電極層と第 3 の複数の電極層との間に第 2 のコンデンサを形成する、前記第 3 の複数の電極層とを備える、請求項 1 に記載の統合構成要素。

20

【請求項 3】

前記第 3 の複数の電極層は、全体的に十字形状である、請求項 2 に記載の統合構成要素

【請求項 4】

前記少なくとも 1 つの接地端子は、第 1 の接地端子および第 2 の接地端子を備える、請求項 2 に記載の統合構成要素。

【請求項 5】

前記第 3 の複数の電極層の各々は、一対の対向するエッジを備え、前記対向するエッジのうち的一方は、前記第 1 の接地端子に接続され、前記対向するエッジのうちの他方は、前記第 2 の接地端子に接続される、請求項 4 に記載の統合構成要素。

30

【請求項 6】

前記第 1 の接地端子は、前記第 2 の接地端子の反対側に位置する、請求項 4 に記載の統合構成要素。

【請求項 7】

前記第 1 のアクティブ端子、前記第 2 のアクティブ端子、または前記少なくとも 1 つの接地端子のうち少なくとも 1 つは、前記構成要素を表面実装するために前記統合構成要素の底面に沿って露出される、請求項 1 に記載の統合構成要素。

【請求項 8】

前記第 1 および第 2 のアクティブ端子とそれぞれ結合された第 1 および第 2 のリードと、前記少なくとも 1 つの接地端子と結合された第 3 のリードとをさらに備える、請求項 1 に記載の統合構成要素。

40

【請求項 9】

前記第 1 のコンデンサは、第 1 の静電容量を有し、前記第 2 のコンデンサは、前記第 1 の静電容量にほぼ等しい第 2 の静電容量を有する、請求項 1 に記載の統合構成要素。

【請求項 10】

前記第 1 の静電容量または前記第 2 の静電容量のうち少なくとも 1 つは、約 10 nF から約 3 μ F の範囲である、請求項 1 に記載の統合構成要素。

【請求項 11】

前記第 3 の複数の電極層は、第 1 のオーバーラップ領域に沿って前記第 1 の複数の電極層とオーバーラップし、

50

前記第 3 の複数の電極層は、前記第 1 のオーバーラップ領域にほぼ等しい第 2 のオーバーラップ領域に沿って、前記第 2 の複数の電極層とオーバーラップする、請求項 1 に記載の統合構成要素。

【請求項 1 2】

前記ディスクリットバリスタが、前記多層コンデンサに対して積み重ねられる、請求項 1 に記載の統合構成要素。

【請求項 1 3】

前記ディスクリットバリスタおよび多層コンデンサをカプセル化するオーバモールド層をさらに備える、請求項 1 2 に記載の統合構成要素。

【請求項 1 4】

前記モノリシック本体の厚さに対する前記電極の積み重ねの厚さの比が約 0.4 よりも大きい、請求項 1 に記載の統合構成要素。

【請求項 1 5】

統合構成要素を形成するための方法であって、

一対のコンデンサを形成する電極を含む多層コンデンサ本体を提供するステップと、

前記一対のコンデンサが、第 1 のアクティブ端子と第 2 のアクティブ端子との間に直列に接続されるように、前記第 1 のアクティブ端子と、前記第 2 のアクティブ端子と、前記多層コンデンサ本体の外部の少なくとも 1 つの接地端子とを形成するステップと、

ディスクリットバリスタの第 1 のバリスタ端子が、前記第 1 のアクティブ端子に接続され、第 2 のバリスタ端子が、前記第 2 のアクティブ端子に接続されるように、前記ディスクリットバリスタを前記多層コンデンサ本体と積み重ねるステップとを備える、方法。

【請求項 1 6】

前記一対のコンデンサを形成する電極を含む前記多層コンデンサ本体を提供するステップは、

前記本体内に配置され、前記第 1 のアクティブ端子に接続された第 1 の複数の電極層を形成するステップと、

前記本体内に配置され、前記第 2 のアクティブ端子に接続された第 2 の複数の電極層を形成するステップとを備える、請求項 1 5 に記載の方法。

【請求項 1 7】

前記少なくとも 1 つの接地端子に接続され、前記第 1 の複数の電極層および第 2 の複数の電極層の各々と容量結合された前記多層コンデンサ本体内に第 3 の複数の電極層を形成して、前記第 1 の複数の電極層と第 3 の複数の電極層との間に第 1 のコンデンサを、前記第 2 の複数の電極層と第 3 の複数の電極層との間に第 2 のコンデンサを形成するステップをさらに備える、請求項 1 5 に記載の方法。

【請求項 1 8】

前記少なくとも 1 つの接地端子を形成するステップは、第 1 の接地端子および第 2 の接地端子を形成するステップを備える、請求項 1 7 に記載の方法。

【請求項 1 9】

前記第 3 の複数の電極層は、全体的に十字形状である、請求項 1 7 に記載の方法。

【請求項 2 0】

前記第 3 の複数の電極層の各々は、一対の対向するエッジを備え、前記対向するエッジのうち的一方は、前記第 1 の接地端子に接続され、前記対向するエッジのうち他方は、前記第 2 の接地端子に接続される、請求項 1 7 に記載の方法。

【請求項 2 1】

前記第 1 の接地端子は、前記第 2 の接地端子の反対側に配置される、請求項 1 7 に記載の方法。

【請求項 2 2】

前記第 1 のアクティブ端子、前記第 2 のアクティブ端子、または少なくとも 1 つの接地端子のうち少なくとも 1 つは、前記構成要素を表面実装するために前記統合構成要素の底面に沿って露出される、請求項 1 7 に記載の方法。

10

20

30

40

50

【請求項 2 3】

第 1 および第 2 のリードをそれぞれ、前記第 1 および第 2 のアクティブ端子と接続し、第 3 のリードを、前記少なくとも 1 つの接地端子と接続するステップをさらに備える、請求項 1 5 に記載の方法。

【請求項 2 4】

前記第 1 のコンデンサは、第 1 の静電容量を有し、前記第 2 のコンデンサは、前記第 1 の静電容量にほぼ等しい第 2 の静電容量を有する、請求項 1 5 に記載の方法。

【請求項 2 5】

前記第 1 の静電容量または前記第 2 の静電容量のうちの少なくとも 1 つは、約 10 nF から約 3 μF の範囲である、請求項 1 5 に記載の方法。

10

【請求項 2 6】

前記第 3 の複数の電極層は、第 1 のオーバーラップ領域に沿って前記第 1 の複数の電極層とオーバーラップし、

前記第 3 の複数の電極層は、前記第 1 のオーバーラップ領域にほぼ等しい第 2 のオーバーラップ領域に沿って、前記第 2 の複数の電極層とオーバーラップする、請求項 1 5 に記載の方法。

【請求項 2 7】

前記ディスクリットバリスタおよび多層コンデンサを、オーバモールド層でオーバモールドするステップをさらに備える、請求項 1 5 に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

関連出願への相互参照

[001]本出願は、参照によりその全体が本明細書に組み込まれる、出願日が 2019 年 4 月 25 日である米国仮特許出願第 62 / 838 , 410 号の出願利益を主張する。

【背景技術】

【0002】

[002]しばらくの間、様々な電子構成要素の設計は、機能の向上だけではなく、小型化への一般的な業界の傾向によって推進されてきた。このような点で、動作特性が改善された、これまでにない小型の電子部品が必要とされている。一部の用途は、複数の構成要素と同等のメリットがあるが、たとえば回路基板上で、そのような電子構成要素が占有できるスペースの大きさは、厳しく制限されている。

30

【0003】

[003]多層セラミックコンデンサやバリスタなどの多層セラミックデバイスは、積み重ね状に構成された複数の誘電体電極層で構成されることがある。製造中に、層はプレスされ、モノリシックスタック構造に形成され得る。

【0004】

[004]したがって、改善された小型化、ならびに増加した機能および/または動作特性をもたらすデバイスおよび対応する方法が提供されることが有利であろう。

【発明の概要】

40

【課題を解決するための手段】

【0005】

[005]本発明の 1 つの実施形態によれば、コンデンサおよびバリスタ機能を有する統合構成要素(integrated component)は、第 1 のアクティブ端子、第 2 のアクティブ端子、少なくとも 1 つの接地端子、および、第 1 のアクティブ端子と第 2 のアクティブ端子との間に直列に接続された一対のコンデンサとを含む多層コンデンサを含み得る。統合構成要素は、多層コンデンサの第 1 のアクティブ端子に接続された第 1 の外部バリスタ端子と、第 2 のアクティブ端子に接続された第 2 の外部バリスタ端子とを備えるディスクリットバリスタ(discrete varistor)を含み得る。

【0006】

50

[006]本発明の別の実施形態によれば、コンデンサおよびバリスタ機能を有する統合構成要素を形成するための方法は、一对のコンデンサを形成する電極を含む多層コンデンサ本体を提供することと、一对のコンデンサが、第1のアクティブ端子と第2のアクティブ端子との間に直列に接続されるように、第1のアクティブ端子と、第2のアクティブ端子と、多層コンデンサ本体の外部の少なくとも1つの接地端子とを形成することと、ディスクリットバリスタの第1のバリスタ端子が、第1のアクティブ端子に接続され、第2のバリスタ端子が、第2のアクティブ端子に接続されるように、ディスクリットバリスタを多層コンデンサ本体と積み重ねることとを含み得る。

【0007】

[007]本発明の他の特徴および態様は、以下でより詳細に論じられる。

10

[008]当業者に向けられた、そのベストモードを含む、本開示の主題の完全かつ有効な開示は、以下の添付図面を参照して本明細書に記載される。

【図面の簡単な説明】

【0008】

【図1A】[009]SMD構成などに使用するための、本開示の主題による多端子多層デバイスの例示的な実施形態の外部斜視図である。

【図1B】[0010]図1Aのデバイスの第1の電極層を示す図である。

【図1C】[0011]図1Aのデバイスの第2の電極層を示す図である。

【図1D】[0012]図1Aのデバイスの交互する第1および第2の電極層の積み重ねを示す図である。

20

【図1E】[0013]デバイスのそれぞれの外部端子に接続されたリードをさらに含む、図1Aのデバイスを示す図である。

【図1F】[0014]図1Aのデバイスの概略図である。

【図2A】[0015]第2の電極層がT字型電極を含む、図1Aのデバイスの代替の第1の電極層を示す図である。

【図2B】第2の電極層がT字型電極を含む、図1Aのデバイスの代替の第2の電極層を示す図である。

【図2C】[0016]図2Aおよび図2Bに図示されるような交互する第1および第2の電極層の積み重ねを示す図である。

【図3A】[0017]本開示の主題による、積み重ねられた構成の多層コンデンサおよびディスクリットバリスタを含む統合構成要素を示す図である。

30

【図3B】[0018]図3Aのデバイスの概略図である。

【図3C】[0019]本開示の主題による、統合構成要素の別の実施形態の外部斜視図である。

【図4】本開示の態様による、コンデンサおよびバリスタ機能を有する統合構成要素を形成するための方法のフローチャートである

【発明を実施するための形態】

【0009】

[0020]本明細書および添付の図面全体で参照符号を繰り返し使用することは、同じまたは類似の特徴、要素、またはそれらのステップを表すことが意図される。

40

[0021]ここでは、本発明の様々な実施形態が詳細に参照され、そのうちの1つまたは複数の例が以下に示される。各例は、本発明の限定ではなく、本発明の説明として提供される。実際、本発明の範囲または精神から逸脱することなく、本発明において様々な修正および変形がなされ得ることが、当業者に明らかであろう。たとえば、1つの実施形態の一部として例示または説明された特徴は、別の実施形態で使用され、さらに別の実施形態をもたらすことができる。したがって、本発明は、添付の特許請求の範囲およびそれらの均等物の範囲内に入るような修正および変形をカバーすることが意図されている。

【0010】

[0022]一般的に言えば、本発明は、多層コンデンサおよびディスクリットバリスタを含む統合デバイスに関する。理論によって限定されることを意図することなく、コンデン

50

サは、電界に電気エネルギーを蓄積する電気構成要素である。理論によって限定されることを意図することなく、バリスタは、印加電圧によって変化する可能性のある電気抵抗を有する電気構成要素であり、それによって電圧依存性レジスタとなる。

【0011】

[0023]コンデンサとバリスタを組み合わせることで、フィルタリングとEMIおよび/またはEMI/ESD回路保護を単一のパッケージで提供でき、これは、スペースが限られている場合に特に有用であり得る。本発明は、モータの始動停止用途(start-stop application)などの自動車用途に特に有用であり得る。

【0012】

[0024]統合構成要素の多層コンデンサは、分割フィードスルータイプの構造(split feedthrough type construction)を有することができ、第1のアクティブ端子、第2のアクティブ端子、および、第1のアクティブ端子と第2のアクティブ端子との間に直列に接続された一対のコンデンサを含むことができる。コンデンサは、誘電体層によって分離された内部電極によって形成することができる。

10

【0013】

[0025]ディスクリートバリスタは、多層コンデンサの第1のアクティブ端子に接続された第1の外部バリスタ端子と、第2のアクティブ端子に接続された第2の外部バリスタ端子とを含むことができる。たとえば、ディスクリートバリスタカン多層コンデンサを積み重ねて、単一のモノリシック統合構成要素を形成することができる。いくつかの実施形態では、リードを外部端子に接続することができ、および/または統合構成要素をオーバーモールドすることができる。したがって、オーバーモールドされた層は、ディスクリートバリスタおよび多層コンデンサをカプセル化することができる。

20

【0014】

[0026]多層コンデンサは、セラミック本体の外部に位置する少なくとも1つの接地端子を含むことができる。第1の複数の電極層は、本体内に配置され、第1のアクティブ端子と接続され得る。第2の複数の電極層は、本体内に配置され、第2のアクティブ端子と接続され得る。第3の複数の電極層は、接地端子と接続することができ、第1の複数の電極層および第2の複数の電極層のおのおの容量結合されて、分割フィードスルータイプの構造を形成することができる。第1のコンデンサは、第1の複数の電極層と、第3の複数の電極層との間の第1のオーバーラップ領域に形成することができる。第2のコンデンサは、第2の複数の電極層と、第3の複数の電極層との間の第2のオーバーラップ領域に形成することができる。

30

【0015】

[0027]1つの実施形態では、第1のコンデンサは、第1の静電容量を有し得、第2のコンデンサは、第2の静電容量を有し得る。いくつかの実施形態では、第1および第2のオーバーラップ領域は、第2の静電容量が、第1の静電容量にほぼ等しくなり得るように、ほぼ等しくなり得る。しかしながら、他の実施形態では、第1および第2のオーバーラップ領域は、第1の静電容量が第2の静電容量よりも大きいまたは小さい場合があるように、異なってもよい。

【0016】

[0028]たとえば、第2の静電容量の第1の静電容量の少なくとも1つは、約10nFから約3 μ Fの範囲、いくつかの実施形態では、約200nFから約2 μ Fの範囲、いくつかの実施形態では、約400nFから約1.5 μ Fの範囲であり得る。第2の静電容量は、第1の静電容量の約5%から約500%、いくつかの実施形態では、約10%から約300%、いくつかの実施形態では、約25%から約200%、およびいくつかの実施形態では、約50%から約150%の範囲であり得る。

40

【0017】

[0029]いくつかの実施形態では、第3の複数の電極層は、全体的に十字形状(cross-shaped)とすることができ、一対の対向する接地端子と接続することができる。たとえば、第3の複数の電極層は各々、一対の対向するエッジを含むことができる。対向するエ

50

ッジのうちの一方は、第1の接地端子に接続でき、対向するエッジのうちの他方は、第2の接地端子と接続できる。

【0018】

[0030]モノリシック本体は、モノリシック本体内に形成された追加のコンデンサを含まなくてもよい。たとえば、第1、第2、および第3の複数の電極は、モノリシック本体の厚さの大部分を通して延びる電極の積み重ねで構成され得る。たとえば、モノリシック本体の厚さに対する、電極の積み重ねの厚さの比は、約0.5から約0.97の範囲、いくつかの実施形態では、約0.6から約0.95の範囲、およびいくつかの実施形態では、約0.7から約0.9の範囲であり得る。

【0019】

[0031]いくつかの実施形態では、構成要素は、外部端子に接続された1つまたは複数のリードを含み得る。たとえば、第1および第2のリードはそれぞれ、第1および第2のアクティブ端子と結合され得る。第3のリードおよび/または第4のリードは、接地端子と結合され得る。構成要素は、構成要素を接続するために、リードが、オーバモールドされたパッケージから突き出るようにオーバモールドされる。

【0020】

[0032]他の実施形態では、第1のアクティブ端子、第2のアクティブ端子、または少なくとも1つの接地端子のうちの少なくとも1つは、たとえば、表面実装デバイス(SMD:surface mount device)として、またはグリッドアレイタイプの実装(たとえば、ランドグリッドアレイ(LGA)、ボールグリッドアレイ(BGA)など)を使用して、構成要素を表面実装するために、統合構成要素の底面に沿って露出され得る。

【0021】

[0033]本開示の態様は、複数のディスクリットコンデンサを、単一の統合された容量性デバイスと交換することによって、リード付きまたはSMD構成要素の組み立ておよび/または実装を単純化することができる。たとえば、SMD構成では、PCB上で複数のディスクリット構成要素が回避されるため、PCB上のスペースを節約し、場合によっては、インダクタンスおよび/または等価直列抵抗(ESR)を低下させる。それに加えて、はんだ接合の数が減り、信頼性が向上し得る。

【0022】

[0034]一般に、多層コンデンサの誘電体層は、当該技術分野で一般的に使用される任意の材料で作ることができる。たとえば、誘電体層は、主成分としてチタン酸塩を含むセラミック材料で作ることができる。チタン酸塩は、チタン酸バリウム($BaTiO_3$)を含み得るが、これに限定されない。セラミック材料はまた、希土類金属の酸化物、および/または、Mn、V、Cl、Mo、Fe、Ni、Cu、Coなどのようなアクセプタタイプの元素の化合物を含み得る。チタン酸塩はまた、MgO、CaO、 Mn_3O_4 、 Y_2O_3 、 V_2O_5 、ZnO、 ZrO_2 、 Nb_2O_5 、 Cr_2O_3 、 Fe_2O_3 、 P_2O_5 、SrO、 Na_2O 、 K_2O 、 Li_2O 、 SiO_2 、 WO_3 などを含み得る。セラミック材料はまた、セラミック粉末に加えて、他の添加剤、有機溶媒、可塑剤、結合剤、分散剤などを含み得る。

【0023】

[0035]一般に、多層モノリシックデバイスの内部電極は、当該技術分野で一般的に適用される任意の材料で作ることができる。たとえば、内部電極は、主成分が貴金属材料である導電性ペーストを焼結することによって(by sntering)形成することができる。これらの材料は、パラジウム、パラジウム-銀合金、ニッケル、および銅を含むことができるが、これらに限定されない。たとえば、1つの実施形態では、電極は、ニッケルまたはニッケル合金で作られ得る。合金は、Mn、Cr、Co、Al、Wなどのうちの1つまたは複数を含み得、合金中のNi含有量は、好ましくは95重量%以上である。NiまたはNi合金は、P、C、Nb、Fe、Cl、B、Li、Na、K、F、Sなど、0.1重量%以下の様々な微量成分を含み得る。

【0024】

10

20

30

40

50

[0036]多層コンデンサのセラミック本体は、当該技術分野で一般的に知られている任意の方法を使用して形成することができる。たとえば、セラミック本体は、セラミックシートと、パターン化された内部電極とが交互に積み重ねられた積層体を形成し、積層体からバインダを除去し、バインダを除去された積層体を、非酸化性雰囲気中、1200 から1300 の範囲の高温で焼結し、焼結積層体を酸化雰囲気中で再酸化することによって形成することができる。

【0025】

[0037]一般に、バリスタは、電気サージを接地にそらすように構成され得る。たとえば、バリスタは、約3ボルトから約150ボルト、いくつかの実施形態では、約5ボルトから約100ボルト、いくつかの実施形態では、約10ボルトから約50ボルト、およびいくつかの実施形態では、約15ボルトから約30ボルトの範囲のクランプ電圧を有し得る。

10

【0026】

[0038]バリスタは、外部電極を備えたセラミック本体を含むことができる。セラミック本体は、セラミック層と内部電極とが交互に積み重ねられた積層体を焼結して作製される。隣接する内部電極の各対は、それらの間にセラミック層を挟んで互いに向き合っており、それぞれ、異なる外部電極に電氣的に結合することができる。

【0027】

[0039]一般に、誘電体層は、たとえば、チタン酸バリウム、酸化亜鉛、または他の任意の適切な誘電体材料などの任意の適切な誘電体材料を含み得る。たとえば、誘電体材料の電圧依存性抵抗を生成または高める様々な添加剤が誘電体材料に含まれ得る。たとえば、いくつかの実施形態では、添加剤は、コバルト、ビスマス、マンガン、またはそれらの組合せの酸化物を含み得る。いくつかの実施形態では、添加剤は、ガリウム、アルミニウム、アンチモン、クロム、ホウ素、チタン、鉛、バリウム、ニッケル、バナジウム、スズ、またはそれらの組合せの酸化物を含み得る。誘電体材料は、約0.5モルパーセントから約3モルパーセントの範囲、およびいくつかの実施形態では、約1モルパーセントから約2モルパーセントの範囲の添加剤でドーピングされ得る。誘電体材料の平均粒径(average grain size)は、誘電体材料の非線形特性に寄与する可能性がある。いくつかの実施形態では、平均粒径は、約10ミクロンから100ミクロンの範囲、いくつかの実施形態では、約20ミクロンから80ミクロンの範囲であり得る。バリスタはまた2つの端子を含み得、そして各電極は、それぞれの端子と接続され得る。電極は、電極の長さに沿って、および/または電極と端子との間の接続部に抵抗を提供し得る。

20

30

【0028】

[0040]一般に、内部電極は、当該技術分野で一般的に使用される任意の材料で作ることができる。たとえば、内部電極は、主成分が貴金属材料である導電性ペーストを焼結することによって形成することができる。これらの材料は、パラジウム、パラジウム-銀合金、銀、ニッケル、および銅を含むことができるが、これらに限定されない。たとえば、1つの実施形態では、電極は、ニッケルまたはニッケル合金から作られ得る。合金は、Mn、Cr、Co、Al、Wなどのうちの1つまたは複数を含み得、合金中のNi含有量は、好ましくは95重量%以上である。NiまたはNi合金は、P、C、Nb、Fe、Cl、B、Li、Na、K、F、Sなど、0.1重量%以下の様々な微量成分を含み得る。

40

【0029】

[0041]統合構成要素は、様々なサイズを有し得る。たとえば、統合構成要素は、EIA0504以下から、EIA2920以上の範囲であるケースサイズを有し得る。ケースサイズの例は、0805、1206、1806、2020などを含む。

【0030】

[0042]上記に示したように、いくつかの実施形態では、統合構成要素は、様々な適切なものを使用してオーバモールドされ得る。例は、シリコンゴム、熱可塑性エラストマ、または他の同様のポリマを含む。

【0031】

50

[0043]次に、例示的な実施形態を、図面を参照して説明する。図1Aは、一般に本開示の主題による、多端子多層デバイス100の例示的な実施形態の外観斜視図を示している。例示されるように、デバイス100は、六面体などの本体102を含み得る。デバイス100は、第1の端部端子104、第2の端部端子106、第1の側部端子108、および第2の側部端子110を含み得る。そのようなすべての外部端子は、表面実装デバイス(SMD)構成などで使用するために、一般的にデバイス100の指定された底側112に存在する。

【0032】

[0044]デバイス100は、第1および第2の端子104、106のうちの2つの間に直列に形成された2つのコンデンサを含み得る。本明細書に記載されるすべての実施形態 10
に関連する当業者によって理解されるように、対象の多層構造における協調層は、電極層を備え、これは、その後、統合された容量性構造を形成する。

【0033】

[0045]図1Bは、図1Aのデバイス100の第1の電極層120を示している。電極構成120は、第1および第2の側部端子108、110(図1A)にそれぞれ接続された一対の対向するエッジ124、126を有する十字形状電極122を含み得る。図1Cは、第1の端部端子104に接続された第1の電極130と、第2の端部端子106に接続された第2の電極132とを含む第2の電極層128を示している。図1Dは、交互する第1および第2の電極層120、128の電極の積み重ね133を示している。電極の積み重ね133は、任意の適切な数の電極層120、128を含み得ることが理解される 20
べきである。

【0034】

[0046]再び図1Bを参照して示すように、十字形状電極122は、第1のオーバーラップ領域134に沿って第1の電極130とオーバーラップして第1のコンデンサを形成し、第2のオーバーラップ領域136に沿って第2の電極132とオーバーラップして第2のコンデンサを形成し得る。

【0035】

[0047]いくつかの実施形態では、モノリシック本体102(図1A)は、モノリシック本体102(図1A)内に(第1および第2のコンデンサに加えて)追加のコンデンサを含まなくてもよい。たとえば、図1Dを参照して上記で説明された電極の積み重ね13 30
3は、電極122、130、132に垂直なZ方向140において、モノリシック本体102(図1A)の厚さ138の大部分を通過して延び得る。たとえば、モノリシック本体102の厚さ138に対するZ方向140における電極の積み重ね133の厚さ142の比率は、約0.4から約0.97の範囲であり得る。

【0036】

[0048]図1Eは、本願の態様によるデバイス100の別の実施形態の斜視図を示している。図1Aにリード構成が追加されている。より具体的には、リード148、150、および152はそれぞれ、外部端子104、108、および106に取り付けられる。リード148および152は、それぞれ、端子104および106からなる第1の対に取り付けられた第1および第2のリードを構成し得る一方、リード150は、端子108およ 40
び110からなる第2の対のうち少なくとも1つに取り付けられた第3のリードを構成し得る。当業者はまた、端子108および110が両方とも層122に接続され、その結果、リード150が、同じ電気回路構成の結果を伴うそのような端子108または110のいずれかに接続され得ることを理解するであろう。結果として得られる用途図1Cの構成は、オーバモールドされた3リード構成要素である。

【0037】

[0049]図1Fは、用途図1Cによって図示されるようなその接続/実装構成における、用途図1Aのデバイス100の概略図を示している。より具体的には、リード148、150、および152は、直列および並列コンデンサとそれぞれ接触して示されている。示された静電容量値は、限定的なものではなく、単なる例示として意図されている。 50

【 0 0 3 8 】

[0050]例示されるように、デバイス100は、直列および並列コンデンサを収容するための単一のデバイスソリューションを提供する。第1のコンデンサ154は、第1のオーバーラップ領域134において、十字形状電極122と、第1の電極130との間に形成され得る。第2のコンデンサ156は、第2のオーバーラップ領域136において、十字形状電極122と、第2の電極132との間に形成され得る。第1のオーバーラップ領域134は、第1のコンデンサおよび第2のコンデンサがほぼ静電容量を示すように、第2のオーバーラップ領域136とほぼ等しくてもよい。しかしながら、他の実施形態では、第1のオーバーラップ領域134は、第2のオーバーラップ領域136よりも大きくても小さくてもよく、その結果、第1の静電容量は、第2の静電容量よりも大きくても小さくてもよい。第1の静電容量および第2の静電容量のうち的一方または両方は、約10nFから約3μFの範囲であり得る。

10

【 0 0 3 9 】

[0051]図2Aおよび図2Bは、本開示の態様による別の実施形態の電極構成を示している。第1の電極層220は、第1および第2の側部端子108、110(図1A)にそれぞれ接続され得る一对の対向するエッジ224、226を有する十字形状電極222を含み得る。図1Cは、第1の端部端子104に接続された第1の電極230と、第2の端部端子106に接続された第2の電極232とを含む第2の電極層228を示している。第1の電極230および/または第2の電極232は、電極230、232が電極層227の側部エッジ235、237まで延び、モノリシック本体102の少なくとも1つの側部表面239に沿って、それぞれの端部端子104、106(図1A)と接続するようなT字型電極であり得る。

20

【 0 0 4 0 】

[0052]図2Cは、交互する第1および第2の電極層220、228の電極の積み重ね233を示している。電極の積み重ね233は、Z方向140において厚さ242を有し得る。

【 0 0 4 1 】

[0053]モノリシック本体102(図1A)の厚さ138に対するZ方向140における電極の積み重ね233の厚さ242の比は、約0.4から約0.97の範囲であり得る。

30

[0054]再び図2Aを参照して示すように、十字形状電極122は、第1のオーバーラップ領域234に沿って第1の電極230とオーバーラップし、第2のオーバーラップ領域236に沿って第2の電極232とオーバーラップし得る。

【 0 0 4 2 】

[0055]図3Aは、それぞれの追加リード648、650、および652を備えたバリスタデバイス660を備えた積み重ね構成で使用するのための、一般に本開示の主題による多端子多層デバイス600の例示的な実施形態の外部斜視図を示している。本明細書でさらに論じられるように、図3Bは、用途図3Aの例示的な実施形態600の概略図を示す。

【 0 0 4 3 】

[0056]バリスタ660は、外部バリスタ端子662、664を有し得る。リード構成の構成を使用して、デバイス600およびバリスタ660を互いに平行に配置することができる。より具体的には、リード648、650、および652は、デバイス600の外部(コンデンサデバイス)端子604、608、および606にそれぞれ取り付けられ得る一方、リード648および652はそれぞれ、図示されるように、バリスタ660の外部(バリスタ)端子662および652に接続され得る。結果として得られる用途図3Aの構成は、オーバモールドされる可能性がある。

40

【 0 0 4 4 】

[0057]図3Bは、用途図3Aによって図示されるようなその接続/実装構成における、用途図3Aの例示的な実施形態600の概略図を一般的に示している。より具体的には

50

、リード648、650、および652は、直列および並列コンデンサとそれぞれ接触して示されている。示された静電容量値は、限定的なものではなく、単なる例示として意図されている。バリスタ660は、同様に、例示されるように、リード648および652と接触しており、デバイス600と並列関係にある。示されているバリスタの特性は、限定的なものではなく、単なる例示として意図される。

【0045】

【0058】図3Cは、本開示の態様による、コンデンサおよびバリスタ機能を有する統合構成要素の斜視図を示す。一般に、図3Cは、図3Aのデバイスを別の観点から示している。たとえば、図3Cの実施形態は、多層セラミックデバイスなどのデバイス600を下部に、バリスタ660を上部に提供する。そのような構成は、はんだ付けなどによって、デバイス600およびバリスタ660をともに組み合わせた後、表面実装デバイスとして使用することを可能にすることができる。それに加えて、図3Cに示される実施形態は、図3Aに示されるリードなしで提供される。しかしながら、そのような構成では、リードが使用されることもあると理解されたい。

10

【0046】

【0059】例示されるように、デバイス600は、直列および並列コンデンサを収容するために、単一のデバイスソリューションを提供する。デバイス600は、デバイス600の隔離された領域における複数層の分割フィードスルー構成によって形成され得るような、2つの代表的なコンデンサ654および656を示す。

【0047】

20

【0060】本明細書で開示される例示的な実施形態のいずれかについて様々なサイズが実践され得るが、デバイス600およびバリスタ660は、標準的なMLCケースサイズ、たとえば、1206ケースサイズを表すと見なすことができる。もちろん、特定の用途に必要な、または所望されるように、様々なサイズが様々な実施形態において実践され得る。そのようなすべての変動、および、例示的な静電容量値の変動は、本開示の主題の精神および範囲を伴うことが意図される。

【0048】

【0061】本明細書の開示によって図示されるように、SMD構成で使用されるいくつかの実施形態では、本開示の主題は、プリント回路基板(PCB)上の複数のディスクリット構成要素の交換をもたらし、それによってスペースを節約し、場合によっては、インダクタンスを下げる。本開示のそのような例示的な実施形態のすべては、そのいくつかの使用において、オーバモールドされた3つのリード付き構成要素にパッケージされ得る。本開示の主題によれば、デバイスサイズ的大幅な縮小が得られ、その結果、はんだ接合の数が減少し、それに応じて信頼性が向上する。

30

【0049】

【0062】図4は、本開示の態様による、コンデンサおよびバリスタ機能を有する統合構成要素を形成するための方法400のフローチャートである。一般に、方法400は、図1Aから図3Cを参照して上記で説明された統合構成要素100、200を参照して本明細書で説明される。しかしながら、開示された方法400は、任意の適切な統合構成要素を用いて実施され得ることが理解されるべきである。それに加えて、図4は、例示および議論の目的で特定の順序で実行されるステップを示しており、本明細書で論じられる方法は、特定の順序または配置に限定されない。本明細書で提供される開示を使用する当業者は、本開示の範囲から逸脱することなく、本明細書で開示される方法の様々なステップを省略、再配置、組合せ、および/または様々な方法で適合させることができることを理解するであろう。

40

【0050】

【0063】方法400は、(402)において、たとえば、図1Aから図3Cを参照して上記で説明したように、分割フィードスルータイプの構造で一对のコンデンサを形成する電極を含む多層コンデンサ本体を提供することを含み得る。

【0051】

50

[0064]この方法は、(404)において、たとえば、図1Aから図3Cを参照して上記で説明したように、一对のコンデンサが第1のアクティブ端子と第2のアクティブ端子との間に直列に接続されるように、多層コンデンサ本体の外部に第1のアクティブ端子および第2のアクティブ端子を形成することを含み得る。

【0052】

[0065]この方法は、(406)において、ディスクリートバリスタの第1のバリスタ端子が第1のアクティブ端子に接続され、第2のバリスタ端子が第2のアクティブ端子に接続されるように、ディスクリートバリスタを多層コンデンサ本体と積み重ねることを含み得る。

【0053】

[0066]開示された構成を達成する際における個々のステップは、その代表としてのみ意図されており、他に示された開示の一般的な性質を超える他の態様の必要な使用を示すものではないことを理解されたい。たとえば、当業者は、選択されたステップが、本開示の主題の所与の用途のために選択された特定の設計を生成するために実践され得ることを認識するであろう。

例

[0067]本開示の1つの例示的な実施形態によれば、統合構成要素は、おのおのが約475 nFを示す第1および第2のコンデンサを有する。統合構成要素は、約22ボルトのクランプ電圧を有するディスクリートバリスタを含む。

【0054】

[0068]本開示の1つの例示的な実施形態によれば、統合構成要素は、おのおのが約685 nFを示す第1および第2のコンデンサを有する。統合構成要素は、約22ボルトのクランプ電圧を有するディスクリートバリスタを含む。

【0055】

[0069]本開示の別の例示的な実施形態によれば、統合構成要素は、おのおのが約1 μ Fを示す第1および第2のコンデンサを有する。統合構成要素は、約22ボルトのクランプ電圧を有するディスクリートバリスタを含む。

試験方法

[0070]以下のセクションは、多層セラミックコンデンサ、ディスクリートコンデンサ、および/または統合構成要素の様々な特性を判定するためにバリスタを試験するための例示的な方法を提供する。

【0056】

[0071]バリスタのクランプ電圧は、たとえば、Keithley 2410-C SMUのようなKeithley 2400シリーズソース測定ユニット(SMU)を使用して測定され得る。バリスタは、たとえばANSI規格C62.1にしたがって、8/20マイクロ秒の電流波(current wave)にさらされる場合がある。電流波は、1mAのピーク電流値を有し得る。ピーク電流値は、ピーク電流が、バリスタに対して、電圧を「クランプ」させるように選択され得る。電流は、ピーク電流値まで増加し、その後減衰し得る。「立ち上がり」期間は、電流パルスの開始から、電流がピーク電流値の90%に達するまでであり得る。「立ち上がり」時間は8マイクロ秒であり得る。「減衰時間」は、電流パルスの開始から、ピーク電流値の50%までであり得る。「減衰時間」は、20マイクロ秒であり得る。電流波の間のバリスタの両端の最大電圧として測定されたクランプ電圧。

【0057】

[0072]多層コンデンサの静電容量は、たとえば、Keithley 2410-C SMUのような、Keithley 2400シリーズソース測定ユニット(SMU)を使用して測定され得る。たとえば、第1のコンデンサの第1の静電容量は、接地と、多層コンデンサの第1の外部端子との間で測定され得る。第2のコンデンサの第2の静電容量は、接地と、多層コンデンサの第2の外部端子との間で測定され得る。

【0058】

10

20

30

40

50

[0073]そのような本開示の主題は、その特定の実施形態に関して詳細に説明されているが、当業者は、前述の理解に達すると、そのような実施形態に対する変更、変形、および均等物を容易に生成できることが理解されよう。したがって、本開示の範囲は、限定ではなく例としてであり、主題の開示は、当業者に容易に明らかになるように、本開示の主題へのそのような修正、変形、および/または追加を含めることを排除しない。

【図面】

【図 1 A】

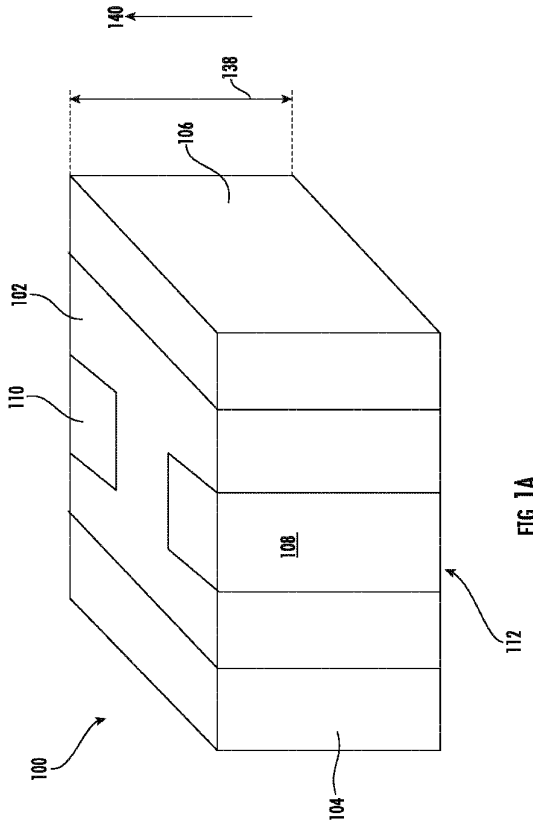


FIG. 1A

【図 1 B】

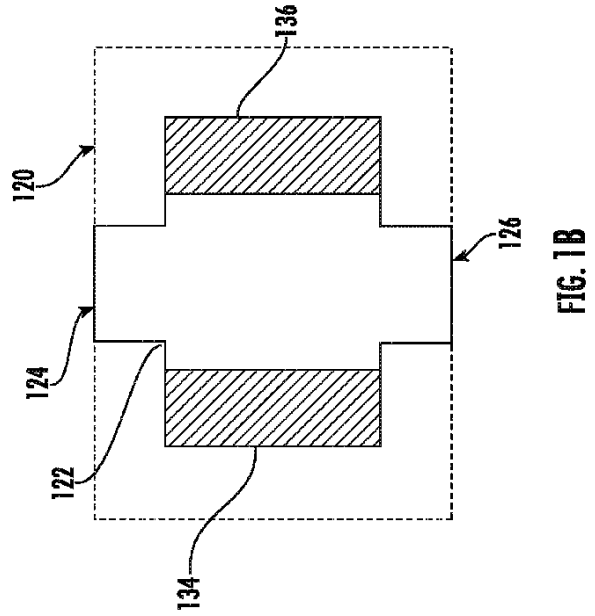


FIG. 1B

10

20

30

40

50

【 1 C 】

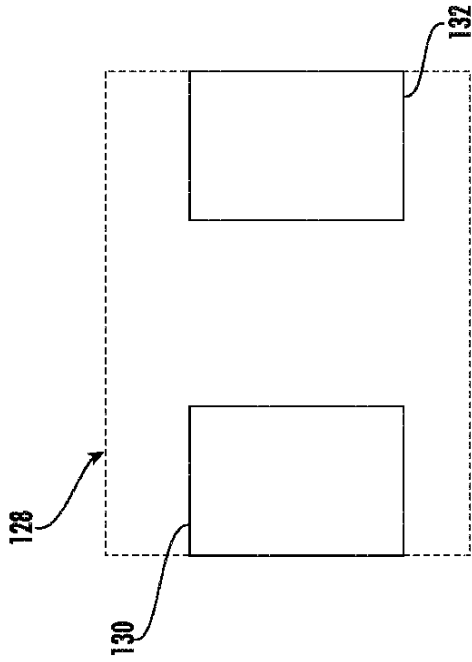


FIG. 1C

【 1 D 】

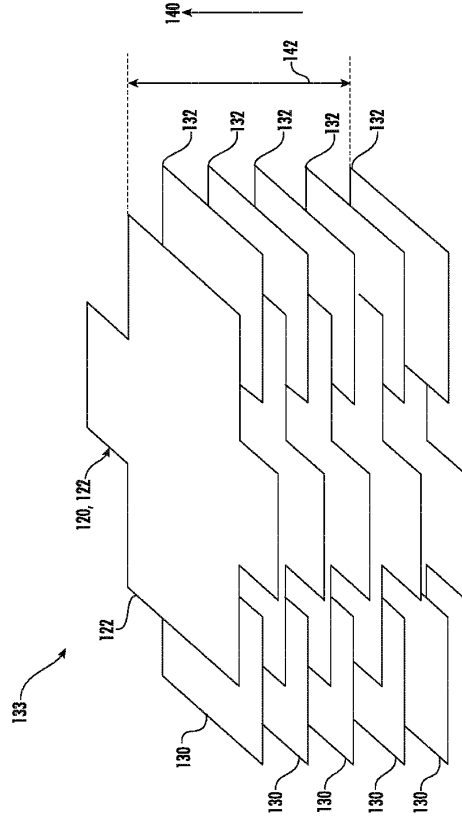


FIG. 1D

【 1 E 】

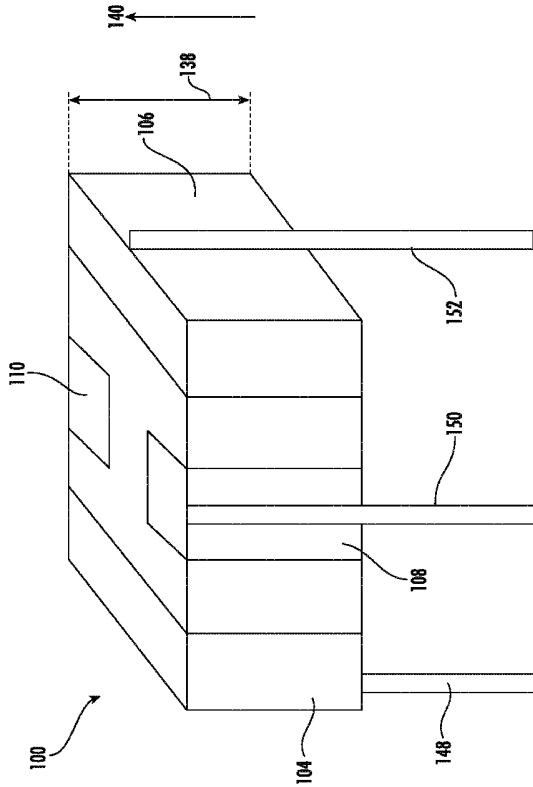


FIG. 1E

【 1 F 】

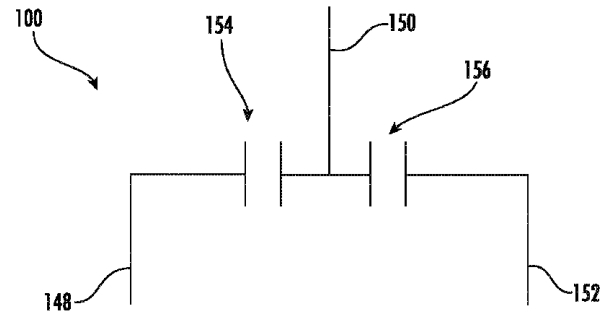


FIG. 1F

10

20

30

40

50

【 2 A 】

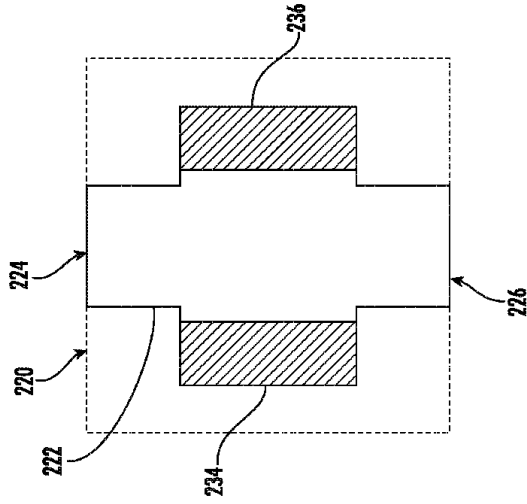


FIG. 2A

【 2 B 】

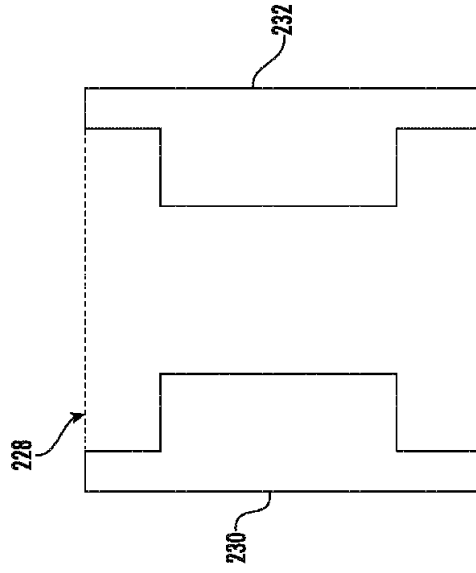


FIG. 2B

10

【 2 C 】

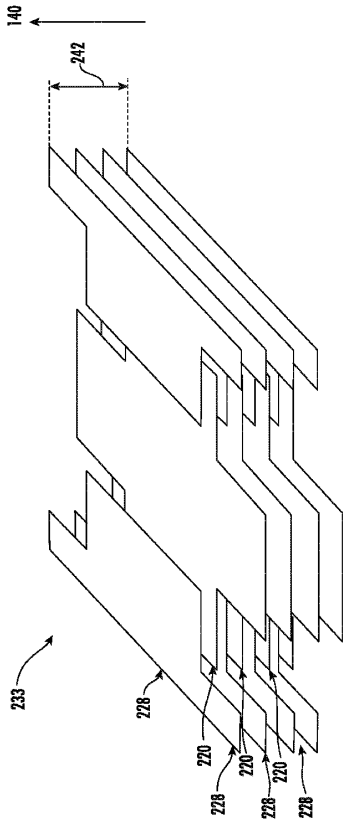


FIG. 2C

【 3 A 】

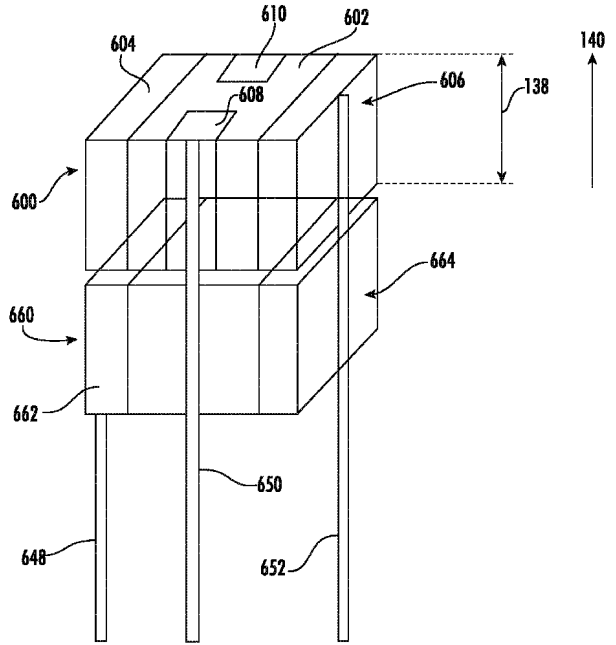


FIG. 3A

20

30

40

50

【 図 3 B 】

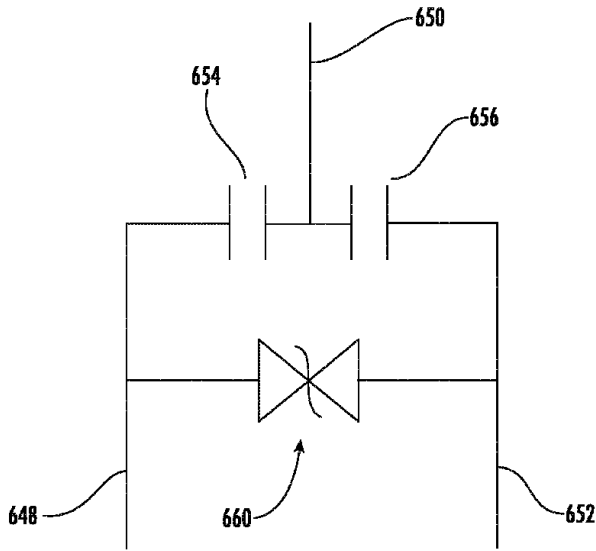


FIG. 3B

【 図 3 C 】

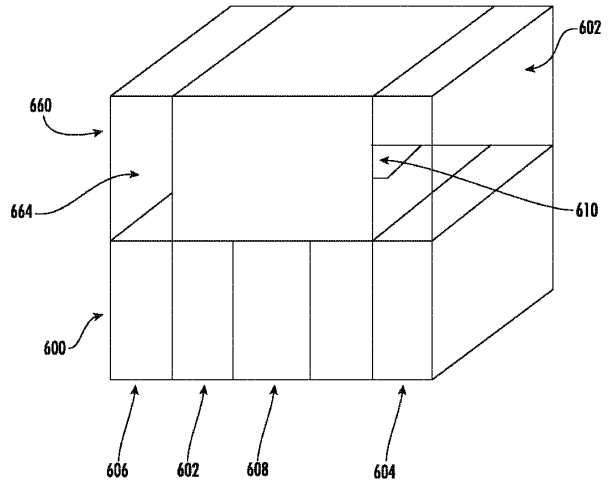


FIG. 3C

10

20

30

40

50

【 図 4 】

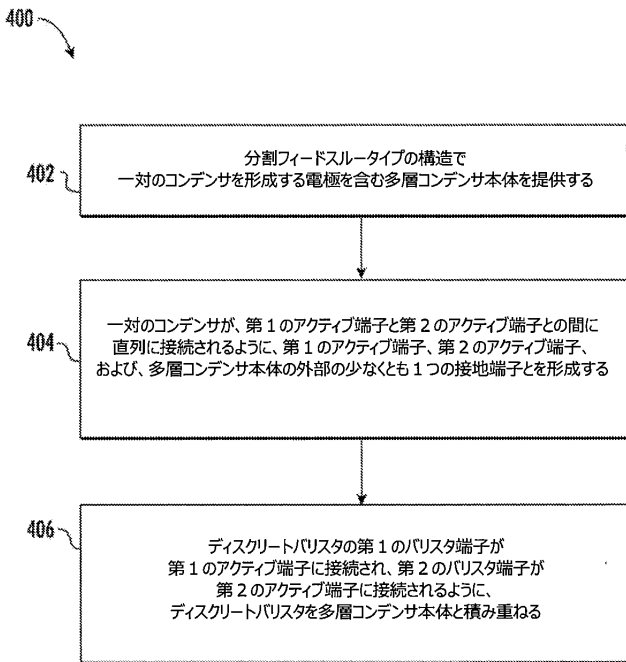


图4

【手続補正書】

【提出日】令和2年9月30日(2020.9.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のアクティブ端子、第2のアクティブ端子、少なくとも1つの接地端子、および、
前記第1のアクティブ端子と前記第2のアクティブ端子との間に直列に接続された一対の
コンデンサとを備える多層コンデンサと、

前記多層コンデンサの前記第1のアクティブ端子に接続された第1の外部バリスタ端子
と、前記第2のアクティブ端子に接続された第2の外部バリスタ端子とを備えるディスク
リードバリスタとを備える、統合構成要素。

【請求項2】

前記多層コンデンサはさらに、

複数の誘電体層を備える本体と、

前記本体内に配置され、前記第1のアクティブ端子に接続された第1の複数の電極層と

20

、

前記本体内に配置され、前記第2のアクティブ端子に接続された第2の複数の電極層と
、
前記少なくとも1つの接地端子に接続され、前記第1の複数の電極層および第2の複数の
電極層のおのおの容量結合されて、前記第1の複数の電極層と第3の複数の電極層と
の間に第1のコンデンサを、および、前記第2の複数の電極層と第3の複数の電極層と
の間に第2のコンデンサを形成する、前記第3の複数の電極層とを備える、請求項1に記載
の統合構成要素。

【請求項3】

前記第3の複数の電極層は、全体的に十字形状である、請求項2に記載の統合構成要素

30

【請求項4】

前記少なくとも1つの接地端子は、第1の接地端子および第2の接地端子を備える、請
求項2に記載の統合構成要素。

【請求項5】

前記第3の複数の電極層の各々は、一対の対向するエッジを備え、前記対向するエッジ
のうち的一方は、前記第1の接地端子に接続され、前記対向するエッジのうちの他方は、
前記第2の接地端子に接続される、請求項4に記載の統合構成要素。

【請求項6】

前記第1の接地端子は、前記第2の接地端子の反対側に位置する、請求項4に記載の統
合構成要素。

40

【請求項7】

前記第1のアクティブ端子、前記第2のアクティブ端子、または前記少なくとも1つの
接地端子のうち少なくとも1つは、前記構成要素を表面実装するために前記統合構成要
素の底面に沿って露出される、請求項1に記載の統合構成要素。

【請求項8】

前記第1および第2のアクティブ端子とそれぞれ結合された第1および第2のリードと
、前記少なくとも1つの接地端子と結合された第3のリードとをさらに備える、請求項1
に記載の統合構成要素。

【請求項9】

前記第1のコンデンサは、第1の静電容量を有し、前記第2のコンデンサは、前記第1

50

の静電容量にほぼ等しい第 2 の静電容量を有する、請求項 1 に記載の統合構成要素。

【請求項 10】

前記第 1 の静電容量または前記第 2 の静電容量のうちの少なくとも 1 つは、約 10 nF から約 3 μF の範囲である、請求項 1 に記載の統合構成要素。

【請求項 11】

前記第 3 の複数の電極層は、第 1 のオーバーラップ領域に沿って前記第 1 の複数の電極層とオーバーラップし、

前記第 3 の複数の電極層は、前記第 1 のオーバーラップ領域にほぼ等しい第 2 のオーバーラップ領域に沿って、前記第 2 の複数の電極層とオーバーラップする、請求項 2 に記載の統合構成要素。

10

【請求項 12】

前記ディスクリットバリスタが、前記多層コンデンサに対して積み重ねられる、請求項 1 に記載の統合構成要素。

【請求項 13】

前記ディスクリットバリスタおよび多層コンデンサをカプセル化するオーバモールド層をさらに備える、請求項 12 に記載の統合構成要素。

【請求項 14】

前記モノリシック本体の厚さに対する前記電極の積み重ねの厚さの比が約 0.4 よりも大きい、請求項 2 に記載の統合構成要素。

【請求項 15】

統合構成要素を形成するための方法であって、

一対のコンデンサを形成する電極を含む多層コンデンサ本体を提供するステップと、

前記一対のコンデンサが、第 1 のアクティブ端子と第 2 のアクティブ端子との間に直列に接続されるように、前記第 1 のアクティブ端子と、前記第 2 のアクティブ端子と、前記多層コンデンサ本体の外部の少なくとも 1 つの接地端子とを形成するステップと、

ディスクリットバリスタの第 1 のバリスタ端子が、前記第 1 のアクティブ端子に接続され、第 2 のバリスタ端子が、前記第 2 のアクティブ端子に接続されるように、前記ディスクリットバリスタを前記多層コンデンサ本体と積み重ねるステップとを備える、方法。

【請求項 16】

前記一対のコンデンサを形成する電極を含む前記多層コンデンサ本体を提供するステップは、

前記本体内に配置され、前記第 1 のアクティブ端子に接続された第 1 の複数の電極層を形成するステップと、

前記本体内に配置され、前記第 2 のアクティブ端子に接続された第 2 の複数の電極層を形成するステップとを備える、請求項 15 に記載の方法。

【請求項 17】

前記少なくとも 1 つの接地端子に接続され、前記第 1 の複数の電極層および第 2 の複数の電極層の各々と容量結合された前記多層コンデンサ本体内に第 3 の複数の電極層を形成して、前記第 1 の複数の電極層と第 3 の複数の電極層との間に第 1 のコンデンサを、前記第 2 の複数の電極層と第 3 の複数の電極層との間に第 2 のコンデンサを形成するステップをさらに備える、請求項 15 に記載の方法。

40

【請求項 18】

前記少なくとも 1 つの接地端子を形成するステップは、第 1 の接地端子および第 2 の接地端子を形成するステップを備える、請求項 17 に記載の方法。

【請求項 19】

前記第 3 の複数の電極層は、全体的に十字形状である、請求項 17 に記載の方法。

【請求項 20】

前記第 3 の複数の電極層の各々は、一対の対向するエッジを備え、前記対向するエッジのうち的一方は、前記第 1 の接地端子に接続され、前記対向するエッジのうち他方は、前記第 2 の接地端子に接続される、請求項 17 に記載の方法。

50

【請求項 2 1】

前記第 1 の接地端子は、前記第 2 の接地端子の反対側に配置される、請求項 1 7 に記載の方法。

【請求項 2 2】

前記第 1 のアクティブ端子、前記第 2 のアクティブ端子、または少なくとも 1 つの接地端子のうち少なくとも 1 つは、前記構成要素を表面実装するために前記統合構成要素の底面に沿って露出される、請求項 1 7 に記載の方法。

【請求項 2 3】

第 1 および第 2 のリードをそれぞれ、前記第 1 および第 2 のアクティブ端子と接続し、第 3 のリードを、前記少なくとも 1 つの接地端子と接続するステップをさらに備える、請求項 1 5 に記載の方法。

10

【請求項 2 4】

前記第 1 のコンデンサは、第 1 の静電容量を有し、前記第 2 のコンデンサは、前記第 1 の静電容量にほぼ等しい第 2 の静電容量を有する、請求項 1 5 に記載の方法。

【請求項 2 5】

前記第 1 の静電容量または前記第 2 の静電容量のうち少なくとも 1 つは、約 1 0 n F から約 3 μ F の範囲である、請求項 1 5 に記載の方法。

【請求項 2 6】

前記第 3 の複数の電極層は、第 1 のオーバーラップ領域に沿って前記第 1 の複数の電極層とオーバーラップし、

20

前記第 3 の複数の電極層は、前記第 1 のオーバーラップ領域にほぼ等しい第 2 のオーバーラップ領域に沿って、前記第 2 の複数の電極層とオーバーラップする、請求項 1 7 に記載の方法。

【請求項 2 7】

前記ディスクリットバリスタおよび多層コンデンサを、オーバモールド層でオーバモールドするステップをさらに備える、請求項 1 5 に記載の方法。

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2020/028740

A. CLASSIFICATION OF SUBJECT MATTER
H01G 4/40(2006.01)i, H01G 4/30(2006.01)i, H01G 4/38(2006.01)i, H01G 4/232(2006.01)i, H01C 7/10(2006.01)i, H01C 7/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01G 4/40; H01B 3/12; H01C 7/10; H01G 2/14; H05K 7/06; H01G 4/30; H01G 4/38; H01G 4/232; H01C 7/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: multilayer, capacitor, varistor, stack, termination, ground

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2013-0016488 A1 (JOHN E. MCCONNELL et al.) 17 January 2013 See paragraphs [0052], [0065], [0069], claim 1 and figures 2-3 24, 37.	1-10, 12-13, 15-25 , 27 11, 14, 26
Y	JP 10-125557 A (TDK CORP.) 15 May 1998 See claim 1 and figure 1.	1-10, 12-13, 15-25 , 27
Y	US 2013-0208395 A1 (JOHN BULTITUDE et al.) 15 August 2013 See paragraph [0073] and figures 6, 10.	2-6, 16-22
A	US 5146200 A (JOACHIM HEILMANN et al.) 08 September 1992 See claims 1-6 and figure 1.	1-27
A	JP 2008-021850 A (MURATA MFG CO., LTD.) 31 January 2008 See claims 1-5 and figures 1-4.	1-27

Further documents are listed in the continuation of Box C.


See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"D" document cited by the applicant in the international application	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"E" earlier application or patent but published on or after the international filing date	"&" document member of the same patent family
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
31 July 2020 (31.07.2020)


Date of mailing of the international search report
31 July 2020 (31.07.2020)

Name and mailing address of the ISA/KR
International Application Division
Korean Intellectual Property Office
189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea



Facsimile No. +82-42-481-8578

Authorized officer
JANG, Gijeong



Telephone No. +82-42-481-8364

10

20

30

40

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2020/028740

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 2013-0016488 A1	17/01/2013	EP 2541565 A1	02/01/2013	10
		EP 2541565 B1	15/06/2016	
		US 9171672 B2	27/10/2015	
JP 10-125557 A	15/05/1998	CN 1180908 A	06/05/1998	
		JP 3631341 B2	23/03/2005	
		KR 10-0263276 B1	01/08/2000	
		KR 10-1998-0032769 A	25/07/1998	
		TW 345664 B	21/11/1998	
		US 5870273 A	09/02/1999	
US 2013-0208395 A1	15/08/2013	CN 103650071 A	19/03/2014	20
		CN 103650071 B	16/07/2019	
		EP 2544368 A2	09/01/2013	
		EP 2544368 A3	24/04/2013	
		EP 2544368 B1	24/08/2016	
		EP 2729942 A2	14/05/2014	
		JP 2014-523648 A	11/09/2014	
		JP 2015-135981 A	27/07/2015	
		JP 2017-050557 A	09/03/2017	
		JP 2018-191001 A	29/11/2018	
		JP 2018-191002 A	29/11/2018	
		TW 201310828 A	01/03/2013	
		TW I483499 B	01/05/2015	
		US 2013-0009727 A1	10/01/2013	
		US 2014-0198422 A1	17/07/2014	
		US 2014-0232485 A1	21/08/2014	
		US 8885324 B2	11/11/2014	
		US 8947852 B2	03/02/2015	
		US 9142353 B2	22/09/2015	
		US 9287844 B2	15/03/2016	
WO 2013-009661 A2	17/01/2013			
WO 2013-009661 A3	25/04/2013			
US 5146200 A	08/09/1992	EP 0431625 A2	12/06/1991	
		EP 0431625 B1	09/03/1994	
		JP 03-187203 A	15/08/1991	
JP 2008-021850 A	31/01/2008	None		

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 G	4/30	3 1 1 D
H 0 1 G	4/228	J
H 0 1 G	4/228	W
H 0 1 G	4/30	5 1 3
H 0 1 G	4/30	5 1 7

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,K
G,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,N
I,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,
TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

アメリカ合衆国サウス・カロライナ州 2 9 6 4 4 , ファウンテン イン , ワン エイブイエックス
ブルバード , ケア・オブ・エイブイエックス コーポレイション

(72)発明者

ペロリーニ , マリアンヌ

アメリカ合衆国サウス・カロライナ州 2 9 6 4 4 , ファウンテン イン , ワン エイブイエックス
ブルバード , ケア・オブ・エイブイエックス コーポレイション

F ターム (参考)

5E001 AB03 AC02 AC06 AC08 AF02 AJ01 AJ03
5E082 AA01 AA02 AB03 BC39 CC03 DD04 EE04 EE16 EE23 EE35
FF05 FG04 FG26 FG46 GG08 GG10 HH27 LL15 PP01 PP09