

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-234718

(P2007-234718A)

(43) 公開日 平成19年9月13日(2007.9.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5FO38
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 311B	5FO48
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 311A	5JO32
HO 1 L 21/8238 (2006.01)	HO 1 L 27/06 311C	
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 321H	

審査請求 未請求 請求項の数 26 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2006-51794 (P2006-51794)
 (22) 出願日 平成18年2月28日 (2006.2.28)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

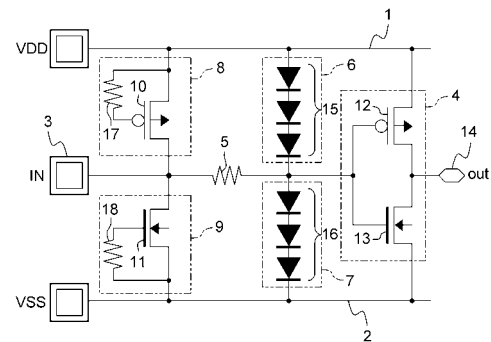
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 プロセスの微細化に対応して、サージ試験の規格を満たすESD保護能力を有する半導体集積回路を得られるようにする。

【解決手段】 半導体集積回路装置は、電源ライン1とGNDライン2との間に接続された被保入力回路4と、一端子が入力PAD3と接続され、他端子が入力回路4の入力端子と接続された第1の抵抗体5と、一端子が電源ライン1と接続され、他端子が入力回路4の入力端子と接続された第1の電圧降下回路15を含む第1の静電放電保護回路6と、一端子が入力回路4の入力端子と接続され、他端子がGNDライン2と接続された第2の電圧降下回路16を含む第2の静電放電保護回路7とを有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源ラインと接地ラインとの間に接続された被保護回路と、
一端子が外部入力端子と接続され、他端子が前記被保護回路の入力端子と接続された第 1 の抵抗体と、
一端子が前記電源ラインと接続され、他端子が前記被保護回路の入力端子と接続された第 1 の電圧降下回路を含む第 1 の静電放電保護回路と、
一端子が前記被保護回路の入力端子と接続され、他端子が前記接地ラインと接続された第 2 の電圧降下回路を含む第 2 の静電放電保護回路とを備えていることを特徴とする半導体集積回路装置。

10

【請求項 2】

前記第 1 の静電放電保護回路は、前記第 1 の電圧降下回路として、
アノードが前記電源ラインと接続され、カソードが前記被保護回路の入力端子と接続され、直列接続された少なくとも 1 つの第 1 のダイオードを有していることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記第 2 の静電放電保護回路は、前記第 2 の電圧降下回路として、
アノードが前記被保護回路の入力端子と接続され、カソードが前記接地ラインと接続され、直列接続された少なくとも 1 つの第 2 のダイオードを有していることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

20

【請求項 4】

一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続された第 3 の静電放電保護回路と、
一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続された第 4 の静電放電保護回路とをさらに備えていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 5】

前記第 3 の静電放電保護回路は、
一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続され、ゲートが前記電源ラインと接続された P M I S トランジスタを有していることを特徴とする請求項 4 に記載の半導体集積回路装置。

30

【請求項 6】

前記第 3 の静電放電保護回路は、
一端子が前記電源ラインと接続され、他端子が前記 P M I S トランジスタのゲートと接続された第 2 の抵抗体を有していることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】

前記第 4 の静電放電保護回路は、
一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記接地ラインと接続された N M I S トランジスタを有していることを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載の半導体集積回路装置。

40

【請求項 8】

前記第 4 の静電放電保護回路は、
一端子が前記接地ラインと接続され、他端子が前記 N M I S トランジスタのゲートと接続された第 3 の抵抗体を有していることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】

前記第 3 の静電放電保護回路は、
カソードが前記電源ラインと接続され、アノードが前記外部入力端子と接続された第 3 のダイオード又は第 1 のサイリスタを有していることを特徴とする請求項 4 に記載の半導

50

体集積回路装置。

【請求項 10】

前記第 4 の静電放電保護回路は、

カソードが前記外部入力端子と接続され、アノードが前記接地ラインと接続された第 4 のダイオード又は第 2 のサイリスタを有していることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 11】

外部入力端子と接続された被保護回路と、

一端子が電源ラインと接続され、他端子が前記外部入力端子と接続された第 1 の静電放電保護回路と、

一端子が前記外部入力端子と接続され、他端子が接地ラインと接続された第 2 の静電放電保護回路と、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の電源入力端子と接続された第 1 の抵抗体と、

一端子が前記被保護回路の電源電圧入力端子と接続され、他端子が前記接地ラインと電氣的に接続され、第 1 の電圧降下回路を含む第 3 の静電放電保護回路とを備えていることを特徴とする半導体集積回路装置。

【請求項 12】

一端子が前記被保護回路の接地電圧入力端子と接続され、他端子が前記接地ラインと接続された第 2 の抵抗体をさらに備えていることを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 13】

前記第 3 の静電放電保護回路は、前記第 1 の電圧降下回路として、

アノードが前記被保護回路の電源電圧入力端子と接続され、カソードが前記被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも 1 つの第 1 のダイオードを有していることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】

前記第 1 の電圧降下回路は、少なくとも 2 つの第 1 のダイオードを有し、

一端子が前記被保護回路の入力端子と接続され、他端子が前記少なくとも 2 つの第 1 のダイオード同士の接続ノードのうちの一つと接続された第 2 のダイオードを有していることを特徴とする請求項 13 に記載の半導体集積回路装置。

【請求項 15】

前記第 3 の静電放電保護回路は、前記第 1 の電圧降下回路として、

カソードが前記被保護回路の電源電圧入力端子と接続され、アノードが前記被保護回路の接地電圧入力端子と接続されたツェナーダイオードを有していることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 16】

前記第 3 の静電放電保護回路は、前記他端子が前記接地ラインと接続されており、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の接地電圧入力端子と接続され、第 2 の電圧降下回路を含む第 4 の静電放電保護回路をさらに備えていることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 17】

前記第 3 の静電放電保護回路は、前記第 1 の電圧降下回路として、

アノードが前記被保護回路の電源電圧入力端子と接続され、カソードが前記接地ラインと接続され、直列接続された少なくとも 1 つの第 1 のダイオードを有しており、

前記第 4 の静電放電保護回路は、前記第 2 の電圧降下回路として、

アノードが前記電源ラインと接続され、カソードが前記被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも 1 つの第 2 のダイオードを有していることを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 18】

10

20

30

40

50

前記第 3 の静電放電保護回路は、前記第 1 の電圧降下回路として、

カソードが前記被保護回路の電源電圧入力端子と接続され、アノードが前記接地ラインと接続された第 1 のツェナーダイオードを有しており、

前記第 4 の静電放電保護回路は、前記第 2 の電圧降下回路として、

カソードが前記電源ラインと接続され、アノードが前記被保護回路の接地電圧入力端子と接続された第 2 のツェナーダイオードを有していることを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 19】

前記第 1 の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続され、ゲートが前記電源ラインと接続された P M I S トランジスタを有していることを特徴とする請求項 11 ~ 18 のいずれか 1 項に記載の半導体集積回路装置。 10

【請求項 20】

前記第 1 の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記 P M I S トランジスタのゲートと接続された第 3 の抵抗体を有していることを特徴とする請求項 19 に記載の半導体集積回路装置。

【請求項 21】

前記第 2 の静電放電保護回路は、

一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記接地ラインと接続された N M I S トランジスタを有していることを特徴とする請求項 11 ~ 18 のいずれか 1 項に記載の半導体集積回路装置。 20

【請求項 22】

前記第 2 の静電放電保護回路は、

一端子が前記接地ラインと接続され、他端子が前記 N M I S トランジスタのゲートと接続された第 4 の抵抗体を有していることを特徴とする請求項 21 に記載の半導体集積回路装置。

【請求項 23】

前記第 1 の静電放電保護回路は、

カソードが前記電源ラインと接続され、アノードが前記外部入力端子と接続された第 3 のダイオード又は第 1 のサイリスタを有していることを特徴とする請求項 11 ~ 18 のいずれか 1 項に記載の半導体集積回路装置。 30

【請求項 24】

前記第 2 の静電放電保護回路は、

カソードが前記外部入力端子と接続され、アノードが前記接地ラインと接続された第 4 のダイオード又は第 2 のサイリスタを有していることを特徴とする請求項 11 ~ 18 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 25】

前記被保護回路は、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の出力端子と接続され、ゲートが前記被保護回路の入力端子と接続された P M I S トランジスタと、 40

一端子が前記被保護回路の出力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記被保護回路の入力端子と接続された N M I S トランジスタとを有していることを特徴とする請求項 1 ~ 24 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電放電 (E S D : e l e c t r o - s t a t i c d i s c h a r g e) 保護回路を有する半導体集積回路装置に関し、特に、入力側に静電放電保護回路を有する半導体集積回路装置に関する。

【背景技術】

【0002】

近年、半導体集積回路装置は、プロセス分野の微細化及び高密度化の技術進歩に応じて高集積化が進み、それに伴い静電放電（以下、サージと称する。）によるダメージに弱くなっている。例えば、外部接続用パッドから侵入するサージによって、入力回路、出力回路、入出力回路又は内部回路等を構成する素子が破壊されたり、素子の性能が低下したりするおそれが大きくなっている。そのため、半導体集積回路装置には、外部接続用パッドに付随して、これら入力回路、出力回路、入出力回路又は内部回路等をサージから保護する静電放電保護回路（ESD保護回路）が設けられている。

【0003】

図7に従来のESD保護回路を有する半導体集積回路装置の回路構成を示す（例えば、非特許文献1を参照。）。図7に示すように、従来の半導体集積回路装置は、電源ライン101及び接地ライン（GNDライン）102から電源の供給を受け、入力端子が入力パッド（入力PAD）103と接続されたインバータからなり、入力回路機能を有する被保護回路104と、電源ライン101と入力PAD103との間に接続された第1のESD保護回路105と、入力PAD103とGNDライン102との間に接続された第2のESD保護回路106とを有している。

【0004】

第1のESD保護回路105は、ソース及びゲートが電源ライン101と接続され、ドレインが入力PAD103と接続されたPMOS（p-type metal oxide semiconductor）トランジスタ110を有し、入力PAD103から侵入するサージを電源ライン101に流し、サージから被保護回路104を保護するように構成されている。

【0005】

第2のESD保護回路106は、ドレインが入力PAD103と接続され、ソース及びゲートがGNDライン102と接続されたNMOS（n-type metal oxide semiconductor）トランジスタ111を有し、入力PAD103から侵入するサージをGNDライン102に流し、サージから被保護回路104を保護するように構成されている。

【0006】

被保護回路104は、ソースが電源ライン101と接続され、ドレインが被保護回路104の出力端子と接続され、ゲートが入力PAD103と接続されたPMOSトランジスタ112と、ソースがGNDライン102と接続され、ドレインが被保護回路104の出力端子と接続され、ゲートが入力PAD103と接続されたNMOSトランジスタ113とを有している。

【0007】

以上のように構成された従来の半導体集積回路によると、外部から入力PAD103を通じて侵入し、入力PAD103とGNDライン102との間に加わる正電荷のサージ（プラスサージ）は、第2のESD保護回路106を構成するNMOSトランジスタ111がブレークダウンすることにより、GNDライン102へ逃がすことができ、被保護回路104を保護することができる。

【0008】

逆に、外部から入力PAD103を通じて侵入し、入力PAD103と電源ライン101との間に加わる負電荷のサージ（マイナスサージ）は、第1のESD保護回路104を構成するPMOSトランジスタ110がブレークダウンすることにより、入力PAD103へ逃がすことができ、被保護回路104を保護することができる。

【非特許文献1】Albert Z.H. Wang著 「ON-CHIP ESD PROTECTION FOR INTEGRATED CIRCUITS」, Kluwer Academic Publishers, 2002

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、前記従来のESD保護回路を有する半導体集積回路装置は、例えば、G

10

20

30

40

50

N Dライン102を接地し、入力PAD103にプラスサージを印加した場合に、半導体製造プロセスの微細化により、被保護回路104が破壊されてしまうという問題が生じる。

【0010】

これは、プロセスの微細化に伴って、被保護回路104に含まれる各MOSトランジスタのゲート酸化膜が薄膜化されるため、ゲート酸化膜の耐圧が小さくなり、これにより、第2のESD保護回路106に含まれるNMOSトランジスタ111のブレイクダウン電圧が、被保護回路104に含まれるNMOSトランジスタ113のゲート酸化膜の耐圧よりも高くなることが想定されるからである。

【0011】

すなわち、第2のESD保護回路106に含まれるNMOSトランジスタ111がON状態となる前に、入力PAD103の電位が被保護回路104に含まれるNMOSトランジスタ113のゲート酸化膜の耐圧を超えてしまい、その結果、被保護回路104に含まれるNMOSトランジスタ113のゲート酸化膜が破壊されることになる。同様の理由で、電源ライン101を接地し、入力PAD103にマイナスサージを印加した場合でも、被保護回路104に含まれるPMOSトランジスタ112が破壊されるおそれがある。

【0012】

本発明は、前記従来の問題を解決し、プロセスの微細化に対応して、サージ試験の規格を満たすESD保護能力を有する半導体集積回路装置を得られるようにすることを目的とする。

【課題を解決するための手段】

【0013】

前記の目的を達成するため、本発明は、半導体集積回路装置を、静電放電(ESD)の印加時にのみ被保護回路に入力される電圧を降下して緩和する電圧降下回路を静電放電保護回路に用いる構成とする。これにより、ESDの印加時に被保護回路に入力される電圧を、MOSトランジスタ又はMIS(metal insulator semiconductor)トランジスタのゲート絶縁膜の耐圧値よりも低くすることができる。

【0014】

具体的に、本発明に係る第1の半導体集積回路装置は、電源ラインと接地ラインとの間に接続された被保護回路と、一端子が外部入力端子と接続され、他端子が被保護回路の入力端子と接続された第1の抵抗体と、一端子が電源ラインと接続され、他端子が被保護回路の入力端子と接続された第1の電圧降下回路を含む第1の静電放電保護回路と、一端子が被保護回路の入力端子と接続され、他端子が接地ラインと接続された第2の電圧降下回路を含む第2の静電放電保護回路とを備えていることを特徴とする。

【0015】

第1の半導体集積回路装置によると、一端子が外部入力端子と接続され、他端子が被保護回路の入力端子と接続された第1の抵抗体と、一端子が電源ラインと接続され、他端子が被保護回路の入力端子と接続された第1の電圧降下回路を含む第1の静電放電保護回路とを備えているため、電源ラインを接地して外部入力端子に負電荷のサージが印加された場合には、電源ラインから第1の電圧降下回路及び第1の抵抗体を介して外部入力端子にサージが流れると共に、被保護回路の入力端子の電圧は第1の電圧降下回路及び第1の抵抗体によって分圧(抵抗分割)されるため、被保護回路の入力端子に印加される電圧が低くなる。また、一端子が被保護回路の入力端子と接続され、他端子が接地ラインと接続された第2の電圧降下回路を含む第2の静電放電保護回路を備えているため、接地ラインを接地して外部入力端子に正電荷のサージが印加された場合には、外部入力端子から第1の抵抗体及び第2の電圧降下回路を介して接地ラインにサージが流れると共に、被保護回路の入力端子の電圧は第1の抵抗体及び第2の電圧降下回路によって分圧(抵抗分割)されるため、被保護回路の入力端子に印加される電圧が低くなる。これにより、正負のいずれのサージが印加された場合にも、被保護回路の入力端子の電圧が被保護回路の耐圧を超え難くすることができる。

10

20

30

40

50

【0016】

第1の半導体集積回路装置において、第1の静電放電保護回路は、第1の電圧降下回路として、アノードが電源ラインと接続され、カソードが被保護回路の入力端子と接続され、直列接続された少なくとも1つの第1のダイオードを有していることが好ましい。

【0017】

第1の半導体集積回路装置において、第2の静電放電保護回路は、第2の電圧降下回路として、アノードが被保護回路の入力端子と接続され、カソードが接地ラインと接続され、直列接続された少なくとも1つの第2のダイオードを有していることが好ましい。

【0018】

第1の半導体集積回路装置は、一端子が電源ラインと接続され、他端子が外部入力端子と接続された第3の静電放電保護回路と、一端子が外部入力端子と接続され、他端子が接地ラインと接続された第4の静電放電保護回路とをさらに備えていることが好ましい。

10

【0019】

この場合に、第3の静電放電保護回路は、一端子が電源ラインと接続され、他端子が外部入力端子と接続され、ゲートが電源ラインと接続されたPMISトランジスタを有していることが好ましい。

【0020】

さらにこの場合に、第3の静電放電保護回路は、一端子が電源ラインと接続され、他端子がPMISトランジスタのゲートと接続された第2の抵抗体を有していることが好ましい。

20

【0021】

また、第4の静電放電保護回路は、一端子が外部入力端子と接続され、他端子が接地ラインと接続され、ゲートが接地ラインと接続されたNMISトランジスタを有していることが好ましい。

【0022】

この場合に、第4の静電放電保護回路は、一端子が接地ラインと接続され、他端子がNMISトランジスタのゲートと接続された第3の抵抗体を有していることが好ましい。

【0023】

また、第3の静電放電保護回路は、カソードが電源ラインと接続され、アノードが外部入力端子と接続された第3のダイオード又は第1のサイリスタを有していることが好ましい。

30

【0024】

第4の静電放電保護回路は、カソードが外部入力端子と接続され、アノードが接地ラインと接続された第4のダイオード又は第2のサイリスタを有していることが好ましい。

【0025】

本発明に係る第2の半導体集積回路装置は、外部入力端子と接続された被保護回路と、一端子が電源ラインと接続され、他端子が外部入力端子と接続された第1の静電放電保護回路と、一端子が外部入力端子と接続され、他端子が接地ラインと接続された第2の静電放電保護回路と、一端子が電源ラインと接続され、他端子が被保護回路の電源入力端子と接続された第1の抵抗体と、一端子が被保護回路の電源電圧入力端子と接続され、他端子が接地ラインと電氣的に接続され、第1の電圧降下回路を含む第3の静電放電保護回路とを備えていることを特徴とする。

40

【0026】

第2の半導体集積回路装置によると、一端子が電源ラインと接続され、他端子が外部入力端子と接続された第1の静電放電保護回路と、一端子が外部入力端子と接続され、他端子が接地ラインと接続された第2の静電放電保護回路と、一端子が電源ラインと接続され、他端子が被保護回路の電源入力端子と接続された第1の抵抗体と、一端子が被保護回路の電源電圧入力端子と接続され、他端子が接地ラインと電氣的に接続され、第1の電圧降下回路を含む第3の静電放電保護回路とを備えている。このため、接地ラインを接地して外部入力端子に正電荷のサージが印加された場合には、外部入力端子から第1の静電放電

50

保護回路、第1の抵抗体及び第1の電圧降下回路を介して接地ラインにサージが流れると共に、被保護回路の入力端子の電圧は、第1の静電放電保護回路、第1の抵抗体及び第2の電圧降下回路によって分圧（抵抗分割）されるため、被保護回路の入力端子の電圧が低くなる。また、電源ラインを接地して外部入力端子に負電荷のサージが印加された場合には、電源ラインから第1の抵抗体、第1の電圧降下回路及び第2の静電放電保護回路を介して外部入力端子にサージが流れると共に、被保護回路の入力端子の電圧は、第1の抵抗体、第1の電圧降下回路及び第2の静電放電保護回路によって分圧（抵抗分割）されるため、被保護回路の入力端子の電圧が低くなる。これにより、正負のいずれのサージが印加された場合にも、被保護回路の入力端子の電圧が被保護回路の耐圧を超え難くすることができる。

10

【0027】

第2の半導体集積回路装置は、一端子が被保護回路の接地電圧入力端子と接続され、他端子が接地ラインと接続された第2の抵抗体をさらに備えていることが好ましい。

【0028】

この場合に、第3の静電放電保護回路は、第1の電圧降下回路として、アノードが被保護回路の電源電圧入力端子と接続され、カソードが被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも1つの第1のダイオードを有していることが好ましい。

【0029】

さらにこの場合に、第1の電圧降下回路は、少なくとも2つの第1のダイオードを有し、一端子が被保護回路の入力端子と接続され、他端子が少なくとも2つの第1のダイオード同士の接続ノードのうちの一つと接続された第2のダイオードを有していることが好ましい。

20

【0030】

また、第2の抵抗体を備えている場合に、第3の静電放電保護回路は、第1の電圧降下回路として、カソードが被保護回路の電源電圧入力端子と接続され、アノードが被保護回路の接地電圧入力端子と接続されたツェナーダイオードを有していることが好ましい。

【0031】

また、第2の抵抗体を備えている場合に、第3の静電放電保護回路は、他端子が接地ラインと接続されており、一端子が電源ラインと接続され、他端子が被保護回路の接地電圧入力端子と接続され、第2の電圧降下回路を含む第4の静電放電保護回路をさらに備えていることが好ましい。

30

【0032】

この場合に、第3の静電放電保護回路は、第1の電圧降下回路として、アノードが被保護回路の電源電圧入力端子と接続され、カソードが接地ラインと接続され、直列接続された少なくとも1つの第1のダイオードを有しており、第4の静電放電保護回路は、第2の電圧降下回路として、アノードが電源ラインと接続され、カソードが被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも1つの第2のダイオードを有していることが好ましい。

【0033】

また、第4の静電放電保護回路を備えている場合に、第3の静電放電保護回路は、第1の電圧降下回路として、カソードが被保護回路の電源電圧入力端子と接続され、アノードが接地ラインと接続された第1のツェナーダイオードを有しており、第4の静電放電保護回路は、第2の電圧降下回路として、カソードが電源ラインと接続され、アノードが被保護回路の接地電圧入力端子と接続された第2のツェナーダイオードを有していることが好ましい。

40

【0034】

第2の半導体集積回路装置において、第1の静電放電保護回路は、一端子が電源ラインと接続され、他端子が外部入力端子と接続され、ゲートが電源ラインと接続されたPMISトランジスタを有していることが好ましい。

【0035】

50

この場合に、第1の静電放電保護回路は、一端子が電源ラインと接続され、他端子がPMISトランジスタのゲートと接続された第3の抵抗体を有していることが好ましい。

【0036】

第2の半導体集積回路装置において、第2の静電放電保護回路は、一端子が外部入力端子と接続され、他端子が接地ラインと接続され、ゲートが接地ラインと接続されたNMISトランジスタを有していることが好ましい。

【0037】

この場合に、第2の静電放電保護回路は、一端子が接地ラインと接続され、他端子がNMISトランジスタのゲートと接続された第4の抵抗体を有していることが好ましい。

【0038】

第2の半導体集積回路装置において、第1の静電放電保護回路は、カソードが電源ラインと接続され、アノードが外部入力端子と接続された第3のダイオード又は第1のサイリスタを有していることが好ましい。

【0039】

第2の半導体集積回路装置において、第2の静電放電保護回路は、カソードが外部入力端子と接続され、アノードが接地ラインと接続された第4のダイオード又は第2のサイリスタを有していることが好ましい。

【0040】

第1又は第2の半導体集積回路装置において、被保護回路は、一端子が電源ラインと接続され、他端子が被保護回路の出力端子と接続され、ゲートが被保護回路の入力端子と接続されたPMISトランジスタと、一端子が被保護回路の出力端子と接続され、他端子が接地ラインと接続され、ゲートが被保護回路の入力端子と接続されたNMISトランジスタとを有していることが好ましい。

【発明の効果】

【0041】

本発明に係る半導体集積回路装置によると、ESDが印加された場合にのみ被保護回路に入力される電圧を緩和させることができるため、ESDの印加時に被保護回路に入力される電圧を、例えばMISトランジスタのゲート絶縁膜の耐圧値よりも低くすることができる。これにより、半導体製造プロセス（設計ルール）がより微細化されたとしても、サージ試験の規格を満たす静電放電保護回路を有する半導体集積回路装置を得ることができる。

【発明を実施するための最良の形態】

【0042】

（第1の実施形態）

本発明の第1の実施形態について図面を参照しながら説明する。

【0043】

図1は本発明の第1の実施形態に係る半導体集積回路装置の回路構成を示している。図1に示すように、第1の実施形態に係る半導体集積回路装置は、電源ライン1及び接地ライン（GNDライン）2から電源の供給を受け、入力端子が入力パッド（入力PAD）3と接続されたインバータからなり、被保護回路としての入力回路4と、一端子が入力PAD3と接続され、他端子が入力回路4の入力端子と接続された第1の抵抗体5と、電源ライン1と入力PAD3との間に接続された第1の電圧降下回路15を含む第1の静電放電保護回路（ESD保護回路）6と、入力PAD3とGNDライン2との間に接続された第2の電圧降下回路16を含む第2のESD保護回路7とを有している。

【0044】

さらに、第1の実施形態に係る半導体集積回路装置は、一端子が電源ライン1と接続され、他端子が入力PAD3と接続された第3のESD保護回路8と、一端子が入力PAD3と接続され、他端子がGNDライン2と接続された第4のESD保護回路9とを有している。

【0045】

10

20

30

40

50

入力回路 4 は、ソースが電源ライン 1 と接続され、ドレインが入力回路 4 の出力端子 1 4 と接続され、ゲートが入力 P A D 3 と接続された P M I S トランジスタ 1 2 と、ソースが G N D ライン 2 と接続され、ドレインが入力回路 4 の出力端子 1 4 と接続され、ゲートが入力 P A D 3 と接続された N M I S トランジスタ 1 3 とを有している。

【 0 0 4 6 】

第 1 の E S D 保護回路 6 を構成する第 1 の電圧降下回路電 1 5 は、アノードが電源ライン 1 と接続され、カソードが入力回路 4 の入力端子 3 と直列に接続された少なくとも 1 段、ここでは 3 段のダイオードにより構成されている。

【 0 0 4 7 】

第 2 の E S D 保護回路 7 を構成する第 2 の電圧降下回路電 1 6 は、アノードが入力回路 4 の入力端子と接続され、カソードが G N D ライン 2 と直列に接続された少なくとも 1 段、ここでは 3 段のダイオードにより構成されている。

10

【 0 0 4 8 】

第 3 の E S D 保護回路 8 は、ソースが電源ライン 1 と接続され、ドレインが入力 P A D 3 と接続され、ゲートが第 3 の抵抗体 1 7 を介して電源ライン 1 と接続された P M I S トランジスタ 1 0 により構成されている。

【 0 0 4 9 】

第 4 の E S D 保護回路 9 は、ソースが G N D ライン 2 と接続され、ドレインが入力 P A D 3 と接続され、ゲートが第 4 の抵抗体 1 8 を介して G N D ライン 2 と接続された N M I S トランジスタ 1 1 により構成されている。

20

【 0 0 5 0 】

ここで、P M I S トランジスタ 1 0 のゲートと電源ライン 1 との間に接続された第 3 の抵抗体 1 7 及び N M I S トランジスタ 1 1 のゲートと G N D ライン 2 との間に接続された第 4 の抵抗体 1 8 は、共に各 M I S トランジスタ 1 0 、 1 1 の寄生バイポーラトランジスタのオフ状態からオン状態への遷移を速くするために設けている。

【 0 0 5 1 】

第 1 の実施形態によると、G N D ライン 2 を接地して入力 P A D 3 に正電荷のサージを印加した場合は、入力 P A D 3 と入力回路 4 との間に、第 1 の抵抗体 5 と第 2 の E S D 保護回路 7 とを設けているため、E S D の印加時にのみ入力回路 4 に入力される電圧を緩和（低減）することができる。その結果、E S D の印加時に入力回路 4 に入力される正電圧を N M I S トランジスタ 1 3 のゲート酸化膜の耐圧値よりも低くすることができるので、入力回路 4 に含まれる N M I S トランジスタ 1 3 のゲート絶縁膜の破壊を防ぐことができる。

30

【 0 0 5 2 】

逆に、電源ライン 1 を接地して入力 P A D 3 に負電荷のサージを印加した場合は、入力 P A D 3 と入力回路 4 との間に、第 1 の抵抗体 5 と第 1 の E S D 保護回路 6 とを設けているため、E S D の印加時にのみ入力回路 4 に入力される電圧を緩和することができる。その結果、E S D の印加時に入力回路 4 に入力される負電圧の絶対値を P M I S トランジスタ 1 2 のゲート絶縁膜の耐圧値よりも小さくすることができるので、入力回路 4 に含まれる P M I S トランジスタ 1 2 のゲート絶縁膜の破壊を防ぐことができる。

40

【 0 0 5 3 】

このように、第 1 の実施形態に係る半導体集積回路装置は、入力 P A D 3 に正電荷のサージ又は負電荷のサージが印加された場合に、入力回路 4 に含まれる各 M I S トランジスタ 1 2 、 1 3 のゲートに加わる電圧を制御する第 1 の抵抗体 5 、第 1 の E S D 保護回路 6 及び第 2 の E S D 保護回路 7 を有していることを特徴とする。

【 0 0 5 4 】

以下、第 1 の実施形態に係る半導体集積回路装置の動作をより詳細に説明する。

【 0 0 5 5 】

図 1 に示す半導体集積回路装置において、E S D 試験として、例えばヒューマンボディモデル（H u m a n B o d y M o d e l、以下、H . B . M . と略称する。）を用いる

50

場合に、GNDライン2を接地して入力PAD3に正電荷のサージ(例えば、2000V)を印加すると、入力PAD3の電位が上昇すると共に、入力回路4の入力端子の電圧も上昇する。ここで、第2のESD保護回路7に含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7Vとすると、入力PAD3の電位が2.1Vを超えると、第2のESD保護回路7がON状態となって、入力PAD3から第1の抵抗体5及び第2のESD保護回路7を介してGNDライン2へサージ電流が流れ出す。この流れ出したサージ電流によって、第1の抵抗体5の抵抗値と第2のESD保護回路7のON抵抗値により、入力回路4の入力端子に加わる電圧は、入力PAD3の電圧に対して分圧される。例えば、入力PAD3の電圧が第4のESD保護回路9によってクランプされて5Vとなった場合に、第1の抵抗体5の抵抗値が100Ωで、第2のESD保護回路7のON抵抗値が100Ωであれば、入力回路4の入力端子に加わる電圧は2.5Vとなる。

【0056】

同様に、H.B.M.ESD試験時に、電源ライン1を接地して入力PAD3に負電荷のサージ(例えば、-2000V)を印加すると、入力PAD3の電位が低下すると共に、入力回路4の入力端子の電圧も低下する。ここで、第1のESD保護回路6に含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7Vとすると、入力PAD3の電位が-2.1Vを超えて低下すると、第1のESD保護回路6がON状態となって、電源ライン1から第1のESD保護回路6及び第1の抵抗体5を介して入力PAD3へサージ電流が流れ出す。このサージ電流によって、第1の抵抗体5の抵抗値と第1のESD保護回路6のON抵抗値により、入力回路4の入力端子に加わる電圧は、入力PAD3の電圧に対して分圧される。例えば、入力PAD3の電圧が第1のESD保護回路6と第1の抵抗体5とによってクランプされて-5Vとなった場合に、第1の抵抗体5の抵抗値が100Ωで、第1のESD保護回路6のON抵抗値が100Ωであれば、入力回路4の入力端子に加わる電圧は-2.5Vとなる。

【0057】

このように、外部から入力PAD3を通じて侵入する正電荷のサージ及び負電荷のサージに対して、入力回路4をより確実に保護することができる。

【0058】

なお、第1の実施形態において、第1のESD保護回路6と第2のESD保護回路7とを構成する各ダイオードの直列接続の段数は、通常動作時のリーク電流が少なくなるように決定すればよい。例えば、入力PAD3に入力される最大電圧が1.2Vであれば、第1のESD保護回路6と第2のESD保護回路7とを構成する各ダイオードの直列接続の段数は、各ダイオードのビルトイン電圧を考慮するとそれぞれ2段から3段が適当である。また、ここでは、第1の電圧降下回路15及び第2の電圧降下回路16に含まれる6個のダイオードには、いずれも電気的特性が同一のダイオードを用いている。

【0059】

また、第1の実施形態においては、サージからの被保護回路としてインバータを含む入力回路4を用いたが、入力回路4は必ずしもインバータを含む構成には限られない。さらには、被保護回路は入力回路に限られない。

【0060】

また、それぞれにPMISトランジスタ10及びNMISトランジスタ11を含む第3のESD保護回路8及び第4のESD保護回路9は必ずしも設ける必要はないが、これら第3のESD保護回路8及び第4のESD保護回路9を設けると、さらにESD耐圧が向上するという効果がある。

【0061】

(第1の実施形態の一変形例)

以下、本発明の第1の実施形態の一変形例について図面を参照しながら説明する。

【0062】

図2は本発明の第1の実施形態の一変形例に係る半導体集積回路装置の回路構成を示している。図2において、図1に示した構成要素と同一の構成要素には同一の符号を付すこ

10

20

30

40

50

とにより説明を省略する。

【0063】

図2に示すように、本変形例に係る半導体集積回路装置は、第3のESD保護回路8を、カソードが電源ライン1と接続され、アノードが入力PAD3と接続されたダイオード19により構成し、第4のESD保護回路9を、カソードが入力PAD3と接続され、アノードがGNDライン2と接続されたダイオード20により構成している。

【0064】

ここでは、各ダイオード19、20は、第1の電圧降下回路15及び第2の電圧降下回路16の各ダイオードとそれぞれ電気的特性を同一としている。

【0065】

以下、本変形例に係る半導体集積回路装置の詳細な動作を説明する。

【0066】

図2に示す半導体集積回路装置において、ESD試験として、例えばH.B.M.ESD試験を行なう場合に、GNDライン2を接地して入力PAD3に正電荷のサージ(例えば、2000V)を印加すると、入力PAD3の電位が上昇すると共に、入力回路4の入力端子の電圧も上昇する。ここで、第2のESD保護回路7に含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7Vとすると、入力PAD3の電位が2.1Vを超えると、第2のESD保護回路7がON状態となって、入力PAD3から第1の抵抗体5及び第2のESD保護回路7を介してGNDライン2へサージ電流が流れ出す。この流れ出したサージ電流によって、第1の抵抗体5の抵抗値と第2のESD保護回路7のON抵抗値により、入力回路4の入力端子に加わる電圧は、入力PAD3の電圧に対して分圧される。例えば、入力PAD3の電圧が第4のESD保護回路9によってクランプされて5Vとなった場合に、第1の抵抗体5の抵抗値が100Ωで、第2のESD保護回路7のON抵抗値が100Ωであれば、入力回路4の入力端子に加わる電圧は2.5Vとなる。

【0067】

同様に、H.B.M.ESD試験時に、電源ライン1を接地して入力PAD3に負電荷のサージ(例えば、-2000V)を印加すると、入力PAD3の電位が低下すると共に、入力回路4の入力端子の電圧も低下する。ここで、第1のESD保護回路6に含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7Vとすると、入力PAD3の電位が-2.1Vを超えて低下すると、第1のESD保護回路6がON状態となって、電源ライン1から第1のESD保護回路6及び第1の抵抗体5を介して入力PAD3へサージ電流が流れ出す。このサージ電流によって、第1の抵抗体5の抵抗値と第1のESD保護回路6のON抵抗値により、入力回路4の入力端子に加わる電圧は、入力PAD3の電圧に対して分圧される。例えば、入力PAD3の電圧が第1のESD保護回路6と第1の抵抗体5とによってクランプされて-5Vとなった場合に、第1の抵抗体5の抵抗値が100Ωで、第1のESD保護回路6のON抵抗値が100Ωであれば、入力回路4の入力端子に加わる電圧は-2.5Vとなる。

【0068】

このように、外部から入力PAD3を通じて侵入する正電荷のサージ及び負電荷のサージに対して、入力回路4をより確実に保護することができる。

【0069】

なお、第3のESD保護回路8を構成するダイオード19及び第4のESD保護回路9を構成するダイオード20に代えて、それぞれサイリスタを用いることができる。

【0070】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0071】

図3は本発明の第2の実施形態に係る半導体集積回路装置の回路構成を示している。図3において、図1に示した構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

10

20

30

40

50

【 0 0 7 2 】

図 3 に示すように、第 4 の実施形態に係る半導体集積回路装置は、入力 P A D 3 と接続された入力回路 4 と、一端が電源ライン 1 と接続され、他端が入力 P A D 3 と接続された第 1 の E S D 保護回路 8 A と、一端が入力 P A D 3 と接続され、他端が G N D ライン 2 と接続された第 2 の E S D 保護回路 9 A と、一端が電源ライン 1 と接続され、他端が入力回路 4 の電源入力端子と接続された第 1 の抵抗体 2 1 と、一端が入力回路 4 の G N D 入力端子と接続され、他端が G N D ライン 2 と接続された第 2 の抵抗体 2 2 と、一端が入力回路 4 の電源入力端子と接続され、他端が入力回路 4 の G N D 入力端子と接続された第 1 の電圧降下回路 1 5 を含む第 3 の E S D 保護回路 6 A とを有している。

【 0 0 7 3 】

このように、第 2 の実施形態に係る半導体集積回路装置は、第 1 の E S D 保護回路 8 A 及び第 2 の E S D 保護回路 9 A の他に、電源ライン 1 と G N D ライン 2 との間に、第 1 の抵抗体 2 1 と、直列接続された 3 段のダイオードからなる第 1 の電圧降下回路 1 5 を含む第 3 の E S D 保護回路 6 A と、第 2 の抵抗体 2 2 とを備えていることを特徴とする。

【 0 0 7 4 】

この構成により、G N D ライン 2 を接地して入力 P A D 3 に正電荷のサージを印加した場合は、入力回路 4 の G N D 入力端子の電圧が上昇するため、入力 P A D 3 と入力回路 4 の G N D 入力端子との間の電位差、すなわち入力回路 4 に含まれる N M I S トランジスタ 1 3 のゲート絶縁膜に加わる電圧を該ゲート絶縁膜の耐圧値よりも低くすることができる。従って、N M I S トランジスタ 1 3 のゲート絶縁膜の破壊を防ぐことができる。

【 0 0 7 5 】

逆に、電源ライン 1 を接地して入力 P A D 3 に負電荷のサージを印加した場合は、入力回路 4 の電源入力端子の電圧が降下するため、入力 P A D 3 と入力回路 4 の電源入力端子との間の電位差、すなわち入力回路 4 に含まれる P M I S トランジスタ 1 2 のゲート絶縁膜に加わる電圧を、該ゲート絶縁膜の耐圧値よりも低くすることができるので、P M I S トランジスタ 1 2 のゲート絶縁膜の破壊を防ぐことができる。

【 0 0 7 6 】

このように、従来の構成に、第 1 の抵抗体 2 1、第 2 の抵抗体 2 2 及び第 3 の E S D 保護回路 6 A を設けることにより、入力 P A D 3 にプラスサージ又はマイナスサージが印加された場合に、入力回路 4 に含まれる P M I S トランジスタ 1 2 又は N M I S トランジスタ 1 3 の各ゲートに加わる電圧を降下することができる。

【 0 0 7 7 】

以下、第 2 の実施形態に係る半導体集積回路装置の詳細な動作を説明する。

【 0 0 7 8 】

図 3 に示す半導体集積回路装置において、E S D 試験として、例えば H . B . M . E S D 試験を行なう場合に、G N D ライン 2 を接地して入力 P A D 3 に正電荷のサージ（例えば、2 0 0 0 V）を印加すると、入力 P A D 3 の電位が上昇すると共に、第 1 の E S D 保護回路 8 A を構成する P M I S トランジスタ 1 0 の寄生ダイオードにより、電源ライン 1 の電位が上昇する。このとき、入力回路 4 の入力端子の電圧も上昇するものの、第 3 の E S D 保護回路 6 A に含まれる直列 3 段のダイオードにおける各ビルトイン電圧を 0 . 7 V とし、P M I S トランジスタ 1 0 の寄生ダイオードのビルトイン電圧を 0 . 7 V とすると、入力 P A D 3 の電位が 2 . 8 V を超えて高くなると、第 3 の E S D 保護回路 6 A が O N 状態となる。これにより、入力 P A D 3 から第 1 の E S D 保護回路 8 A を構成する P M I S トランジスタ 1 0 の寄生ダイオード、第 1 の抵抗体 2 1、第 3 の E S D 保護回路 6 A 及び第 2 の抵抗体 2 2 を介して G N D ライン 2 へサージ電流が流れ出す。この流れ出したサージ電流によって、P M I S トランジスタ 1 0 及び第 3 の E S D 保護回路 6 A の各 O N 抵抗値と、第 1 の抵抗体 2 1 及び第 2 の抵抗体 2 2 の各抵抗値とにより、入力回路 4 の入力端子に加わる電圧は、入力 P A D 3 の電圧に対して分圧される。例えば、入力 P A D 3 の電圧が、第 2 の E S D 保護回路 9 A によってクランプされて 5 V となった場合に、第 1 の抵抗体 2 1 の抵抗値が 1 0 Ω で、第 3 の E S D 保護回路 6 A の O N 抵抗値が 1 0 Ω で、第

10

20

30

40

50

2の抵抗体22の抵抗値が10であれば、入力回路4の入力端子に加わる電圧は約1.7Vとなる。ここでは、PMISTランジスタ10の寄生ダイオードのON抵抗値は非常に小さいため、抵抗分圧の計算から除外している。

【0079】

同様に、H.B.M.ESD試験時に、電源ライン1を接地して入力PAD3に負電荷のサージ(例えば、-2000V)を印加すると、入力PAD3の電位が低下すると共に、第2のESD保護回路9Aを構成するNMISTランジスタ11の寄生ダイオードにより、GNDライン2の電位が低下する。このとき、入力回路4の入力端子の電圧も低下するものの、第3のESD保護回路6Aに含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7V、NMISTランジスタ11の寄生ダイオードのビルトイン電圧を0.7Vとすると、入力PAD3の電位が-2.8Vを超えて低くなると、第3のESD保護回路6AがON状態となる。これにより、電源ライン1から第1の抵抗体21、第3のESD保護回路6A、第2の抵抗体22及び第2のESD保護回路9Aを構成するNMISTランジスタ11の寄生ダイオードを介して入力PAD3へサージ電流が流れ出す。このサージ電流によって、NMISTランジスタ11の寄生ダイオード及び第3のESD保護回路6Aの各ON抵抗値と、第1の抵抗体21及び第2の抵抗体22の各抵抗値とにより、入力回路4の入力端子に加わる電圧は、入力PAD3の電圧に対して分圧される。例えば、入力PAD3の電圧が、第1のESD保護回路8Aによってクランプされて-5Vとなった場合に、第3のESD保護回路6AのON抵抗値が10で、第1の抵抗体21の抵抗値が10で、第2の抵抗体22の抵抗値が10であれば、入力回路4の入力端子に加わる電圧は約-1.7Vとなる。ここで、NMISTランジスタ11の寄生ダイオードのON抵抗値は非常に小さいため、抵抗分圧の計算から除外している。

【0080】

このように、外部から入力PAD3を通じて侵入する正電荷のサージ及び負電荷のサージに対して、入力回路4をより確実に保護することができる。

【0081】

なお、第2の実施形態において、第3のESD保護回路6Aを構成する各ダイオードの直列接続の段数は、通常動作時のリーク電流が少なくなるように決定すればよい。例えば、入力PAD3に入力される最大電圧が1.2Vであれば、第3のESD保護回路6Aを構成するダイオードの直列接続の段数は、各ダイオードのビルトイン電圧を考慮すると2段から3段が適当である。

【0082】

また、第1のESD保護回路8Aを構成するPMISTランジスタ10及び第2のESD保護回路9Aを構成するNMISTランジスタ11に代えて、それぞれダイオード又はサイリスタを用いることができる。

【0083】

また、第2の実施形態においては、サージからの被保護回路としてインバータを含む入力回路4を用いたが、入力回路4は必ずしもインバータを含む構成には限られない。さらには、被保護回路は入力回路に限られない。

【0084】

(第2の実施形態の第1変形例)

以下、本発明の第2の実施形態の第1変形例について図面を参照しながら説明する。

【0085】

図4は本発明の第4の実施形態の第1変形例に係る半導体集積回路装置の回路構成を示している。図4において、図3に付した符号と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0086】

図4に示すように、本変形例に係る第3のESD保護回路6Bを構成する第1の電圧降下回路として、ダイオードに代えて、ツェナーダイオード23を用いている。

【0087】

10

20

30

40

50

このように、第3のESD保護回路6Bにツェナーダイオード23を用いて、該ツェナーダイオード23の降伏電圧を適当な値に設定することにより、複数のダイオードを用いることなく、通常動作時にリーク電流が発生しないようにすることができる。

【0088】

(第2の実施形態の第2変形例)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0089】

図5は本発明の第3の実施形態に係る半導体集積回路装置の回路構成を示している。図5において、図3に示した構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0090】

図5に示すように、本変形例に係る第3のESD保護回路6Cは、入力回路4の電源入力端子と入力回路4のGND入力端子との間に直列接続された第1のダイオード24、第2のダイオード25及び第3のダイオード26と、アノードが入力PAD3と接続され、カソードが第1のダイオード24及び第2のダイオード25の間の第1ノードと接続された第4のダイオード27と、アノードが第2のダイオード及び第3のダイオード26の間の第2ノードと接続され、カソードが入力PAD3と接続された第5のダイオード28から構成されている。

【0091】

このように、第2変形例に係る半導体集積回路装置においても、第2の実施形態と同様に、第1の抵抗体21、第2の抵抗体22及び第3のESD保護回路6Cを設けることにより、入力PAD3に対してプラスサージ又はマイナスサージが印加された場合に、入力回路4に含まれるPMISトランジスタ12又はNMISトランジスタ13のゲートに加わる電圧を降下することができる。

【0092】

ところで、第1の抵抗体21、第2の抵抗体22及び第3のESD保護回路6Cは、容量(寄生容量)が比較的大きい電源ライン1とGNDライン2との間に接続されている。このため、プラスサージ又はマイナスサージが入力されても、電源ライン1又はGNDライン2の電位は瞬時に変動しにくい。

【0093】

そこで、第2変形例においては、第3のESD保護回路6Cに、直列接続された3段のダイオード24、25及び26に加え、入力パッド3と接続される第4のダイオード27及び第5のダイオード28を設けている。このため、サージの印加により入力パッド3の電位が大きく変動しても、入力パッド3と第3のESD保護回路6Cとの間に、サージ電流の一部が流れるので、入力パッド3の電位の絶対値が小さくなって、入力回路4をより確実に保護することができる。

【0094】

なお、本変形例に係る半導体集積回路装置の詳細な動作は第2の実施形態と同様である。その上、前述したように、第3のESD保護回路6Cに設けた、アノードが入力PAD3と接続された第4のダイオード27と、カソードが入力PAD3と接続された第5のダイオード28とによって、電源ライン1とGNDライン2との間の容量に関係なく、外部から入力PAD3を通じて侵入する正電荷のサージ又は負電荷のサージから入力回路4を確実に保護することができる。

【0095】

(第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0096】

図6は本発明の第3の実施形態に係る半導体集積回路装置の回路構成を示している。図6において、図3に示した構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

10

20

30

40

50

【0097】

図5に示すように、第3の実施形態に係る半導体集積回路装置は、第1のESD保護回路8A及び第2のESD保護回路9Aの他に、入力回路4の電源入力端子とGNDライン2との間に接続された第1の電圧降下回路15を含む第3のESD保護回路6Aと、電源ライン1と入力回路4のGND入力端子との間に接続された第2の電圧降下回路16を含む第4のESD保護回路7Aとを備えている。

【0098】

第3のESD保護回路6Aを構成する第1の電圧降下回路電15は、アノードが入力回路4の電源入力端子と接続され、カソードが電源ラインと直列接続された3段のダイオードにより構成されている。

10

【0099】

第4のESD保護回路7Aを構成する第2の電圧降下回路電16は、アノードが電源ライン1と接続され、カソードが入力回路4のGND入力端子と直列接続された3段のダイオードにより構成されている。

【0100】

第3の実施形態によると、GNDライン2を接地して入力PAD3に正電荷のサージを印加した場合は、電源ライン1とGNDライン2との間に、第4のESD保護回路7Aと第2の抵抗体22とを設けているため、入力回路4のGND入力端子の電圧が上昇して、入力PAD3と入力回路4のGND入力端子との間の電位差、すなわち入力回路4に含まれるNMISトランジスタ13のゲート絶縁膜に印加される電圧を、該NMISトランジスタ13のゲート絶縁膜の耐圧値よりも低くすることができる。その結果、入力回路4に含まれるNMISトランジスタ13のゲート絶縁膜の破壊を防ぐことができる。

20

【0101】

逆に、電源ライン1を接地して入力PAD3に負電荷のサージを印加した場合は、電源ライン1とGNDライン2との間に、第1の抵抗体21と第3のESD保護回路6Aとを設けているため、入力回路4の電源入力端子の電圧が低下して、入力PAD3と入力回路4の電源入力端子との間の電位差、すなわち入力回路4に含まれるPMISトランジスタ12のゲート絶縁膜に加わる電圧を、該PMISトランジスタのゲート絶縁膜の耐圧値よりも低くすることができる。その結果、入力回路4に含まれるPMISトランジスタ12ゲート絶縁膜の破壊を防ぐことができる。

30

【0102】

このように、第3の実施形態に係る半導体集積回路装置は、入力PAD3に静電荷のサージ又は負電荷のサージが印加された場合に、入力回路4に含まれる各MISトランジスタ12、13のゲートに加わる電圧を制御する第1の抵抗体21、第2の抵抗体22、第3のESD保護回路6A及び第4のESD保護回路7Aを設けていることを特徴とする。

【0103】

以下、第3の実施形態に係る半導体集積回路装置の動作をより詳細に説明する。

【0104】

図6に示す半導体集積回路装置において、ESD試験として、例えばH.B.M.ESD試験を行なう場合に、GNDライン2を接地して入力PAD3に正電荷のサージ(例えば、2000V)を印加すると、入力PAD3の電位が上昇すると共に、第1のESD保護回路8Aを構成するPMISトランジスタ10の寄生ダイオードにより、電源ライン1の電位が上昇する。このとき、入力回路4の入力端子の電圧も上昇するものの、第4のESD保護回路7Aに含まれる直列3段のダイオードにおける各ビルトイン電圧を0.7Vとし、PMISトランジスタ10の寄生ダイオードのビルトイン電圧を0.7Vとすると、入力PAD3の電位が2.8Vを超えて高くなると、第4のESD保護回路7AがON状態となる。これにより、入力PAD3から第1のESD保護回路8Aを構成するPMISトランジスタ10の寄生ダイオード、第4のESD保護回路7A及び第2の抵抗体22を介してGNDライン2へサージ電流が流れ出す。この流れ出したサージ電流によって、PMISトランジスタ10及び第4のESD保護回路7Aの各ON抵抗値と、第1の抵抗

40

50

体 2 2 の抵抗値とにより、入力回路 4 の入力端子に加わる電圧は、入力 P A D 3 の電圧に対して分圧される。例えば、入力 P A D 3 の電圧が、第 2 の E S D 保護回路 9 A によってクランプされて 5 V となった場合に、第 4 の E S D 保護回路 7 A の O N 抵抗値が 1 0 で、第 2 の抵抗体 2 2 の抵抗値が 1 0 であれば、入力回路 4 の入力端子に加わる電圧は、2 . 5 V となる。ここでは、P M I S トランジスタ 1 0 の寄生ダイオードの O N 抵抗値は非常に小さいため、抵抗分圧の計算から除外している。

【 0 1 0 5 】

同様に、H . B . M . E S D 試験時に、電源ライン 1 を接地して入力 P A D 3 に負電荷のサージ（例えば、- 2 0 0 0 V）を印加すると、入力 P A D 3 の電位が低下すると共に、第 2 の E S D 保護回路 9 A を構成する N M I S トランジスタ 1 1 の寄生ダイオードにより、G N D ライン 2 の電位が低下する。このとき、入力回路 4 の入力端子の電圧も低下するものの、第 3 の E S D 保護回路 6 A に含まれる直列 3 段のダイオードにおける各ビルトイン電圧を 0 . 7 V、N M I S トランジスタ 1 1 の寄生ダイオードのビルトイン電圧を 0 . 7 V とすると、入力 P A D 3 の電位が - 2 . 8 V を超えて低くなると、第 3 の E S D 保護回路 6 A が O N 状態となる。これにより、電源ライン 1 から第 1 の抵抗体 2 1、第 3 の E S D 保護回路 6 A 及び第 2 の E S D 保護回路 9 A を構成する N M I S トランジスタ 1 1 の寄生ダイオードを介して入力 P A D 3 へサージ電流が流れ出す。このサージ電流によって、第 3 の E S D 保護回路 6 A 及び N M I S トランジスタ 1 1 の寄生ダイオードの各 O N 抵抗値と、第 1 の抵抗体 2 1 の抵抗値とにより、入力回路 4 の入力端子に加わる電圧は、入力 P A D 3 の電圧に対して分圧される。例えば、入力 P A D 3 の電圧が、第 1 の E S D 保護回路 8 A によってクランプされて - 5 V となった場合に、第 3 の E S D 保護回路 6 A の O N 抵抗値が 1 0 で、第 1 の抵抗体 2 1 の抵抗値が 1 0 であれば、入力回路 4 の入力端子に加わる電圧は - 2 . 5 V となる。ここで、N M I S トランジスタ 1 1 の寄生ダイオードの O N 抵抗値は非常に小さいため、抵抗分圧の計算から除外している。

【 0 1 0 6 】

このように、外部から入力 P A D 3 を通じて侵入する正電荷のサージ及び負電荷のサージに対して、入力回路 4 をより確実に保護することができる。

【 0 1 0 7 】

なお、第 3 の実施形態において、第 3 の E S D 保護回路 6 A 及び第 4 の E S D 保護回路 7 A を構成する各ダイオードの直列接続の段数は、通常動作時のリーク電流が少なくなるように決定すればよい。例えば、入力 P A D 3 に入力される最大電圧が 1 . 2 V であれば、第 3 の E S D 保護回路 6 A 及び第 4 の E S D 保護回路 7 A を構成するダイオードの直列接続の段数は、各ダイオードのビルトイン電圧を考慮するとそれぞれ 2 段から 3 段が適当である。

【 0 1 0 8 】

また、第 3 の実施形態においても、第 2 の実施形態の第 1 変形例と同様に、第 3 の E S D 保護回路 6 A 及び第 4 の E S D 保護回路 7 A を構成するそれぞれ第 1 の電圧降下回路 1 5 及び第 2 の電圧降下回路 1 6 として、それぞれダイオードに代えて、ツェナーダイオードを用いてもよい。

【 0 1 0 9 】

また、第 1 の E S D 保護回路 8 A を構成する P M I S トランジスタ 1 0 及び第 2 の E S D 保護回路 9 A を構成する N M I S トランジスタ 1 1 に代えて、それぞれダイオード又はサイリスタを用いることができる。

【 0 1 1 0 】

また、第 3 の実施形態においては、サージからの被保護回路としてインバータを含む入力回路 4 を用いたが、入力回路 4 は必ずしもインバータを含む構成には限られない。さらには、被保護回路は入力回路に限られない。

【 産業上の利用可能性 】

【 0 1 1 1 】

本発明に係る半導体集積回路装置は、半導体製造プロセスの設計ルールがより微細化さ

10

20

30

40

50

れたとしても、サージ試験の規格を満たす静電放電保護回路を有する半導体集積回路装置を得ることができ、特に、入力側に静電放電保護回路を有する半導体集積回路装置等に有用である。

【図面の簡単な説明】

【0112】

【図1】本発明の第1の実施形態に係る半導体集積回路装置を示す回路図である。

【図2】本発明の第1の実施形態の一変形例に係る半導体集積回路装置を示す回路図である。

【図3】本発明の第2の実施形態に係る半導体集積回路装置を示す回路図である。

【図4】本発明の第2の実施形態の第1変形例に係る半導体集積回路装置を示す回路図である。 10

【図5】本発明の第2の実施形態の第2変形例に係る半導体集積回路装置を示す回路図である。

【図6】本発明の第3の実施形態に係る半導体集積回路装置を示す回路図である。

【図7】従来の上記保護回路を有する半導体集積回路装置を示す回路図である。

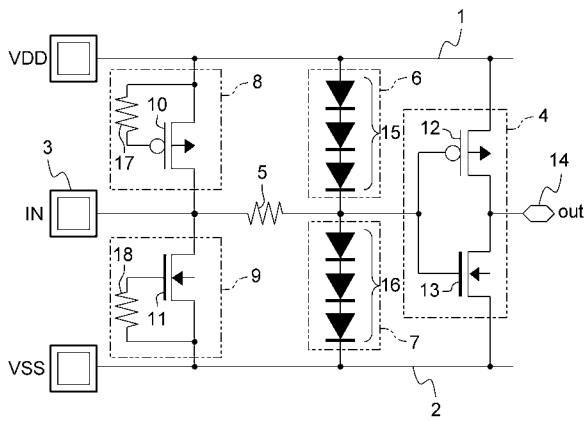
【符号の説明】

【0113】

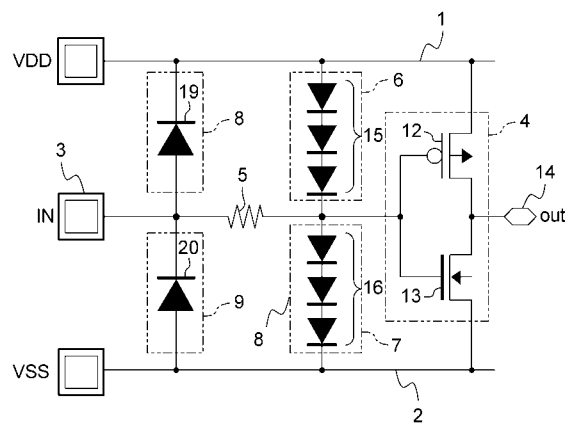
1	電源ライン	
2	GND（接地）ライン	
3	入力PAD（外部入力端子）	20
4	入力回路（被保護回路）	
5	第1の抵抗体	
6	第1の静電放電保護回路（ESD保護回路）	
6A	第3の静電放電保護回路（ESD保護回路）	
6B	第3の静電放電保護回路（ESD保護回路）	
6C	第3の静電放電保護回路（ESD保護回路）	
7	第2の静電放電保護回路（ESD保護回路）	
7A	第4の静電放電保護回路（ESD保護回路）	
8	第3の静電放電保護回路（ESD保護回路）	
8A	第1の静電放電保護回路（ESD保護回路）	30
9	第4の静電放電保護回路（ESD保護回路）	
9A	第2の静電放電保護回路（ESD保護回路）	
10	PMISトランジスタ	
11	NMISトランジスタ	
12	PMISトランジスタ	
13	NMISトランジスタ	
14	出力端子	
15	第1の電圧降下回路	
16	第2の電圧降下回路	
17	第3の抵抗体	40
18	第4の抵抗体	
19	ダイオード	
20	ダイオード	
21	第1の抵抗体	
22	第2の抵抗体	
23	ツェナーダイオード	
24	第1のダイオード	
25	第2のダイオード	
26	第3のダイオード	
27	第4のダイオード	50

28 第5のダイオード

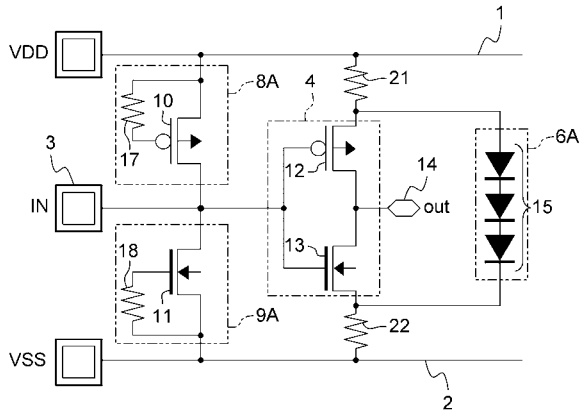
【図1】



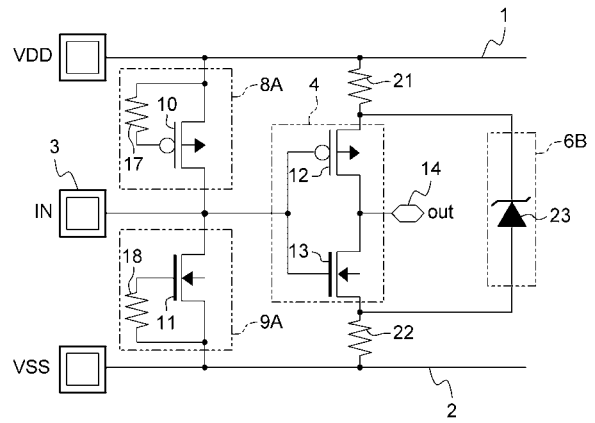
【図2】



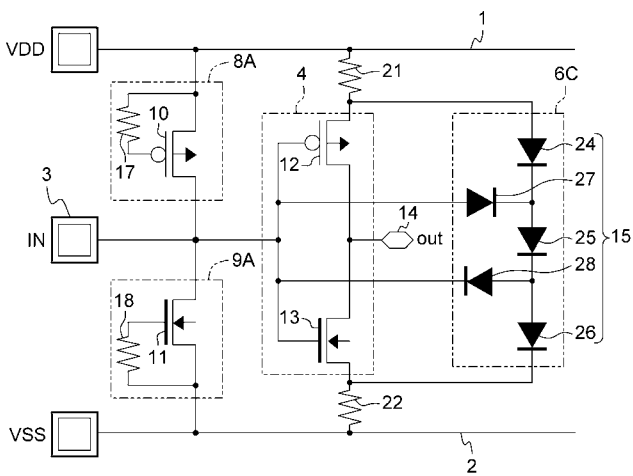
【図 3】



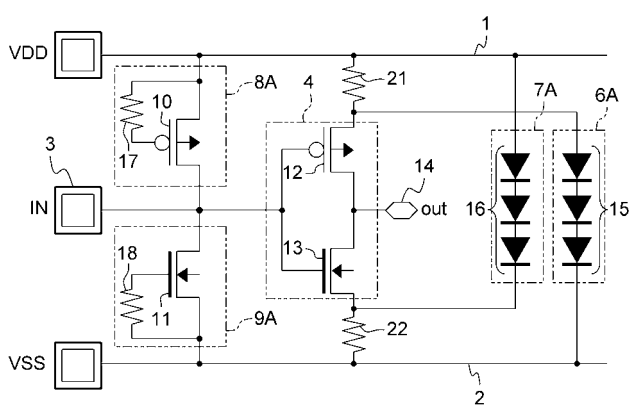
【図 4】



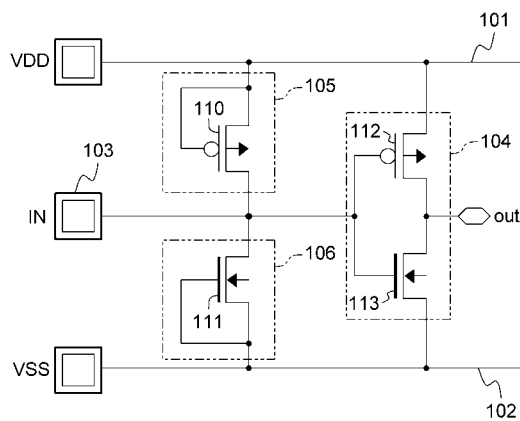
【図 5】



【図 6】



【 図 7 】



【 手続補正書 】

【 提出日 】平成18年9月6日(2006.9.6)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

電源ラインと接地ラインとの間に接続された被保護回路と、
 一端子が外部入力端子と接続され、他端子が前記被保護回路の入力端子と接続された第1の抵抗体と、
 一端子が前記電源ラインと接続され、他端子が前記被保護回路の入力端子と接続された第1の電圧降下回路を含む第1の静電放電保護回路と、
 一端子が前記被保護回路の入力端子と接続され、他端子が前記接地ラインと接続された第2の電圧降下回路を含む第2の静電放電保護回路とを備えていることを特徴とする半導体集積回路装置。

【 請求項 2 】

前記第1の静電放電保護回路は、前記第1の電圧降下回路として、
 アノードが前記電源ラインと接続され、カソードが前記被保護回路の入力端子と接続され、直列接続された少なくとも1つの第1のダイオードを有していることを特徴とする請求項1に記載の半導体集積回路装置。

【 請求項 3 】

前記第2の静電放電保護回路は、前記第2の電圧降下回路として、
 アノードが前記被保護回路の入力端子と接続され、カソードが前記接地ラインと接続さ

れ、直列接続された少なくとも1つの第2のダイオードを有していることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項4】

一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続された第3の静電放電保護回路と、

一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続された第4の静電放電保護回路とをさらに備えていることを特徴とする請求項1～3のいずれか1項に記載の半導体集積回路装置。

【請求項5】

前記第3の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続され、ゲートが前記電源ラインと接続されたPMISトランジスタを有していることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項6】

前記第3の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記PMISトランジスタのゲートと接続された第2の抵抗体を有していることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】

前記第4の静電放電保護回路は、

一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記接地ラインと接続されたNMISトランジスタを有していることを特徴とする請求項4～6のいずれか1項に記載の半導体集積回路装置。

【請求項8】

前記第4の静電放電保護回路は、

一端子が前記接地ラインと接続され、他端子が前記NMISトランジスタのゲートと接続された第3の抵抗体を有していることを特徴とする請求項7に記載の半導体集積回路装置。

【請求項9】

前記第3の静電放電保護回路は、

カソードが前記電源ラインと接続され、アノードが前記外部入力端子と接続された第3のダイオード又は第1のサイリスタを有していることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項10】

前記第4の静電放電保護回路は、

カソードが前記外部入力端子と接続され、アノードが前記接地ラインと接続された第4のダイオード又は第2のサイリスタを有していることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項11】

外部入力端子と接続された被保護回路と、

一端子が電源ラインと接続され、他端子が前記外部入力端子と接続された第1の静電放電保護回路と、

一端子が前記外部入力端子と接続され、他端子が接地ラインと接続された第2の静電放電保護回路と、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の電源電圧入力端子と接続された第1の抵抗体と、

一端子が前記被保護回路の電源電圧入力端子と接続され、他端子が前記接地ラインと電氣的に接続され、第1の電圧降下回路を含む第3の静電放電保護回路とを備えていることを特徴とする半導体集積回路装置。

【請求項12】

一端子が前記被保護回路の接地電圧入力端子と接続され、他端子が前記接地ラインと接続された第2の抵抗体をさらに備えていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項13】

前記第3の静電放電保護回路は、前記第1の電圧降下回路として、

アノードが前記被保護回路の電源電圧入力端子と接続され、カソードが前記被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも1つの第1のダイオードを有していることを特徴とする請求項12に記載の半導体集積回路装置。

【請求項14】

前記第1の電圧降下回路は、少なくとも2つの第1のダイオードを有し、

一端子が前記被保護回路の入力端子と接続され、他端子が前記少なくとも2つの第1のダイオード同士の接続ノードのうち1つと接続された第2のダイオードを有していることを特徴とする請求項13に記載の半導体集積回路装置。

【請求項15】

前記第3の静電放電保護回路は、前記第1の電圧降下回路として、

カソードが前記被保護回路の電源電圧入力端子と接続され、アノードが前記被保護回路の接地電圧入力端子と接続されたツェナーダイオードを有していることを特徴とする請求項12に記載の半導体集積回路装置。

【請求項16】

前記第3の静電放電保護回路は、前記他端子が前記接地ラインと接続されており、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の接地電圧入力端子と接続され、第2の電圧降下回路を含む第4の静電放電保護回路をさらに備えていることを特徴とする請求項12に記載の半導体集積回路装置。

【請求項17】

前記第3の静電放電保護回路は、前記第1の電圧降下回路として、

アノードが前記被保護回路の電源電圧入力端子と接続され、カソードが前記接地ラインと接続され、直列接続された少なくとも1つの第1のダイオードを有しており、

前記第4の静電放電保護回路は、前記第2の電圧降下回路として、

アノードが前記電源ラインと接続され、カソードが前記被保護回路の接地電圧入力端子と接続され、直列接続された少なくとも1つの第2のダイオードを有していることを特徴とする請求項16に記載の半導体集積回路装置。

【請求項18】

前記第3の静電放電保護回路は、前記第1の電圧降下回路として、

カソードが前記被保護回路の電源電圧入力端子と接続され、アノードが前記接地ラインと接続された第1のツェナーダイオードを有しており、

前記第4の静電放電保護回路は、前記第2の電圧降下回路として、

カソードが前記電源ラインと接続され、アノードが前記被保護回路の接地電圧入力端子と接続された第2のツェナーダイオードを有していることを特徴とする請求項16に記載の半導体集積回路装置。

【請求項19】

前記第1の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記外部入力端子と接続され、ゲートが前記電源ラインと接続されたPMISトランジスタを有していることを特徴とする請求項12～18のいずれか1項に記載の半導体集積回路装置。

【請求項20】

前記第1の静電放電保護回路は、

一端子が前記電源ラインと接続され、他端子が前記PMISトランジスタのゲートと接続された第3の抵抗体を有していることを特徴とする請求項19に記載の半導体集積回路装置。

【請求項21】

前記第 2 の静電放電保護回路は、

一端子が前記外部入力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記接地ラインと接続された NMIS トランジスタを有していることを特徴とする請求項 1 2 ~ 1 8 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 2 2】

前記第 2 の静電放電保護回路は、

一端子が前記接地ラインと接続され、他端子が前記 NMIS トランジスタのゲートと接続された第 4 の抵抗体を有していることを特徴とする請求項 2 1 に記載の半導体集積回路装置。

【請求項 2 3】

前記第 1 の静電放電保護回路は、

カソードが前記電源ラインと接続され、アノードが前記外部入力端子と接続された第 3 のダイオード又は第 1 のサイリスタを有していることを特徴とする請求項 1 2 ~ 1 8 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 2 4】

前記第 2 の静電放電保護回路は、

カソードが前記外部入力端子と接続され、アノードが前記接地ラインと接続された第 4 のダイオード又は第 2 のサイリスタを有していることを特徴とする請求項 1 2 ~ 1 8 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 2 5】

前記被保護回路は、

一端子が前記電源ラインと接続され、他端子が前記被保護回路の出力端子と接続され、ゲートが前記被保護回路の入力端子と接続された PMIS トランジスタと、

一端子が前記被保護回路の出力端子と接続され、他端子が前記接地ラインと接続され、ゲートが前記被保護回路の入力端子と接続された NMIS トランジスタとを有していることを特徴とする請求項 1 ~ 1 0 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 2 6】

前記被保護回路は、

一端子が前記被保護回路の電源電圧入力端子と接続され、他端子が前記被保護回路の出力端子と接続され、ゲートが前記被保護回路の入力端子と接続された PMIS トランジスタと、

一端子が前記被保護回路の出力端子と接続され、他端子が前記被保護回路の接地電圧入力端子と接続され、ゲートが前記被保護回路の入力端子と接続された NMIS トランジスタとを有していることを特徴とする請求項 1 2 ~ 2 4 のいずれか 1 項に記載の半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】変更

【補正の内容】

【0 0 2 5】

本発明に係る第 2 の半導体集積回路装置は、外部入力端子と接続された被保護回路と、一端子が電源ラインと接続され、他端子が外部入力端子と接続された第 1 の静電放電保護回路と、一端子が外部入力端子と接続され、他端子が接地ラインと接続された第 2 の静電放電保護回路と、一端子が電源ラインと接続され、他端子が被保護回路の電源電圧入力端子と接続された第 1 の抵抗体と、一端子が被保護回路の電源電圧入力端子と接続され、他端子が接地ラインと電氣的に接続され、第 1 の電圧降下回路を含む第 3 の静電放電保護回路とを備えていることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 6

【補正方法】 変更

【補正の内容】

【 0 0 2 6 】

第 2 の半導体集積回路装置によると、一端子が電源ラインと接続され、他端子が外部入力端子と接続された第 1 の静電放電保護回路と、一端子が外部入力端子と接続され、他端子が接地ラインと接続された第 2 の静電放電保護回路と、一端子が電源ラインと接続され、他端子が被保護回路の電源入力端子と接続された第 1 の抵抗体と、一端子が被保護回路の電源電圧入力端子と接続され、他端子が接地ラインと電氣的に接続され、第 1 の電圧降下回路を含む第 3 の静電放電保護回路とを備えている。このため、接地ラインを接地して外部入力端子に正電荷のサージが印加された場合には、外部入力端子から第 1 の静電放電保護回路、第 1 の抵抗体及び第 1 の電圧降下回路を介して接地ラインにサージが流れると共に、被保護回路の入力端子の電圧は、第 1 の静電放電保護回路、第 1 の抵抗体及び第 1 の電圧降下回路によって分圧（抵抗分割）されるため、被保護回路の入力端子の電圧が低くなる。また、電源ラインを接地して外部入力端子に負電荷のサージが印加された場合には、電源ラインから第 1 の抵抗体、第 1 の電圧降下回路及び第 2 の静電放電保護回路を介して外部入力端子にサージが流れると共に、被保護回路の入力端子の電圧は、第 1 の抵抗体、第 1 の電圧降下回路及び第 2 の静電放電保護回路によって分圧（抵抗分割）されるため、被保護回路の入力端子の電圧が低くなる。これにより、正負のいずれのサージが印加された場合にも、被保護回路の入力端子の電圧が被保護回路の耐圧を超え難くすることができる。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 4

【補正方法】 変更

【補正の内容】

【 0 0 3 4 】

第 2 の半導体集積回路装置において、第 2 の抵抗体を備えている場合に、第 1 の静電放電保護回路は、一端子が電源ラインと接続され、他端子が外部入力端子と接続され、ゲートが電源ラインと接続された P M I S トランジスタを有していることが好ましい。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 6

【補正方法】 変更

【補正の内容】

【 0 0 3 6 】

第 2 の半導体集積回路装置において、第 2 の抵抗体を備えている場合に、第 2 の静電放電保護回路は、一端子が外部入力端子と接続され、他端子が接地ラインと接続され、ゲートが接地ラインと接続された N M I S トランジスタを有していることが好ましい。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 8

【補正方法】 変更

【補正の内容】

【 0 0 3 8 】

第 2 の半導体集積回路装置において、第 2 の抵抗体を備えている場合に、第 1 の静電放電保護回路は、カソードが電源ラインと接続され、アノードが外部入力端子と接続された第 3 のダイオード又は第 1 のサイリスタを有していることが好ましい。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

第2の半導体集積回路装置において、第2の抵抗体を備えている場合に、第2の静電放電保護回路は、カソードが外部入力端子と接続され、アノードが接地ラインと接続された第4のダイオード又は第2のサイリスタを有していることが好ましい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

第1の半導体集積回路装置において、被保護回路は、一端子が電源ラインと接続され、他端子が被保護回路の出力端子と接続され、ゲートが被保護回路の入力端子と接続されたPMISトランジスタと、一端子が被保護回路の出力端子と接続され、他端子が接地ラインと接続され、ゲートが被保護回路の入力端子と接続されたNMISトランジスタとを有していることが好ましい。

また、第2の半導体集積回路装置において、第2の抵抗体を備えている場合に、被保護回路は、一端子が被保護回路の電源電圧入力端子と接続され、他端子が被保護回路の出力端子と接続され、ゲートが被保護回路の入力端子と接続されたPMISトランジスタと、一端子が被保護回路の出力端子と接続され、他端子が被保護回路の接地電圧入力端子と接続され、ゲートが被保護回路の入力端子と接続されたNMISトランジスタとを有していることが好ましい。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

【補正の内容】

【0097】

図6に示すように、第3の実施形態に係る半導体集積回路装置は、第1のESD保護回路8A及び第2のESD保護回路9Aの他に、入力回路4の電源入力端子とGNDライン2との間に接続された第1の電圧降下回路15を含む第3のESD保護回路6Aと、電源ライン1と入力回路4のGND入力端子との間に接続された第2の電圧降下回路16を含む第4のESD保護回路7Aとを備えている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

第3のESD保護回路6Aを構成する第1の電圧降下回路電15は、アノードが入力回路4の電源入力端子と接続され、カソードがGNDライン2と直列接続された3段のダイオードにより構成されている。

フロントページの続き

(51) Int. Cl. F I テーマコード(参考)
H 0 3 K 19/003 (2006.01) H 0 3 K 19/003 E

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 荒井 勝也

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 甲上 歳浩

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 藪 洋彰

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5F038 BH02 BH04 BH05 BH07 BH13 CD02 EZ20

5F048 AA02 AC03 CC01 CC06 CC09 CC10 CC15 CC19

5J032 AA02 AA03 AB02 AC18