

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)



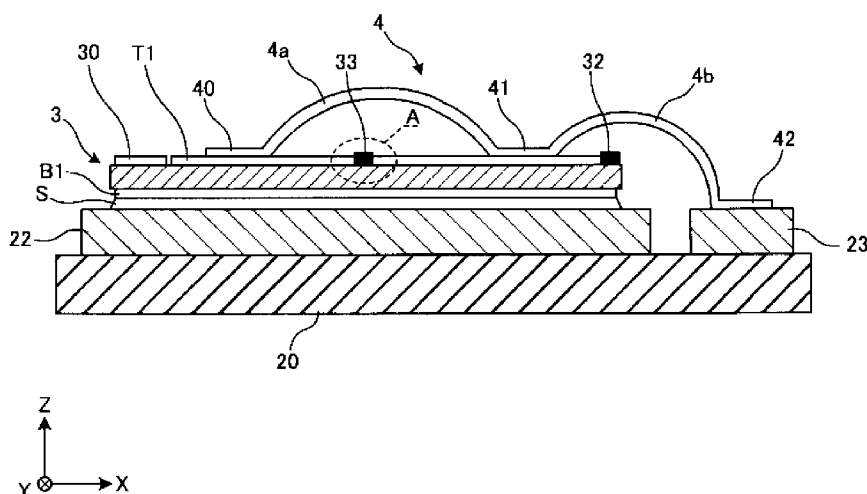
(10) 国際公開番号

WO 2022/009582 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 25/18* (2006.01)
- (21) 国際出願番号: PCT/JP2021/021617
- (22) 国際出願日: 2021年6月7日(07.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-117233 2020年7月7日(07.07.2020) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 山野 彰生 (YAMANO, Akio); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 青木 宏義, 外 (AOKI, Hiroyoshi et al.); 〒1020094 東京都千代田区紀尾井町3-1-2 紀尾井町ビル14F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール



(57) Abstract: The present invention improves heat resistance by ensuring the number of wires connected in the main wiring. A semiconductor module (1) is equipped with: a layered substrate (2) obtained by positioning a plurality of circuit boards (22, 23) on the top surface of an insulating plate (20); a semiconductor element (3) which is positioned on a prescribed circuit board (22), and has, on the top surface thereof, a main electrode, a gate pad (30) and a gate runner (31) which is electrically connected to the gate pad; and a wiring member (4) which electrically connects the main electrode and the other circuit board (23) to one another. The gate runner extends so as to divide the main electrode into one side and another side. The wiring member is positioned so as to cross the area above the gate runner.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲 (条約第19条(1))

(57) 要約: 主配線の接続本数を確保して熱に対する耐性を向上すること。半導体モジュール (1) は、絶縁板 (20) の上面に複数の回路板 (22、23) が配置された積層基板 (2) と、所定の回路板 (22) 上に配置され、上面に主電極、ゲートパッド (30)、及びゲートパッドに電氣的に接続されたゲートランナ (31) を有する半導体素子 (3) と、主電極と他の回路板 (23) とを電氣的に接続する配線部材 (4) と、を備える。ゲートランナは、主電極を一方側と他方側に分断して延びている。配線部材は、ゲートランナの上方を跨ぐように配置されている。

明 細 書

発明の名称：半導体モジュール

技術分野

[0001] 本発明は、半導体モジュールに関する。

背景技術

[0002] 半導体装置は、I G B T (Insulated Gate Bipolar Transistor)、パワーM O S F E T (Metal Oxide Semiconductor Field Effect Transistor)、F W D (Free Wheeling Diode) 等の半導体素子が設けられた基板を有し、インバータ装置等に利用されている。

[0003] この種の半導体モジュールにおいて、所定の基板上に配置された半導体素子は、上面に主電極（表面電極と呼ばれてもよい）及びゲート電極が形成されている。主電極とゲート電極は、互いに分離して設けられている。主電極には、ボンディングワイヤ等の主配線（主電流配線）が接続され、ゲート電極には、制御配線が接続される（例えば、特許文献1－3参照）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2020/059285号

特許文献2：国際公開第2018/225571号

特許文献3：特開2010-016103号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、半導体モジュールの大容量化に伴い、主電極に接続される主配線の本数が増加することが想定される。この場合、主電極とゲート電極の配置関係によっては、主配線の本数が制限されるおそれがある。主配線の本数が少なくなると、主配線一本あたりの発熱量が大きくなってしまい、半導体モジュールの耐性に影響を与える可能性がある。

[0006] 本発明はかかる点に鑑みてなされたものであり、主配線の接続本数を確保

して熱に対する耐性を向上することが可能な半導体モジュールを提供することを目的の1つとする。

課題を解決するための手段

[0007] 本発明の一態様の半導体モジュールは、絶縁板の上面に複数の回路板が配置された積層基板と、所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、前記ゲートランナは、前記主電極を一方側と他方側に分断して延びており、前記配線部材は、前記ゲートランナの上方を跨ぐように配置されている。

発明の効果

[0008] 本発明によれば、主配線の接続本数を確保して熱に対する耐性を向上することが可能である。

図面の簡単な説明

- [0009] [図1]本実施の形態に係る半導体モジュールの平面図である。
[図2]図1の積層基板単位の部分拡大図である。
[図3]本実施の形態に係る電気回路を示す模式図である。
[図4]参考例に係る半導体素子周辺の平面図である。
[図5]本実施の形態に係る半導体素子周辺の平面図である。
[図6]図5のZ X平面に沿って切断した断面図である。
[図7]図6のA部拡大図である。
[図8]変形例に係る半導体素子周辺の平面図である。
[図9]変形例に係る半導体素子周辺の平面図である。
[図10]変形例に係る半導体素子周辺の平面図である。
[図11]変形例に係る半導体素子周辺の平面図である。
[図12]変形例に係る半導体素子周辺の平面図である。
[図13]第2実施形態に係る半導体素子周辺の平面図である。
[図14]図14の部分拡大図である。

[図15]第2実施形態の変形例に係る半導体素子周辺の平面図である。

発明を実施するための形態

[0010] 以下、本発明を適用可能な半導体モジュールについて説明する。図1は、本実施の形態に係る半導体モジュールの平面図である。図2は、図1の積層基板単位の部分拡大図である。図3は、本実施の形態に係る電気回路を示す模式図である。図1では、説明の便宜上、ケース、及びチップ上の主配線を省略している。また、図2では、主配線のみ示し、制御配線は省略している。なお、以下に示す半導体モジュールはあくまで一例にすぎず、これに限定されることなく適宜変更が可能である。

[0011] また、以下の図において、半導体モジュールの長手方向（複数の積層基板が並ぶ方向）をX方向、半導体モジュールの短手方向をY方向、高さ方向（基板の厚み方向）をZ方向と定義することにする。図示されたX、Y、Zの各軸は互いに直交し、右手系を成している。また、場合によっては、X方向を左右方向、Y方向を前後方向、Z方向を上下方向と呼ぶことがある。これらの方向（前後左右上下方向）は、説明の便宜上用いる文言であり、半導体モジュールの取付姿勢によっては、X Y Z方向のそれぞれとの対応関係が変わることがある。例えば、半導体モジュールの放熱面側（冷却器側）を下面側とし、その反対側を上面側と呼ぶことにする。また、本明細書において、平面視は、半導体モジュールの上面をZ方向正側からみた場合を意味する。また、本明細書において、方向や角度の表記は、概ねその方向や角度であればよく、±10度以内は許容されてよいものとする。

[0012] 本実施の形態に係る半導体モジュールは、例えばパワーモジュール等の電力変換装置に適用されるものであり、インバータ回路を構成するパワーモジュールである。図1及び図2に示すように、半導体モジュール1は、ベース板10と、ベース板10上に配置される複数の積層基板2と、積層基板2上に配置される複数の半導体素子3と、を含んで構成される。特に図示はしていないが、半導体モジュール1は、その他に積層基板2及び複数の半導体素子3を収容するケースと、ケース内に充填される封止樹脂（共に不図示）を

含んでよい。

- [0013] ベース板 10 は、上面と下面を有する長方形の板である。ベース板 10 は、放熱板として機能する。また、ベース板 10 は、X 方向に長辺、Y 方向に短辺を備える平面視矩形状を有している。ベース板 10 は、例えば銅、アルミニウム又はこれらの合金等からなる金属板であり、表面にメッキ処理が施されてもよい。
- [0014] ベース板 10 の上面には、平面視矩形状のケースが配置される。ケースは、ベース板 10 の上方及び複数の半導体素子を覆うように下方が開口された箱型に形成されている。ケースは、積層基板 2、半導体素子、封止樹脂等を収容する空間を画定する。
- [0015] また、ケースには、外部端子が設けられている。例えば、外部端子は、正極端子（P 端子）、負極端子（N 端子）、及び出力端子（M 端子）を含み、その他に制御端子が含まれてよい。正極端子、負極端子、及び出力端子は、主端子と呼ばれてもよい。また、外部端子には、複数の制御端子が含まれてよい。各外部端子は、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属板をプレス加工等して形成されている。
- [0016] また、ケース 11 の内側において、ベース板 10 の上面には、6 つの積層基板 2 が配置されている。積層基板 2 は、例えば平面視矩形状に形成されている。6 つの積層基板 2 は、X 方向に並んで配置されている。積層基板 2 は、金属層と絶縁層とを積層して形成され、例えば、DCB (Direct Copper Bonding) 基板やAMB (Active Metal Brazing) 基板、あるいは金属ベース基板で構成される。具体的に積層基板 2 は、絶縁板 20 と、絶縁板 20 の下面に配置された放熱板（不図示）と、絶縁板 20 の上面に配置された回路板 21 - 24 と、を有する。
- [0017] 絶縁板 20 は、Z 方向に所定の厚みを有し、上面と下面を有する平板状に形成される。絶縁板 20 は、例えばアルミナ (Al_2O_3)、窒化アルミニウム (AlN)、窒化珪素 (Si_3N_4) 等のセラミックス材料、エポキシ等の樹脂材料、又はセラミックス材料をフィラーとして用いたエポキシ樹脂材料

等の絶縁材料によって形成される。なお、絶縁板20は、絶縁層又は絶縁フィルムと呼ばれてもよい。

[0018] 放熱板は、Z方向に所定の厚みを有し、絶縁板の下面の略全体を覆うように形成される。放熱板は、例えば銅やアルミニウム等の熱伝導性の良好な金属板によって形成される。

[0019] 絶縁板20の上面（主面）には、複数の回路板21-24（本実施の形態では4つ）が、電氣的に互いに絶縁された状態で、独立して島状に形成されている。そのうち、3つの回路板21-23は、主電流が流れる主配線を構成する。また、回路板24は、制御用の制御配線を構成する。これらの回路板は、銅箔等によって形成される所定厚みの金属層で構成される。例えば、回路板21-23は、主配線層と呼ばれてもよく、回路板24は、制御配線層と呼ばれてもよい。

[0020] 回路板21は、絶縁板20の上面において、X方向負側に偏って配置されている。回路板21は、絶縁板20の一辺に沿ってY方向に延び、Y方向負側の端部がX方向正側に屈曲した平面視L字形状を有している。回路板21のY方向負側で且つX方向正側の端部には、上アームのコレクタ電極が接続された外部接続用のパッド部C1が配置されている。パッド部C1は、外部の電源正電位点（P端子）に接続される（図3参照）。すなわち、回路板21は、上アームの主配線層を構成する。

[0021] 回路板22は、絶縁板20の上面において、X方向正側に偏って配置されている。回路板22は、絶縁板20の一辺に沿ってY方向に延び、Y方向正側の端部がX方向負側に屈曲した平面視L字形状を有している。回路板22のL字の角部には、上アームのエミッタ電極と下アームのコレクタ電極が接続された外部接続用のパッド部E1C2が配置されている。パッド部E1C2は、中間電位点（M端子）として、外部の負荷に接続される（図3参照）。すなわち、回路板22は、下アームの主配線層の一部を構成する。

[0022] 回路板23は、絶縁板20の上面において、回路板22よりもX方向正側に偏って配置されている。回路板23は、絶縁板20の一辺に沿ってY方向

に延び、Y方向負側の端部がX方向負側に屈曲した平面視L字形状を有している。回路板23のL字の角部には、下アームのエミッタ電極が接続された外部接続用のパッド部E2が配置されている。パッド部E2は、外部の電源正電位点(N端子)に接続される(図3参照)。すなわち、回路板23は、下アームの主配線層の一部を構成する。

[0023] 回路板24は、絶縁板20の上面において、Y方向負側に偏って配置されている。回路板24は、絶縁板20の一辺に沿ってX方向に延び、X方向負側の端部が僅かにY方向正側に屈曲した平面視L字形状を有している。

[0024] これらの回路板の上面には、上記した外部端子の端部が接続される。これらの外部端子は、それぞれの端部が所定の回路板の上面に、超音波接合やレーザー接合等で直接接続、又は、半田や焼結金属等の接合材を介して接続されている。これにより、各外部端子の端部が、所定の回路板に導電接続される。便宜上、各外部端子と回路板との接続関係は、説明を省略する。

[0025] 所定の回路板の上面には、半田等の接合材S(図6参照)を介して半導体素子3が配置される。半導体素子3は、例えばシリコン(Si)、炭化けい素(SiC)、窒化ガリウム(GaN)等の半導体基板によって平面視方形状(又は矩形状)に形成される。なお、半導体素子3としては、IGBT(Insulated Gate Bipolar Transistor)、パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)等のスイッチング素子、FWD(Free Wheeling Diode)等のダイオードが用いられる。

[0026] 本実施の形態では、半導体素子3として、IGBTとFWDを一体化したRC(Reverse Conducting) - IGBT素子を用いる場合について説明する。また、半導体素子3には、パワーMOSFET素子、又は逆バイアスに対して十分な耐圧を有するRB(Reverse Blocking) - IGBT等が用いられてもよい。また、半導体素子3の形状、配置数、配置箇所等は適宜変更が可能である。なお、本実施の形態における半導体素子3は、半導体基板にトランジスタなどの機能素子を形成した、縦型のスイッチング素子である。

[0027] 半導体素子3では、上面及び下面にそれぞれ電極が形成されている(図6

参照)。例えば、上面側の電極（上面電極 T 1）は、エミッタ電極（ソース電極）で構成される。下面側の電極（下面電極 B 1）は、コレクタ電極（ドレイン電極）で構成される。上面電極 T 1 及び下面電極 B 2 は、主電極と呼ばれてもよい。また、半導体素子 3 の上面には、ゲートパッド 3 0 とゲートランナ 3 1 が形成されている（図 5、6 参照）。

[0028] ゲートパッド 3 0 は、半導体素子 3 に対する主電流の入口を表している。ゲートパッド 3 0 は、上記した上面電極とは分離した（独立した）領域に形成されている。ゲートパッド 3 0 は、半導体素子 3 の上面において、外周側配置されている。より具体的にゲートパッド 3 0 は、半導体素子 3 の一辺の中央に配置されている。図 2 では、半導体素子 3 の X 方向負側に位置する一辺上に、ゲートパッド 3 0 が配置されている。なお、ゲートパッド 3 0 は、ゲート電極と呼ばれてもよい。

[0029] ゲートランナ 3 1 は、ゲートパッド 3 0 に連なるゲート配線を構成する。すなわち、ゲートランナ 3 1 は、半導体素子 3 内に電流を流すための電流経路の一部を構成する。ゲートランナ 3 1 は、半導体素子 3 の中央を X 方向で 2 つに分断するように Y 方向に延びて形成されている。ゲートランナ 3 1 及び半導体素子 3 の表面における詳細構造は後述する。

[0030] 複数の半導体素子 3 は、半田等の接合材（不図示）を介して回路板 2 1、2 2 の上面に配置されている。これにより、半導体素子 3 の各下面電極が回路板 2 1、2 2 に導電接続される。この結果、各外部端子と各半導体素子は、導電接続された状態となる。

[0031] 本実施の形態では、回路板 2 1、2 2 のそれぞれの上面に 2 つずつ、合計で 4 つの半導体素子 3 が配置されている。回路板 2 1 では、2 つの半導体素子 3 が Y 方向に並んで配置されている。回路板 2 1 上の 2 つの半導体素子 3 は、上アームを構成する。回路板 2 2 では、2 つの半導体素子 3 が Y 方向に並んで配置されている。回路板 2 2 上の 2 つの半導体素子 3 は、下アームを構成する。上アームと下アームとは、X 方向で対向するように配置されている。X 方向負側に上アームが位置し、X 方向正側に下アームが位置している。

- 。
- [0032] 半導体素子 3 の上面電極と所定の回路板とは、ワイヤ等の配線部材 4 によって電氣的に接続される。例えば上アームを構成する半導体素子 3 の上面電極は、配線部材 4 を介して回路板 2 2 に接続される。下アームを構成する半導体素子 3 の上面電極は、配線部材 4 を介して回路板 2 3 に電氣的に接続される。
- [0033] 半導体素子 3 は、1 つのボンディング点毎にワイヤを切断することなく、複数のボンディング点に連続的にボンディングを実施する、いわゆるステッチボンディングによって所定の回路板に接続される。具体的には図 2 に示すように、配線部材 4 は、半導体素子 3 の上面に 2 つの接続点 4 0、4 1（図 4、5 参照）を有し、所定の回路板（回路板 2 2 又は回路板 2 3）上に 1 つの接続点 4 2（図 4、5 参照）を有している。なお、接続点の個数は、これに限らず、適宜変更が可能である。
- [0034] 配線部材 4 は、平面視で X 方向に延びるように配置されている。また、配線部材 4 は、Y 方向から見て隣接する接続点の間においてアーチを成すように延びている。詳細は後述するが、配線部材 4 は、Y 方向に延びるゲートランナ 3 1 を跨ぐように配置される。すなわち、ゲートランナ 3 1 は、接続点 4 0、4 1 の間で配線部材 4 の下を潜る（くぐる）ように配置されている。
- [0035] また、配線部材 4 は、1 つの半導体素子 3 につき複数配置されている。より具体的に配線部材 4 は、Y 方向に並んで例えば 7 つ配置されている。なお、配線部材 4 の数は、これに限らず、適宜変更が可能である。
- [0036] これらの配線部材 4 には、導体ワイヤ（ボンディングワイヤ）が用いられる。導体ワイヤの材質は、金、銅、アルミニウム、金合金、銅合金、アルミニウム合金のいずれか 1 つ又はそれらの組み合わせを用いることができる。また、配線部材 4 として導体ワイヤ以外の部材を用いることも可能である。例えば、配線部材 4 としてリボンを用いることができる。また、配線部材 4 は、ワイヤ等に限らず、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等のリボンあるいは金属板によって形成されてもよい。

[0037] ところで、半導体モジュールの大容量化に伴い、半導体素子の上面電極（主電極）に接続される配線部材（主配線）の本数が増加することが想定される。この場合、主電極とゲート電極（ゲートパッド）との配置関係によっては、配線部材の本数が制限されるおそれがある。配線部材の本数が少なくなると、配線部材一本あたりの発熱量が大きくなってしまい、半導体モジュールの耐性に影響を与える可能性がある。

[0038] そこで、本件発明者は、半導体素子の内部構造と表面のゲートランナ、更には配線部材との位置関係に着目し、本発明に想到した。

[0039] ここで、図4から図7を参照して、本実施の形態に係る半導体素子の表面構造について詳細に説明する。図4は、参考例に係る半導体素子周辺の平面図である。図5は、本実施の形態に係る半導体素子周辺の平面図である。なお、図4及び図5では、半導体素子の上面電極を省略し、内部の構造（後述するIGBT領域及びFWD領域）が平面視で表れているものとして説明する。実際の内部構造は、上面電極によって覆われているため、表面に表れることはない。また、図4から図7においては、内部構造のレイアウトが一部異なるだけであり、基本的に備える構成は共通である。このため、共通名称の構成は同一の符号を付して適宜説明を省略する。また、以下の図では、下アーム側を一例にして説明する。すなわち、上アーム側において、以下と同じ構造を有してもよい。

[0040] 上記したように、半導体素子3は、IGBTとFWDを一体化したRC-IGBT素子である。RC-IGBT素子は、上面電極の下方に平面視で帯状のIGBT領域3aと、FWD領域3bと、を有している。

[0041] 図4に示すように、半導体素子3は、Y方向に延びる複数のIGBT領域3aと、Y方向に延びる複数のFWD領域3bと、を有している。IGBT領域3aとFWD領域3bは、X方向で交互に並んで配置されている。図4では、IGBT領域3aが4つ、FWD領域3bが3つ配置されている。

[0042] また、上記したように、半導体素子3のX方向負側に位置する一辺上に、ゲートパッド30が配置されている。すなわち、ゲートパッド30は、半導

体素子3の外周縁に位置する一辺上に偏って配置されている。また、半導体素子3の上面上には、ゲートパッド30に連なるゲートランナ31が配置されている。

[0043] ゲートランナ31は、X方向負側に位置するゲートパッド30からX方向正側に向かって延びている。ゲートランナ31は、半導体素子3の上面中央をY方向で2つに分断する。ゲートランナ31の延在方向とIGBT領域3a及びFWD領域3bの延在方向とは、直交している。

[0044] また、ゲートパッド30が配置された半導体素子3の一辺に対向する一辺よりも外側には、回路板23が配置されている。すなわち、回路板23は、半導体素子3の他の一辺を挟んでゲートパッド30の反対側に配置されている。

[0045] また、半導体素子3の上面電極と回路板23とは、配線部材4によって接続されている。配線部材4は、半導体素子3の上面に2つの接続点40、41を有し、回路板23上に1つの接続点42を有している。また、配線部材4は、平面視でX方向に延びている。配線部材4は、ゲートランナ31と平行に延びている。また、配線部材4の延在方向とIGBT領域3a及びFWD領域3bの延在方向とは、直交している。

[0046] 図4に示すように、参考例では、X方向に延びる配線部材4がY方向に並んで2つ配置されている。配線部材4は、ゲートランナ31に重なるように接続点を配置することができない。上記したように参考例では、配線部材4とゲートランナ31が並行である。このため、ゲートランナ31を避けるように配線部材4を配置しようとする、配線部材4の本数に制限が生じる。

[0047] また、図4に限らず、ゲートランナ31の延在方向とIGBT領域3a及びFWD領域3bの延在方向とが平行な場合も想定される。この場合、ゲートランナから各領域に均等に電流が流れ難くなるおそれがある。この結果、電流アンバランスが生じてスイッチングのタイミングにズレが生じ易くなってしまう。

[0048] これらに対し、本実施の形態では、図5に示すように、ゲートランナ31

は、半導体素子3の外周縁全体を囲う矩形枠状に形成されている。具体的にゲートランナ31は、外周部32と直線部33とを有している。

[0049] 外周部32は、ゲートパッド30から半導体素子3の外周縁に沿って延びている。より具体的には、外周部32は、ゲートパッド30のY方向の両端部から半導体素子3の外周縁に沿って延び、半導体素子3の外周縁（上面電極の外周縁）を囲うように矩形枠状に形成される。直線部33は、Y方向で対向する外周部32の一辺同士をX方向中央で連ねている。また、直線部33は、半導体素子3の中央を分断するようにY方向に延びている。すなわち、直線部33は、半導体素子の上面（上面電極）を一方側（X方向負側）と他方側（X方向正側）に分断する。

[0050] なお、外周部32は、半導体素子3の外周縁全体を囲う構成に限られない。例えば、外周部32は、少なくとも一方側（X方向負側）、すなわち直線部33よりもX方向負側にあればよい。

[0051] ここでゲートランナ31の断面形状について説明する。図6及び図7に示すように、ゲートランナ31（外周部32及び直線部33）は、ゲート配線層34と、絶縁膜35とを備えている。ゲート配線層34は、上面電極T1とは独立して形成され、例えば上面電極T1と同様の材質の金属層で構成される。絶縁膜35は、ゲート配線層34を被覆するものであり、例えばポリイミド等の樹脂で形成される。絶縁膜35は、ゲート配線層34の上方を覆うと共に、上面電極T1の縁部も覆っている。このため、絶縁膜35は、ゲート配線層34、及び上面電極T1よりも上方に膨らんだ外面形状を有している。

[0052] また、上記と同様に、配線部材4は、平面視でX方向に延びている。配線部材4は、半導体素子3の上面に2つの接続点40、41を有し、回路板23上に1つの接続点42を有している。このように、複数の配線部材4は、半導体素子3の上面において、直線部33によって分断された一方側と他方側の領域に少なくとも1つずつ接続点を有することが好ましい。また、詳細は後述するが、各接続点は、IGBT領域3a及びFWD領域3bの両方に

重なっていることが好ましい。

- [0053] 特に、本実施の形態では、直線部33が配線部材4の下方を潜る（くぐる）ように延びている。すなわち、配線部材4は、直線部33の上方を跨ぐように配置されている。具体的に配線部材4は、第1アーチ部4aと、第2アーチ部4bと、を更に有している（図6参照）。
- [0054] 第1アーチ部4aは、接続点40、41に連なり、接続点40、41の間で上方に凸のアーチ状に形成されている。第2アーチ部4bは、接続点41、42に連なり、接続点41、42の間で上方に凸のアーチ状に形成されている。第1アーチ部4aは、ゲートランナ31の一部（直線部33）の上方を跨いでいる。同様に第2アーチ部4bは、ゲートランナ31の一部（外周部32の一部）の上方を跨いでいる。
- [0055] このように、配線部材4とゲートランナ31（直線部33）を平面視で交差させたことで、配線部材4の配置箇所を気にすることなく、より多くの配線部材4を上面電極上に配置することが可能である。例えば図5では、図4よりも多い3つの配線部材4が上面電極上に配置されている。
- [0056] このように、本実施の形態によれば、配線部材4（主配線）の接続本数を確保して、上面電極に対する配線部材4の接続点40、41の数を増やすことが可能である。この結果、接続点一箇所当たりの発熱量を小さくすることができ、熱分布の偏りを小さくすることが可能である。したがって、熱に対する半導体モジュール1の耐性を向上することが可能である。
- [0057] また、本実施の形態では、半導体素子3は、平面視矩形状を有し、矩形状の一辺上（半導体素子3の一方側であるX方向負側に対応する一辺上）に配置されたゲートパッド30を有している。また、回路板22に対し、回路板23（他の回路板）が半導体素子3の他の一辺（半導体素子3の他方側であるX方向正側に対応する一辺）を挟んでゲートパッド30の反対側に配置されている。この構成によれば、ゲートパッド30に接続される制御配線（不図示）を一方側であるX方向負側に配置することができる。これに対し、主配線である配線部材4を制御配線よりも他方側であるX方向正側に配置する

ことができる。すなわち、制御配線と主配線とが重なることなく別々に配置することが可能である。

[0058] また、本実施の形態において、半導体素子3は、IGBTとFWDを一体化したRC-IGBT素子である。RC-IGBT素子は、上面電極の下方に平面視で帯状のIGBT領域3aと、FWD領域3bと、を有している。

[0059] 図5に示すように、半導体素子3は、X方向に延びる複数のIGBT領域3aと、X方向に延びる複数のFWD領域3bと、を有している。IGBT領域3aとFWD領域3bは、Y方向で交互に並んで配置されている。図5では、IGBT領域3aが4つ、FWD領域3bが3つ配置されている。

[0060] 特に図5では、IGBT領域3a及びFWD領域3bが、ゲートランナ31の直線部33と交差する方向(X方向)に延びている。すなわち、IGBT領域3a及びFWD領域3bと配線部材4は、平面視で同じX方向に延びている。なお、IGBT領域3a及びFWD領域3bの延在方向は、トレンチ方向と呼ばれてもよい。

[0061] RC-IGBT素子では、トレンチ方向に電流が流れ易くなっている。すなわち、RC-IGBT素子では、電流の流れ方向に指向性を有している。具体的に主電流は、ゲートパッド30からゲートランナ31の外周部32及び直線部33に流れ込む。そして、主電流は、直線部33から各IGBT領域3a及びFWD領域3bをトレンチ方向に沿ってX方向両側に流れる。

[0062] また、主電流が流れる配線部材4が上記トレンチ方向と同じ方向に延びているため、モジュール全体として主電流の流れる方向が一方向(X方向)にまとめられる。この結果、電流の流れ分布が均一になり、ノイズや発振を抑制できると共に、更には局所発熱を防止することが可能である。

[0063] また、本実施の形態において、IGBT領域3aは、FWD領域3bよりも大きい幅を有することが好ましい。この構成によれば、それぞれの領域での電流分担を平準化することができ、いずれか一方の異常加熱や破壊を抑制することが可能である。

[0064] また、本実施の形態において、配線部材4は、平面視でIGBT領域3a

及びFWD領域3bの両方に重なる接続点を少なくとも1つ有することが好ましい。例えば、IGBTとFWDではオンオフのタイミングが逆であり、電流の流れるタイミングも異なる。接続点が一方の領域にのみ重なっていると局所的な発熱のおそれがある。このため、接続点が両方の領域に重なることで熱分布を均一にして局所的な発熱を抑制することが可能である。

[0065] 以上説明したように、本実施の形態によれば、アーチ状の配線部材4の下方を潜るようにゲートランナ31（直線部33）を配置したことで、配線の接続本数を確保して熱に対する耐性を向上することが可能である。

[0066] 以下、図8から図12を参照して変形例について説明する。図8から図12は、変形例に係る半導体素子周辺の平面図である。

[0067] 例えば、上記実施の形態では、配線部材4がIGBT領域3a及びFWD領域3bの延在方向と平行に延びる場合について説明したが、この構成に限定されない。例えば図8に示すように、配線部材4は、平面視において、IGBT領域3a及びFWD領域3bの延在方向に対して傾斜してもよい。すなわち、配線部材4は、ゲートランナ31（直線部33）の上方を跨ぎさえすればよい。

[0068] また、上記実施の形態では、配線部材4の各接続点は、平面視でIGBT領域3a及びFWD領域3bに重なる場合について説明したが、この構成に限定されない。例えば図9に示すように、IGBT領域3a及びFWD領域3bのいずれか一方にしか重ならない接続点が存在してもよい。

[0069] また、上記実施の形態では、配線部材4がステッチボンディングされる場合について説明したが、この構成に限定されない。例えば図10に示すように、1つの配線部材につき、半導体素子3上の接続点が1つだけであってもよい。図10では、配線部材4の他に、配線部材4よりも短い配線部材5（第2の配線部材）が配置されている。配線部材4は、直線部33及びX方向負側に位置する外周部32の一部の上方を跨いでいる。配線部材4の接続点40は、直線部33よりもX方向負側に位置している。これに対し、配線部材5は、直線部33の上方は跨がず、X方向負側に位置する外周部32の一

部の上方を跨いでいる。配線部材5の接続点51は、直線部33よりもX方向正側に位置している。また、配線部材部材5の接続点52は、回路板23上に配置されている。

[0070] また、上記実施の形態では、半導体素子3上において、配線部材の接続点の数が、直線部33よりもX方向負側と正側で同じ場合について説明したが、この構成に限定されない。例えば図11に示すように、配線部材4、5の接続点の数は、一方側であるX方向負側よりも他方側であるX方向正側が多くてもよい。

[0071] また、上記実施の形態では、ゲートランナ31の一部である直線部33が外周部32の中央でY方向に延びて上面電極を2つに分断する場合について説明したが、この構成に限定されない。例えば、図12に示す構成であってもよい。図12では、Y方向に延びる2本の直線部33がY方向で対向する外周部32の一辺同士に連なっている。2本の直線部33により、上面電極がX方向で3つの領域に分断されている。配線部材4は、分断された各領域に接続点40～42が配置されてもよい。また、配線部材4の端部である接続点43は、回路板23上に配置されている。

[0072] 次に、図13から図15を参照して、第2実施形態について説明する。図13は、第2実施形態に係る半導体素子周辺の平面図である。図14は、図14の部分拡大図である。図15は、第2実施形態の変形例に係る半導体素子周辺の平面図である。なお、以下においては、配線部材（特にボンディング箇所）のレイアウトが上記実施の形態と相違するだけであるため、共通する構成は同一の符号を付して適宜説明を省略する。

[0073] 上記したように半導体モジュールの耐性を確保するために、配線部材の発熱量を考慮する必要がある。例えば、半導体モジュールの動作立ち上がりには要する数msec程度の短時間においても、チップ近傍で局所的な発熱（放熱）が生じる。チップ裏面側では半田及び絶縁基板を介して放熱され、チップ表面側では配線部材（ボンディングワイヤ）を介して放熱される。この場合、チップの外周近傍に配線部材の接続点（ボンディング点）があると、放

熱面積が十分に確保できない場合が想定される。

[0074] 特に IGBT と FWD を一体化した RC-IGBT 素子では、上記したように IGBT 領域と FWD 領域が所定方向に延びた帯状に形成されている。このため、立ち上がりの数 msec 程度の短時間において、チップ全面で放熱されるのではなく、帯状に偏って放熱される。すなわち、IGBT と FWD が別体の場合と比較して、短時間における放熱面積が小さくなり、過渡熱抵抗が大きくなるという問題がある。

[0075] そこで、本件発明者は、更に RC-IGBT 素子における放熱分布及び配線部材のレイアウトに着目し、本発明に想到した。

[0076] 図 13 に示すように、第 2 実施形態では、Y 方向に沿って帯状に延びる複数の IGBT 領域 3a 及び FWD 領域 3b が交互に並んで配置されている。また、半導体素子 3 の外周を囲うようにゲートランナ 31 が配置されている。上記したように、ゲートランナ 31 は、半導体素子 3 の外周縁全体を囲う矩形枠状に形成されている。具体的にゲートランナ 31 は、外周部 32 と直線部 33 とを有している。

[0077] 外周部 32 は、ゲートパッド 30 から半導体素子 3 の外周縁に沿って延びている。より具体的には、外周部 32 は、ゲートパッド 30 の Y 方向の両端部から半導体素子 3 の外周縁に沿って延び、半導体素子 3 の外周縁（上面電極の外周縁）を囲うように矩形枠状に形成される。直線部 33 は、Y 方向で対向する外周部 32 の一辺同士を X 方向中央で連ねている。また、直線部 33 は、半導体素子 3 の中央を分断するように Y 方向に延びている。すなわち、直線部 33 は、半導体素子の上面（上面電極）を一方側（X 方向負側）と他方側（X 方向正側）に分断する。

[0078] ここで、直線部 33 を第 1 の直線部 33 と呼び、当該第 1 の直線部 33 に対向配置された外周部 32 の 2 つの直線部を第 2 の直線部 32a と呼ぶことにする。第 2 の直線部 32a は、ゲートパッド 30 から半導体素子 3 の外周縁に沿って延びる外周部 32 の一部で構成される。このような外周部 32 は、半導体素子 3 の耐熱構造部を構成する。

- [0079] 上記したように、第1の直線部33は、外周部32に連なり、半導体素子3の中央を分断するように延びている。また、第1の直線部33は、2つの第2の直線部32aの間で中央に位置している。第1の直線部33及び2つの第2の直線部32aは、互いにY方向に沿って平行となっており、IGBT領域3a及びFWD領域3bの延在方向（X方向）と交差する方向に延びている。
- [0080] また、配線部材4は、半導体素子3の上方において、X方向に延び、第1の直線部33及び第2の直線部32aの上方を跨ぐように配置されている。上記したように、配線部材4は、ステッチボンディングによって主電極と所定の回路板23とで電氣的に接続し、複数の接続点40、41、42（ボンディング点）を有している。また、図13では、3つの配線部材4がY方向に並んで配置されている。
- [0081] 接続点40は、ゲートランナ31によって囲まれた平面視矩形形状の領域のうち、X方向負側の矩形領域に配置されている。また、接続点40は、平面視で第1の直線部33と第2の直線部32aから等距離に位置する中心線Cに重なるように配置されている。中心線Cは、第1の直線部33と第2の直線部32aとの間で第1の直線部33及び第2の直線部32aと平行に延びている。
- [0082] 接続点41は、ゲートランナ31によって囲まれた平面視矩形形状の領域のうち、X方向正側の矩形領域に配置されている。接続点41も接続点40と同様に、平面視で第1の直線部33と第2の直線部32aから等距離に位置する中心線Cに重なるように配置されている。
- [0083] このように、Y方向に延びるゲートランナ31（第1の直線部33、第2の直線部32a）から等距離の位置に接続点40、41が設けられることで、放熱面積を最も均一化することが可能である。この結果、過渡熱抵抗を低減することが可能となり、更には温度リップルを低減することが可能となる。
- [0084] また、図13では、接続点40、41の全体もしくは大部分が平面視でIGBT領域3aに重なっている。半導体モジュールの動作開始時はIGBT

領域 3 a から電流が流れるため、短時間における過渡熱抵抗を抑制でき、立ち上がり時の局所的な発熱を防止することが可能である。

[0085] また、上記では、接続点 4 0、4 1 が平面視矩形形状（ほぼ正方形）に形成される場合について説明したが、この構成に限定されない。例えば図 1 4 A、B に示すように、接続点 4 0、4 1 は、平面視で配線部材 4 の延在方向（X 方向）に長い長円形状を有してもよい。

[0086] また、上記では、図 1 4 A に示すように、中心線 C と接続点 4 0、4 1 の中心線とが重なっている（一致している）場合について説明したが、これに限定されず、適宜変更が可能である。例えば、図 1 4 B に示すように、接続点 4 0、4 1 の少なくとも一部が中心線 C と重なっていればよく、接続点 4 0、4 1 の X 方向（長手方向）における中心線 C 1 と中心線 C は必ずしも一致しなくてよい。

[0087] 例えば、中心線 C と中心線 C 1 との距離を d_x とし、接続点 4 0、4 1 の長手方向の幅を X_1 とすると、 $0 \leq d_x \leq X_1$ の関係を満たすことが好ましい。この範囲であれば、上記の作用効果を十分に享受することが可能である。

[0088] また、図 1 3 では、接続点 4 0、4 1 の全体もしくは大部分が平面視で IGBT 領域 3 a に重なる場合について説明したが、この構成に限定されない。例えば、図 1 5 に示すように、接続点 4 0、4 1 の全体もしくは大部分が平面視で FWD 領域 3 b に重なるように配置されてもよい。この場合、逆起電力によって FWD 領域 3 b に電流が流れる場合の局所的な発熱を抑制することが可能である。

[0089] また、上記実施の形態では、回路板の個数及びレイアウトは、上記構成に限定されず、適宜変更が可能である。

[0090] また、上記実施の形態では、積層基板 2 や半導体素子が平面視矩形形状又は方形状に形成される構成としたが、この構成に限定されない。積層基板 2 や半導体素子は、上記以外の多角形状に形成されてもよい。

[0091] また、本実施の形態及び変形例を説明したが、他の実施の形態として、上

記実施の形態及び変形例を全体的又は部分的に組み合わせたものでもよい。

[0092] また、本実施の形態は上記の実施の形態及び変形例に限定されるものではなく、技術的思想の趣旨を逸脱しない範囲において様々に変更、置換、変形されてもよい。さらに、技術の進歩又は派生する別技術によって、技術的思想を別の仕方を実現することができれば、その方法を用いて実施されてもよい。したがって、特許請求の範囲は、技術的思想の範囲内に含まれ得る全ての実施態様をカバーしている。

[0093] 下記に、上記実施の形態における特徴点を整理する。

上記実施の形態に記載の半導体モジュールは、絶縁板の上面に複数の回路板が配置された積層基板と、所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、前記ゲートランナは、前記主電極を一方側と他方側に分断して延びており、前記配線部材は、前記ゲートランナの上方を跨ぐように配置されている。

[0094] また、上記実施の形態に記載の半導体モジュールにおいて、前記半導体素子は、平面視矩形状を有し、前記ゲートパッドは、前記半導体素子の前記一方側に対応する一辺上に配置され、前記他の回路板は、前記半導体素子の前記他方側に対応する他の一辺を挟んで前記ゲートパッドの反対側に配置され、前記ゲートランナと前記配線部材は、平面視で交差している。

[0095] また、上記実施の形態に記載の半導体モジュールにおいて、前記ゲートランナは、前記半導体素子の上面中央を分断するように延び、前記主電極を少なくとも2つに分断する。

[0096] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材は、複数の導体ワイヤで構成される。

[0097] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材よりも短く、前記他方側に少なくとも1つの接続点を有する第2の配線部材を更に備える。

- [0098] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材は、前記半導体素子の上面において、前記一方側に少なくとも1つの接続点を有する。
- [0099] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材と前記第2の配線部材の接続点の数は、前記一方側よりも前記他方側が多い。
- [0100] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材と前記第2の配線部材の接続点の数は、前記一方側と前記他方側で同じである。
- [0101] また、上記実施の形態に記載の半導体モジュールにおいて、前記半導体素子は、IGBT (Insulated Gate Bipolar Transistor) と FWD (Free Wheeling Diode) を一体化した RC (Reverse Conducting) - IGBT 素子であり、平面視で帯状に延びた複数の IGBT 領域及び FWD 領域を更に有し、複数の前記 IGBT 領域及び前記 FWD 領域は、交互に配置されている。
- [0102] また、上記実施の形態に記載の半導体モジュールにおいて、前記 IGBT 領域及び FWD 領域は、前記ゲートランナと交差する方向に延びている。
- [0103] また、上記実施の形態に記載の半導体モジュールにおいて、前記 IGBT 領域は、前記 FWD 領域よりも大きい幅を有する。
- [0104] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材は、平面視において、前記 IGBT 領域及び前記 FWD 領域の延在方向に対して傾斜している。
- [0105] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材は、平面視で前記 IGBT 領域及び前記 FWD 領域の両方に重なる接続点を少なくとも1つ有する。
- [0106] また、上記実施の形態に記載の半導体モジュールにおいて、前記半導体素子は、平面視矩形状を有し、矩形状の一辺上に配置されたゲートパッドを更に有し、前記ゲートランナは、前記ゲートパッドから前記半導体素子の外周

縁に沿って延びる外周部と、前記外周部に連なり、前記半導体素子の中央を分断するように延びる直線部と、を有し、前記配線部材は、前記直線部及び／又は外周部の上方を跨ぐように配置されている。

[0107] また、上記実施の形態に記載の半導体モジュールは、絶縁板の上面に複数の回路板が配置された積層基板と、所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、前記半導体素子は、IGBT (Insulated Gate Bipolar Transistor) と FWD (Free Wheeling Diode) を一体化した RC (Reverse Conducting) - IGBT 素子であり、平面視で帯状に延びて交互に配置された複数の IGBT 領域及び FWD 領域を更に有し、前記ゲートランナは、前記主電極を一方側と他方側に分断して延びる第 1 の直線部と、前記第 1 の直線部に対向配置され、前記半導体素子の外周縁に沿って延びる第 2 の直線部と、を有し、前記第 1 の直線部及び前記第 2 の直線部は、前記 IGBT 領域及び FWD 領域と交差する方向に延びており、前記配線部材は、少なくとも前記第 1 の直線部の上方を跨ぐように配置され、前記主電極に対する接続点の少なくとも一部が、平面視で前記第 1 の直線部と前記第 2 の直線部から等距離に位置する中心線に重なっている。

[0108] また、上記実施の形態に記載の半導体モジュールにおいて、前記中心線は、前記第 1 の直線部と前記第 2 の直線部との間で前記第 1 の直線部及び前記第 2 の直線部と平行に延びている。

[0109] また、上記実施の形態に記載の半導体モジュールにおいて、前記半導体素子は、平面視矩形形状を有し、矩形形状の一辺上に前記ゲートパッドが配置されており、前記第 2 の直線部は、前記ゲートパッドから前記半導体素子の外周縁に沿って延びる外周部の一部で構成され、前記外周部は、前記半導体素子の耐熱構造部を構成し、前記第 1 の直線部は、前記外周部に連なり、前記半導体素子の中央を分断するように延びている。

[0110] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材

は、平面視で前記第1の直線部と交差する方向に延びており、前記配線部材の接続点は、平面視で前記配線部材の延在方向に長い長円形状を有している。

[0111] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材の接続点は、平面視で前記IGBT領域に重なっている。

[0112] また、上記実施の形態に記載の半導体モジュールにおいて、前記配線部材の接続点は、平面視で前記FWD領域に重なっている。

産業上の利用可能性

[0113] 以上説明したように、本発明は、主配線の接続本数を確保して熱に対する耐性を向上することができるという効果を有し、特に、半導体モジュールに有用である。

[0114] 本出願は、2020年7月7日出願の特願2020-117233に基づく。この内容は、すべてここに含めておく。

請求の範囲

- [請求項1] 絶縁板の上面に複数の回路板が配置された積層基板と、
所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、
前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、
前記ゲートランナは、前記主電極を一方側と他方側に分断して延びており、
前記配線部材は、前記ゲートランナの上方を跨ぐように配置されている、半導体モジュール。
- [請求項2] 前記半導体素子は、平面視矩形状を有し、
前記ゲートパッドは、前記半導体素子の前記一方側に対応する一辺上に配置され、
前記他の回路板は、前記半導体素子の前記他方側に対応する他の一辺を挟んで前記ゲートパッドの反対側に配置され、
前記ゲートランナと前記配線部材は、平面視で交差している、請求項1に記載の半導体モジュール。
- [請求項3] 前記ゲートランナは、前記半導体素子の上面中央を分断するように延び、前記主電極を少なくとも2つに分断する、請求項1又は請求項2に記載の半導体モジュール。
- [請求項4] 前記配線部材は、複数の導体ワイヤで構成される、請求項1から請求項3のいずれかに記載の半導体モジュール。
- [請求項5] 前記配線部材よりも短く、前記他方側に少なくとも1つの接続点を有する第2の配線部材を更に備える、請求項1から請求項4のいずれかに記載の半導体モジュール。
- [請求項6] 前記配線部材は、前記半導体素子の上面において、前記一方側に少なくとも1つの接続点を有する、請求項5に記載の半導体モジュール

- 。
- [請求項7] 前記配線部材と前記第2の配線部材の接続点の数は、前記一方側よりも前記他方側が多い、請求項5又は請求項6に記載の半導体モジュール。
- [請求項8] 前記配線部材と前記第2の配線部材の接続点の数は、前記一方側と前記他方側で同じである、請求項5又は請求項6に記載の半導体モジュール。
- [請求項9] 前記半導体素子は、IGBT (Insulated Gate Bipolar Transistor) とFWD (Free Wheeling Diode) を一体化したRC (Reverse Conducting) - IGBT素子であり、平面視で帯状に延びた複数のIGBT領域及びFWD領域を更に有し、
複数の前記IGBT領域及び前記FWD領域は、交互に配置されている、請求項1から請求項7のいずれかに記載の半導体モジュール。
- [請求項10] 前記IGBT領域及びFWD領域は、前記ゲートランナと交差する方向に延びている、請求項9に記載の半導体モジュール。
- [請求項11] 前記IGBT領域は、前記FWD領域よりも大きい幅を有する、請求項9又は請求項10に記載の半導体モジュール。
- [請求項12] 前記配線部材は、平面視において、前記IGBT領域及び前記FWD領域の延在方向に対して傾斜している、請求項9から請求項11のいずれかに記載の半導体モジュール。
- [請求項13] 前記配線部材は、平面視で前記IGBT領域及び前記FWD領域の両方に重なる接続点を少なくとも1つ有する、請求項9から請求項11のいずれかに記載の半導体モジュール。
- [請求項14] 前記半導体素子は、平面視矩形状を有し、矩形状の一辺上に配置されたゲートパッドを更に有し、
前記ゲートランナは、
前記ゲートパッドから前記半導体素子の外周縁に沿って延びる外周部と、

前記外周部に連なり、前記半導体素子の中央を分断するように延びる直線部と、を有し、

前記配線部材は、前記直線部及び／又は外周部の上方を跨ぐように配置されている、請求項 1 から請求項 13 のいずれかに記載の半導体モジュール。

[請求項15]

絶縁板の上面に複数の回路板が配置された積層基板と、

所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、

前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、

前記半導体素子は、IGBT (Insulated Gate Bipolar Transistor) と FWD (Free Wheeling Diode) を一体化した RC (Reverse Conducting) - IGBT 素子であり、平面視で帯状に延びて交互に配置された複数の IGBT 領域及び FWD 領域を更に有し、

前記ゲートランナは、

前記主電極を一方側と他方側に分断して延びる第 1 の直線部と、

前記第 1 の直線部に対向配置され、前記半導体素子の外周縁に沿って延びる第 2 の直線部と、を有し、

前記第 1 の直線部及び前記第 2 の直線部は、前記 IGBT 領域及び FWD 領域と交差する方向に延びており、

前記配線部材は、少なくとも前記第 1 の直線部の上方を跨ぐように配置され、前記主電極に対する接続点の少なくとも一部が、平面視で前記第 1 の直線部と前記第 2 の直線部から等距離に位置する中心線に重なっている、半導体モジュール。

[請求項16]

前記中心線は、前記第 1 の直線部と前記第 2 の直線部との間で前記第 1 の直線部及び前記第 2 の直線部と平行に延びている、請求項 15 に記載の半導体モジュール。

- [請求項17] 前記半導体素子は、平面視矩形状を有し、矩形状の一辺上に前記ゲートパッドが配置されており、
- 前記第2の直線部は、前記ゲートパッドから前記半導体素子の外周縁に沿って延びる外周部の一部で構成され、
- 前記外周部は、前記半導体素子の耐熱構造部を構成し、
- 前記第1の直線部は、前記外周部に連なり、前記半導体素子の中央を分断するように延びている、請求項15又は請求項16に記載の半導体モジュール。
- [請求項18] 前記配線部材は、平面視で前記第1の直線部と交差する方向に延びており、
- 前記配線部材の接続点は、平面視で前記配線部材の延在方向に長い長円形状を有している、請求項15から請求項17のいずれかに記載の半導体モジュール。
- [請求項19] 前記配線部材の接続点は、平面視で前記IGBT領域に重なっている、請求項15から請求項18のいずれかに記載の半導体モジュール。
- [請求項20] 前記配線部材の接続点は、平面視で前記FWD領域に重なっている、請求項15から請求項19のいずれかに記載の半導体モジュール。

補正された請求の範囲
[2021年11月5日 (05.11.2021) 国際事務局受理]

[請求項1] 絶縁板の上面に複数の回路板が配置された積層基板と、
所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、
前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、
前記ゲートランナは、前記主電極を一方側と他方側に分断して延びており、
前記配線部材は、前記ゲートランナの上方を跨ぐように配置されている、半導体モジュール。

[請求項2] 前記半導体素子は、平面視矩形状を有し、
前記ゲートパッドは、前記半導体素子の前記一方側に対応する一辺上に配置され、
前記他の回路板は、前記半導体素子の前記他方側に対応する他の一辺を挟んで前記ゲートパッドの反対側に配置され、
前記ゲートランナと前記配線部材は、平面視で交差している、請求項1に記載の半導体モジュール。

[請求項3] (補正後) 前記ゲートランナは、前記半導体素子の上面を分断するように延び、前記主電極を少なくとも2つに分断し、
前記配線部材は、前記半導体素子の上面において、複数に分断された各領域に少なくとも1つの接続点を有する、請求項1又は請求項2に記載の半導体モジュール。

[請求項4] 前記配線部材は、複数の導体ワイヤで構成される、請求項1から請求項3のいずれかに記載の半導体モジュール。

[請求項5] 前記配線部材よりも短く、前記他方側に少なくとも1つの接続点を有する第2の配線部材を更に備える、請求項1から請求項4のいずれかに記載の半導体モジュール。

[請求項6] (補正後) 前記ゲートランナは、前記半導体素子の上面において、前記主電極を3つ以上の領域に分断するように延び、

前記配線部材は、前記半導体素子の上面において、複数に分断された各領域に少なくとも1つの接続点を有する、請求項1から請求項5のいずれかに記載の半導体モジュール。

[請求項7] (補正後) 前記配線部材と前記第2の配線部材の接続点の数は、前記一方側よりも前記他方側が多い、請求項5に記載の半導体モジュール。

[請求項8] (補正後) 前記配線部材と前記第2の配線部材の接続点の数は、前記一方側と前記他方側で同じである、請求項5に記載の半導体モジュール。

[請求項9] (補正後) 前記半導体素子は、IGBT (Insulated Gate Bipolar Transistor) とFWD (Free Wheeling Diode) を一体化したRC (Reverse Conducting) - IGBT素子であり、平面視で帯状に延びた複数のIGBT領域及びFWD領域を更に有し、複数の前記IGBT領域及び前記FWD領域は、交互に配置されており、

前記IGBT領域及びFWD領域は、前記ゲートランナと交差する方向に延びている、請求項1から請求項8のいずれかに記載の半導体モジュール。

[請求項10] (補正後) 前記配線部材の接続点は、前記IGBT領域側に偏って配置されている、請求項9に記載の半導体モジュール。

[請求項11] 前記IGBT領域は、前記FWD領域よりも大きい幅を有する、請求項9又は請求項10に記載の半導体モジュール。

[請求項12] 前記配線部材は、平面視において、前記IGBT領域及び前記FWD領域の延在方向に対して傾斜している、請求項9から請求項11のいずれかに記載の半導体モジュール。

[請求項13] 前記配線部材は、平面視で前記IGBT領域及び前記FWD領域の両方に重なる接続点を少なくとも1つ有する、請求項9から請求項11のいずれかに記載の半導体モジュール。

[請求項14] 前記半導体素子は、平面視矩形形状を有し、矩形形状の一辺上に配置されたゲートパッドを更に有し、

前記ゲートランナは、

前記ゲートパッドから前記半導体素子の外周縁に沿って延びる外周部と、

前記外周部に連なり、前記半導体素子の中央を分断するように延びる直線部と、を有し、

前記配線部材は、前記直線部及び／又は外周部の上方を跨ぐように配置されている、請求項1から請求項13のいずれかに記載の半導体モジュール。

[請求項15] 絶縁板の上面に複数の回路板が配置された積層基板と、

所定の回路板上に配置され、上面に主電極、ゲートパッド、及び前記ゲートパッドに電氣的に接続されたゲートランナを有する半導体素子と、

前記主電極と他の回路板とを電氣的に接続する配線部材と、を備え、

前記半導体素子は、I G B T (Insulated Gate Bipolar Transistor) と F W D (Free Wheeling Diode) を一体化した R C (Reverse Conducting) - I G B T 素子であり、平面視で帯状に延びて交互に配置された複数の I G B T 領域及び F W D 領域を更に有し、

前記ゲートランナは、

前記主電極を一方側と他方側に分断して延びる第 1 の直線部と、

前記第 1 の直線部に対向配置され、前記半導体素子の外周縁に沿って延びる第 2 の直線部と、を有し、

前記第 1 の直線部及び前記第 2 の直線部は、前記 I G B T 領域及び F W D 領域と交差する方向に延びており、

前記配線部材は、少なくとも前記第 1 の直線部の上方を跨ぐように配置され、前記主電極に対する接続点の少なくとも一部が、平面視で前記第 1 の直線部と前記第 2 の直線部から等距離に位置する中心線に重なっている、半導体モジュール。

[請求項16] 前記中心線は、前記第 1 の直線部と前記第 2 の直線部との間で前記第 1 の直線部及び前記第 2 の直線部と平行に延びている、請求項 15 に記載の半導体モジュール。

[請求項17] 前記半導体素子は、平面視矩形形状を有し、矩形形状の一辺上に前記ゲートパッドが配置されており、

前記第 2 の直線部は、前記ゲートパッドから前記半導体素子の外周縁に沿って延びる外周部の一部で構成され、

前記外周部は、前記半導体素子の耐熱構造部を構成し、

前記第 1 の直線部は、前記外周部に連なり、前記半導体素子の中央を分断するように延びている、請求項 15 又は請求項 16 に記載の半導体モジュール。

[請求項18] 前記配線部材は、平面視で前記第 1 の直線部と交差する方向に延びており、

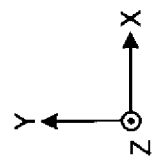
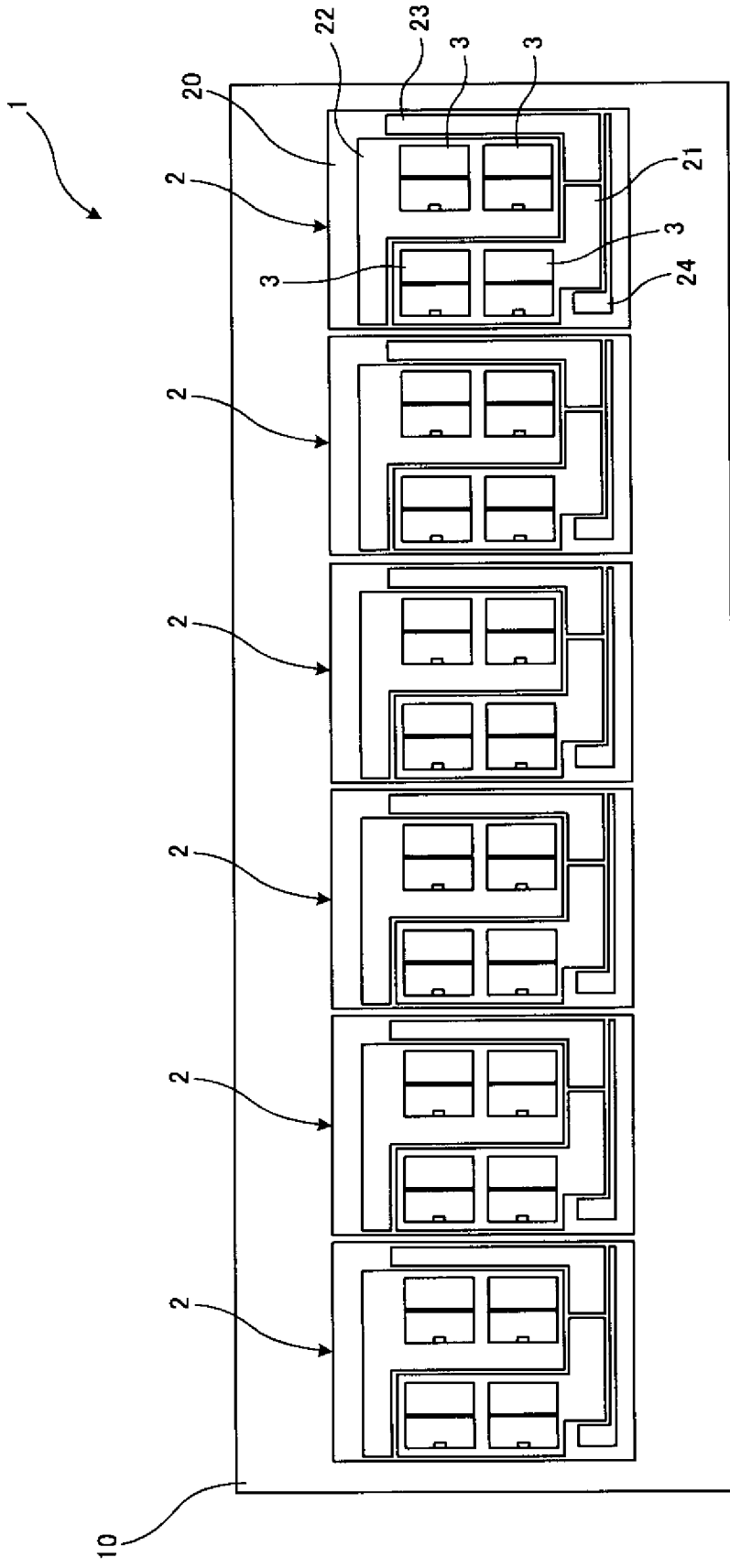
前記配線部材の接続点は、平面視で前記配線部材の延在方向に長い長円形状を有している、請求項 15 から請求項 17 のいずれかに記載の半導体モジュール。

[請求項19] (補正後) 前記配線部材の接続点は、平面視で前記 I G B T 領域及び前記 F W D 領域に重なっている、請求項 15 から請求項 18 のいずれかに記載の半導体モジュール

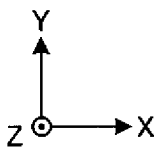
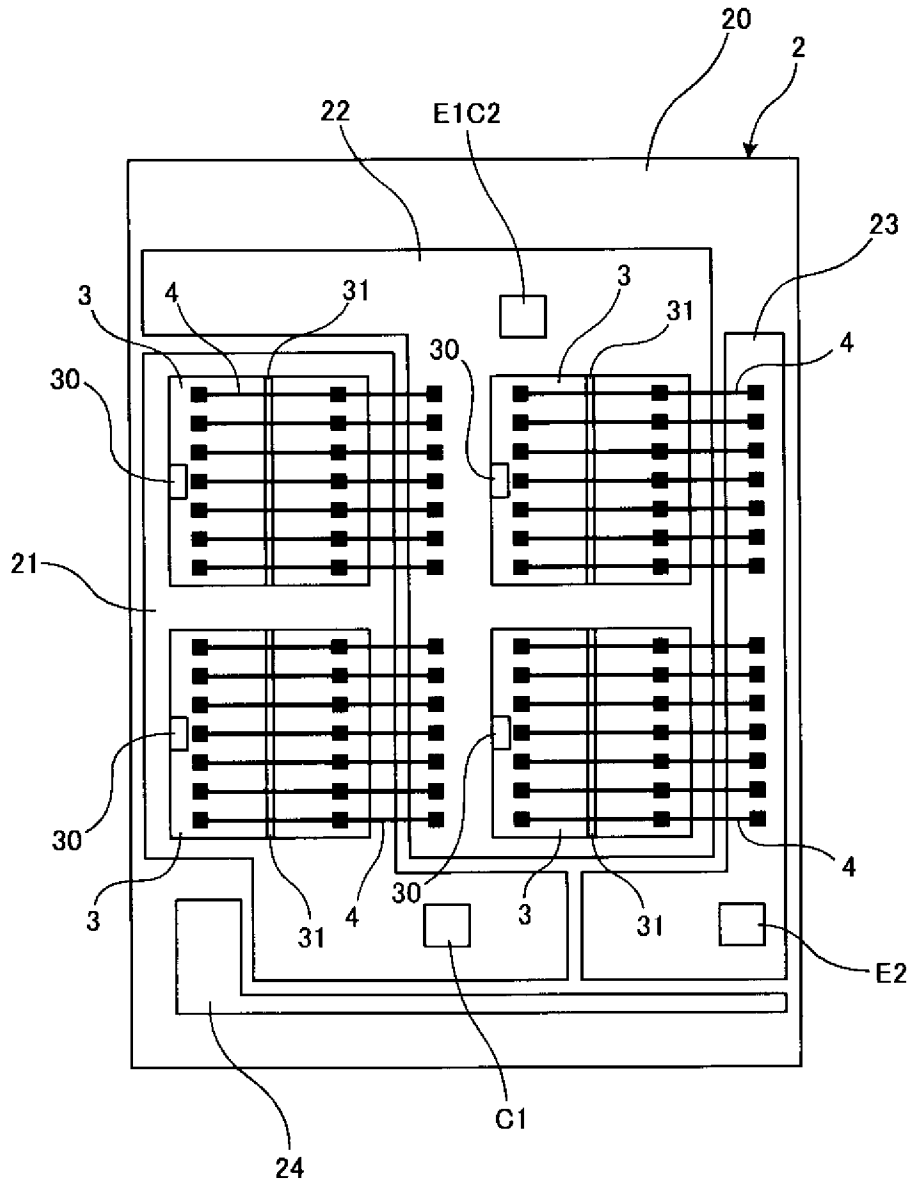
。

[請求項20] (削除)

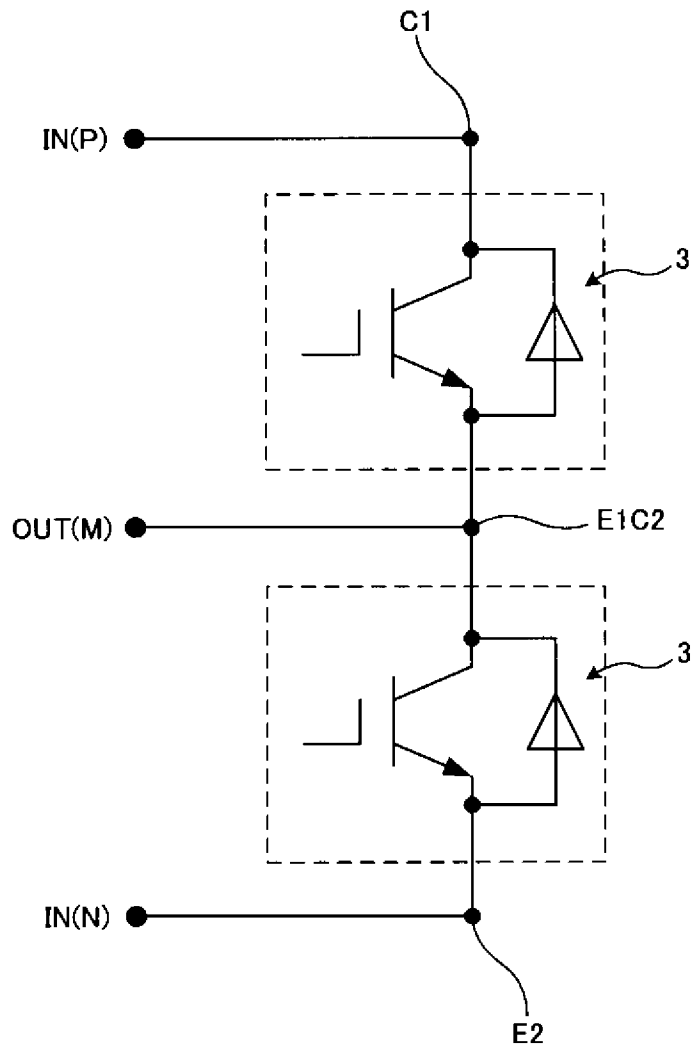
[図1]



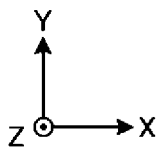
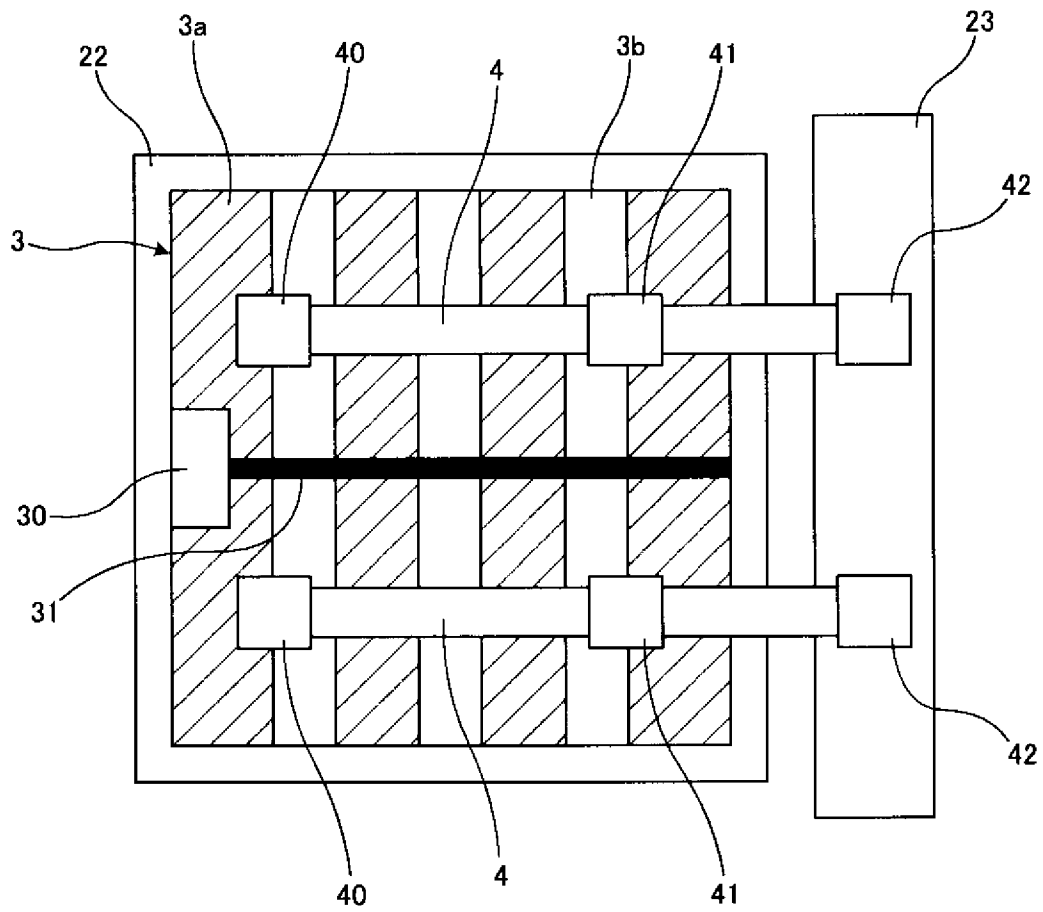
[図2]



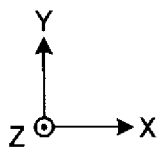
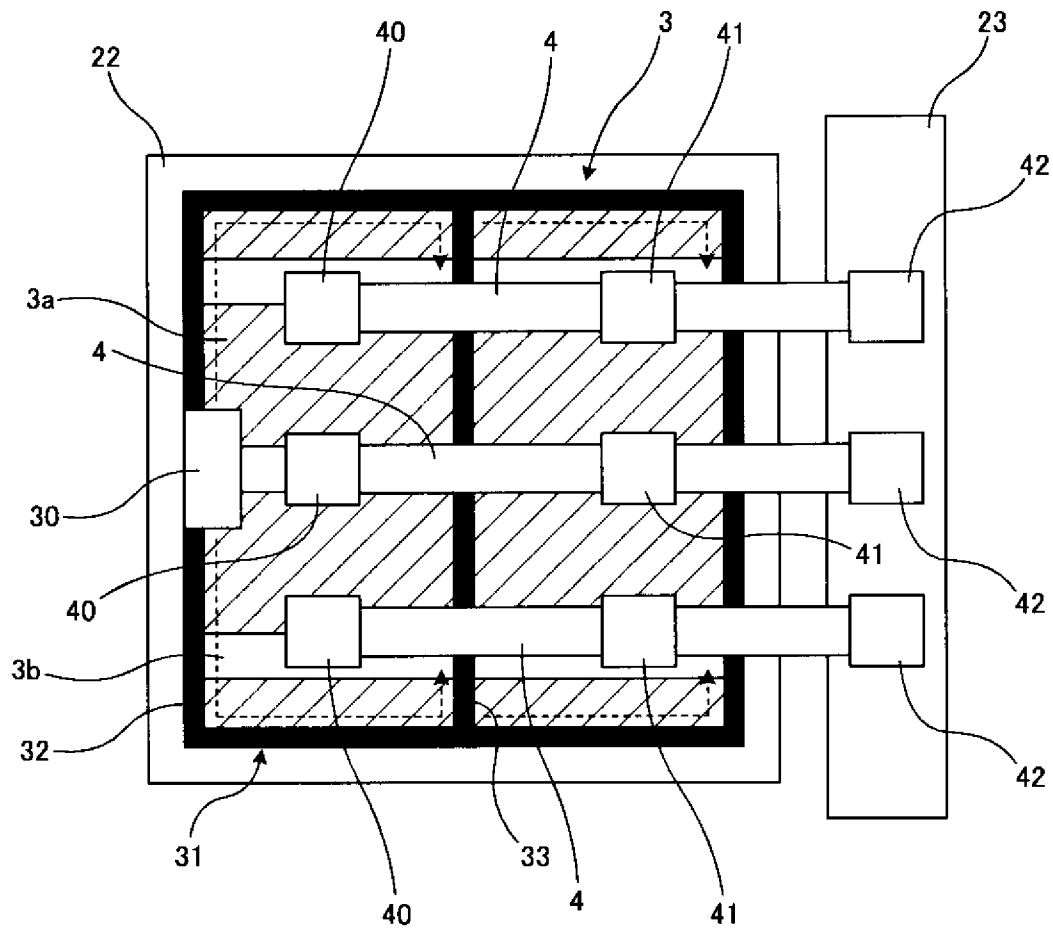
[図3]



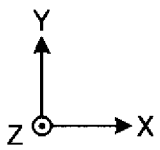
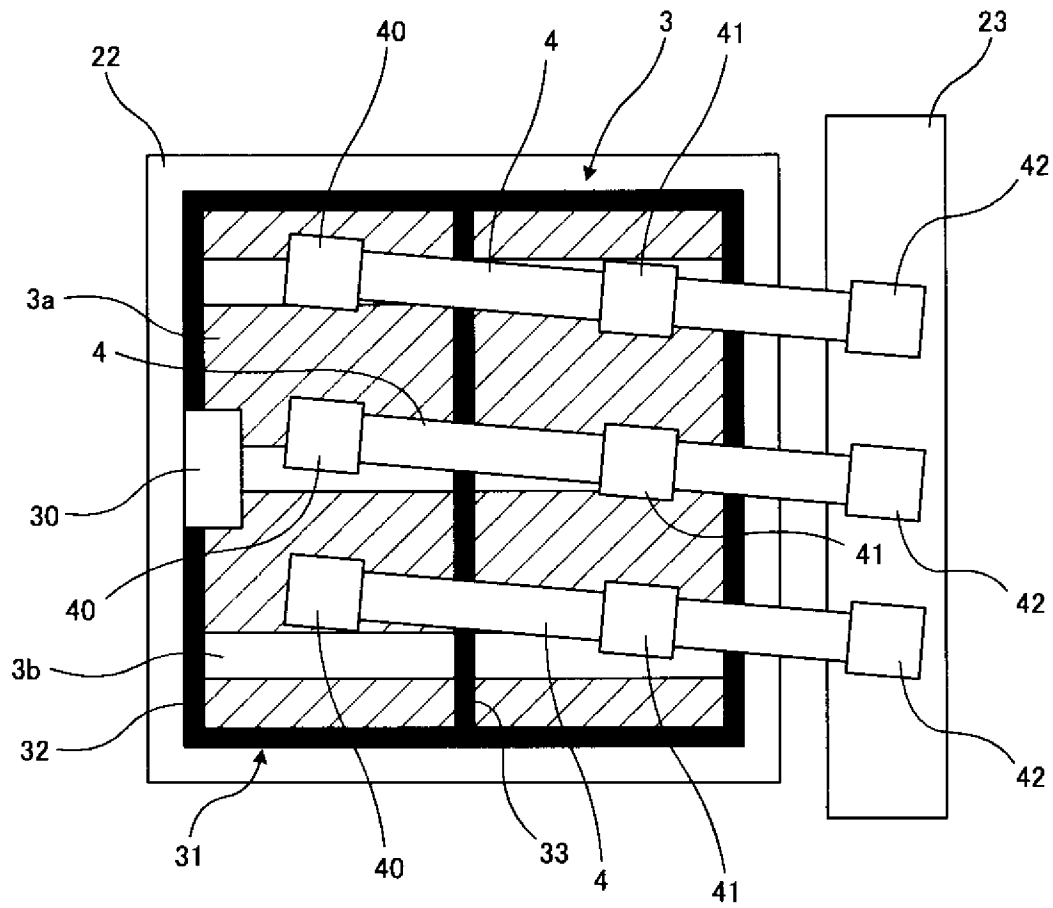
[図4]



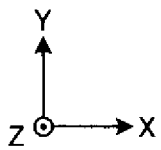
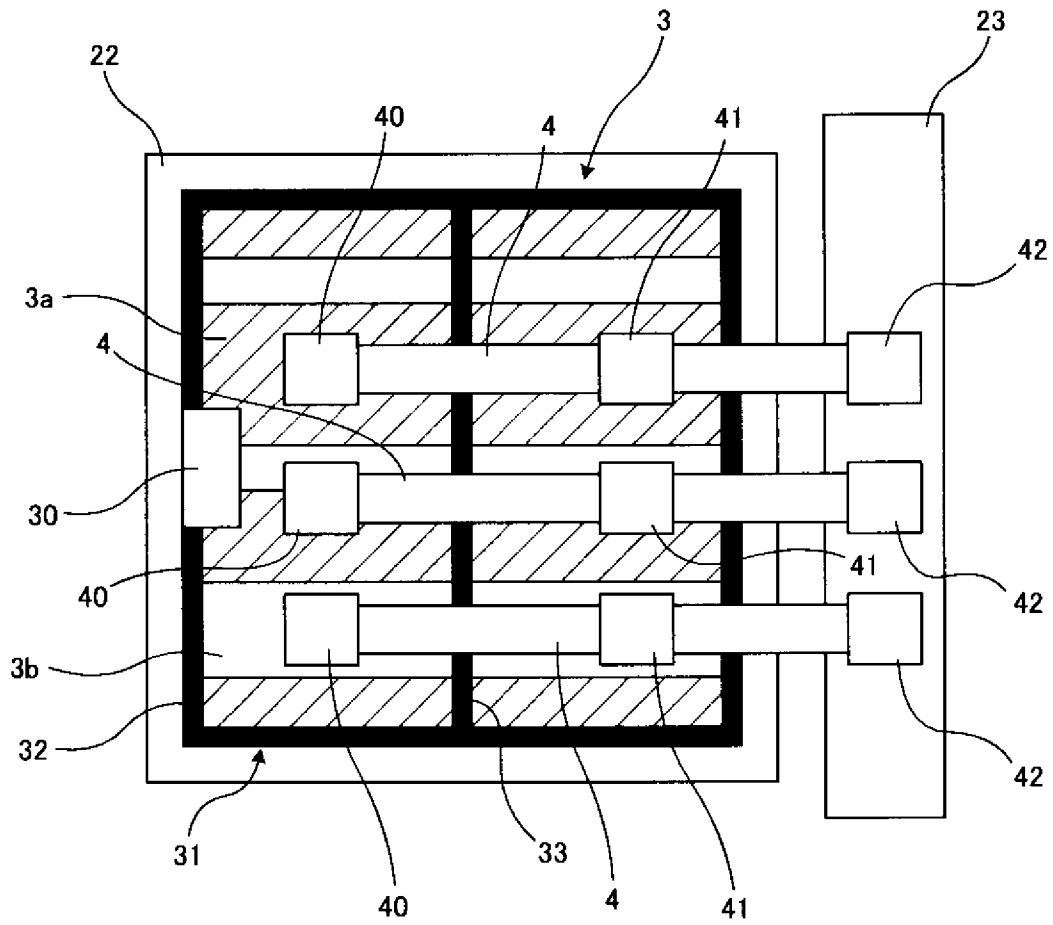
[図5]



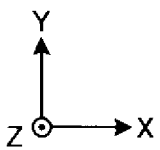
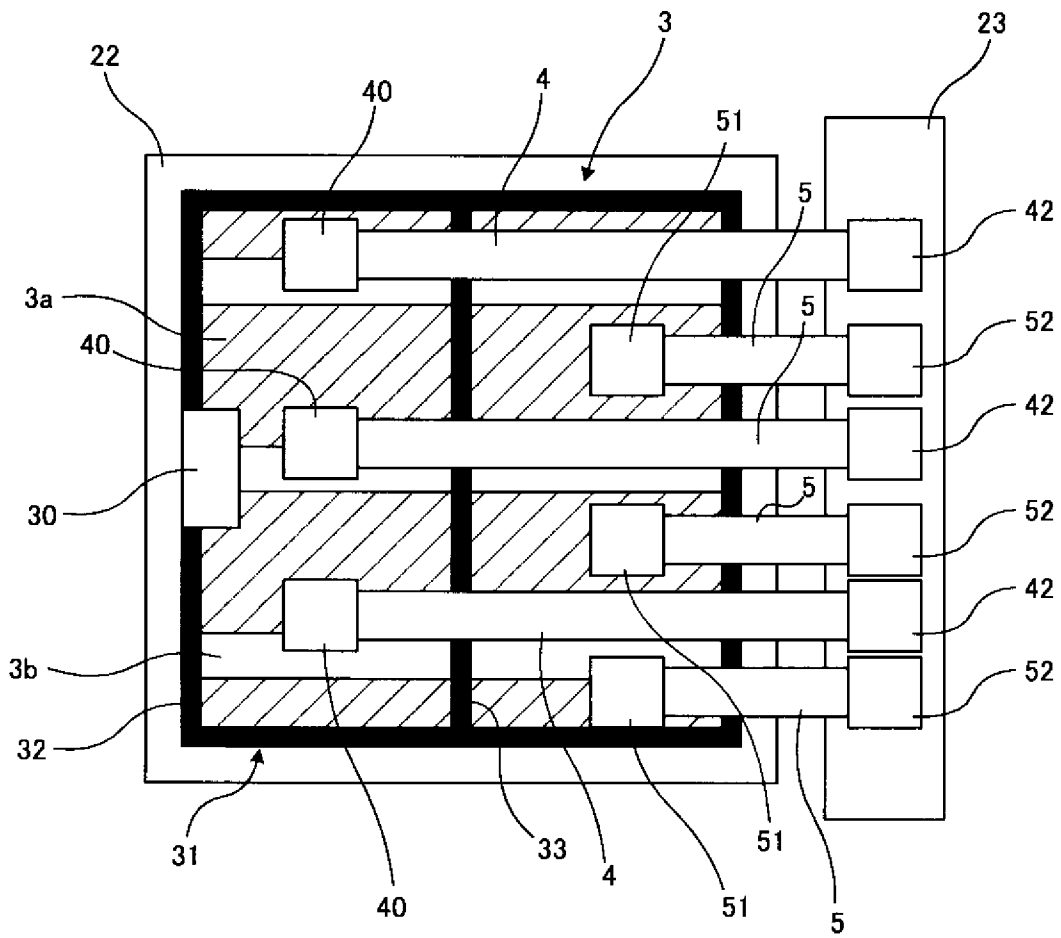
[図8]



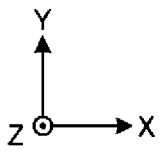
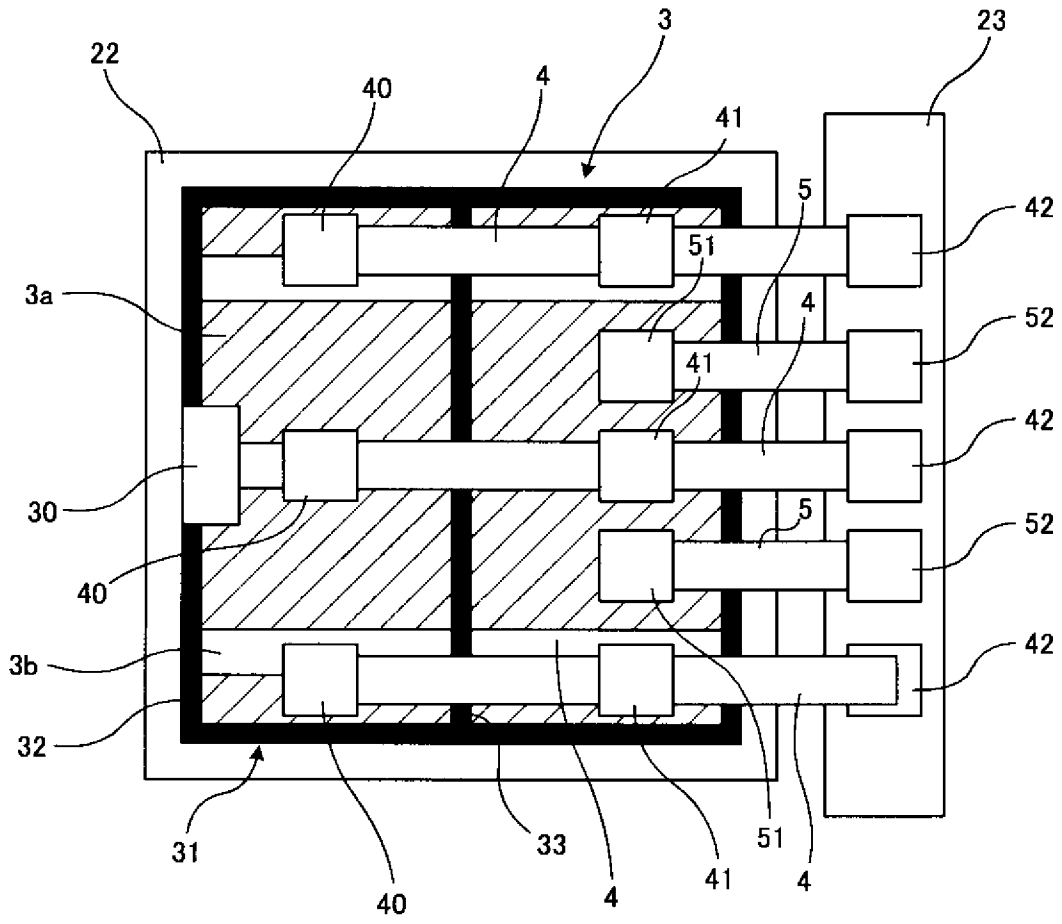
[図9]



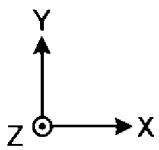
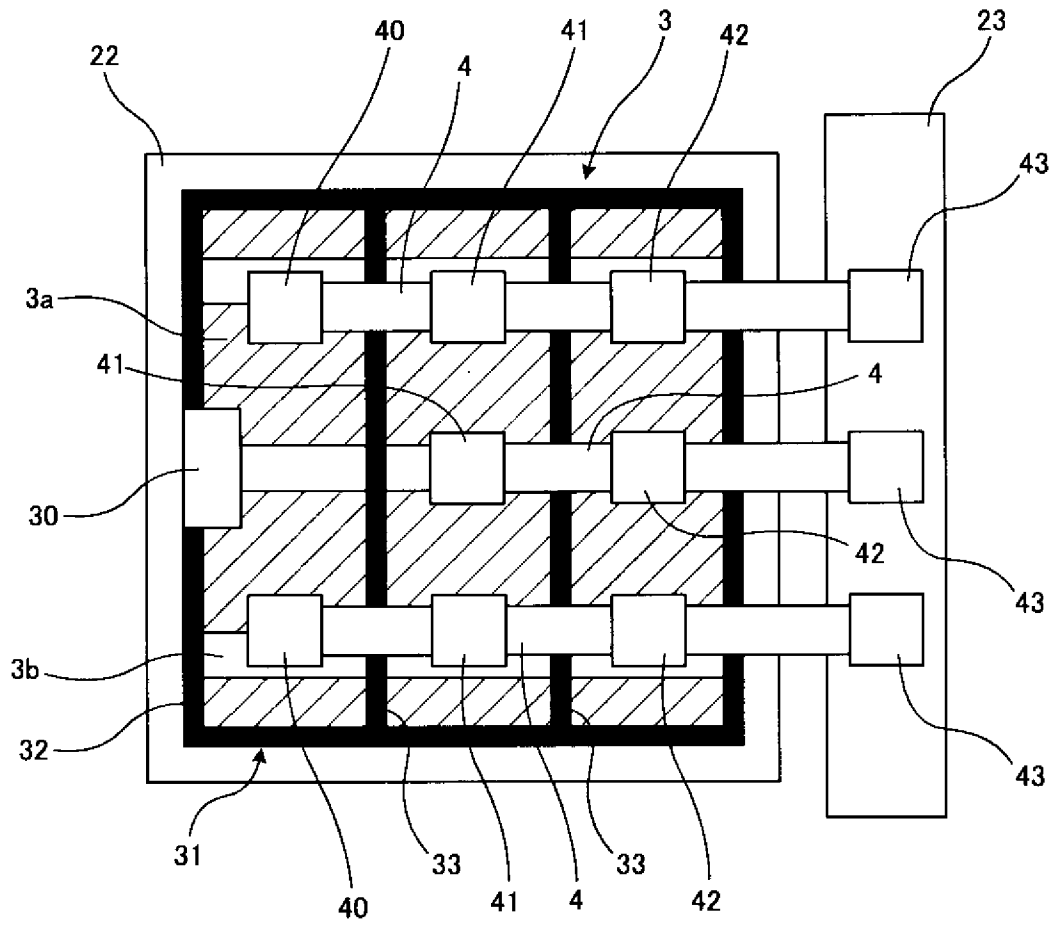
[図10]



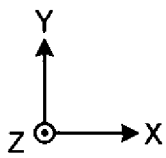
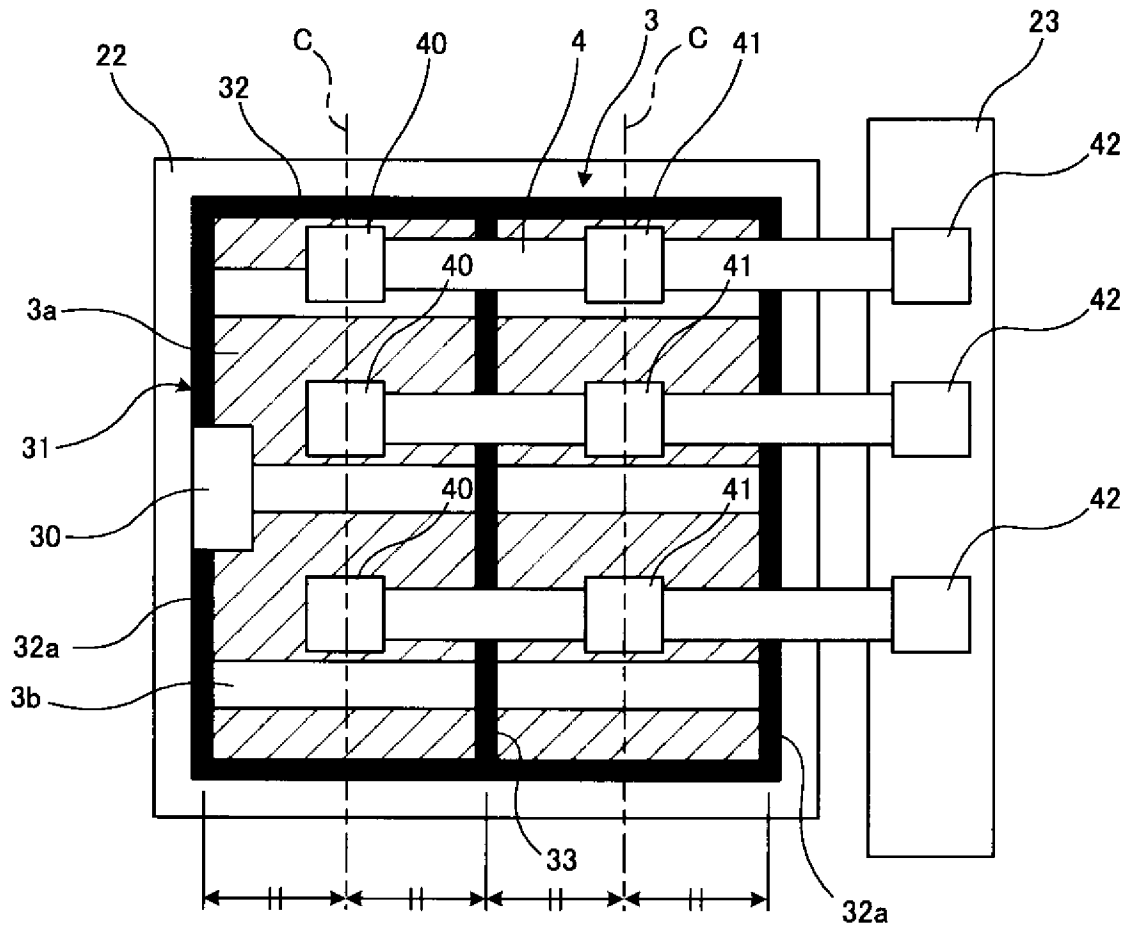
[図11]



[図12]

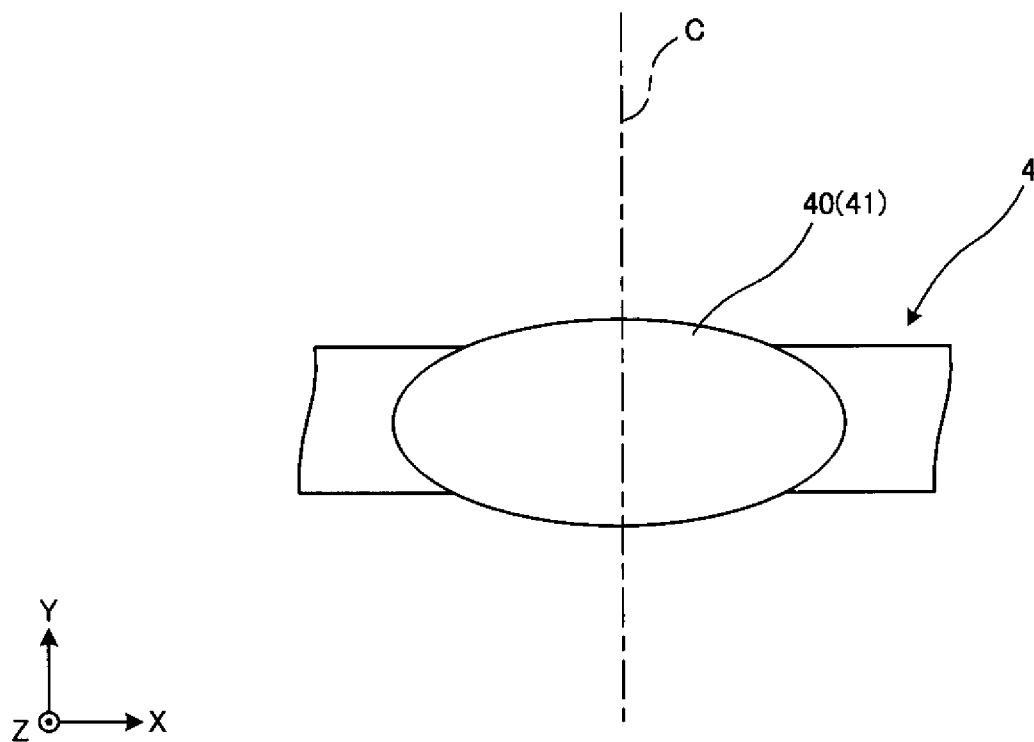


[図13]

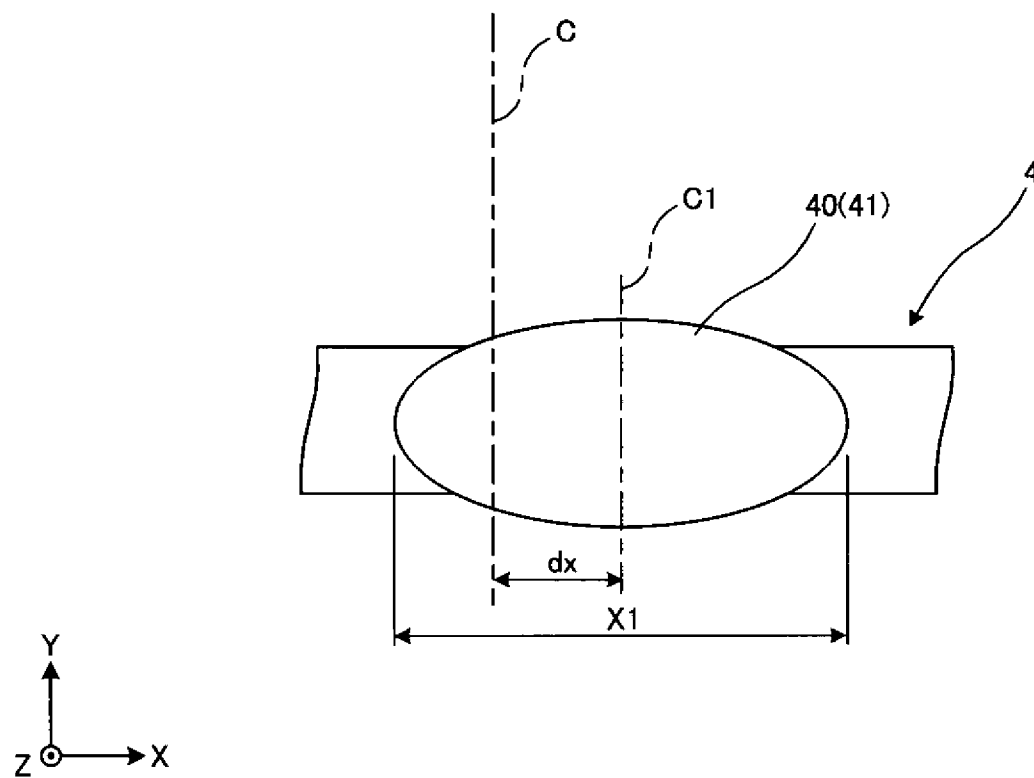


[図14]

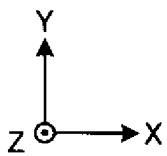
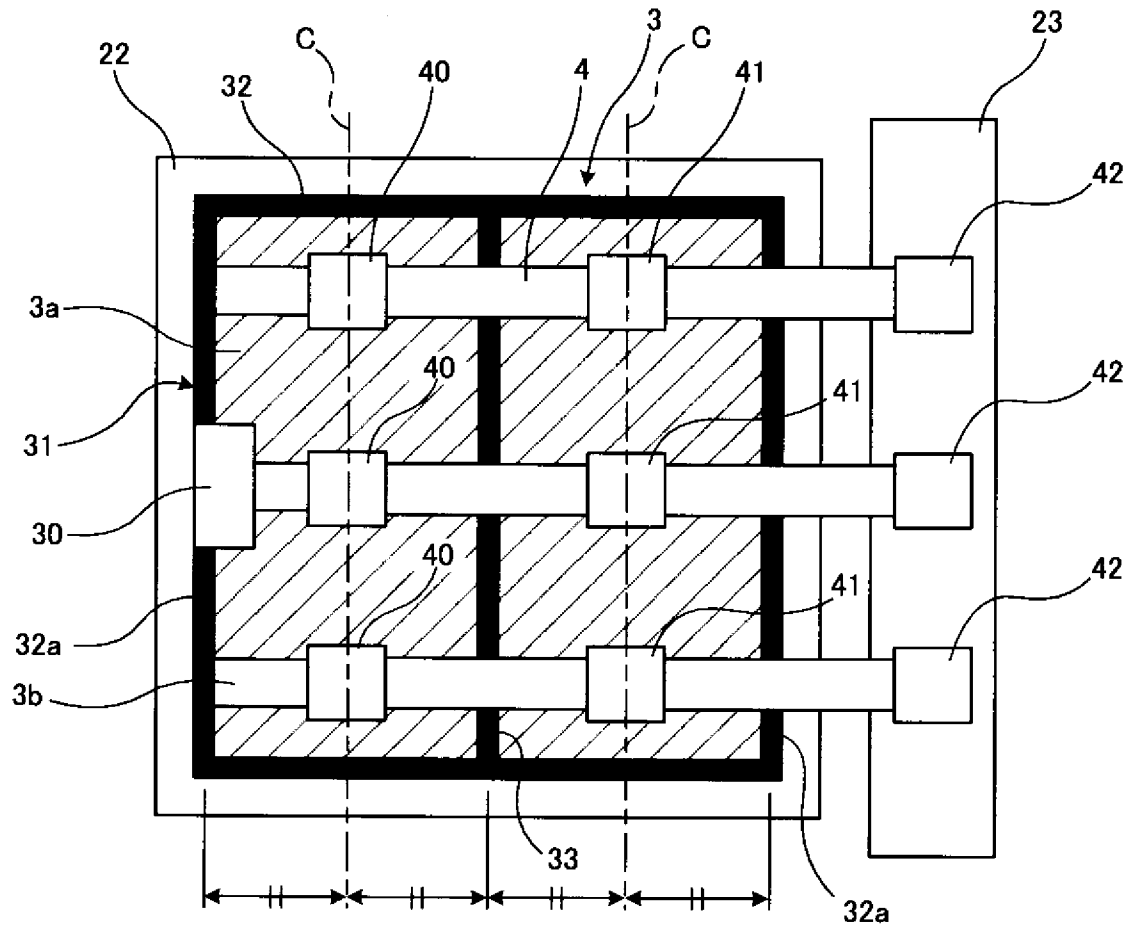
[図] 14A



[図] 14B



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021617

A. CLASSIFICATION OF SUBJECT MATTER
 H01L 25/07(2006.01) i; H01L 25/18(2006.01) i
 FI: H01L25/04 C
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2019/159391 A1 (FUJI ELECTRIC CO., LTD.) 22 August 2019 (2019-08-22) paragraphs [0025]-[0028], fig. 1	1-4, 9-14 5-8, 15-20
Y A	WO 2020/059285 A1 (FUJI ELECTRIC CO., LTD.) 26 March 2020 (2020-03-26) paragraphs [0019]-[0027], fig. 3, 4, 6	1-4, 9-14 5-8, 15-20
Y A	WO 2015/050262 A1 (FUJI ELECTRIC CO., LTD.) 09 April 2015 (2015-04-09) paragraphs [0080]-[0083], fig. 25	11 5-8, 15-20
Y A	US 5767567 A (MAGEMOS CORPORATION) 16 June 1998 (1998-06-16) fig. 2C	12 5-8, 15-20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 August 2021 (26.08.2021)	Date of mailing of the international search report 07 September 2021 (07.09.2021)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/021617

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2019/159391 A1	22 Aug. 2019	US 2020/0161457 A1 paragraphs [0059]- [0062], fig. 1 CN 111033751 A (Family: none)	
WO 2020/059285 A1	26 Mar. 2020	US 2016/0043073 A1 paragraphs [0130]- [0133], fig. 25 EP 2966683 A1 CN 105210187 A (Family: none)	
WO 2015/050262 A1	09 Apr. 2015		
US 5767567 A	16 Jun. 1998		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2019/159391 A1 (富士電機株式会社) 22.08.2019 (2019-08-22) 段落0025-0028、図1	1-4, 9-14 5-8, 15-20
Y A	WO 2020/059285 A1 (富士電機株式会社) 26.03.2020 (2020-03-26) 段落0019-0027、図3, 4, 6	1-4, 9-14 5-8, 15-20
Y A	WO 2015/050262 A1 (富士電機株式会社) 09.04.2015 (2015-04-09) 段落0080-0083、図25	11 5-8, 15-20
Y A	US 5767567 A (MAGEMOS CORPORATION) 16.06.1998 (1998-06-16) FIG. 2C	12 5-8, 15-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 26.08.2021	国際調査報告の発送日 07.09.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 和俊 5F 3455 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021617

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/159391	A1	22.08.2019	US	2020/0161457	A1	
				paragraphs0059-0062, FIG.1			
				CN	111033751	A	

WO	2020/059285	A1	26.03.2020	(ファミリーなし)			

WO	2015/050262	A1	09.04.2015	US	2016/0043073	A1	
				paragraphs0130-0133, FIG.25			
				EP	2966683	A1	
				CN	105210187	A	

US	5767567	A	16.06.1998	(ファミリーなし)			
