(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月15日(15.09.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/190475 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 27/06* (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号： PCT/JP2021/043594

(22) 国際出願日： 2021年11月29日(29.11.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-040653 2021年3月12日(12.03.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

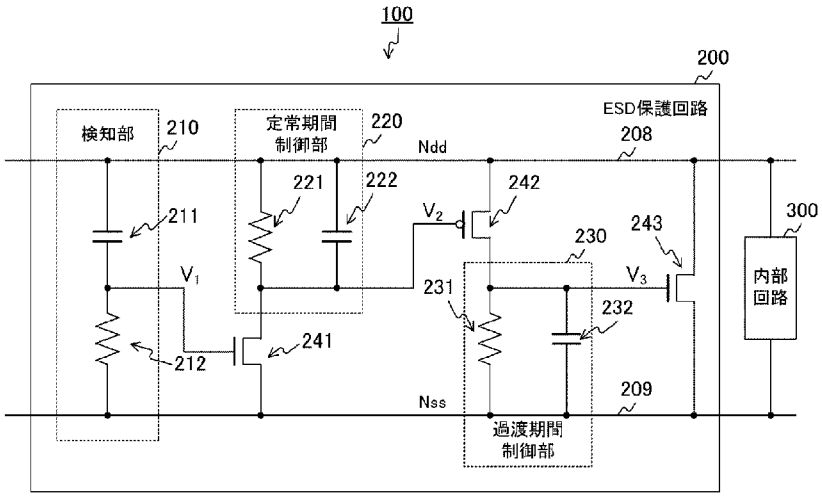
(72) 発明者: 橋本 賢治 (**HASHIMOTO, Kenji**); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿3－3－2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) **Title:** ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT AND ELECTRONIC DEVICE

(54) 発明の名称： 静電気放電保護回路、および、電子装置



200 ESD protection circuit
210 Detection unit
220 Normal period control unit
230 Excessive period control unit
300 Internal circuit

(57) **Abstract:** The present invention improves stability in an ESD protection circuit using a transistor. A protection transistor is inserted between a prescribed power node and a prescribed reference node. When electrostatic discharge has occurred, a detection unit makes the gate voltage of the protection transistor a prescribed level over a prescribed period. A steady period control unit controls the period in which the gate voltage continues at the prescribed level so that said period is longer than the prescribed period. An excessive period control unit gradually transitions the gate voltage to a different level than the prescribed level, within a prescribed excessive period after a normal period has passed.

WO 2022/190475 A1

[続葉有]

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:トランジスタを用いるＥＳＤ保護回路において、安定性を向上させる。 保護トランジスタは、所定の電源ノードと所定の基準ノードとの間に挿入される。検知部は、静電気放電が生じたときに所定期間に亘って保護トランジスタのゲート電圧を所定レベルにする。定常期間制御部は、ゲート電圧が所定レベルを継続する期間を所定期間より長い期間に制御する。過渡期間制御部は、定常期間を経過してから所定の過渡期間内にゲート電圧を所定レベルと異なるレベルに徐々に遷移させる。

明　細　書

発明の名称 ： 静電気放電保護回路、および、電子装置

技術分野

[0001] 本技術は、静電気放電保護回路に関する。詳しくは、保護素子を用いる静電気放電保護回路、および、電子装置に関する。

背景技術

[0002] 従来より、静電気放電（ＥＳＤ：Electro-Static Discharge）から内部回路を保護する目的で、ＥＳＤ保護回路が様々な電子装置に設けられている。このＥＳＤ保護回路は、保護素子として保護トランジスタを用いる回路と、保護ダイオードを用いる回路とに分けることができる。前者の回路として、例えば、ＥＳＤを検知する検知回路と、電源ノードおよび基準ノードの間に挿入した保護トランジスタと、保護トランジスタのオン時間を制御するオン時間制御回路とを設けた回路が提案されている（例えば、非特許文献１参照。）。

先行技術文献

非特許文献

[0003] 非特許文献1：Michael Stockinger, et al., Boosted and Distributed Rail Clamp Networks for ESD Protection in Advanced CMOS Technologies, 2003 EOS/ESD Symposium.

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、ＥＳＤの放電波形に合わせてオン時間を調整することにより、内部回路の確実な保護を図っている。しかしながら、上述のＥＳＤ保護回路では、保護トランジスタがオフした際に電源ノードにスパイクノイズが生じ、そのスパイクノイズを検知回路がＥＳＤとして誤検知するおそれがある。これらのスパイクノイズおよび誤検知によりＥＳＤ保護回路が発振し、回路の動作が不安定になるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、トランジスタを用いるＥＳＤ保護回路において、安定性を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、静電気放電が生じたときに所定期間に亘って上記保護トランジスタのゲート電圧を所定レベルにする検知部と、上記ゲート電圧が上記所定レベルを継続する定常期間を上記所定期間より長い期間に制御する定常期間制御部と、上記定常期間を経過してから所定の過渡期間内に上記ゲート電圧を上記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部とを具備する静電気放電保護回路である。これにより、発振が抑制されるという作用をもたらす。

[0007] また、この第１の側面において、上記検知部は、上記電源ノードと上記基準ノードとの間に直列に接続された第１キャパシタおよび第１抵抗を備えてもよい。これにより、第１キャパシタおよび第１抵抗の接続ノードの電圧が過渡的に変動するという作用をもたらす。

[0008] また、この第１の側面において、上記定常期間制御部と上記電源ノードおよび上記基準ノードの一方との間に挿入された第１トランジスタをさらに具備し、上記第１トランジスタのゲートは、上記第１キャパシタおよび上記第１抵抗の接続ノードに接続されてもよい。これにより、第１キャパシタおよび第１抵抗の接続ノードの過渡期間において第１トランジスタが動作するという作用をもたらす。

[0009] また、この第１の側面において、上記電源ノードおよび上記基準ノードの他方と上記過渡期間制御部との間に挿入された第２トランジスタをさらに具備し、上記第２トランジスタの極性は、上記第１トランジスタと異なり、上記第２トランジスタのゲートは、上記定常期間制御部および上記第１トランジスタの接続ノードに接続され、上記保護トランジスタのゲートは、上記第２トランジスタおよび上記過渡期間制御部の接続ノードに接続されてもよい

。これにより、第１キャパシタおよび第１抵抗の接続ノードの過渡期間と第２トランジスタおよび過渡期間制御部の接続ノードの過渡期間とにおいて、第２トランジスタが動作するという作用をもたらす。

[0010] また、この第１の側面において、上記電源ノードおよび上記基準ノードの上記他方と上記第１トランジスタとの間に挿入された第１帰還トランジスタをさらに具備し、上記第１帰還トランジスタの極性は、上記第２トランジスタと同一であり、上記第１帰還トランジスタのゲートは、上記第２トランジスタおよび上記過渡期間制御部の接続ノードに接続されてもよい。これにより、電源供給時に第２トランジスタがカットオフされるという作用をもたらす。

[0011] また、この第１の側面において、上記保護トランジスタのゲートと上記電源ノードおよび上記基準ノードの上記一方との間に挿入された第２帰還トランジスタと、上記ゲート電圧を反転して上記第２帰還トランジスタのゲートに出力するインバータとをさらに具備し、上記第２帰還トランジスタの極性は、上記第１トランジスタと同一であってもよい。これにより、電源供給時に保護トランジスタがカットオフされるという作用をもたらす。

[0012] また、この第１の側面において、上記定常期間制御部は、上記電源ノードおよび上記基準ノードの上記一方と上記第１トランジスタとの間において並列に接続された第２抵抗および第２キャパシタを備えてもよい。これにより、第２トランジスタおよび過渡期間制御部の接続ノードの電圧が過渡的に変動するという作用をもたらす。

[0013] また、この第１の側面において、上記過渡期間制御部は、上記電源ノードおよび上記基準ノードの上記他方と上記第２トランジスタの間において並列に接続された第３抵抗および第３キャパシタを備えてもよい。これにより、保護トランジスタのゲート電圧が過渡的に変動するという作用をもたらす。

[0014] また、本技術の第２の側面は、所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、静電気放電が生じたときに所定期間に亘って上記保護トランジスタのゲート電圧を所定レベルにする検知部と、上

記ゲート電圧が上記所定レベルを継続する定常期間を上記所定期間より長い期間に制御する定常期間制御部と、上記定常期間を経過してから所定の過渡期間内に上記ゲート電圧を上記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部と、上記電源ノードと上記基準ノードとの間に挿入された内部回路とを具備する電子装置である。これにより、内部回路が保護されるという作用をもたらす。

図面の簡単な説明

[0015] [図1]本技術の第１の実施の形態における電子装置の一構成例を示す回路図である。

[図2]本技術の第１の実施の形態における１段目および２段目のゲート電圧の変動の一例を示す図である。

[図3]本技術の第１の実施の形態における３段目のゲート電圧の変動の一例を示す図である。

[図4]第１の比較例におけるＥＳＤ保護回路の一構成例を示す回路図である。

[図5]第１の比較例における保護トランジスタのゲート電圧の変動の一例を示す図である。

[図6]第２の比較例におけるＥＳＤ保護回路の一構成例を示す回路図である。

[図7]第２の比較例における保護トランジスタのゲート電圧の変動の一例を示す図である。

[図8]第２の比較例における発振を説明するための図である。

[図9]本技術の第１の実施の形態における極性を逆にしたＥＳＤ保護回路の一構成例を示す回路図である。

[図10]本技術の第２の実施の形態におけるＥＳＤ保護回路の一構成例を示す回路図である。

[図11]車両制御システムの概略的な構成例を示すブロック図である。

[図12]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0016] 以下、本技術を実施するための形態（以下、実施の形態と称する）につい

て説明する。説明は以下の順序により行う。

１．第１の実施の形態（定常期間制御部および過渡期間制御部を設けた例）

２．第２の実施の形態（帰還トランジスタ、インバータ、定常期間制御部および過渡期間制御部を設けた例）

３．移動体への応用例

[0017] ＜１．第１の実施の形態＞

［電子装置の構成例］

図１は、本技術の第１の実施の形態における電子装置１００の一構成例を示す回路図である。この電子装置１００は、内部回路３００と、その内部回路３００をＥＳＤ（言い換えれば、サージ）から保護するＥＳＤ保護回路２００とを備える。これらのＥＳＤ保護回路２００および内部回路３００は、電源線２０８と、基準線２０９（接地線など）とに接続される。

[0018] 以下、電源線２０８上のノードを電源ノードＮｄｄとし、基準線２０９上のノードを基準ノードＮｓｓとする。電源投入の際に、基準ノードＮｓｓより高い電源電圧が電源ノードＮｄｄに印加される。また、基準ノードＮｓｓの電圧は、接地電圧などの基準電圧である。また、ＥＳＤが生じ、電源ノードＮｄｄに入力されることがあるものとする。

[0019] ＥＳＤ保護回路２００は、検知部２１０、定常期間制御部２２０および過渡期間制御部２３０とを備える。さらに、ＥＳＤ保護回路２００は、ｎＭＯＳ（n-channel Metal Oxide Semiconductor）トランジスタ２４１、ｐＭＯＳ（p-channel MOS）トランジスタ２４２および保護トランジスタ２４３を備える。保護トランジスタ２４３として、例えば、ｎＭＯＳトランジスタ２４１やｐＭＯＳトランジスタ２４２よりもサイズの大きなｎＭＯＳトランジスタが用いられる。このため、保護トランジスタ２４３は、ビッグｎＭＯＳとも呼ばれる。

[0020] 検知部２１０は、ＥＳＤ（サージ）が発生したか否かを検知するものである。この検知部２１０は、電源ノードＮｄｄと基準ノードＮｓｓとの間にお

いて、直列に接続されたキャパシタ２１１および抵抗２１２を備える。キャパシタ２１１は、電源側に挿入される。これらのキャパシタ２１１および抵抗２１２の接続ノードの電圧をゲート電圧V_1とする。なお、キャパシタ２１１および抵抗２１２は、特許請求の範囲に記載の第１キャパシタおよび第１抵抗の一例である。

[0021] ｎＭＯＳトランジスタ２４１は、定常期間制御部２２０と基準ノードＮｓｓとの間に挿入される。このｎＭＯＳトランジスタ２４１のゲートは、キャパシタ２１１および抵抗２１２の接続ノードに接続される。なお、ｎＭＯＳトランジスタ２４１は、特許請求の範囲に記載の第１トランジスタの一例である。

[0022] 定常期間制御部２２０は、保護トランジスタ２４３のゲート電圧がハイレベルを継続する定常期間を制御するものである。この定常期間制御部２２０は、電源ノードＮｄｄとｎＭＯＳトランジスタ２４１との間において並列に接続された抵抗２２１およびキャパシタ２２２を備える。なお、抵抗２２１およびキャパシタ２２２は、特許請求の範囲に記載の第２抵抗および第２キャパシタの一例である。

[0023] ｐＭＯＳトランジスタ２４２は、電源ノードＮｄｄと過渡期間制御部２３０との間に挿入される。このｐＭＯＳトランジスタ２４２のゲートは、定常期間制御部２２０およびｎＭＯＳトランジスタ２４１の接続ノードに接続される。この接続ノードの電圧をゲート電圧V_2とする。なお、ｐＭＯＳトランジスタ２４２は、特許請求の範囲に記載の第２トランジスタの一例である。

[0024] 過渡期間制御部２３０は、保護トランジスタ２４３のゲート電圧をハイレベルからローレベルに徐々に低下させるものである。この過渡期間制御部２３０は、ｐＭＯＳトランジスタ２４２と基準ノードＮｓｓとの間において並列に接続された抵抗２３１およびキャパシタ２３２を備える。なお、抵抗２３１およびキャパシタ２３２は、特許請求の範囲に記載の第３抵抗および第３キャパシタの一例である。

[0025] 保護トランジスタ２４３は、電源ノードＮｄｄと基準ノードＮｓｓとの間

に挿入される。また、保護トランジスタ２４３のゲートは、ｐＭＯＳトランジスタ２４２および過渡期間制御部２３０の接続ノードに接続される。この接続ノードの電圧をゲート電圧$Ｖ_3$とする。

[0026] なお、キャパシタ２１１、２２２および２３２として、ＭＯＳキャパシタを用いてもよいし、ＭＯＭ(Metal Oxide Metal)容量/ＭＩＭ(Metal Insulator Metal)容量などを用いてもよい。また、キャパシタ２２２をｐＭＯＳトランジスタ２４２のＭＯＳキャパシタで兼ねても良いし、キャパシタ２３２を保護トランジスタ２４３のＭＯＳキャパシタで兼ねても良い。また、抵抗２１２、２２１、２３１として、ポリシリコン抵抗や拡散抵抗を用いてもよいし、ＭＯＳ抵抗などを用いてもよい。

[0027] 上述の構成により、キャパシタ２１１の容量値を$Ｃ_1$とし、抵抗２１２の抵抗値を$Ｒ_1$とすると、時定数$Ｒ_1Ｃ_1$のときより速い立ち上がり速度のサージが生じたときにゲート電圧$Ｖ_1$がハイレベルになり、その後、徐々に低下する。サージ発生時のハイレベルは、ｎＭＯＳトランジスタ２４１の閾値電圧以上とする。また、サージ発生時から、ゲート電圧$Ｖ_1$がｎＭＯＳトランジスタ２４１の閾値電圧未満のローレベルに立ち下るまでの期間を立下り期間$Ｔ_1$とする。この立下り期間$Ｔ_1$の長さは、時定数$Ｒ_1×Ｃ_1$に比例した値となる。

[0028] ｎＭＯＳトランジスタ２４１の初期状態は、オフ状態である。ゲート電圧$Ｖ_1$の変動により、ｎＭＯＳトランジスタ２４１は、サージ発生時から立下り期間$Ｔ_1$が経過するまでオン状態となり、その期間経過時にオフ状態となる。

[0029] ｎＭＯＳトランジスタ２４１がオン状態の間（すなわち、立下り期間$Ｔ_1$）において、ゲート電圧$Ｖ_2$は、所定のローレベルとなる。このローレベルは、ｐＭＯＳトランジスタ２４２のゲートーソース間電圧が、そのｐＭＯＳトランジスタ２４２の閾値電圧以上となるときの値である。そして、ｎＭＯＳトランジスタ２４１がオフ状態に遷移すると、ゲート電圧$Ｖ_2$は、徐々に上昇する。ｎＭＯＳトランジスタ２４１がオフ状態に遷移したときから、電圧$Ｖ_2$が上昇してｐＭＯＳトランジスタ２４２のゲートーソース間電圧が閾値未満となるまでの期間を立上り期間$Ｔ_2$とする。この立上り期間$Ｔ_2$の長さは、キャ

パシタ２２２の容量値をC_2とし、抵抗２２１の抵抗値をR_2とすると、$R_2 \times C_2$に比例した値となる。

[0030] ｐＭＯＳトランジスタ２４２の初期状態は、オフ状態である。ゲート電圧V_2の変動により、ｐＭＯＳトランジスタ２４２は、サージ発生時から、立下り期間T_1および立上り期間T_2が経過するまでオン状態となり、それらの期間の経過時にオフ状態となる。

[0031] ｐＭＯＳトランジスタ２４２がオン状態の間（すなわち、立下り期間T_1および立上り期間T_2）において、ゲート電圧V_3は、保護トランジスタ２４３の閾値電圧以上のハイレベルとなる。このハイレベルが継続する期間（立下り期間T_1および立上り期間T_2）は、定常期間制御部２２０の制御対象の定常期間に該当する。そして、ｐＭＯＳトランジスタ２４２がオフ状態に遷移するとゲート電圧V_3は、徐々に低下する。

[0032] ｐＭＯＳトランジスタ２４２がオフ状態に遷移したときから、ゲート電圧V_3が保護トランジスタ２４３の閾値電圧未満のローレベルに立ち下るまでの期間を立下り期間T_3とする。この立下り期間T_3は、過渡期間制御部２３０の制御対象の過渡期間に該当する。この立下り期間T_3（過渡期間）の長さは、キャパシタ２３２の容量値をC_3とし、抵抗２３１の抵抗値をR_3とすると、$R_3 \times C_3$に比例した値となる。

[0033] 保護トランジスタ２４３の初期状態は、オフ状態である。ゲート電圧V_3の変動により、保護トランジスタ２４３は、サージ発生時から、立下り期間T_1、立上り期間T_2および立下り期間T_3が経過するまでオン状態となり、それらの期間の経過時にオフ状態となる。保護トランジスタ２４３がオン状態となることにより、サージによる電流は、保護トランジスタ２４３を介した経路を流れ、内部回路３００には流れない。これにより、サージから内部回路３００を保護することができる。

[0034] ［ＥＳＤ保護回路の動作例］

図２は、本技術の第１の実施の形態における１段目および２段目のゲート電圧の変動の一例を示す図である。同図におけるａは、１段目のゲート電圧

V_1の変動の一例を示す図である。同図におけるｂは、２段目のゲート電圧V_2の変動の一例を示す図である。同図における縦軸は、ゲート電圧を示し、横軸は時間を示す。

[0035] 同図におけるａに例示するように、タイミングt_0でＥＳＤ（サージ）が発生すると、ゲート電圧V_1はハイレベルになる。そして、タイミングt_0からタイミングt_1に亘ってゲート電圧V_1は徐々に低下し、タイミングt_1以降は一定の値となる。例えば、タイミングt_1までは、ゲート電圧V_1がｎＭＯＳトランジスタ２４１の閾値電圧以上であり、タイミングt_1の時点で閾値電圧未満になるものとする。この場合、タイミングt_0からタイミングt_1までの期間が、前述の立下り期間T_1に該当する。なお、タイミングt_1の前の時点でゲート電圧V_1が閾値電圧未満になる場合には、その時点までの期間が立下り期間T_1となる。

[0036] サージ発生時から立下り期間T_1に亘って１段目のｎＭＯＳトランジスタ２４１がオン状態となり、その期間経過後はオフ状態となる。

[0037] また、同図におけるｂに例示するように、立下り期間T_1が経過するまではゲート電圧V_2は、ローレベルとなる。そして、タイミングt_1からタイミングt_2に亘ってゲート電圧V_2は徐々に上昇し、タイミングt_2以降は一定の値となる。例えば、タイミングt_2までは、ｐＭＯＳトランジスタ２４２のゲート－ソース間電圧が閾値電圧以上であり、タイミングt_2の時点で閾値電圧未満になるものとする。この場合、タイミングt_1からタイミングt_2までの期間が、前述の立上り期間T_2に該当する。なお、タイミングt_2の前の時点でｐＭＯＳトランジスタ２４２のゲート－ソース間電圧が閾値電圧未満になる場合には、その時点までの期間が立上り期間T_2となる。

[0038] サージ発生時から立下り期間T_1および立上り期間T_2が経過するまでの期間に亘って２段目のｐＭＯＳトランジスタ２４２がオン状態となり、それらの期間の経過後はオフ状態となる。

[0039] 図３は、本技術の第１の実施の形態における３段目のゲート電圧V_3の変動の一例を示す図である。同図における縦軸は、ゲート電圧を示し、横軸は時

間を示す。

[0040] 立下り期間T_1および立上り期間T_2からなる期間は、ゲート電圧V_3が一定の定常期間である。ＥＳＤ（サージ）発生時のタイミングt_0から、その定常期間が経過するタイミングt_2までは、ゲート電圧V_3がハイレベルとなる。そして、タイミングt_2からタイミングt_3に亘ってゲート電圧V_3は徐々に低下し、タイミングt_3以降は一定の値となる。例えば、タイミングt_3までは、ゲート電圧V_3が保護トランジスタ２４３の閾値電圧以上であり、タイミングt_3の時点で閾値電圧未満になるものとする。この場合、タイミングt_2からタイミングt_3までの期間が、前述の立下り期間T_3（過渡期間）に該当する。なお、タイミングt_3の前の時点でゲート電圧V_3が閾値電圧未満になる場合には、その時点までの期間が立下り期間T_3となる。

[0041] サージ発生時から定常期間および過渡期間が経過するまでの期間に亘って３段目の保護トランジスタ２４３がオン状態となり、それらの期間経過後はオフ状態となる。

[0042] 検知部２１０のサージの検知により、サージ発生時から立下り期間T_1に亘ってゲート電圧V_3はハイレベルとなる。また、定常期間制御部２２０は、そのゲート電圧V_3がハイレベルを継続する期間（同図における定常期間）を立下り期間T_1より長い期間に制御する。さらに、過渡期間制御部２３０は、過渡期間に亘ってゲート電圧V_3をハイレベルからローレベルに徐々に低下させる。

[0043] 上述のＥＳＤ保護回路２００においては、例えば、ＨＢＭ（HumanBody Model）を用いた設計が行われる。ＨＢＭ試験では、例えば、１００ピコファラッド（ｐＦ）のコンデンサと１メガオーム（ＭΩ）の充電用抵抗に直列に接続した高電圧電源が用いられる。このときのサージ電流の波形は、ピークまでの立上り時間が２乃至１０ナノ秒（ｎｓ）となり、ピーク後の立下り時間が０．１５マイクロ秒（μｓ）となる。

[0044] この場合、マージンを考慮して、例えば、立下り期間T_1に５０ナノ秒（ｎｓ）が設定される。また、例えば、立上り期間T_2および立下り期間T_3の両

方に０．５マイクロ秒（μｓ）が設定される。

[0045] なお、ＭＭ（Machine Model）やＣＤＭ（Charged Device Model）など、ＨＢＭ以外のモデルを用いて設計を行ってもよい。

[0046] ここで、定常期間制御部２２０の効果について説明するために、定常期間制御部２２０およびｎＭＯＳトランジスタ２４１を設けないＥＳＤ保護回路２０１を第１の比較例として想定する。

[0047] 図４は、第１の比較例におけるＥＳＤ保護回路２０１の一構成例を示す回路図である。この第１の比較例では、検知部２１０からのゲート電圧V_1は、ｐＭＯＳトランジスタ２４２のゲートに入力される。また、キャパシタ２１１は、接地側に挿入される。

[0048] 図５は、第１の比較例における保護トランジスタ２４３のゲート電圧V_3の変動の一例を示す図である。同図における縦軸は、ゲート電圧を示し、横軸は時間を示す。

[0049] 第１の比較例において、ＥＳＤ（サージ）発生時のタイミングt_0から、ローレベルの保持期間T_1'が経過するタイミングt_1までは、ゲート電圧V_3がハイレベルとなる。そして、タイミングt_1からタイミングt_3に亘ってゲート電圧V_3は徐々に低下し、タイミングt_3以降は一定の値となる。

[0050] 電源投入をサージとして誤検知して保護トランジスタ２４３がオンしないように、１段目の時定数R_1C_1は十分に小さく（言い換えれば、保持期間T_1'を短く）する必要がある。例えば、前述のＨＢＭにおけるサージから回路を保護する際には、保持期間T_1'に５０ナノ秒（ｎｓ）が設定される。この場合、例えば、立下り期間T_3に１．０マイクロ秒（μｓ）が設定される。また、保持期間T_1'が長いと、電源投入時にラッシュ電流が増大するおそれもある。

[0051] ここで、ゲート電圧V_3が徐々に低下する過渡期間（T_3）では、その低下に応じて保護トランジスタ２４３のドレイン電流が低下する。このため、過渡期間の途中で、保護トランジスタ２４３で流しきれなかったサージ電流が内部回路３００に流れるおそれがある。これを防止するためには、ゲート電

圧V_3の定常期間（T_1'）を十分に長くする必要がある。しかし、前述したように、電源投入時の誤検知の防止や、ラッシュ電流の抑制の観点から、T_1'を所定値（５０ナノ秒など）より長くすることはできない。定常期間の代わりに過渡期間を十分に長くする対策も考えられるが、過渡期間制御部２３０の面積が増大してしまうため、好ましくない。

[0052] このように、第１の比較例では、ゲート電圧V_3の定常期間を所定値（５０ナノ秒など）より長い値に調整することができない。これに対して、図１に例示した構成では、定常期間制御部２２０およびｎＭＯＳトランジスタ２４１を設けたため、ゲート電圧V_3の定常期間を、その所定値よりも長い値（T_1+T_2）に調整することができる。これにより、内部回路３００を確実にサージから保護することができる。

[0053] 次に、過渡期間制御部２３０の効果について説明するために、ｐＭＯＳトランジスタ２４２および過渡期間制御部２３０を設けないＥＳＤ保護回路２０２を第２の比較例として想定する。

[0054] 図６は、第２の比較例におけるＥＳＤ保護回路２０２の一構成例を示す回路図である。この第２の比較例では、ＣＭＯＳ（Complementary MOS）のインバータが追加され、そのインバータの入力端子に定常期間制御部２２０からのゲート電圧V_2が入力される。インバータの出力はV_3として保護トランジスタ２４３のゲートに入力される。この回路は、非特許文献１のＦｉｇｕｒｅ６に記載の回路と類似の回路である。

[0055] 図７は、第２の比較例における保護トランジスタ２４３のゲート電圧V_3の変動の一例を示す図である。同図における縦軸は、ゲート電圧を示し、横軸は時間を示す。

[0056] 第２の比較例において、インバータの遅延時間を無視すると、ＥＳＤ（サージ）発生時のタイミングt_0から、立下り期間T_1および立上り期間T_2の定常期間が経過するタイミングt_3までは、ゲート電圧V_3が継続してハイレベルとなる。そのタイミングt_3の直後に、ゲート電圧V_3がローレベルに遷移する。

[0057] 例えば、前述のＨＢＭにおけるサージから回路を保護する際には、立下り期間$Ｔ_1$に５０ナノ秒（ｎｓ）が設定される。また、立上り期間$Ｔ_2$に１．０マイクロ秒（μｓ）が設定される。

[0058] 第２の比較例では、ゲート電圧$Ｖ_3$の定常期間を十分に長い値（$Ｔ_1$＋$Ｔ_2$）に調整することができる。このため、第１の比較例の問題点は解消している。しかしながら、第２の比較例では、ＥＳＤ保護回路２０２が発振するおそれがある。

[0059] 図８は、第２の比較例における発振を説明するための図である。電源ノードＮｄｄに電源電圧が供給された状態で、何らかの原因（ＥＳＤや電源ノイズなど）で検知部２１０が動作した場合について考える。ＥＳＤ（サージ）発生時に１段目のゲート電圧$Ｖ_1$はハイレベルになり、徐々に低下する。ゲート電圧$Ｖ_1$の立下り期間$Ｔ_1$内にｎＭＯＳトランジスタ２４１はオン状態となり、その期間の経過後にオフ状態になる。

[0060] ２段目のゲート電圧$Ｖ_2$は、ｎＭＯＳトランジスタ２４１がオフ状態になったときから徐々に上昇する。インバータは、ゲート電圧$Ｖ_2$を反転してゲート電圧$Ｖ_3$として出力する。

[0061] ３段目のゲート電圧$Ｖ_3$は、立下り期間$Ｔ_1$と、ゲート電圧$Ｖ_2$の立上り期間$Ｔ_2$とが経過するまでハイレベルとなり、それらの期間の経過直後に立ち下る。保護トランジスタ２４３は、立下り期間$Ｔ_1$および立上り期間$Ｔ_2$が経過するまでオン状態となり、それらの期間の経過直後にオフ状態に遷移する。

[0062] ゲート電圧$Ｖ_3$が急激に低下するため、保護トランジスタ２４３のドレイン電流は徐々に減少せず、保護トランジスタ２４３がオフ状態に遷移する際に急激に減少する。このため、保護トランジスタ２４３がオフする際に、電源ノードＮｄｄに、スパイクノイズが生じる。このスパイクノイズは、例えば、次の式により表される。

$$Ｌ×（ｄｉ／ｄｔ）$$

上式において、（ｄｉ／ｄｔ）は、保護トランジスタ２４３のドレイン電流の減少速度を示す。Ｌは、電源線２０８の寄生インダクタンスを示す。

[0063] 検知部２１０がスパイクノイズをサージと誤検知した場合、ゲート電圧V_1がハイレベルになる。そして、保護トランジスタ２４３は、立下り期間T_1および立上り期間T_2が経過するまで再度オン状態となり、それらの期間の経過直後にオフ状態に遷移する。その際に電源ノードＮｄｄに、再度スパイクノイズが生じる。

[0064] 以下、同様に、スパイクノイズの誤検知からスパイクノイズの発生までのサイクルが繰り返されてしまう。これにより、ＥＳＤ保護回路２０２が発振し、動作が不安定となる。

[0065] このように、第２の比較例では、発振が生じることがある。これに対して図１に例示した構成では、ｐＭＯＳトランジスタ２４２および過渡期間制御部２３０を設けたため、ゲート電圧V_3が徐々に低下し、保護トランジスタ２４３のドレイン電流は徐々に減少する。このため、スパイクノイズが生じず、スパイクノイズの誤検知による発振を抑制することができる。

[0066] また、第２の比較例では、ＣＭＯＳインバータが反転を行うため、ｐＭＯＳトランジスタ２４２が反転を行う場合と比較して、反転閾値が小さくなり、$R_2 \times C_2$を大きくする必要がある。これに対して、図１に例示した構成では、ｐＭＯＳトランジスタ２４２が反転を行うため、第２の比較例と比較して、反転閾値が大きくなり、その分だけ$R_2 \times C_2$を小さくすることができる。これにより、定常期間制御部２２０の面積を削減することができる。

[0067] なお、図１では、１段目にｎＭＯＳトランジスタ２４１、２段目にｐＭＯＳトランジスタ２４２、３段目にｎＭＯＳの保護トランジスタ２４３を配置していたが、これらのトランジスタの極性を逆にすることもできる。

[0068] 極性を逆にする場合、図９に例示するように１段目にｐＭＯＳトランジスタ２５１、２段目にｎＭＯＳトランジスタ２５２、３段目にｐＭＯＳの保護トランジスタ２５３が配置される。また、抵抗２１２が電源側に挿入され、定常期間制御部２２０が基準線２０９に接続され、過渡期間制御部２３０が電源線２０８に接続される。

[0069] このように、本技術の第１の実施の形態によれば、定常期間制御部２２０

がゲート電圧V_3の定常期間を長くし、過渡期間制御部２３０が、その電圧を徐々に変動させるため、スパイクノイズの発生を抑制することができる。これにより、ＥＳＤ保護回路２００の安定性を向上させることができる。

[0070] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、ＭＯＳ（２４１など）と高抵抗（２２１など）でインバータを形成しているため、ＭＯＳのリーク電流が大きい場合（プロセスfast、高温、高電圧）、電圧が浮き、誤動作するおそれがある。この第２の実施の形態のＥＳＤ保護回路２００は、電源供給時の誤動作を抑制した点において第１の実施の形態と異なる。

[0071] 図１０は、本技術の第２の実施の形態におけるＥＳＤ保護回路２００の一構成例を示す回路図である。この第２の実施の形態のＥＳＤ保護回路２００は、帰還ｐＭＯＳトランジスタ２６１、帰還ｎＭＯＳトランジスタ２６２およびインバータ２６３をさらに備える点において第１の実施の形態と異なる。

[0072] 帰還ｐＭＯＳトランジスタ２６１は、電源ノードＮｄｄとｎＭＯＳトランジスタ２４１との間に挿入される。この帰還ｐＭＯＳトランジスタ２６１のゲートは、ｐＭＯＳトランジスタ２４２および過渡期間制御部２３０の接続ノードに接続される。なお、帰還ｐＭＯＳトランジスタ２６１は、特許請求の範囲に記載の第１帰還トランジスタの一例である。

[0073] 帰還ｎＭＯＳトランジスタ２６２は、ｐＭＯＳトランジスタ２４２および過渡期間制御部２３０の接続ノードと、接地ノードＮｓｓとの間に挿入される。なお、帰還ｎＭＯＳトランジスタ２６２は、特許請求の範囲に記載の第２帰還トランジスタの一例である。

[0074] インバータ２６３は、ゲート電圧V_3の信号を反転して帰還ｎＭＯＳトランジスタ２６２のゲートに供給するものである。

[0075] 上述の構成により、電源供給時に帰還ｐＭＯＳトランジスタ２６１および帰還ｎＭＯＳトランジスタ２６２は両方ともオン状態になる。この帰還ｐＭＯＳトランジスタ２６１により、電源供給時にｐＭＯＳトランジスタ２４２

を完全にカットオフすることができる。また、帰還ｎＭＯＳトランジスタ２６２およびインバータ２６３により、電源供給時に保護トランジスタ２４３を完全にカットオフすることができる。これにより、電源の供給中におけるＥＳＤ保護回路２００の誤動作を防止することができる。

[0076] なお、ｎＭＯＳトランジスタ２４１、ｐＭＯＳトランジスタ２４２および保護トランジスタ２４３の極性を逆にする際は、２つの帰還トランジスタのそれぞれの極性も逆にすればよい。

[0077] このように、本技術の第２の実施の形態によれば、帰還ｐＭＯＳトランジスタ２６１、帰還ｎＭＯＳトランジスタ２６２およびインバータ２６３が、ｐＭＯＳトランジスタ２４２および保護トランジスタ２４３を完全にカットオフする。これにより、電源供給時のＥＳＤ保護回路２００の誤動作を防止することができる。

[0078] ＜３．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0079] 図１１は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0080] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図１１に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ(interface)１２０５３が図示されている。

[0081] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0082] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0083] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0084] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0085] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検

出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0086] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0087] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0088] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0089] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図１１の例では、出力装置として、オ

ーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0090] 図１２は、撮像部１２０３１の設置位置の例を示す図である。

[0091] 図１２では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0092] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0093] なお、図１２には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0094] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４

の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0095] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0096] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0097] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識

は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0098] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、車両制御システム内の各種の回路や装置（撮像部１２０３１など）に適用され得る。例えば、図１のＥＳＤ保護回路２００は、撮像部１２０３１などの各種の回路や装置に適用される。車両制御システム内の回路や装置にに本開示に係る技術を適用することにより、ＥＳＤから回路を保護し、システムの安全性を向上させることができる。

[0099] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0100] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0101] なお、本技術は以下のような構成もとることができる。

（１）所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、

静電気放電が生じたときに所定期間に亘って前記保護トランジスタのゲート電圧を所定レベルにする検知部と、

前記ゲート電圧が前記所定レベルを継続する定常期間を前記所定期間より長い期間に制御する定常期間制御部と、

前記定常期間を経過してから所定の過渡期間内に前記ゲート電圧を前記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部と

を具備する静電気放電保護回路。

（２）前記検知部は、前記電源ノードと前記基準ノードとの間に直列に接続された第１キャパシタおよび第１抵抗を備える前記（１）記載の静電気放電保護回路。

（３）前記定常期間制御部と前記電源ノードおよび前記基準ノードの一方との間に挿入された第１トランジスタをさらに具備し、

前記第１トランジスタのゲートは、前記第１キャパシタおよび前記第１抵抗の接続ノードに接続される

前記（２）記載の静電気放電保護回路。

（４）前記電源ノードおよび前記基準ノードの他方と前記過渡期間制御部との間に挿入された第２トランジスタをさらに具備し、

前記第２トランジスタの極性は、前記第１トランジスタと異なり、

前記第２トランジスタのゲートは、前記定常期間制御部および前記第１トランジスタの接続ノードに接続され、

前記保護トランジスタのゲートは、前記第２トランジスタおよび前記過渡期間制御部の接続ノードに接続される

前記（３）記載の静電気放電保護回路。

（５）前記電源ノードおよび前記基準ノードの前記他方と前記第１トランジスタとの間に挿入された第１帰還トランジスタをさらに具備し、

前記第１帰還トランジスタの極性は、前記第２トランジスタと同一であり、

前記第１帰還トランジスタのゲートは、前記第２トランジスタおよび前記

過渡期間制御部の接続ノードに接続される

前記（４）記載の静電気放電保護回路。

（６）前記保護トランジスタのゲートと前記電源ノードおよび前記基準ノードの前記一方との間に挿入された第２帰還トランジスタと、

前記ゲート電圧を反転して前記第２帰還トランジスタのゲートに出力するインバータと

をさらに具備し、

前記第２帰還トランジスタの極性は、前記第１トランジスタと同一である前記（４）または（５）に記載の静電気放電保護回路。

（７）前記定常期間制御部は、前記電源ノードおよび前記基準ノードの前記一方と前記第１トランジスタとの間において並列に接続された第２抵抗および第２キャパシタを備える前記（４）から（６）のいずれかに記載の静電気放電保護回路。

（８）前記過渡期間制御部は、前記電源ノードおよび前記基準ノードの前記他方と前記第２トランジスタの間において並列に接続された第３抵抗および第３キャパシタを備える前記（４）から（７）のいずれかに記載の静電気放電保護回路。

（９）所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、

静電気放電が生じたときに所定期間に亘って前記保護トランジスタのゲート電圧を所定レベルにする検知部と、

前記ゲート電圧が前記所定レベルを継続する定常期間を前記所定期間より長い期間に制御する定常期間制御部と、

前記定常期間を経過してから所定の過渡期間内に前記ゲート電圧を前記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部と、

前記電源ノードと前記基準ノードとの間に挿入された内部回路と

を具備する電子装置。

符号の説明

[0102] １００　電子装置

２００、２０１、２０２　ＥＳＤ保護回路

２１０　検知部

２１１、２２２、２３２　キャパシタ

２１２、２２１、２３１　抵抗

２２０　定常期間制御部

２３０　過渡期間制御部

２４１、２５２　ｎＭＯＳトランジスタ

２４２、２５１　ｐＭＯＳトランジスタ

２４３、２５３　保護トランジスタ

２６１　帰還ｐＭＯＳトランジスタ

２６２　帰還ｎＭＯＳトランジスタ

２６３　インバータ

３００　内部回路

請求の範囲

[請求項1] 所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、

静電気放電が生じたときに所定期間に亘って前記保護トランジスタのゲート電圧を所定レベルにする検知部と、

前記ゲート電圧が前記所定レベルを継続する定常期間を前記所定期間より長い期間に制御する定常期間制御部と、

前記定常期間を経過してから所定の過渡期間内に前記ゲート電圧を前記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部とを具備する静電気放電保護回路。

[請求項2] 前記検知部は、前記電源ノードと前記基準ノードとの間に直列に接続された第１キャパシタおよび第１抵抗を備える請求項１記載の静電気放電保護回路。

[請求項3] 前記定常期間制御部と前記電源ノードおよび前記基準ノードの一方との間に挿入された第１トランジスタをさらに具備し、

前記第１トランジスタのゲートは、前記第１キャパシタおよび前記第１抵抗の接続ノードに接続される

請求項２記載の静電気放電保護回路。

[請求項4] 前記電源ノードおよび前記基準ノードの他方と前記過渡期間制御部との間に挿入された第２トランジスタをさらに具備し、

前記第２トランジスタの極性は、前記第１トランジスタと異なり、

前記第２トランジスタのゲートは、前記定常期間制御部および前記第１トランジスタの接続ノードに接続され、

前記保護トランジスタのゲートは、前記第２トランジスタおよび前記過渡期間制御部の接続ノードに接続される

請求項３記載の静電気放電保護回路。

[請求項5] 前記電源ノードおよび前記基準ノードの前記他方と前記第１トランジスタとの間に挿入された第１帰還トランジスタをさらに具備し、

前記第１帰還トランジスタの極性は、前記第２トランジスタと同一であり、

前記第１帰還トランジスタのゲートは、前記第２トランジスタおよび前記過渡期間制御部の接続ノードに接続される

請求項４記載の静電気放電保護回路。

[請求項6] 前記保護トランジスタのゲートと前記電源ノードおよび前記基準ノードの前記一方との間に挿入された第２帰還トランジスタと、

前記ゲート電圧を反転して前記第２帰還トランジスタのゲートに出力するインバータと

をさらに具備し、

前記第２帰還トランジスタの極性は、前記第１トランジスタと同一である

請求項４記載の静電気放電保護回路。

[請求項7] 前記定常期間制御部は、前記電源ノードおよび前記基準ノードの前記一方と前記第１トランジスタとの間において並列に接続された第２抵抗および第２キャパシタを備える請求項４記載の静電気放電保護回路。

[請求項8] 前記過渡期間制御部は、前記電源ノードおよび前記基準ノードの前記他方と前記第２トランジスタの間において並列に接続された第３抵抗および第３キャパシタを備える請求項４記載の静電気放電保護回路。

[請求項9] 所定の電源ノードと所定の基準ノードとの間に挿入された保護トランジスタと、

静電気放電が生じたときに所定期間に亘って前記保護トランジスタのゲート電圧を所定レベルにする検知部と、

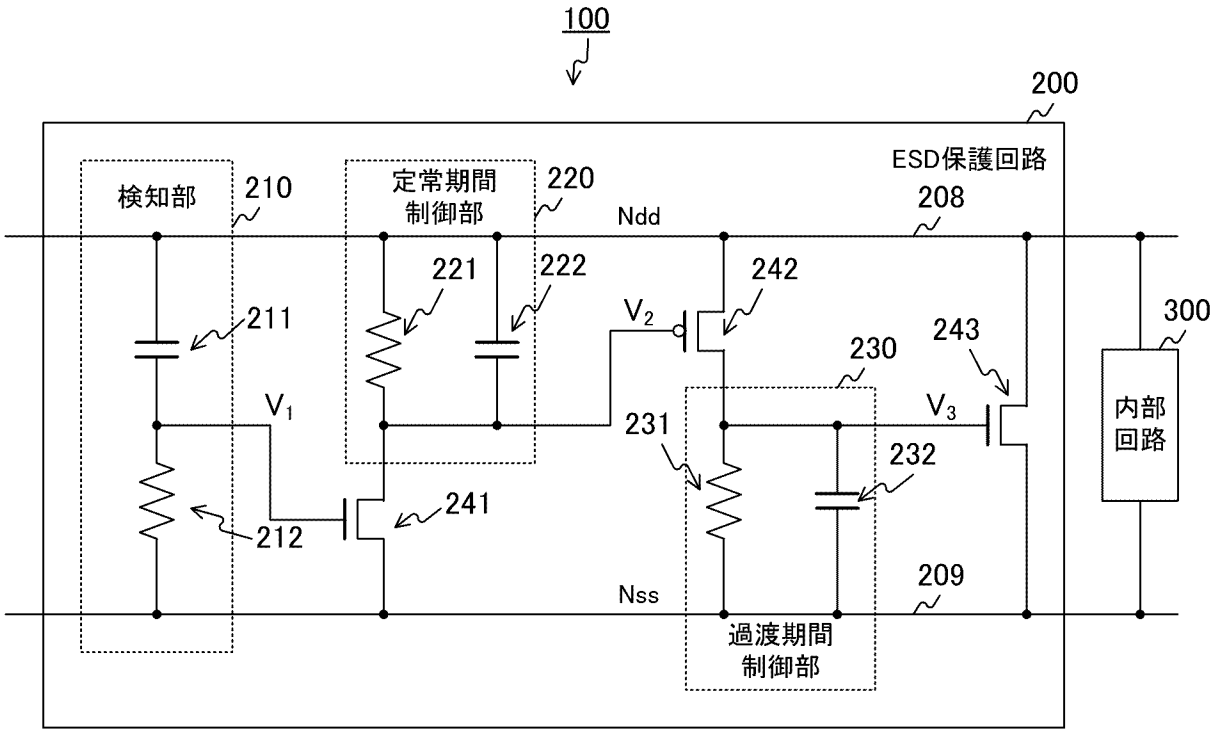
前記ゲート電圧が前記所定レベルを継続する定常期間を前記所定期間より長い期間に制御する定常期間制御部と、

前記定常期間を経過してから所定の過渡期間内に前記ゲート電圧を

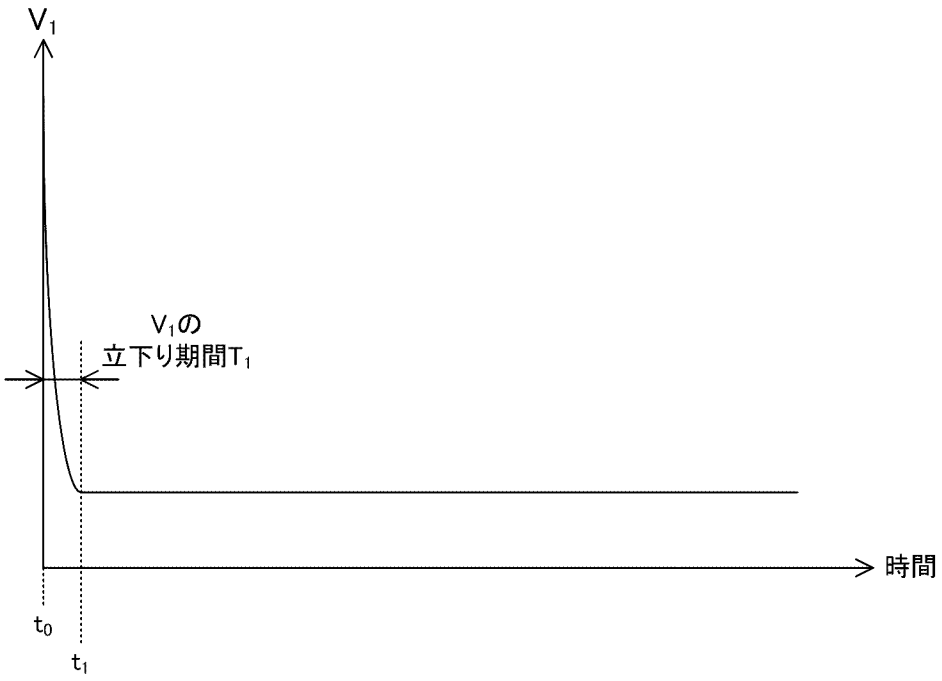
前記所定レベルと異なるレベルに徐々に遷移させる過渡期間制御部と、

前記電源ノードと前記基準ノードとの間に挿入された内部回路とを具備する電子装置。

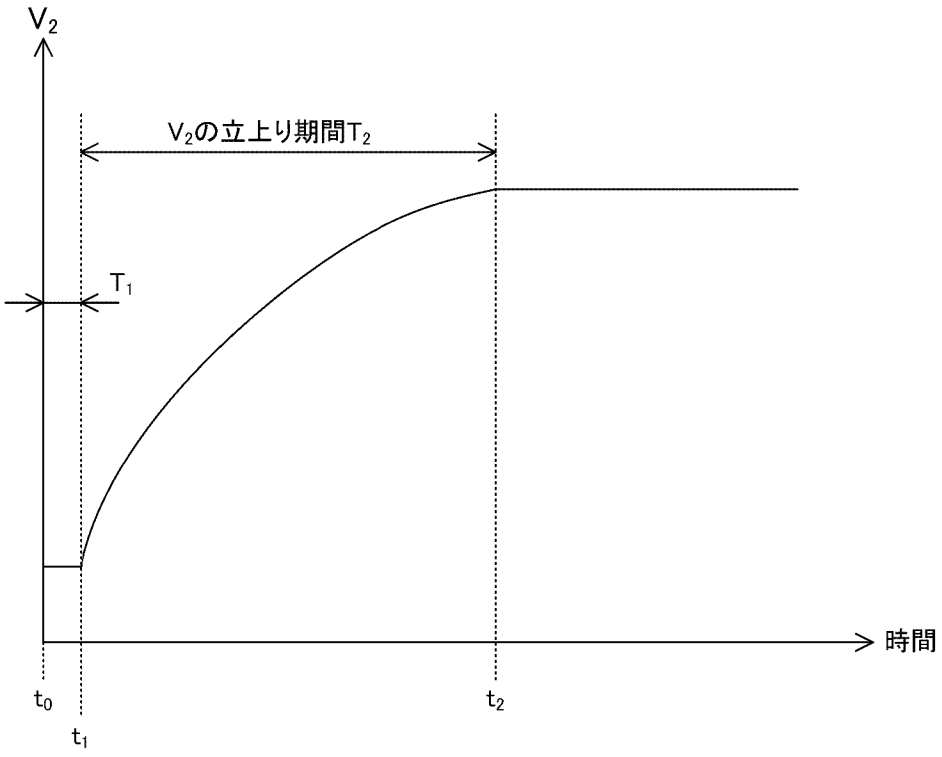
[図1]


100
200
ESD保護回路
208
検知部
210
定常期間
制御部
220
Ndd
221
222
242
211
V2
243
230
300
V1
231
V3
内部
回路
232
241
212
209
Nss
過渡期間
制御部

[図2]

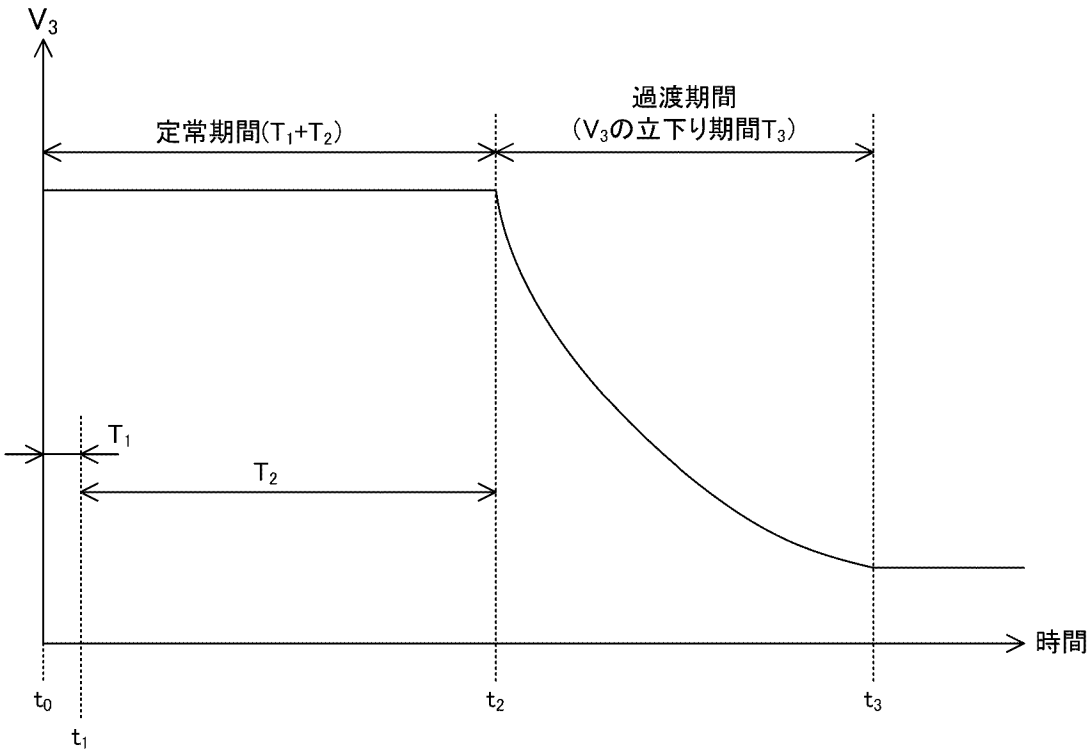


a

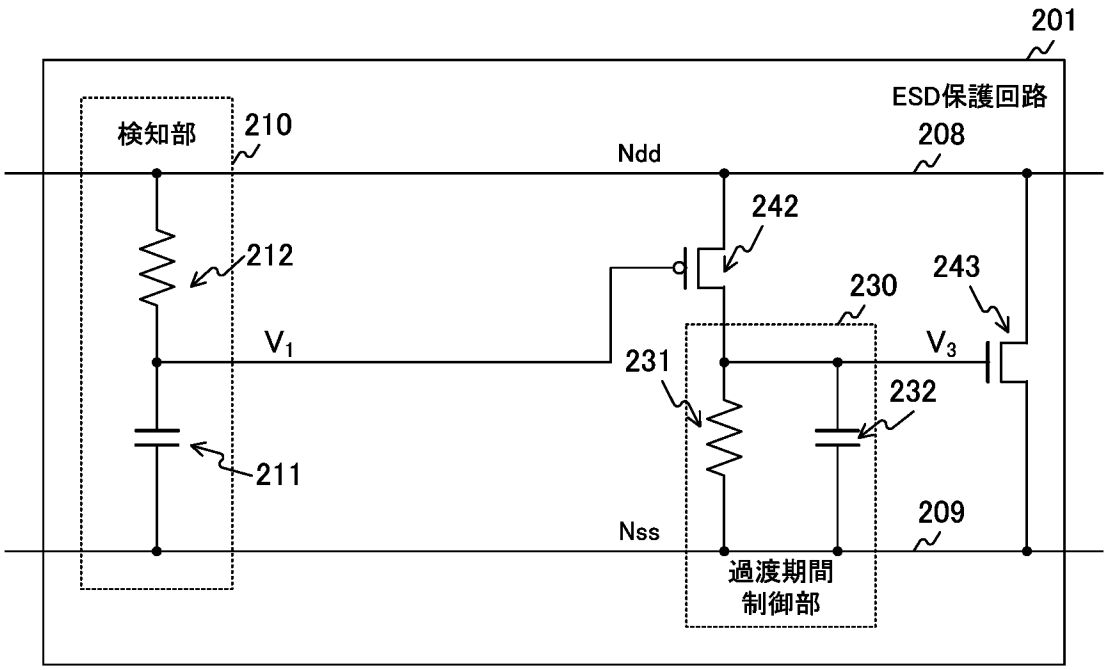


b

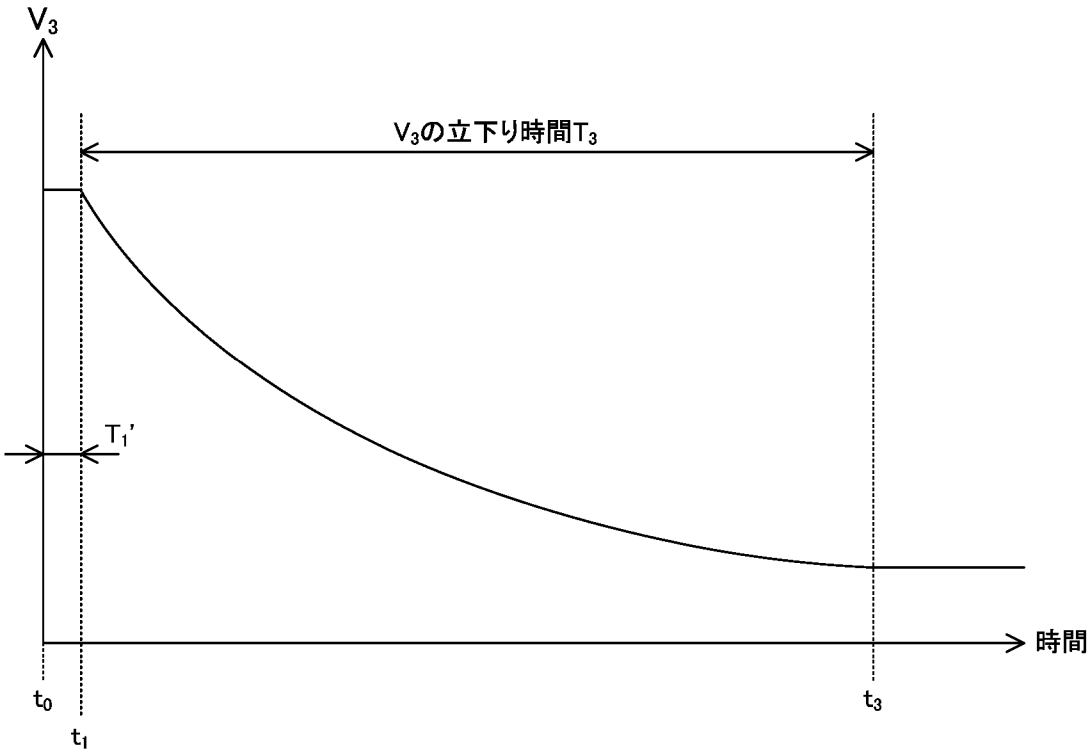
[図3]



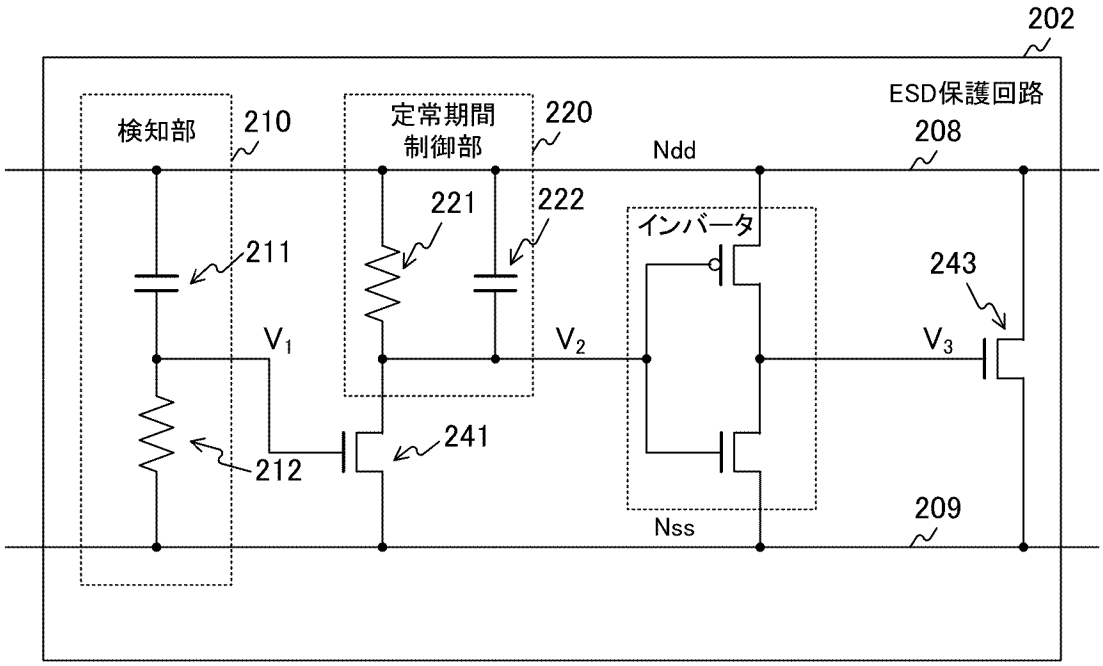
[図4]


201
ESD保護回路
208
検知部
210
Ndd
242
212
243
230
V1
231
V3
232
211
209
Nss
過渡期間
制御部

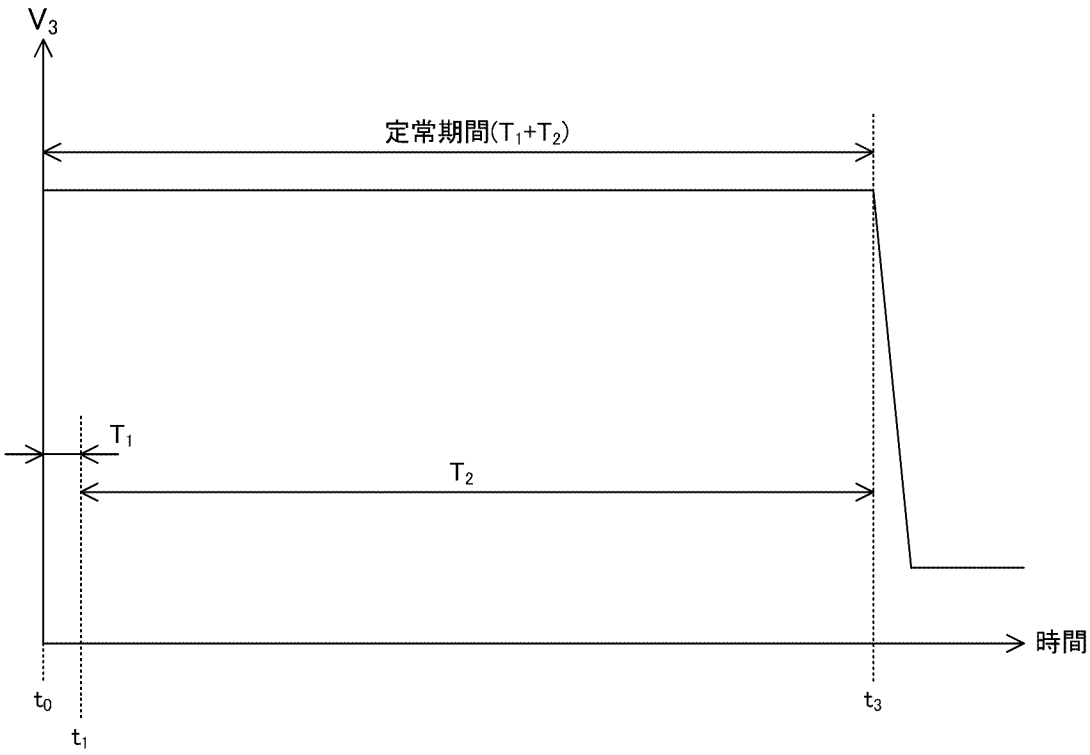
[図5]



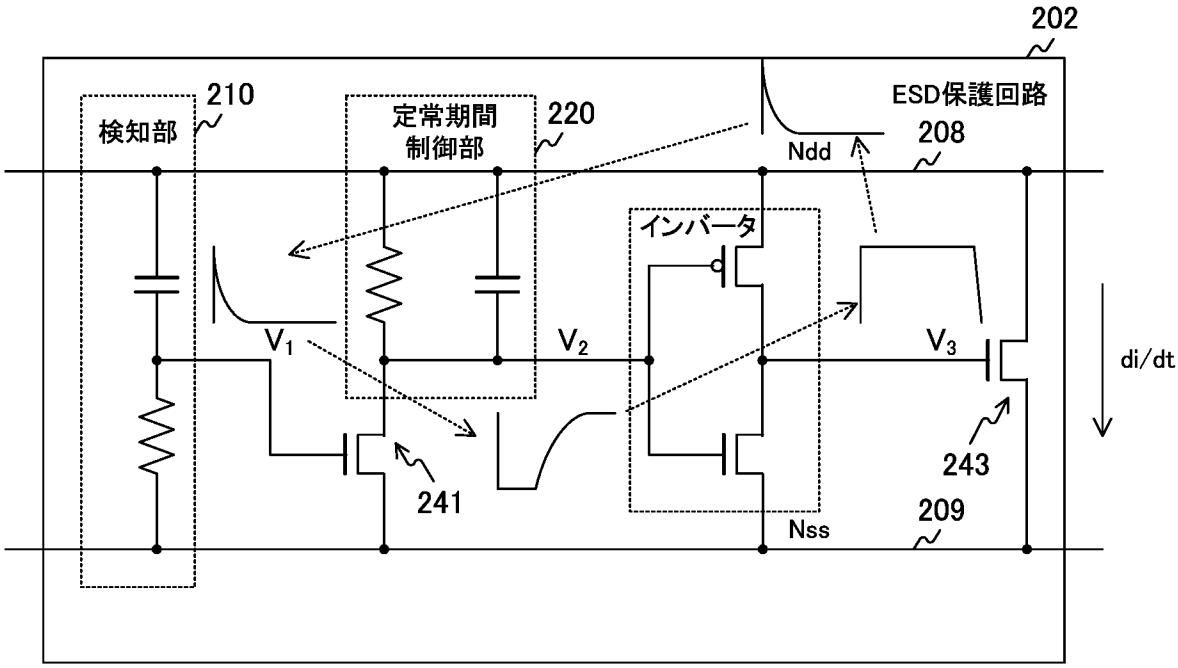
[図6]


202
ESD保護回路
208
検知部
210
定常期間
制御部
220
Ndd
221
222
インバータ
243
211
V_1
V_2
V_3
241
212
209
Nss

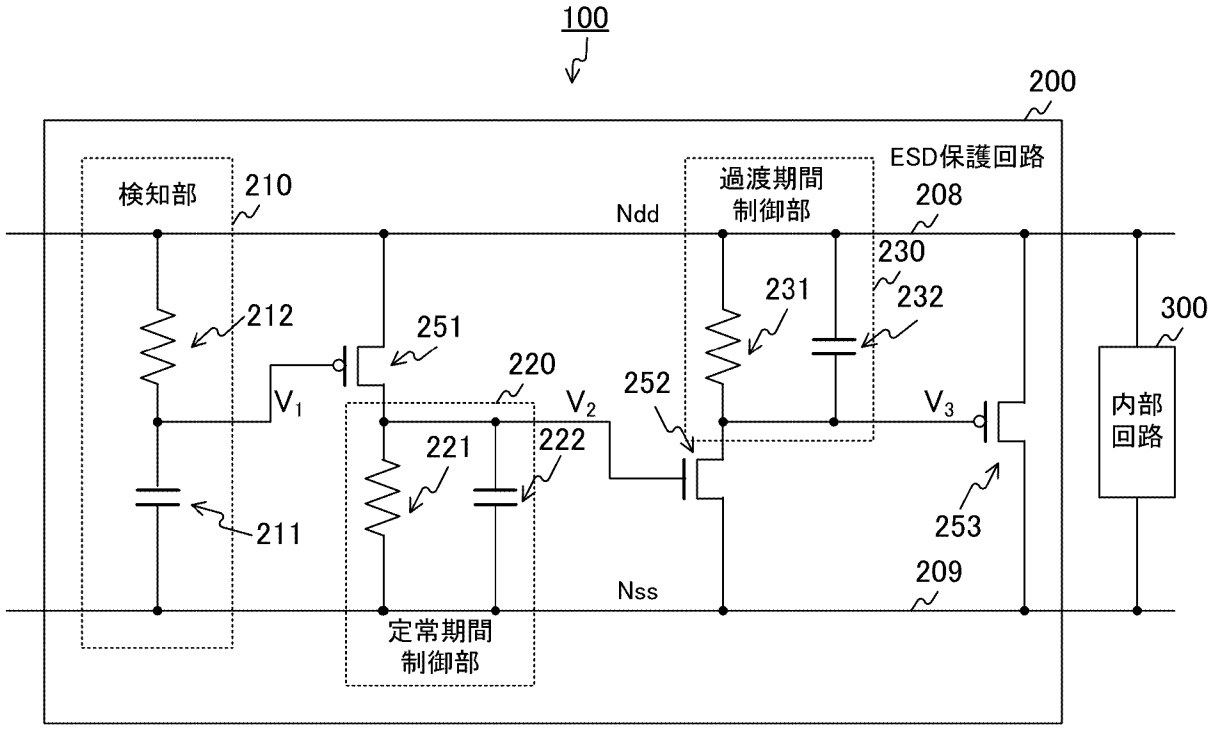
[図7]



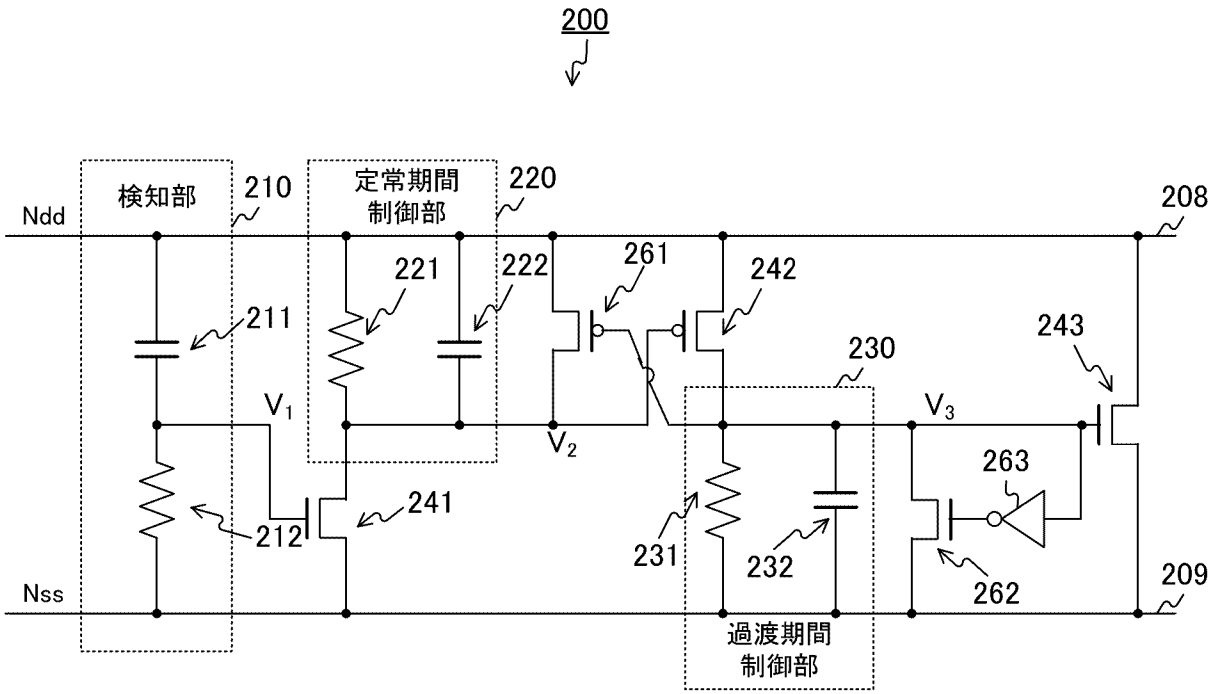
[図8]


202
210
検知部
定常期間
制御部
220
ESD保護回路
208
Ndd
インバータ
V1
V2
V3
di/dt
241
243
209
Nss

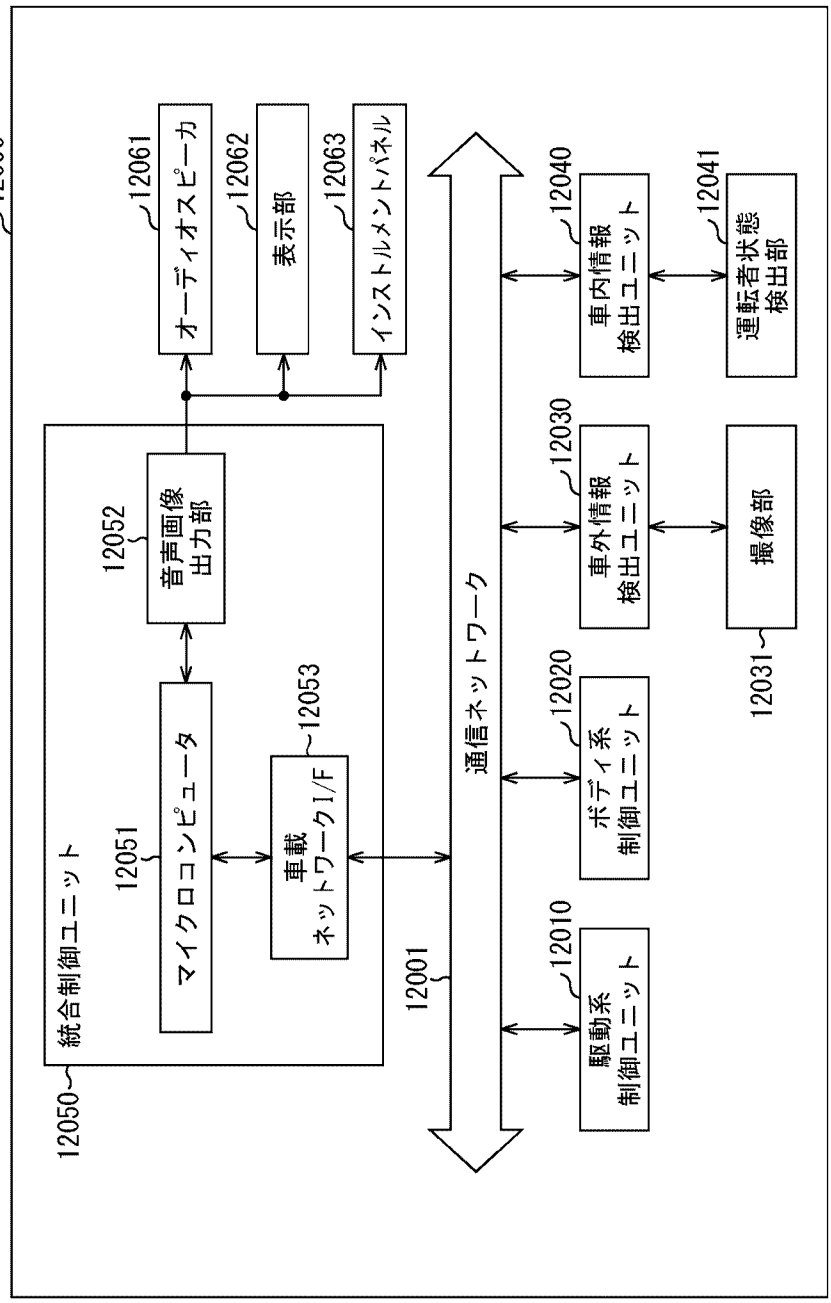
[図9]


100
200
ESD保護回路
検知部
210
過渡期間
制御部
208
Ndd
230
231
232
300
212
251
220
V1
V2
252
V3
221
222
内部
回路
211
253
209
Nss
定常期間
制御部

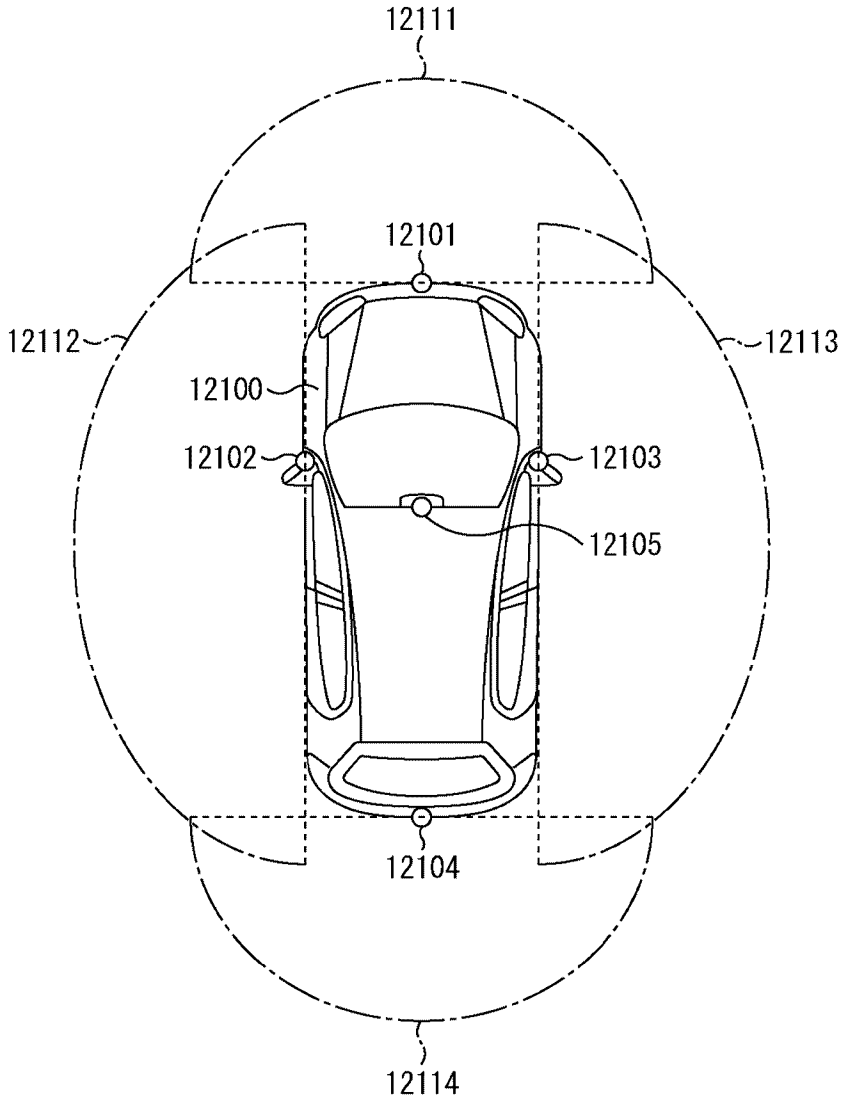
[図10]


200
検知部
210
定常期間
制御部
220
Ndd
208
211
221
222
261
242
243
230
V1
V2
V3
263
212
241
231
232
262
Nss
209
過渡期間
制御部

[図11]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
12020
ボディ系
制御ユニット
12001
通信ネットワーク
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図12]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/043594

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/04(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i
FI: H01L27/04 H; H01L27/06 311Z; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L21/8234; H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-513121 A (SANDISK CORP.) 07 June 2012 (2012-06-07) entire text, all drawings	1-9
A	US 2004/0109270 A1 (STOCKINGER, Michael) 10 June 2004 (2004-06-10) entire text, all drawings	1-9
A	US 5946177 A (MOTOROLA INC.) 31 August 1999 (1999-08-31) entire text, all drawings	1-9
A	JP 2012-195778 A (RICOH CO., LTD.) 11 October 2012 (2012-10-11) entire text, all drawings	1-9
A	US 2011/0299202 A1 (CAI, Xaiowu) 08 December 2011 (2011-12-08) entire text, all drawings	1-9
A	JP 2017-55299 A (TOSHIBA CORP.) 16 March 2017 (2017-03-16) entire text, all drawings	1-9

☑ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 January 2022	**18 January 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/043594

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-227003 A (KAWASAKI MICROELECTRONICS KK) 25 September 2008 (2008-09-25) entire text, all drawings	1-9
A	JP 2016-162884 A (TOSHIBA CORP.) 05 September 2016 (2016-09-05) entire text, all drawings	1-9
A	JP 2013-197128 A (TOSHIBA CORP.) 30 September 2013 (2013-09-30) entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/043594

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2012-513121 A	07 June 2012	US 2010/0157491 A1	
		EP 2368325 A1	
		TW 201034331 A	
		CN 102257731 A	
		KR 10-2011-0114574 A	
US 2004/0109270 A1	10 June 2004	AU 2003265364 A	
		TW 200418165 A	
US 5946177 A	31 August 1999	(Family: none)	
JP 2012-195778 A	11 October 2012	(Family: none)	
US 2011/0299202 A1	08 December 2011	CN 101902039 A	
JP 2017-55299 A	16 March 2017	(Family: none)	
JP 2008-227003 A	25 September 2008	(Family: none)	
JP 2016-162884 A	05 September 2016	US 2016/0261105 A1	
		CN 105938815 A	
JP 2013-197128 A	30 September 2013	US 2013/0242449 A1	

国際調査報告

国際出願番号
PCT/JP2021/043594

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i
FI: H01L27/04 H; H01L27/06 311Z; H01L27/06 102A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01L21/8234; H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2012-513121 A (サンディスク コーポレイション) 07.06.2012 (2012-06-07) 全文，全図	1-9
A	US 2004/0109270 A1 (STOCKINGER Michael) 10.06.2004 (2004-06-10) 全文，全図	1-9
A	US 5946177 A (MOTOROLA INC.) 31.08.1999 (1999-08-31) 全文，全図	1-9
A	JP 2012-195778 A (株式会社リコー) 11.10.2012 (2012-10-11) 全文，全図	1-9
A	US 2011/0299202 A1 (CAI Xiaowu) 08.12.2011 (2011-12-08) 全文，全図	1-9
A	JP 2017-55299 A (株式会社東芝) 16.03.2017 (2017-03-16) 全文，全図	1-9
A	JP 2008-227003 A (川崎マイクロエレクトロニクス株式会社) 25.09.2008 (2008-09-25) 全文，全図	1-9

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.01.2022	18.01.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
市川　武宜 5F 4056

電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2016-162884 A (株式会社東芝) 05.09.2016 (2016-09-05) 全文，全図	1-9
A	JP 2013-197128 A (株式会社東芝) 30.09.2013 (2013-09-30) 全文，全図	1-9

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/043594

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-513121 A	07.06.2012	US 2010/0157491 A1	
		EP 2368325 A1	
		TW 201034331 A	
		CN 102257731 A	
		KR 10-2011-0114574 A	
US 2004/0109270 A1	10.06.2004	AU 2003265364 A	
		TW 200418165 A	
US 5946177 A	31.08.1999	（ファミリーなし）	
JP 2012-195778 A	11.10.2012	（ファミリーなし）	
US 2011/0299202 A1	08.12.2011	CN 101902039 A	
JP 2017-55299 A	16.03.2017	（ファミリーなし）	
JP 2008-227003 A	25.09.2008	（ファミリーなし）	
JP 2016-162884 A	05.09.2016	US 2016/0261105 A1	
		CN 105938815 A	
JP 2013-197128 A	30.09.2013	US 2013/0242449 A1	