



(12)发明专利申请

(10)申请公布号 CN 107111587 A

(43)申请公布日 2017. 08. 29

(21)申请号 201580058042.3

(22)申请日 2015.11.09

(30)优先权数据

14/538,133 2014.11.11 US

(85)PCT国际申请进入国家阶段日

2017.04.25

(86)PCT国际申请的申请数据

PCT/US2015/059661 2015.11.09

(87)PCT国际申请的公布数据

W02016/077189 EN 2016.05.19

(71)申请人 密克罗奇普技术公司

地址 美国亚利桑那州

(72)发明人 詹姆斯·卡萨迪

罗德尼·佩萨文托

瑟吉·帕夫洛夫

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 沈锦华

(51)Int.Cl.

G06F 13/42(2006.01)

G06F 13/16(2006.01)

G06F 13/38(2006.01)

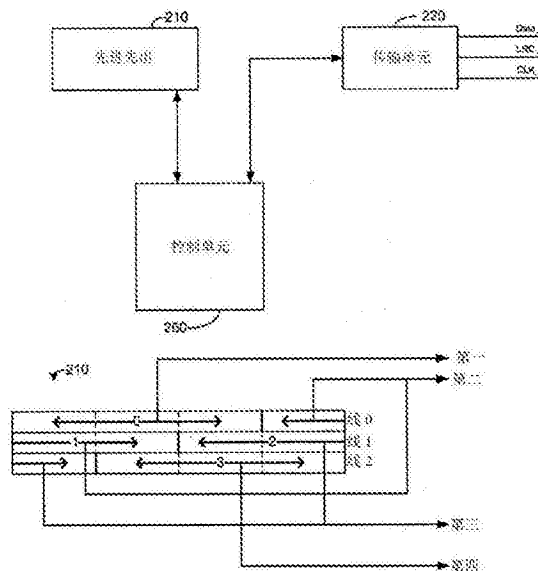
权利要求书4页 说明书8页 附图9页

(54)发明名称

多信道I2S传输控制系统及方法

(57)摘要

本发明揭示一种串行外围接口,其可配置以在I2S传输模式中操作。所述接口具有:传输单元,其与用于数据、位时钟及左/右时钟信号的外部引脚连接;先进先出FIFO缓冲器,其具有多个存储器线;及控制单元,其可操作以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,且将所述经汇编传输字转发到所述传输单元,其中所述传输单元经配置以经由所述外部数据引脚串行地传输所述经汇编传输字。



1. 一种串行外围接口,其可配置以在I<sup>2</sup>S传输模式中操作且包括:  
传输单元,其与用于数据、位时钟及左/右时钟信号的外部引脚连接;  
先进先出FIFO缓冲器,其包括多个存储器线;及  
控制单元,其可操作以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,且将所述经汇编传输字转发到所述传输单元,其中所述传输单元经配置以经由所述外部数据引脚串行地传输所述经汇编传输字。
2. 根据权利要求1所述的串行外围接口,其中所述FIFO缓冲器包括三个32位存储器线。
3. 根据权利要求1或2所述的串行外围接口,其中在24位操作模式中,所述控制单元经配置以:  
存取第一存储器线以读取位上部24个位,并将所述位传送到所述传输单元,  
接着存取所述第一存储器线以读取下部8个位且存取第二存储器线以读取上部16个位,并将经组合的24位字传送到所述传输单元,  
接着存取所述第二存储器线以读取下部16个位且存取第三存储器线以读取上部8个位,并将经组合的24位字传送到所述传输单元,及  
接着存取所述第三存储器线以读取下部24个位,并将所述位传送到所述传输单元。
4. 根据权利要求3所述的串行外围接口,其中在16位操作模式中,所述控制单元经配置以:  
存取所述第一存储器线以读取位所述上部16个位,并将所述位传送到所述传输单元,  
接着存取所述第一存储器线以读取所述下部16个位以将所述位传送到所述传输单元,  
接着针对所述第二存储器线及所述第三存储器线重复所述存取及传送。
5. 一种串行外围接口,其可配置以在I<sup>2</sup>S传输模式中操作且包括:  
多个传输单元,其各自与至少一外部数据引脚连接;  
相关联先进先出FIFO缓冲器,其各自包括多个存储器线;及  
控制单元,其可操作以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,且将所述经汇编传输字转发到所述传输单元,其中所述传输单元经配置以经由所述外部数据引脚串行地传输所述经汇编传输字。
6. 根据权利要求5所述的串行外围接口,其中每一FIFO缓冲器包括三个32位存储器线。
7. 根据权利要求5或6所述的串行外围接口,其中所述传输单元中的一者经配置为主单元且其余传输单元经配置为从单元。
8. 根据权利要求7所述的串行外围接口,其中对所有FIFO缓冲器执行输入操作,使得写入操作将数据写入到每一FIFO缓冲器中的相同地址。
9. 根据前述权利要求5到8中任一权利要求所述的串行外围接口,其中每一传输单元从相关联FIFO缓冲器读取单个数据字,其中在相关联的控制寄存器中定义所述单个数据字的所述地址。
10. 根据前述权利要求5到9中任一权利要求所述的串行外围接口,其中在24位操作模式中,分别地,第一传输单元读取相关联FIFO缓冲器的第一存储器线的上部24个位,第二传输单元读取所述第一存储器线的下部8个位及第二存储器线的上部16个位,第三传输单元读取所述第二存储器线的下部16个位及第三存储器线的上部8个位,且第四传输单元读取所述第三存储器线的下部24个位。

11. 根据前述权利要求5到10中任一权利要求所述的串行外围接口,其中在16位操作模式中,分别地,第一传输单元读取每一存储器线的所述上部16个位,且第二传输单元读取每一存储器线的所述下部16个位。

12. 根据前述权利要求5到11中任一权利要求所述的串行外围接口,其中在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

13. 根据前述权利要求5到12中任一权利要求所述的串行外围接口,其中所述FIFO缓冲器中的仅一者用于所有四个传输单元。

14. 根据前述权利要求5到13中任一权利要求所述的串行外围接口,其中在所述24位操作模式中,所述控制单元经配置以:

存取选定FIFO缓冲器的所述第一存储器线以读取所述上部24个位,并将所述位传送到所述第一传输单元,

接着存取所述选定FIFO缓冲器的所述第一存储器线以读取所述下部8个位且存取所述第二存储器线以读取所述上部16个位,并将经组合的24位字传送到所述第二传输单元,

接着存取所述选定FIFO缓冲器的所述第二存储器线以读取所述下部16个位且存取所述第三存储器线以读取所述上部8个位,并将经组合的24位字传送到所述第三传输单元,及

接着存取所述选定FIFO缓冲器的所述第三存储器线以读取所述下部24个位,并将所述位传送到所述第四传输单元。

15. 根据前述权利要求5到13中任一权利要求所述的串行外围接口,其中在16位操作模式中,所述控制单元经配置以:

存取选定FIFO缓冲器的每一存储器线以读取所述上部16个位,并将所述位传送到所述第一传输单元,及

接着存取所述选定FIFO缓冲器的每一存储器线以读取所述下部16个位,并将所述位传送到所述第二传输单元。

16. 根据前述权利要求5到15中任一权利要求所述的串行外围接口,其中在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

17. 一种操作可配置以在I<sup>2</sup>S传输模式中操作的串行外围接口的方法,其包括以下步骤:

配置所述串行外围接口以在I<sup>2</sup>S模式中操作,其中所述串行外围接口包括与用于数据、位时钟及左/右时钟信号的外部引脚连接的传输单元;

提供包括多个存储器线的先进先出FIFO缓冲器;及

控制所述串行外围接口以

从两个存储器线读取数据部分,

将所述数据部分汇编成传输字,

将所述经汇编传输字转发到所述传输单元,及

经由所述外部数据引脚串行地传输所述经汇编传输字。

18. 根据权利要求17所述的方法,其中所述FIFO缓冲器包括三个32位存储器线。

19. 根据权利要求17或18所述的方法,其中在24位操作模式中,所述方法包括:

存取第一存储器线以读取位上部24个位,并将所述位传送到所述传输单元,

接着存取所述第一存储器线以读取下部8个位且存取第二存储器线以读取上部16个位,并将经组合的24位字传送到所述传输单元,

接着存取所述第二存储器线以读取下部16个位且存取第三存储器线以读取上部8个位,并将经组合的24位字传送到所述传输单元,及

接着存取所述第三存储器线以读取下部24个位,并将所述位传送到所述传输单元。

20. 根据权利要求19所述的方法,其中在16位操作模式中,所述方法包括:

存取所述第一存储器线以读取所述上部16个位,并将所述位传送到所述传输单元,

接着存取所述第一存储器线以读取所述下部16个位,将所述位传送到所述传输单元,

接着针对所述第二存储器线及所述第三存储器线重复所述存取步骤及传送步骤。

21. 一种用于操作可配置以在I<sup>2</sup>S传输模式中操作的串行外围接口的方法,其包括以下步骤:

提供各自与至少一外部数据引脚连接的多个传输单元;

提供各自包括多个存储器线的相关联先进先出FIFO缓冲器;及

从两个存储器线读取数据部分,

将所述数据部分汇编成传输字,

将所述经汇编传输字转发到所述传输单元,及

经由所述外部数据引脚串行地传输所述经汇编传输字。

22. 根据权利要求21所述的方法,其中每一FIFO缓冲器包括三个32位存储器线。

23. 根据权利要求21或22所述的方法,其包括将所述传输单元中的一者配置为主单元且将其余传输单元配置为从单元的步骤。

24. 根据权利要求23所述的方法,其包括对所有FIFO缓冲器执行输入操作,使得写入操作将数据写入到每一FIFO缓冲器中的相同地址。

25. 根据前述权利要求21到24中任一权利要求所述的方法,其中每一传输单元从相关联FIFO缓冲器读取单个数据字,其中在相关联控制寄存器中定义所述单个数据字的所述地址。

26. 根据前述权利要求21到25中任一权利要求所述的方法,其中在24位操作模式中,分别地,第一传输单元读取相关联FIFO缓冲器的第一存储器线的上部24个位,第二传输单元读取所述第一存储器线的下部8个位及第二存储器的上部16个位,第三传输单元读取所述第二存储器线的下部16个位及第三存储器线的上部8个位,且第四传输单元读取所述第三存储器线的下部24个位。

27. 根据前述权利要求21到26中任一权利要求所述的方法,其中在16位操作模式中,分别地,第一传输单元读取每一存储器线的所述上部16个位,且第二传输单元读取每一存储器线的所述下部16个位。

28. 根据前述权利要求21到27中任一权利要求所述的方法,其中在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

29. 根据前述权利要求21到28中任一权利要求所述的方法,其中所述FIFO缓冲器中的仅一者用于所有四个传输单元。

30. 根据前述权利要求21到29中任一权利要求所述的方法,其中在24位操作模式中,所述方法包括:

存取选定FIFO缓冲器的所述第一存储器线以读取所述上部24个位,并将所述位传送到所述第一传输单元,

接着存取所述选定FIFO缓冲器的所述第一存储器线以读取所述下部8个位且存取所述第二存储器线以读取所述上部16个位,并将经组合的24位字传送到所述第二传输单元,

接着存取所述选定FIFO缓冲器的所述第二存储器线以读取所述下部16个位且存取所述第三存储器线以读取所述上部8个位,并将经组合的24位字传送到所述第三传输单元,及

接着存取所述选定FIFO缓冲器的所述第三存储器线以读取所述下部24个位,并将所述位传送到所述第四传输单元。

31. 根据前述权利要求21到30中任一权利要求所述的方法,其中在16位操作模式中,所述方法包括:

存取选定FIFO缓冲器的每一存储器线以读取所述上部16个位,并将所述位传送到所述第一传输单元,及

接着存取所述选定FIFO缓冲器的每一存储器线以读取所述下部16个位,并将所述位传送到所述第二传输单元。

32. 根据前述权利要求21到31中任一权利要求所述的方法,其中在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

## 多信道I<sup>2</sup>S传输控制系统及方法

### 技术领域

[0001] 本发明涉及一种同步串行总线,特定来说是I<sup>2</sup>S类型的同步串行总线。

### 背景技术

[0002] 存在其中在单独线上传输时钟及数据的各种同步串行协议。同步串行接口的最常见实施方案中的一者是串行外围接口(SPI)总线,其包括用于输入及输出的单独数据线、时钟线、任选地选择线及/或从选择线。

[0003] I<sup>2</sup>S总线使用类似数目个线,但提供不同传输协议。微控制器通常实施待增强的SPI协议,使得SPI接口可模拟I<sup>2</sup>S接口。I<sup>2</sup>S协议使用时钟线上的位时钟信号BCLK及单独字时钟线。字时钟通常称为左/右时钟信号LRCLK。一般来说,利用LRCLK的每一边缘,使用位时钟信号串行地传输左或右信道数据字。I<sup>2</sup>S协议对于音频数据是优选的。取决于配置,在装置之间传送具有16、24或32个位的音频数据字。特定来说,24位模式通常通过使用32个位来模拟或需要正确地实施某种数据处理。

[0004] 需要I<sup>2</sup>S接口(特定来说,在微控制器中)的经改善实施方案。

### 发明内容

[0005] 根据一实施例,一种串行外围接口可配置以在I<sup>2</sup>S传输模式中操作且可包括:传输单元,其与用于数据、位时钟及左/右时钟信号的外部引脚连接;先进先出(FIFO)缓冲器,其包括多个存储器线;及控制单元,其可操作以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,且将所述经汇编传输字转发到所述传输单元,其中所述传输单元经配置以经由所述外部数据引脚串行地传输所述经汇编传输字。

[0006] 根据另一实施例,所述FIFO缓冲器可包括三个32位存储器线。根据另一实施例,在24位操作模式中,所述控制单元经配置以:存取第一存储器线以读取位上部24个位,并将所述位传送到所述传输单元;接着存取所述第一存储器线以读取下部8个位且存取第二存储器线以读取上部16个位,并将经组合的24位字传送到所述传输单元;接着存取所述第二存储器线以读取下部16个位且存取第三存储器线以读取上部8个位,并将经组合的24位字传送到所述传输单元;及接着存取所述第三存储器线以读取下部24个位,并将所述位传送到所述传输单元。根据另一实施例,在16位操作模式中,所述控制单元经配置以:存取所述第一存储器线以读取位所述上部16个位,并将所述位传送到所述传输单元;接着存取所述第一存储器线以读取所述下部16个位以将所述位传送到所述传输单元;接着针对所述第二存储器线及所述第三存储器线重复所述存取及传送。

[0007] 根据另一实施例,一种串行外围接口可配置以在I<sup>2</sup>S传输模式中操作且可包括:多个传输单元,其各自与至少一外部数据引脚连接;相关联先进先出(FIFO)缓冲器,其各自包括多个存储器线;及控制单元,其可操作以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,且将所述经汇编传输字转发到所述传输单元,其中所述传输单元经配置以经由所述外部数据引脚串行地传输所述经汇编传输字。

[0008] 根据另一实施例,每一FIFO缓冲器包括三个32位存储器线。根据另一实施例,所述传输单元中的一者可经配置为主单元且其余传输单元经配置为从单元。根据另一实施例,对所有FIFO缓冲器执行输入操作,使得写入操作将数据写入到每一FIFO缓冲器中的相同地址。根据另一实施例,每一传输单元从相关联FIFO缓冲器读取单个数据字,其中在相关联控制寄存器中定义所述单个数据字的所述地址。根据另一实施例,在24位操作模式中,分别地,第一传输单元读取相关联FIFO缓冲器的第一存储器线的上部24个位,第二传输单元读取所述第一存储器线的下部8个位及第二存储器线的上部16个位,第三传输单元读取所述第二存储器线的下部16个位及第三存储器线的上部8个位,且第四传输单元读取所述第三存储器线的下部24个位。根据另一实施例,在16位操作模式中,分别地,第一传输单元读取每一存储器线的所述上部16个位,且第二传输单元读取每一存储器线的所述下部16个位。根据另一实施例,在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。根据另一实施例,所述FIFO缓冲器中的仅一者用于所有四个传输单元。根据另一实施例,在所述24位操作模式中,所述控制单元经配置以:存取选定FIFO缓冲器的所述第一存储器线以读取所述上部24个位,并将所述位传送到所述第一传输单元;接着存取所述选定FIFO缓冲器的所述第一存储器线以读取所述下部8个位且存取所述第二存储器线以读取所述上部16个位,并将经组合的24位字传送到所述第二传输单元;接着存取所述选定FIFO缓冲器的所述第二存储器线以读取所述下部16个位且存取所述第三存储器线以读取所述上部8个位,并将经组合的24位字传送到所述第三传输单元;及接着存取所述选定FIFO缓冲器的所述第三存储器线以读取所述下部24个位,并将所述位传送到所述第四传输单元。根据另一实施例,在16位操作模式中,所述控制单元经配置以:存取选定FIFO缓冲器的每一存储器线以读取所述上部16个位,并将所述位传送到所述第一传输单元;及接着存取所述选定FIFO缓冲器的每一存储器线以读取所述下部16个位,并将所述位传送到所述第二传输单元。根据另一实施例,在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

[0009] 根据另一实施例,一种操作可配置以在I2S传输模式中操作的串行外围接口的方法可包括以下步骤:配置所述串行外围接口以在I2S模式中操作,其中所述串行外围接口包括与用于数据、位时钟及左/右时钟信号的外部引脚连接的传输单元;提供包括多个存储器线的先进先出(FIFO)缓冲器;及控制所述串行外围接口以从两个存储器线读取数据部分,将所述数据部分汇编成传输字,将所述经汇编传输字转发到所述传输单元,及经由所述外部数据引脚串行地传输所述经汇编传输字。

[0010] 根据所述方法的另一实施例,所述FIFO缓冲器可包括三个32位存储器线。根据所述方法的另一实施例,在24位操作模式中,所述方法包括:存取第一存储器线以读取位上部24个位,并将所述位传送到所述传输单元;接着存取所述第一存储器线以读取下部8个位且存取第二存储器线以读取上部16个位,并将经组合的24位字传送到所述传输单元;接着存取所述第二存储器线以读取下部16个位且存取第三存储器线以读取上部8个位,并将经组合的24位字传送到所述传输单元;及接着存取所述第三存储器线以读取下部24个位,并将所述位传送到所述传输单元。根据所述方法的另一实施例,在16位操作模式中,所述方法包括:存取所述第一存储器线以读取位所述上部16个位,并将所述位传送到所述传输单元;接着存取所述第一存储器线以读取所述下部16个位,将所述位传送到所述传输单元;接着针对所述第二存储器线及所述第三存储器线重复所述存取及传送步骤。

[0011] 根据另一实施例,一种操作可配置以在I2S传输模式中操作的串行外围接口的方法可包括以下步骤:提供各自与至少一外部数据引脚连接的多个传输单元;提供各自包括多个存储器线的相关联先进先出(FIFO)缓冲器;及从两个存储器线读取数据部分,将所述数据部分汇编成传输字,将所述经汇编传输字转发到所述传输单元,及经由所述外部数据引脚串行地传输所述经汇编传输字。

[0012] 根据所述方法的另一实施例,每一FIFO缓冲器可包括三个32位存储器线。根据所述方法的另一实施例,所述方法可包括将所述传输单元中的一者配置为主单元且将其余传输单元配置为从单元的步骤。根据所述方法的另一实施例,所述方法可包括对所有FIFO缓冲器执行输入操作,使得写入操作将数据写入到每一FIFO缓冲器中的相同地址。根据所述方法的另一实施例,每一传输单元可从相关联FIFO缓冲器读取单个数据字,其中在相关联控制寄存器中定义所述单个数据字的所述地址。根据所述方法的另一实施例,在24位操作模式中,分别地,第一传输单元读取相关联FIFO缓冲器的第一存储器线的上部24个位,第二传输单元读取所述第一存储器线的下部8个位及第二存储器线的上部16个位,第三传输单元读取所述第二存储器线的下部16个位及第三存储器线的上部8个位,且第四传输单元读取所述第三存储器线的下部24个位。根据所述方法的另一实施例,在16位操作模式中,分别地,第一传输单元读取每一存储器线的所述上部16个位,且第二传输单元读取每一存储器线的所述下部16个位。根据所述方法的另一实施例,在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。根据所述方法的另一实施例,所述FIFO缓冲器中的仅一者用于所有四个传输单元。根据所述方法的另一实施例,在24位操作模式中,所述方法包括:存取选定FIFO缓冲器的所述第一存储器线以读取所述上部24个位,并将所述位传送到所述第一传输单元;接着存取所述选定FIFO缓冲器的所述第一存储器线以读取所述下部8个位且存取所述第二存储器线以读取所述上部16个位,并将经组合的24位字传送到所述第二传输单元;接着存取所述选定FIFO缓冲器的所述第二存储器线以读取所述下部16个位且存取所述第三存储器线以读取所述上部8个位,并将经组合的24位字传送到所述第三传输单元;及接着存取所述选定FIFO缓冲器的所述第三存储器线以读取所述下部24个位,并将所述位传送到所述第四传输单元。根据所述方法的另一实施例,在16位操作模式中,所述方法包括:存取选定FIFO缓冲器的每一存储器线以读取所述上部16个位,并将所述位传送到所述第一传输单元;及接着存取所述选定FIFO缓冲器的每一存储器线以读取所述下部16个位,并将所述位传送到所述第二传输单元。根据所述方法的另一实施例,在所述16位操作模式中,所述FIFO缓冲器仅使用单个32位存储器线。

#### 附图说明

- [0013] 图1展示常规串行外围接口;
- [0014] 图2展示根据各种实施例的各种操作模式的FIFO缓冲器;
- [0015] 图3展示实施例的框图;
- [0016] 图4展示另一实施例的框图;
- [0017] 图5及6展示根据图4的实施例的操作模式;及
- [0018] 图7到10展示根据各种实施例的操作模式的流程图。

## 具体实施方式

[0019] 图1展示可在微控制器内实施的常规SPI接口外围装置100。待由所述装置在外部传送的数据经由内部总线110写入到缓冲寄存器120中。所述缓冲寄存器可实施为如在图1中所展示具有单独传输及接收缓冲器的先进先出(FIFO)存储器130且可具有任何适合大小。根据一些实施例,缓冲器的FIFO功能性可是可编程的以被启用或停用。输入缓冲器120/130与传送移位寄存器140耦合,传送移位寄存器140与外部输入引脚SDIx及外部输出引脚SDOx连接。‘x’指示多个单元可存在于微控制器中。

[0020] 从选择与帧同步控制单元150被提供且与外部从选择引脚SSx耦合并可控制寄存器140的输出与输出引脚SDOx之间的三态缓冲器。时钟控制单元160提供操作移位寄存器140的移位时钟信号。时钟控制单元160也与从选择与帧同步控制单元150以及边缘选择单元170耦合。波特(baud)速率产生器180可通过各种内部时钟信号以可编程方式被驱动且经由可控制驱动器与外部引脚SCKx及边缘选择单元170耦合。可实施可用于配置SPI的各种控制寄存器。

[0021] 此SPI外围装置100经设计以作为具有各种操作模式(例如主模式或从模式、帧式操作、DSP模式等)的正常SPI接口而操作。另外,此外围装置可经配置以作为I<sup>2</sup>S接口而操作。在此模式中,SSx引脚用作LRCLK引脚,SCKx作为BCLK线而操作,且SDIx及SDOx作为数据信号输入/输出引脚而操作。取决于单元100是作为主装置还是从装置而操作,引脚SSx及SCKx是输出(主)引脚或输入(从)引脚。

[0022] 一旦数据字被写入到缓冲器中,外围装置便将经由移位寄存器将经写入数据传送到输出引脚SDOx。如果所述单元是配置为主装置,那么通过装置100产生相应时钟信号。当作为从装置操作时,装置100在接收到相应LRCLK信号之后即刻从缓冲器提取新数据字。所述装置可编程以传送具有16、24或32个位的数据字,其中FIFO经设计以具有多个32位寄存器。当经编程以传输16位字时,仅传输每一缓冲寄存器中的下部16个位且将忽略上部16个位。当经编程以传输24位字时,仅传输每一缓冲寄存器中的下部24个位且将忽略上部8个位。当经编程以传输32位字时,传输每一整个缓冲寄存器。因此,此实施方案需要对数据的某一预处理,这是因为音频数据一般来说是以打包方式存储于大容量存储装置中。因此,仅32位传送模式不需要预处理,这是因为可直接将数据从存储器写入到缓冲器中。

[0023] 然而,在16位及24位模式中,以打包方式存储相应音频数据,换句话说,不为节省存储器而发生24个位的对准。如果使用32位写入操作将数据直接写入到缓冲器120/130中,那么所述数据将失准且被截断。事实上,可能不发生有用传输。因此,必须在数据可写入到缓冲器中之前对所述数据进行预处理。特定来说,对于24位音频数据,此导致时间密集型处理。如果使用32位读取操作来从存储器检索数据,那么必须缓冲8或16个位并与随后读取组合。或者,可仅使用8位读取,且将通过使用三个连续读取操作而汇编24个位。以任一方式,24位音频数据从存储器的传送将需要某种处理,所述处理用完可能是其它任务所需要的处理功率。16位音频数据需要类似操作,即使归因于所有16位数据的对准而需要较少处理功率。然而,每一16位字必须单独地存储于32位缓冲寄存器120/130中以确保I<sup>2</sup>S接口的恰当操作。

[0024] 图2展示存储器中的32位、24位及16位打包数据的对准。以最高效方式存储数据,

使得不浪费存储器空间。因此,在不考虑任何类型的对准错放置的情况下,每一后续数据字紧接在前一字之后而无任何存储器空间。一般来说,此对于32位系统中的32位字来说不成问题,这是因为如果第一字对准,那么32位数据将自动对准,如在实例300中所展示。因此,利用32位指令读取存储器允许利用单个写入命令将相应字放置于FIFO中。

[0025] 实例310展示24位数据的存储。如在图3中可见,相对于32位,仅对准数据0与4。因此,数个8位读取操作及数据(经组合16位及8位读取指令或32位读取指令)的合并以及为实现下一24位字所需的那些部分的中间存储为必需的以正确地填充FIFO。

[0026] 对于如在实例320中展示的16位数据宽度,将对准每隔一个的字与32位边界。因此,需要具有中间缓冲的单个16位读取指令或32位读取指令。

[0027] 显然地,如在实例310中所展示的24位情景导致最多处理。图3展示具有I<sup>2</sup>S传输能力的增强型SPI接口。此处,FIFO 210不直接连接到SPI传输单元220,而是由控制单元260控制对FIFO 210的存取,控制单元260(例如)可包含取决于可编程操作模式而提供数据到传输单元220的有限状态机(FSM)。

[0028] 当此单元经编程以在I<sup>2</sup>S模式中操作时,传输单元220使用其如在图3中展示的外部连接,即,数据线用于音频数据,时钟线提供位时钟信号BCLK,且SS<sub>x</sub>引脚用于LRCLK信号。图3的底部假设SPI接口在24位音频模式中使用I<sup>2</sup>S协议操作。因此将直接从存储器利用4个音频24位数据字填充FIFO 210。一旦FIFO 210已经填充有三个32位字,控制单元便可存取FIFO 210,如在图3的底部中所展示。第一存取是FSM传送线0[31..8]到传输单元220。第二存取传送与线1[31..16]串接的线0[7..0]。第三存取传送与线2[31..24]串接的线1[15..0]且第四存取传送线2[23..0]。所述系统接着向微处理器指示FIFO是空的且可将更多数据从存储器传送到缓冲器中。微处理器接着可直接将来自存储器的下一三个32位字传送到缓冲器中而无需对数据的任何处理或重新布置。

[0029] 在16位操作模式中,状态机260存取FIFO 210以交替地读取上部字线x[31..16]及下部字线x[15..0]。再次,处理器可在无需重新对准从存储器检索的数据的情况下仅使用32位读取/写入指令直接传送数据以得到最优速度。根据另一实施例,在16位操作模式中,FIFO 210可仅使用单个存储器线。

[0030] 图4展示同步串行接口外围装置400的另一实施例,其中多个SPI或I<sup>2</sup>S接口单元410、420、230、240与FIFO 210到240一起操作以提供多信道功能性。在此实例中,提供四个信道。然而,根据其它实施例,可提供更多或更少信道。在此类实施方案中,可相应地增加用于每一FIFO 210到240的FIFO线的数目,使得所传送的音频数据块相对于32位存储器结构对准。归因于24位数据字针对32位存储器系统中的每四个字而对准的事实,因此在32位系统中可能必须考虑多组四个信道。然而,上文所论述的概念也可用于16位系统中,所述16位系统将需要至少存储2(两个)24位字或对于更多信道存储此数目的倍数的3个16位FIFO线。较高位系统将能够将更多24位字存储于三个FIFO线中。

[0031] 再次,控制单元260可用于配置这四个信道单元且可包括协调存储于缓冲器FIFO210到240中的数据的传送的有限状态机(FSM)。每一单元包括单独数据线、LRCD线及CLK线。一个单元可选为主装置(举例来说,单元440),且其余单元410到430可作为从装置而操作。根据相应实施方案,哪个单元是主装置可是可选择的或可是固定的。如在图4中所展示,这些单元的相应时钟线彼此连接,使得主单元440提供时钟信号到单元410到420。因此,

同步地发生音频信号经由四个信道的所有传输。

[0032] 在外部,所述装置可提供仅一组LRC及CLK引脚,且从SPI单元410到430的相应相关引脚可用于其它目的,例如通用输入/输出引脚功能性。因此,当所述装置在于图4到6中展示的各种模式中操作时,多个外部引脚可用于其它功能。

[0033] 根据各种实施例,控制单元260可经配置以允许直接从单个缓冲器FIFO(举例来说,FIFO 240)或从与相应传输单元410到440相关联的每一缓冲器FIFO 210到240传送打包数据。控制器经配置而以与关于图3所解释类似的方式来逐线地读取缓冲器且协调所存储数据到正确I<sup>2</sup>S单元410到440的传送/汇编。在一个实施例中,在24位操作模式中,四个24位字将分配给所有四个信道以用于同步传输。由于主装置440触发传输,因此主装置440是接收其数据的最后信道。因此,一旦数据已经传送到主装置440,主装置便开始传输,此发送相应时钟信号到所有其它单元以同时触发其传输。此可通过单独命令或经由到FIFO的写入的完成而完成。

[0034] 图5更详细地展示在系统经配置于针对24位音频数据的I<sup>2</sup>S模式中时与图4相同的配置。提供SPI主控制器240及多达3个SPI从装置210到230以用于解码及传输呈4个信道24位数据的3个四字节(quadlet)或2个信道16位数据的1个四字节的打包32位格式的数据。当FIFO数据被读取时,主装置与从装置组合利用如上文所论述的主CLK及LRC(同步脉冲)同时传输所有4(或2)个信道的经解码数据。如上文所提及,根据一些实施例,在16位操作模式中,FIFO 210到240可仅使用如用图5中的FIFO 210到240的顶部表示所指示的单个存储器线。

[0035] 如所展示,所述系统可在一个实施例中以“一次写入到许多FIFO”而操作,其中将呈3或1(32位)个四字节形式的数据写入到所有监视(spy)FIFO 210到240。根据此实施例,此利用其中所有FIFO将被同时寻址(各自获得相同数据值)的一个写入循环完成,但可利用到FIFO 210到240的单独写入完成,此显然将需要更多处理时间。根据一些实施例,用户可利用用户可设定SPI寄存器值定义哪个SPI单元210到240获得来自FIFO中的每一四字节的数据的哪些位。仅一个SPI被定义为主装置,且其余SPI被定义为从装置。表1展示用于单元210到250的可能设定。

[0036] 表1

[0037] SLAVE\_EN[2:0]

[0038] 000——主装置解码启用

[0039] 001——从装置1解码启用

[0040] 010——从装置2解码启用

[0041] 011——从装置3解码启用

[0042] 100——主装置16位解码[15:0]启用

[0043] 101——主装置16位解码[31:16]启用

[0044] 110——从装置1 16位解码[31:16]启用

[0045] 111——从装置1 16位解码[15:0]启用

[0046] 用于来自FIFO的数据解码的有限状态机(FSM)对主装置或从装置来说是相同的。FSM控制读取FIFO数据,且用户定义的SPI寄存器值确定来自四字节的数据的哪些位应被移位出SPI。通过来自CPU的信号或在主SPI FSM命令发送数据时以自动主模式命令主/从

SPI开始发送数据。

[0047] 根据另一实施例,可如在图6中所展示实施“利用边带总线进行仅主FIFO写入”。在此实施例中,呈3或1 (32位) 个四字节形式的数据仅写入到主FIFO (举例来说,FIFO240)。用户已经利用用户可设定SPI寄存器值定义哪个从SPI获得来自FIFO 240中的每一四字节的数据的哪些位。仅一个SPI被定义为主装置,且其余SPI被定义为从装置。用于来自FIFO 240的数据解码的FSM对于主装置或从装置来说是相同的,但仅在从装置中启用。FSM控制读取FIFO数据,且用户定义的SPI寄存器值确定来自四字节的数据的哪些位应被移位出SPI。通过来自CPU的信号CMD\_SPI\_GO或在主SPI FSM命令发送数据时以自动主模式命令主/从SPI开始发送数据。数据总线MST\_SLV\_DATA[24:0]连接到所有SPI单元以用于传输数据。第二总线MST\_SLV\_BUS[2:0]根据表2提供控制值。如在图6中所展示,数据及控制信号可经引导通过SPI主单元440。然而,其它实施例可通过控制单元260而提供这些信号。如上文所提及,根据一些实施例,在16位操作模式中,FIFO 210可仅使用单个存储器线。

[0048] 表2

[0049] MST\_SLV\_BUS[2:0]

[0050] 000——无默认

[0051] 1xx——主装置开始向从装置传输

[0052] x01——SPI从装置#1获得数据

[0053] x10——SPI从装置#2获得数据

[0054] x11——SPI从装置#3获得数据

[0055] 可视情况组合如上文所描述的所有功能性。举例来说,装置可经设计以在如在图5及6中所展示的第一操作模式及第二操作模式中操作。FIFO可经设计以具有(举例来说)多于三个存储器线的可编程大小。因此,例如对一或多个信道使用32位宽音频数据的其它操作模式可受益于较大FIFO大小。

[0056] 图7展示根据各种实施例的包含馈送四个信道的24位操作模式的三个连续读取操作以及馈送两个信道的16位操作模式中的单个读取操作的一般性流程图。注释:可在于等待状态期间断言了相应信号cmd\_spi\_go时加载FIFO的下一一些值。此使得可将下一个FIFO值预加载到传输寄存器中。可在于等待状态期间断言了信号cmd\_spi\_go时断言等于系统时钟周期的脉冲的master\_latch\_next\_data信号,以在前一个rdy\_tx\_reg\_data的最后位被移位出之前将数据寄存到SPI移位器中。在于停滞状态期间启用之后首次通过FSM时,在cmd\_spi\_go脉冲下给pre\_tx\_reg及rdy\_tx\_reg加载相同值。

[0057] 图8展示根据实施例的24位操作模式的流程图。图10展示根据实施例的16位操作模式的流程图,其中FIFO中的单个存储器线是操作的。注释:在tx\_reg的移位的开始处断言等于系统时钟的脉冲的load\_next\_value。因此,下一一些fifo值可在tx\_reg中的移位需要之前预加载到pre\_tx\_reg中。当在状态停滞期间来自cpu的通行信号为高或处于自动模式中且在SPI移位器已经将待移位出的tx\_reg数据的最后位移位出之前,断言等于系统时钟的脉冲的mst\_latch\_next\_data。在于停滞状态下启用之后首次通过状态机时,利用latch\_next\_data给pre\_tx\_reg及tx\_reg加载相同值。

[0058] 图9展示根据实施例的具有四个信道及相应数据汇编路径的24位模式的流程图。注释:Load\_next\_value:是在主tx\_ms\_reg的移位的开始针对等于系统时钟的脉冲而断

言。因此,下一些fifo值可在tx\_xx\_reg中的移位需要之前预加载到pre\_tx\_xx\_reg中。  
Latch\_next\_data:是在于状态停滞期间来自cpu的通行信号为高或处于自动模式中时且在SPI主移位器已经将待移位出的tx\_ms\_reg数据的最后位移位出之前,针对等于系统时钟的脉冲而断言。在于停滞状态下启用之后首次通过状态机时,利用latch\_next\_data给pre\_tx\_xx\_reg及tx\_xx\_reg加载相同值。

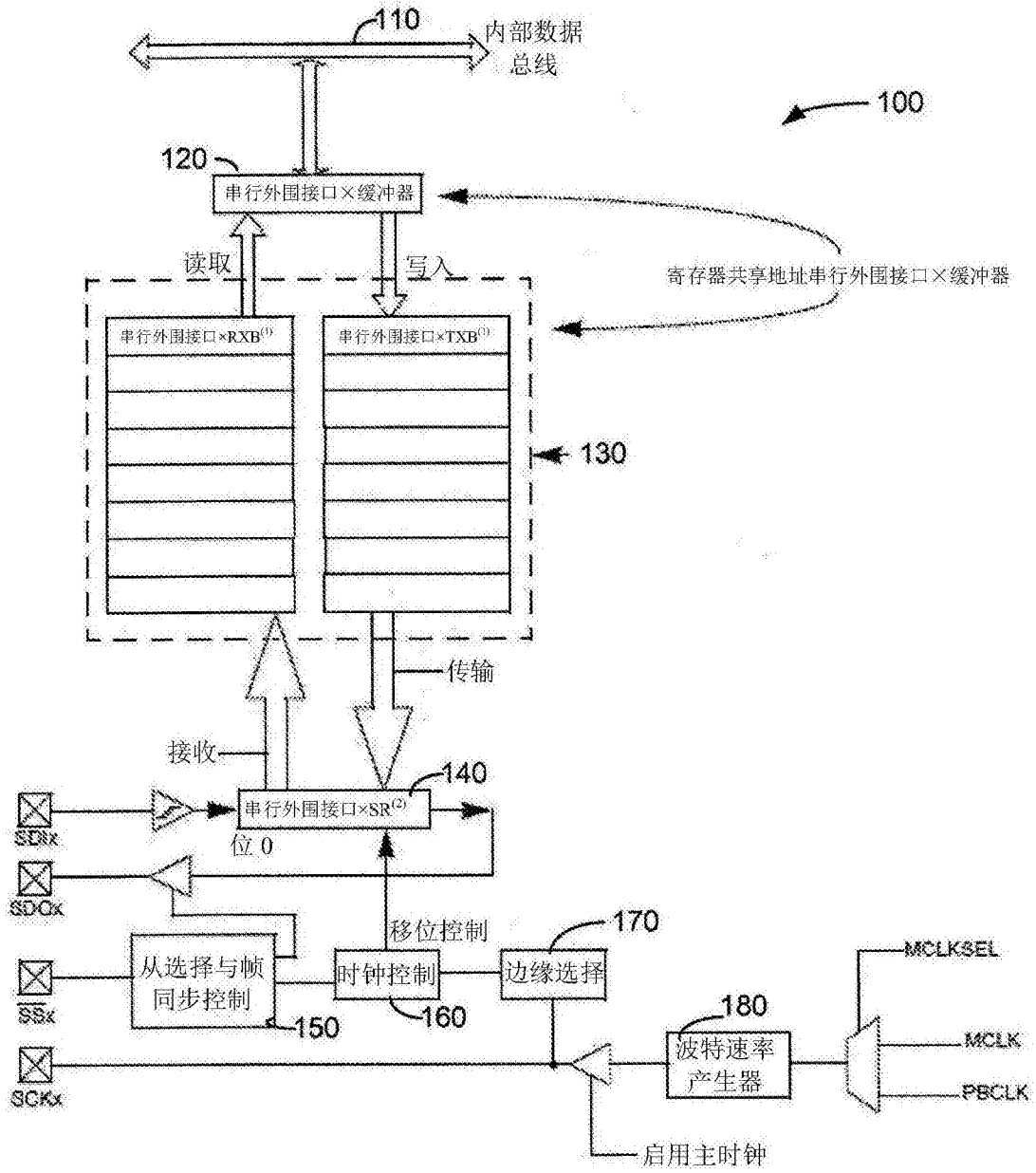


图1 (现有技术)

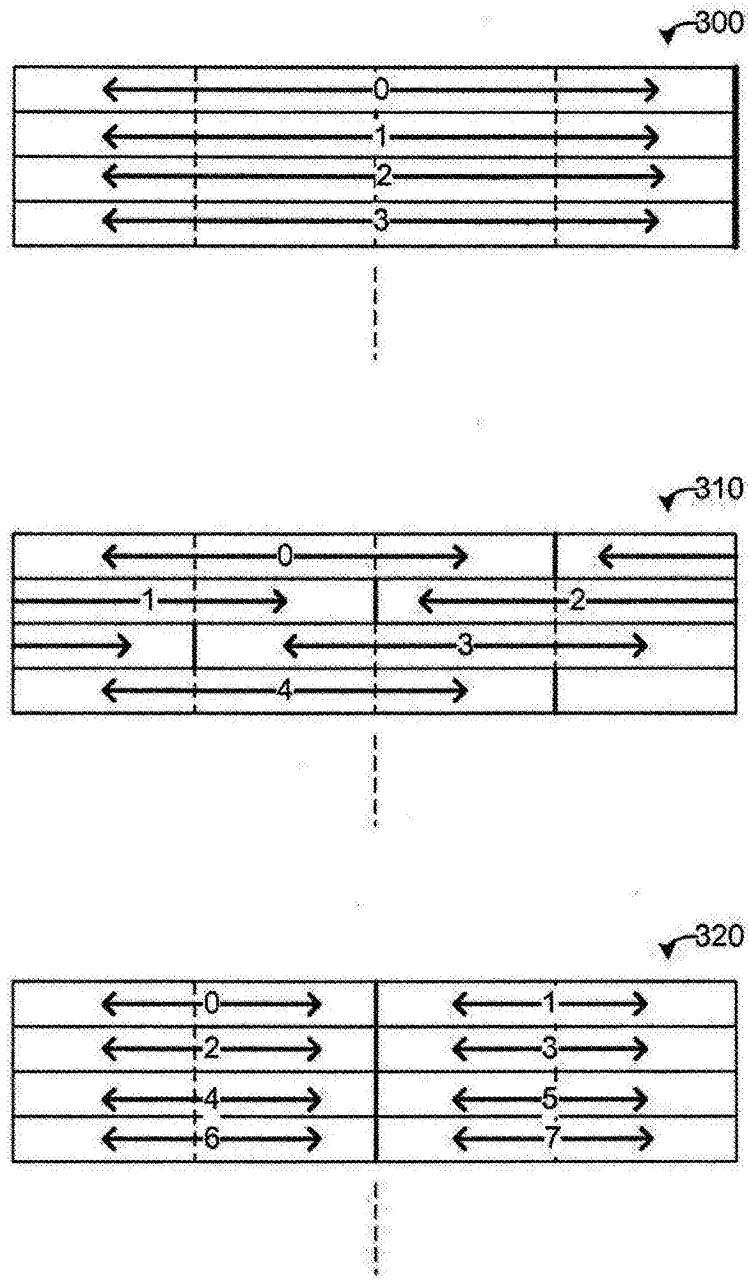


图2

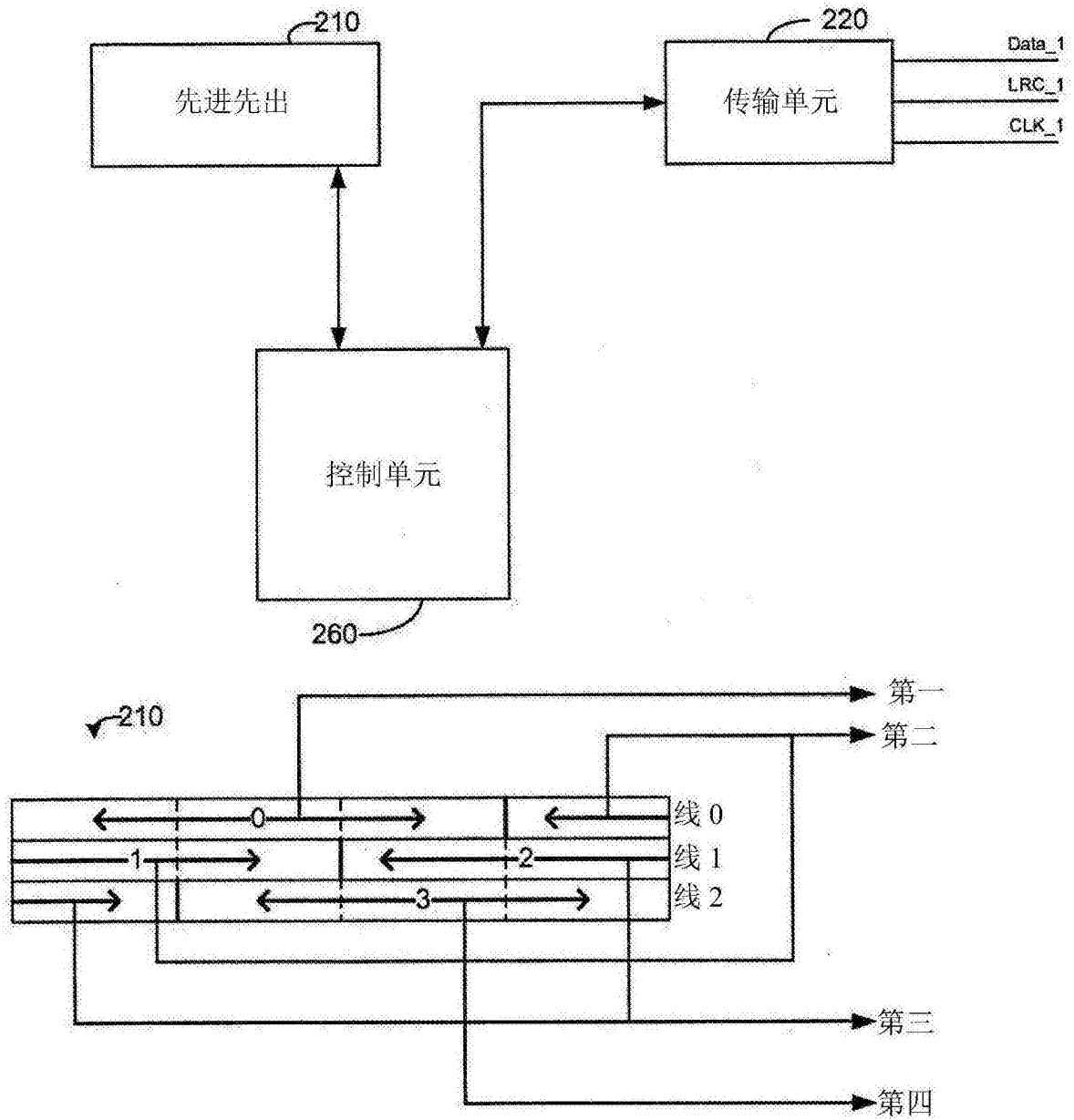


图3

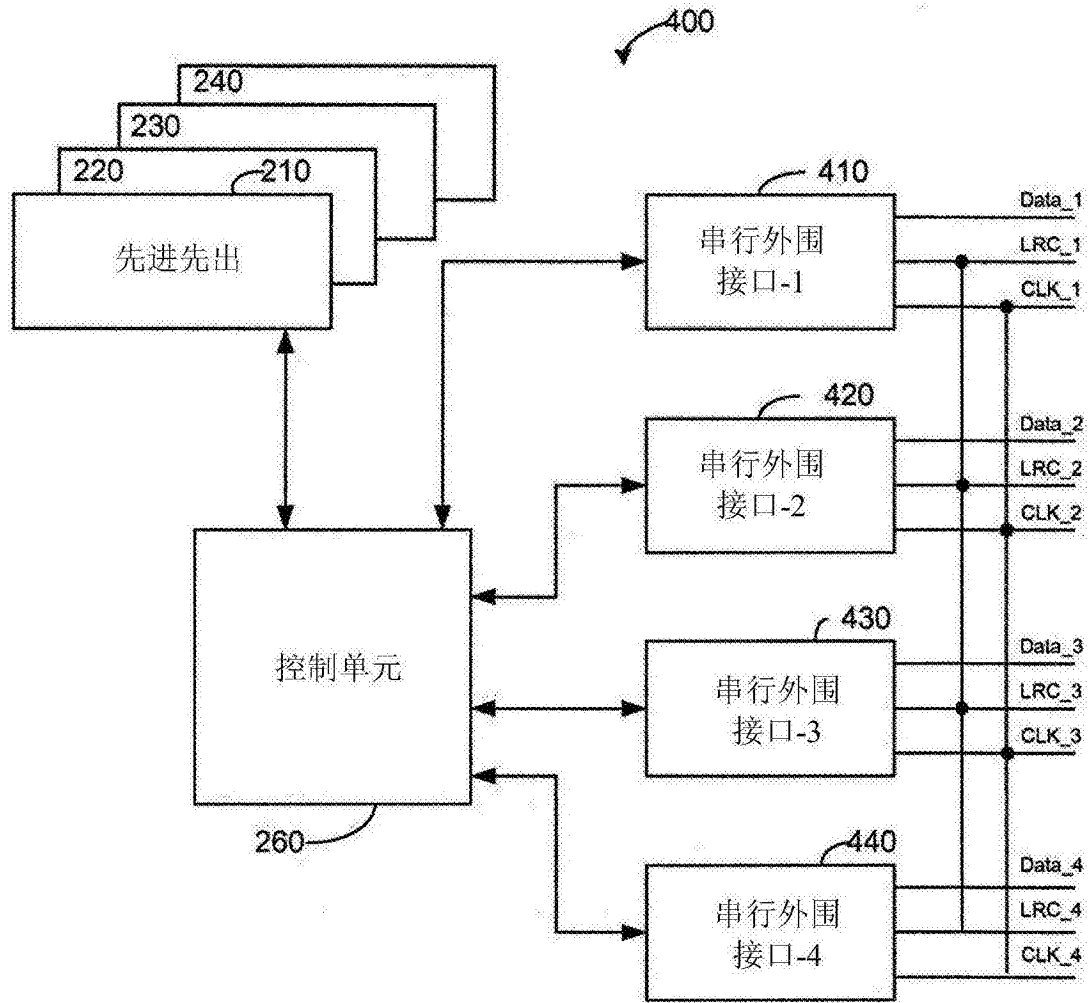


图4

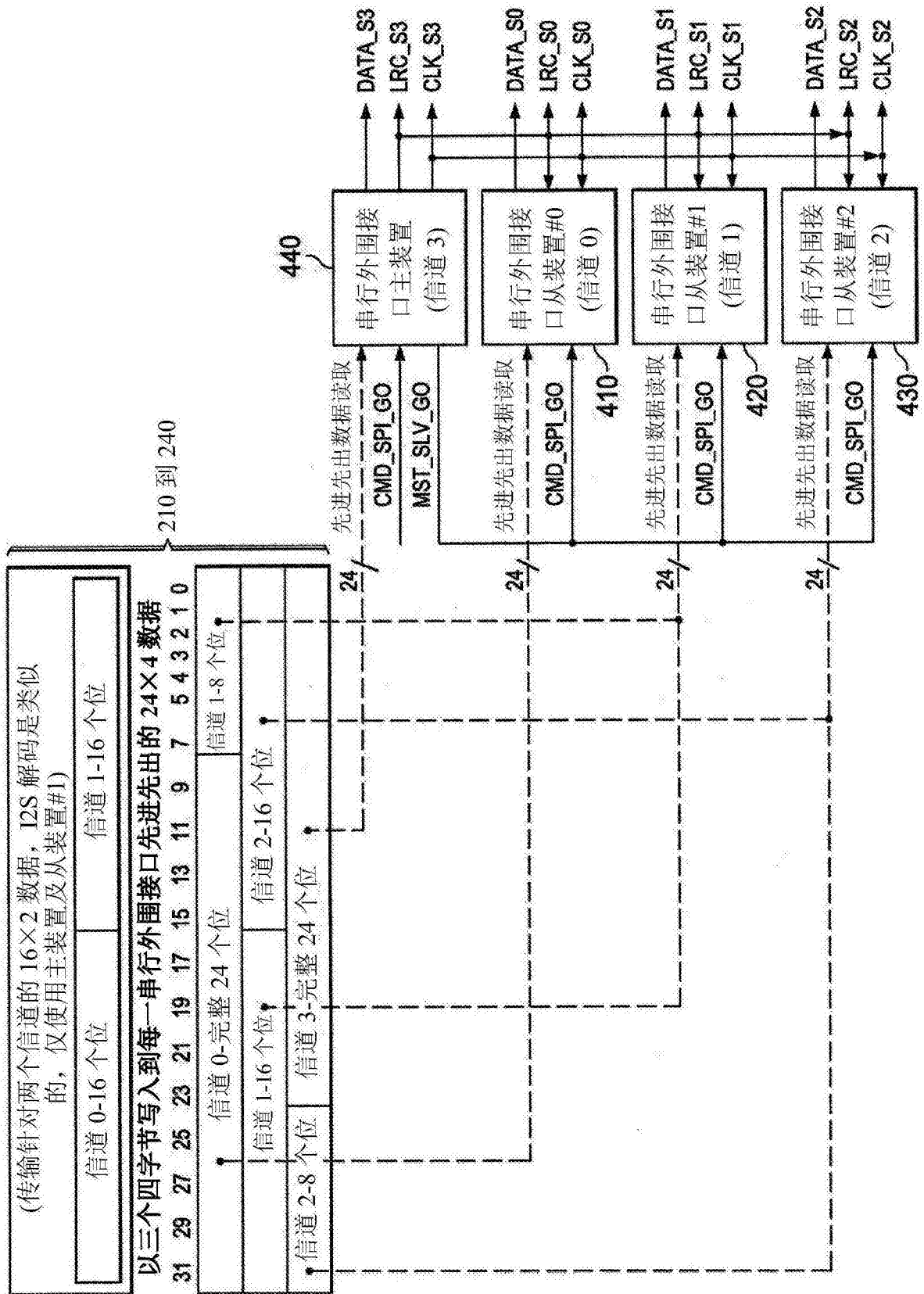


图5

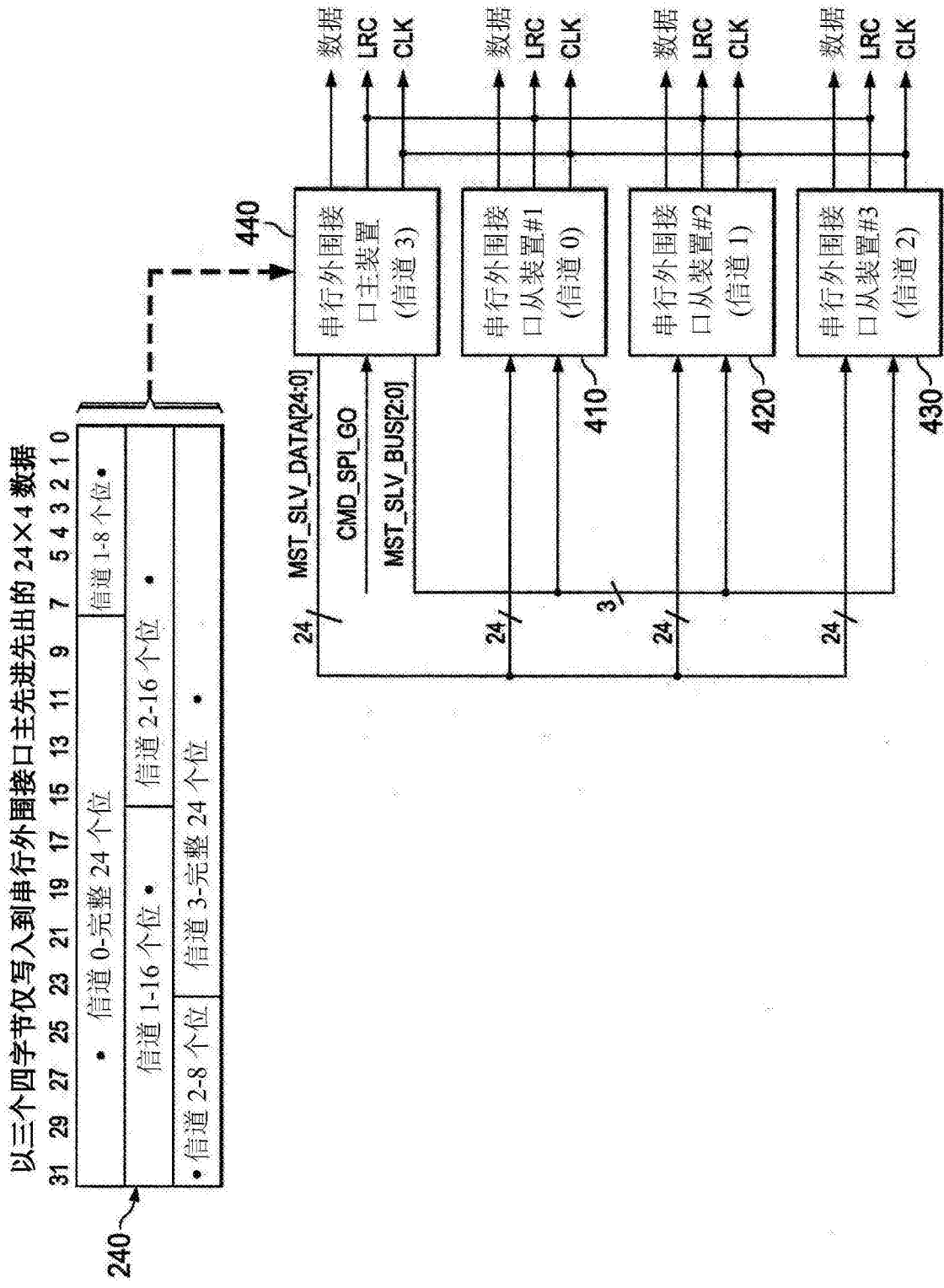


图6

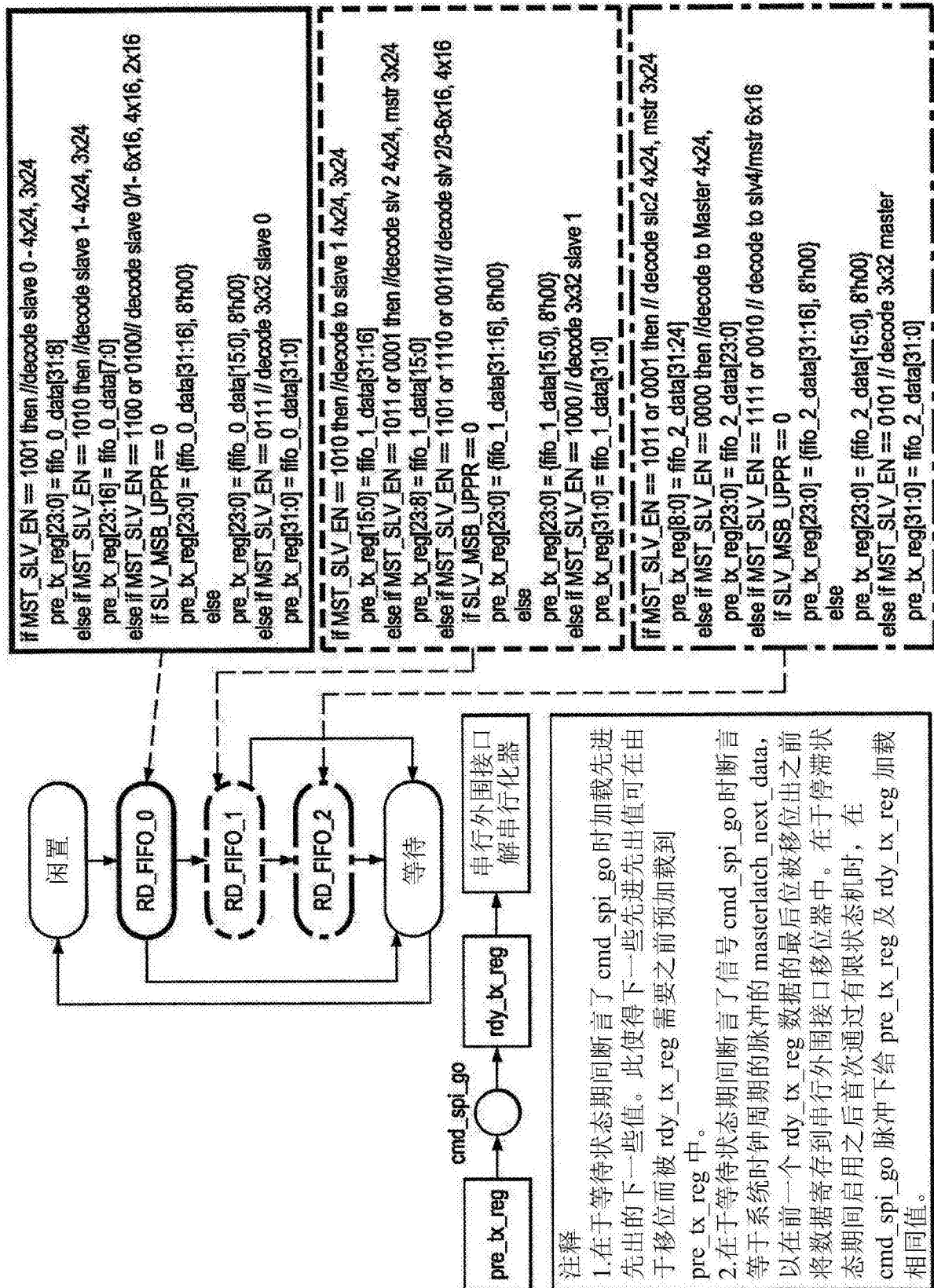


图7

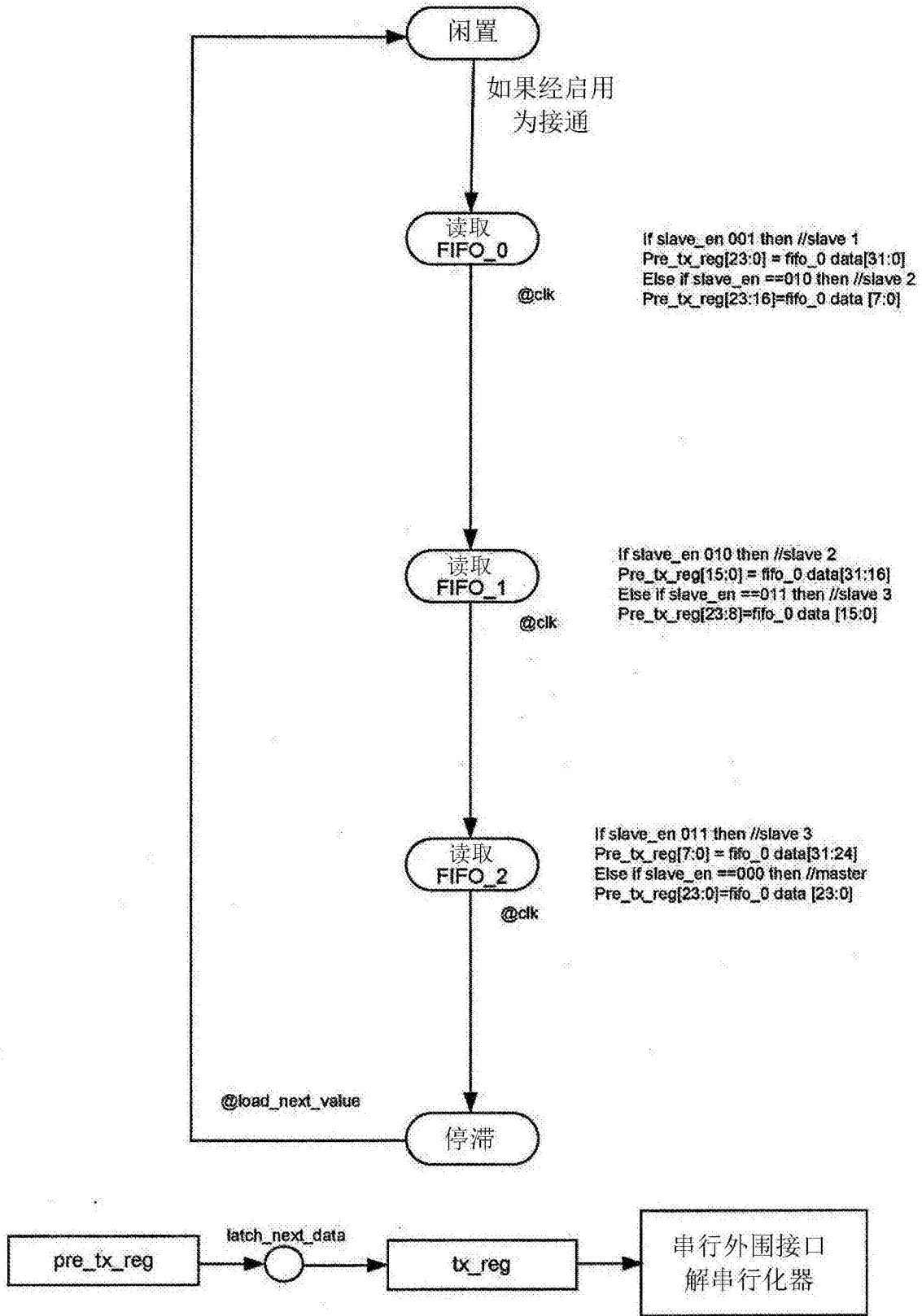


图8

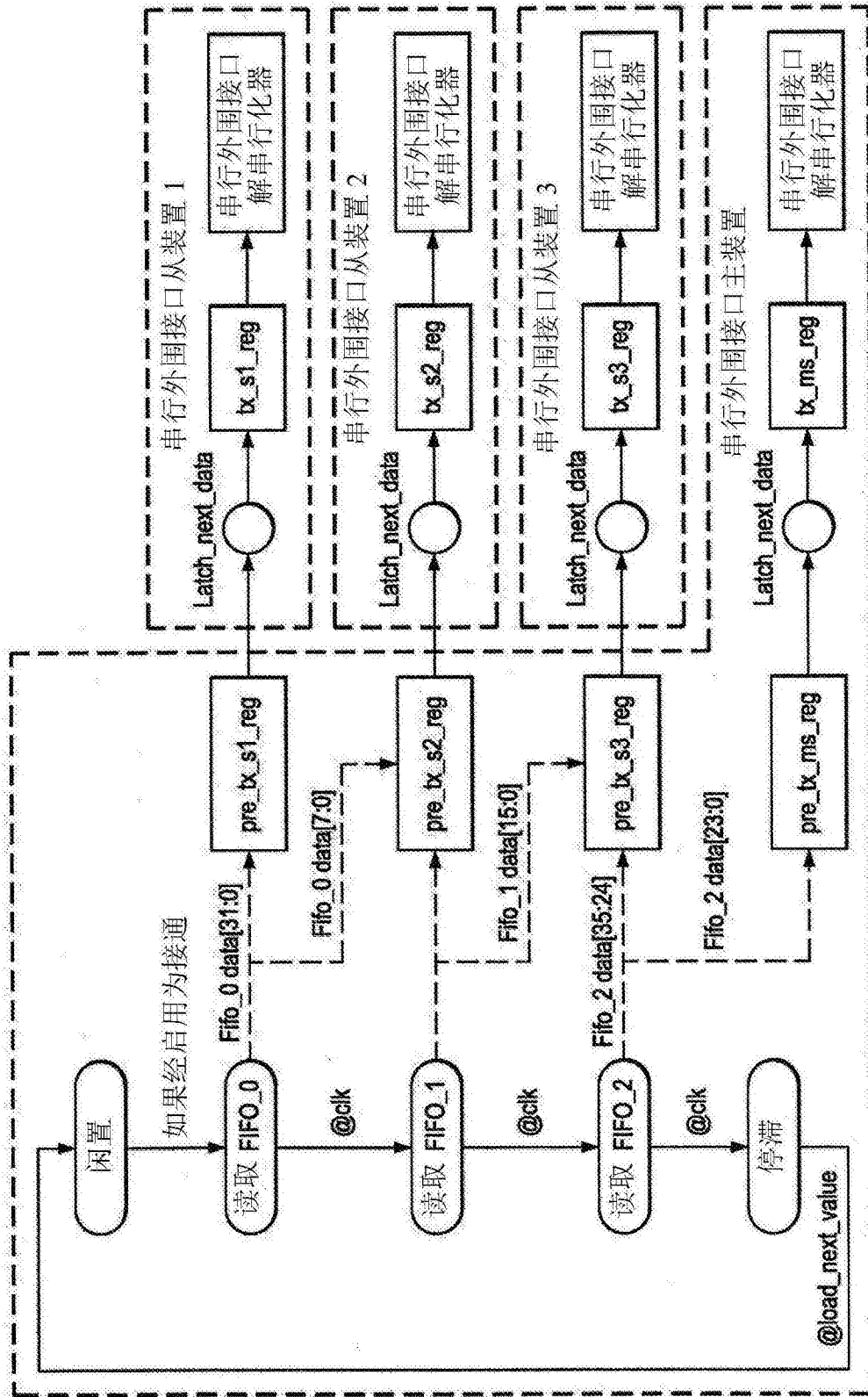


图9