

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6545902号
(P6545902)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int.Cl.	F I	
HO 1 F 37/00 (2006.01)	HO 1 F 37/00	C
HO 2 M 7/487 (2007.01)	HO 1 F 37/00	A
HO 2 M 7/48 (2007.01)	HO 1 F 37/00	M
HO 2 M 3/155 (2006.01)	HO 2 M 7/487	
HO 1 F 27/24 (2006.01)	HO 2 M 7/48	Z

請求項の数 20 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2018-515837 (P2018-515837)	(73) 特許権者	515078095
(86) (22) 出願日	平成28年9月28日 (2016.9.28)		エスエムエイ ソーラー テクノロジー
(65) 公表番号	特表2018-535540 (P2018-535540A)		アクティエンゲゼルシャフト
(43) 公表日	平成30年11月29日 (2018.11.29)		SMA Solar Technolog
(86) 国際出願番号	PCT/EP2016/073136		y AG
(87) 国際公開番号	W02017/063889		ドイツ連邦共和国 34266 ニーステ
(87) 国際公開日	平成29年4月20日 (2017.4.20)		タール, ゾンネンアリー 1
審査請求日	平成30年4月2日 (2018.4.2)	(74) 代理人	110001302
(31) 優先権主張番号	15190215.2		特許業務法人北青山インターナショナル
(32) 優先日	平成27年10月16日 (2015.10.16)	(72) 発明者	ヴォルフ, ヘンリク
(33) 優先権主張国	欧州特許庁 (EP)		ドイツ連邦共和国 34131 カッセル
			, ジュリー-フォン-ケストナー シュト
			ラーセ 18

最終頁に続く

(54) 【発明の名称】 インダクタアセンブリおよびそれを用いる電力供給システム

(57) 【特許請求の範囲】

【請求項1】

中央脚(3)と、n個の相脚(4)(ここで、nは、整数かつn>1である)とを備えた磁心(2)を含むインダクタアセンブリ(1)において、

- 各相脚(4)は、上部ブリッジ(13)および下部ブリッジ(13)によって前記中央脚(3)に磁氣的に接続されて磁気メインループを形成し、前記相脚(4)の中間点(5)は、ギャップ(7)を含むシャント要素(6)によって前記中央脚(3)の中央点に磁氣的に接続され、

- 各相脚(4)は、前記中間点と前記上部ブリッジ(13)との間に位置している上部相脚部(10)に配設された上部インダクタコイル(8)と、前記中間点と前記下部ブリッジ(13)との間に位置している下部相脚部(11)に配設された下部インダクタコイル(9)とをさらに含み、または各相脚(4)は、前記上部ブリッジ(13)に配設された上部インダクタコイル(8)と、前記下部ブリッジ(13)に配設された下部インダクタコイル(9)とをさらに含み、

- 前記上部インダクタコイル(8)は、第1の端子(20)および第2の端子(21)を含み、前記下部インダクタコイル(9)は、第3の端子(22)および第4の端子(23)を含み、

- 前記上部インダクタコイル(8)の前記第2の端子(21)および前記下部インダクタコイル(9)の前記第3の端子(22)は、前記上部インダクタコイル(8)および前記下部インダクタコイル(9)の直列接続を形成するために互いに接続され、

- 前記下部インダクタコイル(9)の巻き方向に対する前記上部インダクタコイル(8)の巻き方向は、前記上部インダクタコイル(8)の前記第1の端子(20)から前記下部インダクタコイル(9)の前記第4の端子(23)へ流れる電流が、前記それぞれの相脚(4)内で建設的に重なり合っている、前記上部インダクタコイル(8)および前記下部インダクタコイル(9)のそれぞれの1つのための磁束(24、25)を発生させるようなものであることを特徴とするインダクタアセンブリ(1)。

【請求項2】

請求項1に記載のインダクタアセンブリ(1)において、少なくとも1つの相脚(4)の前記上部相脚部(10)は、上部ギャップ(16)を含み、および前記少なくとも1つの相脚(4)の前記下部相脚部(11)は、下部ギャップ(15)を含むことを特徴とするインダクタアセンブリ(1)。

10

【請求項3】

請求項2に記載のインダクタアセンブリ(1)において、前記上部ギャップ(16)の幅は、前記下部ギャップ(15)の幅と等しいことを特徴とするインダクタアセンブリ(1)。

【請求項4】

請求項2または3に記載のインダクタアセンブリ(1)において、前記少なくとも1つの相脚(4)の前記シャント要素(6)に含まれるギャップ(7)の幅は、前記それぞれの相脚(4)の前記上部ギャップ(16)および/または前記下部ギャップ(15)の前記幅よりも少なくとも5倍大きいことを特徴とするインダクタアセンブリ(1)。

20

【請求項5】

請求項1乃至4の何れか1項に記載のインダクタアセンブリ(1)において、nは、2または3に等しいことを特徴とするインダクタアセンブリ(1)。

【請求項6】

請求項1乃至5の何れか1項に記載のインダクタアセンブリ(1)において、前記磁心(2)は、複数の磁心要素から組み立てられるように構成され、前記磁心要素の数および形状は、前記インダクタコイル(8、9)が、組立前に対応する相脚部(10、11)ならびに/または上部および下部ブリッジ(13)を形成する磁心要素上に設置可能であるように選択されることを特徴とするインダクタアセンブリ(1)。

30

【請求項7】

請求項1乃至6の何れか1項に記載のインダクタアセンブリ(1)において、前記シャント要素(6)の前記ギャップ(7)は、前記中央脚(3)に隣接して配設されることを特徴とするインダクタアセンブリ(1)。

【請求項8】

請求項1乃至6の何れか1項に記載のインダクタアセンブリ(1)において、前記シャント要素(6)の前記ギャップ(7)は、前記相脚(4)に隣接して配設されることを特徴とするインダクタアセンブリ(1)。

【請求項9】

請求項1乃至8の何れか1項に記載のインダクタアセンブリ(1)において、前記中央脚(3)は、500 μ mより大きいギャップを含まないことを特徴とするインダクタアセンブリ(1)。

40

【請求項10】

請求項1乃至9の何れか1項に記載のインダクタアセンブリ(1)において、前記インダクタコイル(8、9)の巻線は、ホイールベースの巻線およびワイヤベースの巻線の1つから選択されることを特徴とするインダクタアセンブリ(1)。

【請求項11】

DC/ACコンバータとして動作するように構成された電力供給システム(30)において、

- DCリンク(31)と、
- 出力(32)におけるn個の相端子(U、V、W)であって、前記n個の相端子(

50

U、V、W)のそれぞれの1つは、前記DC/ACコンバータの対応する第1のハーフブリッジ(36)および対応する第2のハーフブリッジ(38)に接続される、n個の相端子(U、V、W)と、

- 前記対応する第1のハーフブリッジ(36)に対してインタリーブされた方式において、各相端子(U、V、W)のための前記対応する第2のハーフブリッジ(38)を制御するように構成された制御ユニット(33)と、

- 請求項1乃至10の何れか1項に記載のインダクタアセンブリ(1)を含む出力フィルタ(34)と

を含み、

- 各相端子(U、V、W)は、対応する相脚(4)の上部インダクタコイル(8)を介して前記対応する第1のハーフブリッジ(36)の出力(35)に接続され、かつ前記対応する相脚(4)の下部インダクタコイル(9)を介して前記対応する第2のハーフブリッジ(38)の出力(37)に接続され、

- 各相端子(U、V、W)について、前記対応する第1のハーフブリッジ(36)および前記対応する第2のハーフブリッジ(38)は、並列に前記DCリンク(31)に接続され、

- 前記インダクタアセンブリ(1)の各相脚(4)について、前記上部インダクタコイル(8)は、前記上部インダクタコイル(8)の第1の端子(20)で前記対応する第1のハーフブリッジ(36)の前記出力(35)に接続され、および前記下部インダクタコイル(9)は、前記下部インダクタコイル(9)の第4の端子(23)で前記対応する第2のハーフブリッジ(38)の前記出力(37)に接続され、

- 前記インダクタアセンブリ(1)の各相脚(4)について、前記上部インダクタコイル(8)の前記第2の端子(21)および前記下部インダクタコイル(9)の前記第3の端子(22)は、両方とも前記それぞれの相端子(U、V、W)に接続されることを特徴とする電力供給システム(30)。

【請求項12】

請求項11に記載の電力供給システム(30)において、各相端子(U、V、W)について、前記対応する第2のハーフブリッジ(38)は、前記対応する第1のハーフブリッジ(36)に対してインタリーブされた方式でクロックされ、前記インタリーブされた方式は、 $180^\circ \pm 5^\circ$ の位相差を含むことを特徴とする電力供給システム(30)。

【請求項13】

請求項11または12に記載の電力供給システム(30)において、前記複数の第1および第2のハーフブリッジ(36、38)のそれぞれの1つは、単一のハイサイドスイッチ(39、42)および単一のローサイドスイッチ(40、43)を備えたトポロジを含むことを特徴とする電力供給システム(30)。

【請求項14】

請求項11または12に記載の電力供給システム(30)において、前記複数の第1および第2のハーフブリッジ(36、38)のそれぞれの1つは、前記制御ユニット(33)によって実質的に同期した方式で制御される直列に接続された2つのハイサイドスイッチ(39、42)と、前記制御ユニット(33)によって実質的に同期した方式で制御される直列に接続された2つのローサイドスイッチ(40、43)とを備えたトポロジを含み、前記「実質的に同期した方式」は、 $0^\circ \pm 5^\circ$ の位相差に相当することを特徴とする電力供給システム(30)。

【請求項15】

請求項11乃至14の何れか1項に記載の電力供給システム(30)において、前記複数の第1および第2のハーフブリッジ(36、38)のすべては、中性点クランプ(NPC)および双方向スイッチ中性点クランプ(BSNPC)トポロジの1つである同一の回路トポロジを含むことを特徴とする電力供給システム(30)。

【請求項16】

請求項11乃至15の何れか1項に記載の電力供給システム(30)において、前記電

10

20

30

40

50

力供給システム(30)の出力(31)において2つの相端子(U、V)および中性端子(N)、または代替的に3つの相端子(U、V、W)および中性端子(N)を含むことを特徴とする電力供給システム(30)。

【請求項17】

請求項11乃至16の何れか1項に記載の電力供給システム(30)において、前記複数の第1および第2のハーフブリッジ(36、38)のすべては、2レベル回路トポロジ、3レベル回路トポロジ、4レベル回路トポロジ、5レベル回路トポロジ、7レベル回路トポロジおよび9レベル回路トポロジの1つである同一の回路トポロジを含むことを特徴とする電力供給システム(30)。

【請求項18】

DC/DCコンバータとして動作するように構成された電力供給システム(60)において、

- 入力電圧 V_{in} を受け取るための入力(61)と、
- 出力電圧 V_{out} を供給するための出力(62)と、
- 前記出力(62)に並列に接続されたいくつかのn個のスイッチングセル(64)であって、前記n個のスイッチングセル(64)のそれぞれの1つは、

- 互いに並列に接続された第1および第2のスイッチング経路(65a、65b)であって、各スイッチング経路(65a、65b)が第1の半導体スイッチ(66)および第2の半導体スイッチ(67)の直列接続ならびに前記第1の半導体スイッチ(66)と前記第2の半導体スイッチ(67)との間の相互接続点(68)を含む、第1および第2のスイッチング経路(65a、65b)と、

- 前記第2のスイッチング経路(65b)の前記第1の半導体スイッチ(66)に対してインタリーブされた方式で前記第1のスイッチング経路(65a)の前記第1の半導体スイッチ(66)を制御するように構成された制御ユニット(63)とを含む、いくつかのn個のスイッチングセル(64)と、

- 前記n個のスイッチングセル(64)のそれぞれの1つを前記入力(61)に接続する、請求項1乃至10の何れか1項に記載のインダクタアセンブリ(1)であって、前記n個のスイッチングセル(64)のそれぞれの1つについて、前記第1のスイッチング経路(65a)の前記相互接続点(68)が前記上部インダクタコイル(8)の前記第1の端子(20)に接続され、および前記第2のスイッチング経路(65b)の前記相互接続点(68)が前記下部インダクタコイル(9)の前記第4の端子(23)に接続されるように、前記n個のスイッチングセル(64)のそれぞれの1つは、前記インダクタアセンブリ(1)の異なる対応する相脚(4)に関連付けられ、かつ前記対応する相脚(4)の前記上部コイル(8)および前記下部コイル(9)を介して前記入力(61)に接続され、前記上部インダクタコイル(8)の前記第2の端子(21)および前記下部インダクタコイル(9)の前記第3の端子(22)は、両方とも前記入力(61)に接続される、インダクタアセンブリ(1)とを含むことを特徴とする電力供給システム(60)。

【請求項19】

DC/DCコンバータとして動作するように構成された電力供給システム(60)において、

- 入力電圧 V_{in} を受け取るための入力(61)と、
- 出力電圧 V_{out} を供給するための出力(62)と、
- 前記入力(61)に並列に接続されたいくつかのn個のスイッチングセル(64)であって、前記n個のスイッチングセル(64)のそれぞれの1つは、

- 互いに並列に接続された第1および第2のスイッチング経路(65a、65b)であって、各スイッチング経路(65a、65b)は、第1の半導体スイッチ(66)および第2の半導体スイッチ(67)の直列接続ならびに前記第1の半導体スイッチ(66)と前記第2の半導体スイッチ(67)との間の相互接続点(68)を含む、第1および第2のスイッチング経路(65a、65b)と、

10

20

30

40

50

- 前記第2のスイッチング経路(65b)の前記第1の半導体スイッチ(66)に対してインタリーブされた方式で前記第1のスイッチング経路(65a)の前記第1の半導体スイッチ(66)を制御するように構成された制御ユニット(63)とを含む、いくつかのn個のスイッチングセル(64)と、

- 前記n個のスイッチングセル(64)のそれぞれの1つを前記出力(62)に接続する、請求項1乃至10の何れか1項に記載のインダクタアセンブリ(1)であって、前記n個のスイッチングセル(64)のそれぞれの1つについて、前記第1のスイッチング経路(65a)の前記相互接続点(68)が前記上部インダクタコイル(8)の前記第1の端子(20)に接続され、および前記第2のスイッチング経路(65b)の前記相互接続点(68)が前記下部インダクタコイル(9)の前記第4の端子(23)に接続されるように、前記n個のスイッチングセル(64)のそれぞれの1つは、前記インダクタアセンブリ(1)の異なる対応する相脚(4)に関連付けられ、かつ前記対応する相脚(4)の前記上部コイル(8)および前記下部コイル(9)を介して前記出力(62)に接続され、前記上部インダクタコイル(8)の前記第2の端子(21)および前記下部インダクタコイル(9)の前記第3の端子(22)は、両方とも前記出力(62)に接続される、インダクタアセンブリ(1)とを含むことを特徴とする電力供給システム(60)。

【請求項20】

請求項18または19に記載の電力供給システム(60)において、2つまたは任意選択で3つのスイッチングセル(64)を含み、

- 各スイッチングセル(64)の前記第1の半導体スイッチ(66)は、前記制御ユニット(63)によって実質的に同じクロック周波数で制御され、

- 前記同じスイッチングセル(64)と関連付けられた前記第1の半導体スイッチ(66)は、互いに対して $180^\circ \pm 5^\circ$ の位相シフトを含むインタリーブされた方式でクロックされ、

- 第1のスイッチングセル(64)と関連付けられた任意の第1の半導体スイッチ(66)は、 $180^\circ / n \pm 5^\circ$ または $(180^\circ + 180^\circ / n) \pm 5^\circ$ (ここで、 $n = 2$ または $n = 3$ である)の位相シフトを含む、第2のスイッチングセル(64)の任意の第1の半導体スイッチ(66)に対してさらにインタリーブされた方式でクロックされることを特徴とする電力供給システム(60)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタアセンブリおよびこのようなインダクタアセンブリを含む電力供給システムに関する。より詳細には、インダクタアセンブリは、高出力電流を供給可能であり、かつ互いにインタリーブされた方式で動作される相端子ごとに2つの並列のハーフブリッジを含む多相DC/ACコンバータの出力フィルタの一部として使用され得る。加えて、インダクタアセンブリは、互いにインタリーブされた方式で動作される複数の並列接続されたスイッチング経路を含む、高出力電流を供給可能なDC/DCコンバータで使用され得る。

【背景技術】

【0002】

例えば、太陽光エネルギー、風力エネルギーまたはバイオマスエネルギーのような再生可能エネルギー源を使用する分散的な発電システム数の増大は、電力系統に送り込むために使用可能なAC電力にDC電力を変換するためのスイッチングモード電力供給システムの高需要につながる。そのエネルギー変換のために、- 上流に接続されたDC/DCコンバータの有無にかかわらず - DC/ACコンバータが使用される。エネルギー変換中の電力損失は、可能な限り低くなければならない。他方では、電力系統に接続されたDC/ACコンバータは、電力系統にAC電力を送り込むとき、最大許容全高調波歪み(THD)に準拠しなければならない。グリッドタイDC/ACコンバータに対する高い効率

10

20

30

40

50

性とは別の必要条件は、大きい電力密度である。電力供給システムは、可能な限り低い電力変換器の大きさ - および同等にコスト - で大きい電力量を変換することが可能でなければならない。

【 0 0 0 3 】

これらの必要条件に応じるために、今日の電力供給システムは、互いに並列に接続された複数のスイッチング経路を使用している。各スイッチング経路を用いて、特定の電力供給システムにより変換される公称電力は、 - 少なくとも、2つの電力供給システムが並列に接続される場合と比べて - その電力供給システムの大きさまたはコストに多大な影響を与えることなく増加させることができる。 - DC / ACコンバータのDCリンク容量におけるまたはDC / DCコンバータの出力容量における - 電圧リップルを最小化するために、電力供給システムの複数のスイッチング経路は、インタリーブされた方式で動作される。

10

【 0 0 0 4 】

しかしながら、そのインタリーブ制御方式は、通常、電力供給システムの出力を出ることなく1つのスイッチング経路から別の並列接続されたスイッチング経路に流れる循環電流の発生に起因するさらなる電力損失につながる。

【 0 0 0 5 】

文献国際公開第2014 / 194933A1号パンフレットは、双方向DC電圧を三相AC出力電圧に変換するための5レベルアクティブ中性点クランプ式インバータを開示する。コンバータは、第1、第2および第3の入力端子(P、MP、N)、ならびに第1、第2および第3の出力端子を含む。インバータは、第1、第2および第3の多状態スイッチングセル(MSSC)をさらに含み、各多状態スイッチングセル(MSSC)は、インバータの入力端子にそれぞれ接続された3つの入力端子、ならびにそれぞれ第1、第2および第3の出力端子を含む。第1、第2および第3の多状態スイッチングセルの出力端子は、インダクタを介してインバータの前記第1、第2および第3の出力端子に接続されている。さらに、インバータの各それぞれの出力端子は、それぞれのコンデンサ(C_a 、 C_b 、 C_c)を介してインバータの前記第2の入力端子(MP)に接続されている。多状態スイッチングセル(MSSC)のそれぞれの1つは、別個の単巻変圧器を含み、各別個の単巻変圧器は終端端子および中間端子を含む。

20

【 0 0 0 6 】

多状態スイッチングセルで使用される別個の単巻変圧器は、しかしながら、比較的大きい設置スペースを必要とする。加えて、別個の単巻変圧器は、大きさが比較的大きく、したがって高価な構成要素である。

30

【 0 0 0 7 】

文献米国特許出願公開第2008 / 094159A1号明細書およびその対応する特許ファミリーメンバー欧州特許出願公開第1914868A1号明細書は、そのピラーの周りに巻かれた相特有の巻線を有する複数の相特有のピラー、またはそのピラーの周りに巻かれた分岐特有の巻線を有する複数の分岐特有のピラーを備えた磁心を含む、周波数コンバータの三相ACまたは二相DCチョーク配置を開示する。ACチョーク配置の相特有の巻線またはDCチョーク配置の分岐特有の巻線は、差動モード電流をフィルタ処理するように適合される。チョーク配置は、そのピラーの周りに相特有または分岐特有の巻線が取り付けられずに、コモンモード電流を弱めるために磁心に配置されるさらなるピラーを含む。コモンモード電流は、さらなるピラーと、相特有または分岐特有のピラーの周りに配置された巻線とによって形成されるコモンモードインピーダンスを用いて弱められる。

40

【 0 0 0 8 】

G. Gohilらによる論文“Integrated Inductor for Interleaved Operation of Two Parallel Three-phase Voltage Source Converters”は、2つのインタリーブ電圧源コンバータのためのインダクタアセンブリを開示する。開示されたイ

50

ンダクタアセンブリは、1つの磁気構造内で線路フィルタおよび循環電流フィルタ機能の両方を組み合わせることが可能である。磁心は、3つの相脚、共通脚および相脚間の3つのブリッジ脚で構成される。各相脚は、2つのインダクタコイルを含み、各コイルは、2つの電圧源コンバータの異なる電圧源コンバータに対応する。相脚および共通脚のために高透磁率材料が使用されるのに対して、ブリッジ脚は積層鉄心を使用して実現される。ブリッジ脚のそれぞれにエアギャップが挿入されている。

【0009】

インダクタアセンブリの構築は比較的複雑であり、磁心内に異なる磁気材料を含む。インダクタアセンブリの全体の大きさおよびそのそれぞれの設置スペースは依然として比較的大きい。これは、製造可能性および材料費に関して不利な影響をもたらすおそれがある

10

【発明の概要】

【発明が解決しようとする課題】

【0010】

上記を考慮して、本発明の目的は、並列のハーフブリッジ間の循環電流を軽減しつつ、スイッチモード電力供給、具体的にはn個の相端子および相ごとに2つの並列のハーフブリッジを備えた高電流/高効率DC/ACコンバータの出力電流をフィルタ処理可能である、コンパクトでコスト効率の良いインダクタアセンブリを提供することである。その出力において最小化された電圧リップルを含む、スイッチモード電力供給、具体的には互いに並列に接続された複数のスイッチング経路を備えた高電流/高効率DC/DCコンバータで使用可能である、コンパクトでコスト効率の良いインダクタアセンブリを提供することが本発明の別の目的である。

20

【課題を解決するための手段】

【0011】

本発明の目的は、請求項1に記載のインダクタアセンブリおよび請求項11、18または19に記載の電力供給システムによって解決される。好ましい実施形態は、従属請求項において説明される。

【0012】

本発明によるインダクタアセンブリは、中央脚と、n個の相脚(ここで、nは、整数かつ $n > 1$ である)とを備えた磁心を含む。各相脚は、上部ブリッジおよび下部ブリッジによって中央脚に磁氣的に接続されて磁気メインループを形成し、相脚の間接点は、ギャップを含むシャント要素によって中央脚の中央点に磁氣的に接続されている。各相脚は、中間点と上部ブリッジとの間に位置している上部相脚部に配設された上部インダクタコイルと、中間点と下部ブリッジとの間に位置している下部相脚部に配設された下部インダクタコイルとをさらに含む。代替的におよび上部相脚部に上部インダクタコイルを配設し、かつ下部相脚部に下部インダクタコイルを配設する代わりに、各相脚は、上部ブリッジに配設された上部インダクタコイルと、下部ブリッジに配設された下部インダクタコイルとをさらに含む。上部インダクタコイルは、第1の端子および第2の端子を含み、下部インダクタコイルは、第3の端子および第4の端子を含む。上部インダクタコイルの第2の端子および下部インダクタコイルの第3の端子は、それぞれの相脚の上部インダクタコイルおよび下部インダクタコイルの直列接続を形成するために互いに接続される。下部インダクタコイルの巻き方向に対する上部インダクタコイルの巻き方向は、上部インダクタコイルの第1の端子から下部インダクタコイルの第4の端子へ流れる電流が、それぞれの相脚内で建設的に重なり合っている、上部インダクタコイルおよび下部インダクタコイルのそれぞれの1つのための磁束を発生させるようなものである。したがって、上部インダクタコイルの第1の端子から始まり上部インダクタコイルの第2の端子に向けられた上部インダクタコイルの巻き方向は、下部インダクタコイルの第3の端子から始まり下部インダクタコイルの第4の端子に向けられた下部インダクタコイルの巻き方向に等しい。換言すれば、第1および第3の端子が開始端子の役割を果たすのに対して、第2および第4の端子がそれぞれのインダクタコイルの終了端子の役割を果たすという前提条件下において、上部

30

40

50

インダクタコイルは、それらのそれぞれの相脚上の下部インダクタコイルと同じ巻き方向を含む。

【0013】

したがって、各インダクタコイルは、相脚、中央脚ならびに上部および下部ブリッジにより形成される磁気メインループ中に、またはそれぞれ上部/下部ブリッジ、上部/下部相脚部および上部/下部中央脚部により形成されるそれぞれの上部もしくは下部磁気サブループ中に磁束を作り出すことができ、両方のサブループはシャント要素によって閉じられている。シャント要素のギャップは、上部および下部サブループのためのさらなる磁気抵抗とともに、磁束の安定化および線形化を提供する。

【0014】

上部インダクタコイルの第1の端子から下部インダクタコイルの第4の端子へ流れる電流は、上部インダクタコイルおよび下部インダクタコイルのそれぞれの1つのための磁束を発生させる。下部インダクタコイルに対する上部インダクタコイルの巻き方向は、2つの磁束が互いに対して等しい方向を含み、したがってそれぞれの相脚内で建設的に重なり合うようなものである。その建設的な重ね合わせは、具体的には、上部および下部相脚部ならびにそれぞれの相脚の上部および下部ブリッジ内で行われる。

【0015】

別の事例で第1の電流 I_1 が上部インダクタコイルの第2の端子から上部インダクタコイルの第1の端子へ流れ、第2の電流 I_2 が下部インダクタコイルの第3の端子から下部インダクタコイルの第4の端子へ流れる場合、それぞれの電流 I_1 、 I_2 により、それぞれの相脚内で反対方向を含む磁束が発生する。したがって、両方の磁束は破壊的に重なり合う。その破壊的な重ね合わせは、具体的には、上部および下部相脚部ならびにそれぞれの相脚の上部および下部ブリッジ内で行われる。上記の磁心要素とは反対に、両方の磁束は、シャント要素内で建設的に重なり合う。概略的に示され、図1dでより詳細に説明されるこの状況は、インダクタアセンブリの特徴、すなわち所与の電流差 $I_1 - I_2$ の変化が、両方の磁束の重ね合わせの結果として生じる正味の磁束の変化を常にもたらずことにつながる。それぞれの相脚内の正味の磁束のその変化は、その電流差を駆動する力を打ち消し、したがって既存の電流差 $I_1 - I_2$ に対する安定化要素の役割を果たす。換言すれば、所与のまたは既存の電流差は、同じ相脚に配設された上部インダクタコイルおよび下部インダクタコイルの磁気結合を介して安定され、一方、既存の電流差 $I_1 - I_2$ の変化は、その磁気結合により打ち消され、したがって抑えられる。

【0016】

本発明によるインダクタアセンブリは、磁束が合流する全部で3つの点を含む。これらの3つの点は、具体的には、

- 異なる相脚の上部磁気サブループおよび磁気メインループからの磁束が合流している中央脚の上方部分の上部、
- 異なる相脚の下部磁気サブループおよび磁気メインループからの磁束が合流している中央脚の下方部分の底部、および
- 異なる相脚の上部磁気サブループおよび下部磁気サブループからの磁束が合流している中央脚の中央点

である。

【0017】

「上部インダクタコイル」および「下部インダクタコイル」という表現において、「上部」および「下部」という形容詞は、インダクタアセンブリ内の2つのインダクタコイルを区別するために使用されるにすぎない。これらの形容詞は、本発明をインダクタアセンブリの特定の空間的配置または方向付けに限定するものではなく、その限定は、インダクタアセンブリの水平の方向付けをその応用において最終的に除外することになる。同じことが「上部磁気サブループ」および「下部磁気サブループ」という表現に対して同様に有効である。

【0018】

10

20

30

40

50

好ましい実施形態では、磁気メインループ中の磁束も、上部相脚部に配置された上部ギャップおよび/または下部相脚部に配置された下部ギャップにより安定される。シャント要素に含まれるギャップ、上部ギャップおよび下部ギャップは、それぞれエアギャップと、プラスチック、セラミックスなどの誘電体材料で完全に満たされた、またはこの誘電体材料を部分的に含むギャップとから個別に選択することができる。上部および下部ギャップの幅は等しくなるように選択することができる。加えて、各ギャップは、そのそれぞれの位置に存在する磁束の測定をサポートすることができる。具体的には、磁気センサは、それぞれのギャップの近くに設置されてその特定のギャップから出る漂游磁束を検出することができる。漂游磁束は、常にそれぞれの磁心部内の局所的な磁束分布の尺度であるため、その磁心部における関連磁束は、漂游磁束測定から推測することができる。

10

【0019】

本発明の好ましい実装では、シャント要素に含まれるギャップの幅は、上部および/または下部ギャップの幅より大きい。好ましくは、サブループの磁気抵抗と比べたメインループの磁気抵抗に十分な差を提供するために、シャント要素に含まれるギャップの幅は、そのそれぞれの相脚の上部および/または下部ギャップの幅よりも少なくとも5倍大きい。何れの場合にも、上部ギャップおよび/または下部ギャップのギャップ幅は、インダクタアセンブリの動作中にメインループ内の飽和磁化を十分に抑制するように選択される。シャント要素のギャップ幅は、インダクタアセンブリの動作中に上部および下部サブループの飽和磁化を十分に抑制するように選択される。さらに、シャント要素に含まれるギャップは、有利には、中央脚に隣接してまたは相脚に隣接して配設される。

20

【0020】

インダクタコイルの巻線は、ワイヤベースの巻線またはホイルベースの巻線として構成することができ、ボビンの周りに巻くことができる。好ましい実施形態では、上部インダクタコイルの巻付けの数は、下部インダクタコイルの巻付けの数と実質的に等しい。好ましくは、複数の上部インダクタコイルおよび下部インダクタコイルのそれぞれの1つは、同じインダクタコイルタイプ、例えばワイヤベースまたはホイルベースのコイルタイプを含む。別の好ましい実施形態では、複数の上部および下部インダクタコイルのそれぞれは、実質的に同じ巻数を含む。

【0021】

本発明の一実装では、 n は3に等しく、すなわち、インダクタアセンブリは3つの相脚を含む。相脚は、具体的には各相脚間に 120° の角度で中央脚の周りに周方向に配置することができる。本発明の代替実施形態では、 n は2に等しく、それは、好ましくは互いに対置する2つの相脚をインダクタアセンブリが含むことを意味する。ここで、相脚は、各相脚間に 180° の角度で中央脚の周りに周方向に配置される。より一般的な構築指針によれば、 n 個の相脚を備えた本発明の好ましい実施形態は、各隣接する相脚間に $360^\circ/n$ の角度で中央脚の周りに相脚を周方向に配置することを含む。

30

【0022】

インダクタ配置の組立を単純化するために、磁心を複数の磁心要素から形成することができる。磁心要素の数および形状は、インダクタコイルが、組立前に対応する相脚部ならびに/または上部ブリッジおよび下部ブリッジを形成する磁心要素上に設置可能であるように選択される。その後、磁心要素は組み立てられて、本発明によるインダクタアセンブリを形成する。シャント要素に含まれるギャップを中央脚に隣接してまたは相脚に隣接して配設し得る可能性は、磁心要素の数および幾何学的形状に関する異なる選択肢を提供する。異なる選択肢をそれらの製造および組立能力に関して査定することができ、何れの場合にも個々のインダクタアセンブリに対して最良の選択肢を選ぶことができる。

40

【0023】

好ましくは、中央脚は、少なくとも有意なギャップを含まない。中央脚内でいくつかの相脚の磁束が重なり合う。二相または三相電力供給システムでインダクタアセンブリを使用するとき、相脚から出る磁束は、本質的に、多くの場合、共通電力システムの複数の相内でのAC電圧および結果として生じる電流の既存の位相差に起因して、中央脚内で破壊的に

50

重なり合うことがある。これは、例えば、各相のAC電圧が 120° の位相シフトを含むという点で三相電力系統に関して当てはまる。これは、例えば、いわゆる分相システムにおけるように、2つの相が互いに対して 180° の位相シフトを含む二相電力系統に対して同様に当てはまる。したがって、有意なギャップを中央脚に導入することにより中央脚内の磁束をさらに低減する必要がない。これに関連して、有意なギャップは、磁気的な理由のために、例えば磁気抵抗を提供し磁気飽和を抑制することが意図されるギャップである。これに関連して、有意でないギャップは、異なる磁心要素からのインダクタアセンブリの組立を単純化するか、さらには許容することが意図されるまたは必要とされるギャップである。有意でないギャップのギャップ幅は、通常、有意なギャップと比べて小さく、通常、最大 $500\mu\text{m}$ までの範囲である。したがって、本発明の適用範囲内で有意なギャップは $500\mu\text{m}$ より大きい。

10

【0024】

1つの実施形態における本発明による電力供給システムは、DC/ACコンバータとして動作するように構成される。ここで、本発明によるインダクタアセンブリは、電力供給システムの出力フィルタまたは出力フィルタの少なくとも一部として使用される。電力供給システムは、

- DCリンクと、
- 電力供給システムの出力における n 個の相端子であって、 n 個の相端子のそれぞれの1つは、DC/ACコンバータの対応する第1のハーフブリッジおよび対応する第2のハーフブリッジに接続される、 n 個の相端子と

をさらに含む。制御ユニットは、それぞれの相端子の対応する第1のハーフブリッジに対してインタリーブされた方式において、各相端子のための対応する第2のハーフブリッジを制御するように構成される。電力供給システムは、本発明によるインダクタアセンブリを含む出力フィルタをさらに含む。

20

【0025】

電力供給システムの各相端子は、インダクタアセンブリの異なる対応する相脚と関連付けられ、かつ対応する相脚の上部インダクタコイルを介してその対応する第1のハーフブリッジの出力に接続される。各相端子は、対応する相脚の下部インダクタコイルを介して対応する第2のハーフブリッジの出力にさらに接続される。各相端子について、対応する第1のハーフブリッジおよび対応する第2のハーフブリッジは、それらのそれぞれの入力側で並列にDCリンクに接続される。インダクタアセンブリの各相脚について、上部インダクタコイルは、その第1の端子で対応する第1のハーフブリッジの出力に接続され、および下部インダクタコイルは、その第4の端子で対応する第2のハーフブリッジの出力に接続される。インダクタアセンブリの各相脚について、上部インダクタコイルの第2の端子および下部インダクタコイルの第3の端子は、両方ともそれぞれの相端子に接続される。

30

【0026】

本発明によるDC/ACコンバータは、高出力電流を供給可能な電力供給システムである。各相端子に対する高出力電流は、それぞれの相端子にそのハーフブリッジの出力で並列に接続される、対応する第1および第2のハーフブリッジを介した同時並行の電流供給によって達成される。各相端子の第2のハーフブリッジに対する第1のハーフブリッジのインタリーブ動作は、電力供給システムの出力における - 具体的には出力容量における - 電圧リップルを最小化する。

40

【0027】

本発明によるインダクタアセンブリは、出力フィルタとして使用され、第1のハーフブリッジとそれらの対応する第2のハーフブリッジとの間の循環電流を低減または軽減する。対応するハーフブリッジ間の循環電流の軽減により、これらの循環電流に関する電力損失が低減され、電力供給システム全体の効率が向上する。

【0028】

対応する第1および第2のハーフブリッジ間の循環電流の軽減は、上述した回路トポロ

50

ジと組み合わせたインダクタアセンブリの磁気結合によって達成される。この場合、各相脚について、対応する下部インダクタコイルに対する上部インダクタコイルの巻き方向は、第1のハーフブリッジの出力から上部インダクタコイルを通過して特定の相端子へ流れる電流と、対応する第2のハーフブリッジの出力から下部インダクタコイルを通過して同じ相端子へ流れる等しい電流とが、それらの対応する相脚で互いに実質的に補償している磁束を発生させるようなものである。換言すれば、第1のハーフブリッジおよび対応する第2のハーフブリッジから同じ相端子の方向に等しい電流が流れる場合、対応する相脚におけるそれぞれの磁束は、破壊的に重なり合う。他方では、第1のハーフブリッジから上部インダクタコイルおよび下部インダクタコイルの直列接続を通過して第2のハーフブリッジへ電流が流れる場合、それぞれの相脚における発生磁束は、建設的に重なり合う。その電流は、通常、第1のハーフブリッジおよびその対応する第2のハーフブリッジの出力間の電圧差により駆動される。したがって、その電流の変化または - 換言すれば - 第1のハーフブリッジおよびその対応する第2のハーフブリッジの出力電流間の差分の変化は、インダクタアセンブリのそれぞれの相脚における結果として生じる磁束の変化によって打ち消される。

10

【0029】

第2のハーフブリッジに対する第1のハーフブリッジのインタリーブクロッキングと組み合わせたインダクタアセンブリのこれらの特徴は、循環電流の望ましい軽減につながり、電力供給システムの実施例としてのDC/ACコンバータの効率を向上させる。

【0030】

20

第1のハーフブリッジに対する第2のハーフブリッジのインタリーブクロッキングは、実質的に同じクロック周波数で、しかし、第2および第1のハーフブリッジの高速切替スイッチ - または任意選択で複数の高速切替スイッチ - に対して適時にシフトされたクロック信号での第1および第2のハーフブリッジのクロッキングを意味する。具体的には、第2のハーフブリッジおよび第1のハーフブリッジの高速切替スイッチに対する「オン」サイクルの中間点は、互いに対して位相シフトされる。位相シフトは、それぞれのクロック信号の対応する時間シフトに相当する。その位相シフトまたは時間シフトは別として、第1のハーフブリッジおよびその対応する第2のハーフブリッジに対するクロック信号は、それらの「オン」および「オフ」期間に関して実質的に等しい。したがって、第2のハーフブリッジおよび対応する第1のハーフブリッジのそれぞれの高速切替スイッチに対する「オフ」サイクルの中間点も、「オン」サイクルの場合のように互いに対して同じ位相シフトを含む。

30

【0031】

本発明の1つの実施形態では、位相シフトは、実質的に 180° となるように制御ユニットにより制御される。ここでおよび以下では、「実質的に」という副詞は、それぞれのスイッチ間の正確に 180° の位相シフト - または任意の他の正確な位相シフト値 - を達成することが難しく、より長い期間中に一定に保つことが難しいことを考慮し、したがって $\pm 5^\circ$ の許容範囲に相当する。磁心の磁気飽和を抑制するためにギャップ幅を意図的に設計することにより、本発明のインダクタアセンブリは、 180° 位相シフトからより大きい許容値の範囲内で逸脱するインタリーブクロッキングで同様に十分に動作する。しかしながら、 180° 位相シフトからの逸脱は、通常、電力供給の出力容量に関する電圧リップルを増加させる。多少より大きい電圧リップルが許容できる場合、インタリーブクロッキングは、 $180^\circ \pm 30^\circ$ の範囲で位相シフトを含み得る。

40

【0032】

1つの実施形態では、複数のハーフブリッジのそれぞれの1つ、すなわち複数の第1および第2のハーフブリッジのそれぞれの1つは、単一の上側スイッチおよび単一の下側スイッチを備えたトポロジを含む。代替実施形態では、複数のハーフブリッジのそれぞれの1つ、すなわち複数の第1および第2のハーフブリッジのそれぞれの1つは、制御ユニットによって実質的に同期した方式で制御される直列に接続された2つのハイサイドスイッチと、制御ユニットによって実質的に同期した方式で制御される直列に接続された2つの

50

ローサイドスイッチとを備えたトポロジを含み、「実質的に同期した方式」という表現は、 $0^\circ \pm 5^\circ$ の位相差に相当する。代替実施形態は、通常、DCリンクに存在する大きいDC電圧で動作可能なハーフブリッジの設計に対応する。

【0033】

複数のハーフブリッジのそれぞれの1つ、すなわち複数の第1および第2のハーフブリッジのそれぞれの1つの回路トポロジは、2レベルトポロジ、3レベルトポロジ、4レベルトポロジ、5レベルトポロジ、7レベルトポロジ、9レベルトポロジまたは9よりさらに多くのレベルを有するトポロジを含み得る。加えて、複数のハーフブリッジのそれぞれの1つ、すなわち複数の第1および第2のハーフブリッジのそれぞれの1つの回路トポロジは、DCリンクの中間電圧レベルへの接続を含むかまたは含まない、任意の周知の回路トポロジを含み得る。中間電圧レベルへのその接続を含む回路トポロジに関して、回路トポロジは、例えば、中性点クランプ(NPC)および双方向スイッチ中性点クランプ(BSNPC)トポロジの1つとすることができる。

10

【0034】

好ましくは、すべてのハーフブリッジ、具体的にはインダクタアセンブリのすべての第1および第2のハーフブリッジは、同じトポロジである。

【0035】

好ましくは、本発明によるスイッチモード電力供給システムの実施例としてのDC/ACコンバータは、その出力において中性端子の有無にかかわらず複数の相端子を含む。1つの実施形態では、DC/ACコンバータは、その出力において、2つの相端子および中性端子または - 代替実施形態において - 3つ、4つ、もしくはさらにより多くの相端子および中性端子を含む。

20

【0036】

別の実施形態では、本発明による電力供給システムは、本発明によるインダクタアセンブリを含むDC/DCコンバータ、例えば昇圧型コンバータを含む。その実施形態では、DC/DCコンバータとして動作するように構成された電力供給システムは、

- 入力電圧 V_{in} を受け取るための入力と、
- 出力電圧 V_{out} を供給するための出力と、
- 出力に並列に接続された n 個のスイッチングセルと

を含む。

30

【0037】

n 個のスイッチングセルのそれぞれの1つは、

- 互いに並列に接続された第1および第2のスイッチング経路であって、各スイッチング経路が第1の半導体スイッチおよび第2の半導体スイッチの直列接続ならびに第1の半導体スイッチと第2の半導体スイッチとの間の相互接続点を含む、第1および第2のスイッチング経路

を含む。電力供給システムは、

- 第2のスイッチング経路の第1の半導体スイッチに対してインタリーブされた方式で第1のスイッチング経路の第1の半導体スイッチを制御するように構成された制御ユニット

40

をさらに含む。電力供給システムは、

- n 個のスイッチングセルのそれぞれの1つを入力に接続する、本発明によるインダクタアセンブリ

をさらに含み、 n 個のスイッチングセルのそれぞれの1つについて、

- 第1のスイッチング経路の相互接続点が上部インダクタコイルの第1の端子に接続され、および第2のスイッチング経路の相互接続点が下部インダクタコイルの第4の端子に接続されるように、

- n 個のスイッチングセルのそれぞれの1つは、インダクタアセンブリの異なる対応する相脚と関連付けられ、かつその対応する相脚の上部コイルおよび下部コイルを介して入力に接続され、

50

- 上部インダクタコイルの第2の端子および下部インダクタコイルの第3の端子は、両方とも入力に接続される。

【0038】

さらなる実施形態では、本発明による電力供給システムは、本発明によるインダクタアセンブリを含むDC/DCコンバータ、例えば降圧型コンバータを含む。この実施形態では、DC/DCコンバータとして動作するように構成された電力供給システムは、

- 入力電圧 V_{in} を受け取るための入力と、
- 出力電圧 V_{out} を供給するための出力と、
- 入力に並列に接続された n 個のスイッチングセルと

を含む。

10

【0039】

n 個のスイッチングセルのそれぞれの1つは、

- 互いに並列に接続された第1および第2のスイッチング経路であって、各スイッチング経路は、第1の半導体スイッチおよび第2の半導体スイッチの直列接続ならびに第1の半導体スイッチと第2の半導体スイッチとの間の相互接続点を含む、第1および第2のスイッチング経路

を含む。電力供給システムは、

- 第2のスイッチング経路の第1の半導体スイッチに対してインタリーブされた方式で第1のスイッチング経路の第1の半導体スイッチを制御するように構成された制御ユニット

20

をさらに含む。電力供給システムは、

- n 個のスイッチングセルのそれぞれの1つを出力に接続する、本発明によるインダクタアセンブリ

をさらに含み、 n 個のスイッチングセルのそれぞれの1つについて、

- 第1のスイッチング経路の相互接続点が上部インダクタコイルの第1の端子に接続され、および第2のスイッチング経路の相互接続点が下部インダクタコイルの第4の端子に接続されるように、

- n 個のスイッチングセルのそれぞれの1つは、インダクタアセンブリの異なる対応する相脚と関連付けられ、かつその対応する相脚の上部コイルおよび下部コイルを介して出力に接続され、

30

- 上部インダクタコイルの第2の端子および下部インダクタコイルの第3の端子は、両方とも出力に接続される。

【0040】

電力供給システムの実施例としてのDC/DCコンバータの場合にも、第2のスイッチング経路の第1の半導体スイッチに対する第1のスイッチング経路の第1の半導体スイッチのインタリーブクロッキングは、実質的に同じクロック周波数で、しかし、適時にシフトされたクロック信号での第1の半導体スイッチのクロッキングを意味する。具体的には、第1のスイッチング経路の第1の半導体スイッチおよび第2のスイッチング経路の第1の半導体スイッチに対する「オン」サイクルの中間点は、互いに対して位相シフトされる。位相シフトは、それぞれのクロック信号の対応する時間シフトに相当する。その位相シフトまたは時間シフトは別として、第1および第2のスイッチング経路の第1の半導体スイッチに対するクロック信号は、それらの「オン」および「オフ」期間に関して実質的に等しい。したがって、第1および第2のスイッチング経路の第1の半導体スイッチに対する「オフ」サイクルの中間点も、「オン」サイクルの場合のように互いに対して同じ位相シフトを含む。

40

【0041】

好ましくは、第1および第2のスイッチング経路の第1の半導体スイッチ間の位相シフトは、実質的に 180° となるように制御ユニットにより制御される。ここでもまた、実質的という副詞は、約 $\pm 5^\circ$ の許容範囲に相当する。 180° 位相シフトからの逸脱は、通常、電力供給の出力容量の電圧リップルを増加させる。しかしながら、より大きい電

50

圧リップルが許容できる場合、インタリーブクロッキングは、 $180^\circ \pm 30^\circ$ の範囲で位相シフトを含み得る。

【0042】

DC/DCコンバータを含む電力供給システムの好ましい実施形態では、出力の電圧リップルはさらに低減される。ここで、DC/DCコンバータを含む電力供給システムは、2つまたは任意選択で3つのスイッチングセルを含み、

- 各スイッチングセルの第1の半導体スイッチは、制御ユニットによって実質的に同じクロック周波数で制御され、

- 同じスイッチングセルと関連付けられた第1の半導体スイッチは、互いに対して実質的に 180° の位相シフトを含むインタリーブされた方式でクロックされ、

- 第1のスイッチングセルと関連付けられた任意の第1の半導体スイッチは、実質的に $180/n$ または $180^\circ + 180^\circ/n$ （ここで、 $n=2$ または $n=3$ である）の位相シフトを含む第2のスイッチングセルの任意の第1の半導体スイッチに対してインタリーブされた方式でクロックされる。これは、すべての第1の半導体スイッチの位相シフトの均一な分布につながり、したがって電力供給システムの出力電圧 V_{out} のリップルを最小化する。本発明の適用範囲内で、「実質的に」という副詞は、再び「実質的に」という副詞の後ろに述べた値の $\pm 5^\circ$ の許容範囲に相当する。

【0043】

本発明の有利な発展形態は、特許請求の範囲、本明細書および図面から得られる。本明細書の冒頭に述べた特徴の利点および複数の特徴の組合せの利点は、実施例としての役割を果たすにすぎず、本発明による実施形態がこれらの利点を得なければならない必要性なく、代替的にまたは累積的に使用され得る。添付の特許請求の範囲により定められた保護の適用範囲を変更することなく、元の本出願および本特許の開示に関して以下が適用され、すなわち、図面、具体的には例示された設計および複数の構成要素の互いに対する寸法から、ならびにそれらの相対的配置およびそれらの作動的接続からさらなる特徴を得ることができる。本発明の異なる実施形態の特徴の組合せまたは請求項の選択された参照から独立した異なる請求項の特徴の組合せが同様に可能であり、本明細書とともに動機付けられる。これは、同様に、別個の図面に例示されている、またはそれらを説明するとき述べられる特徴に関する。これらの特徴は、同様に、異なる請求項の特徴と組み合わせることができる。さらに、本発明のさらなる実施形態は、特許請求の範囲に述べた特徴を有さない可能性がある。

【0044】

特許請求の範囲および本明細書で述べた特徴の数は、「少なくとも」という副詞を明示的に使用する必要なく、この正確な数および述べた数より大きい数を含むと理解されるべきである。例えば、相脚が述べられる場合、これは、正確に1つの相脚が存在するまたは2つの相脚もしくはより多くの相脚が存在するように理解されるべきである。

【図面の簡単な説明】

【0045】

以下に、図面に例示される好ましい例示的な実施形態に関して本発明をさらに解説および説明する。

【0046】

【図1a】図1aは、本発明によるインダクタアセンブリの斜視図を示す。

【図1b】図1bは、図1aのインダクタアセンブリの磁心の斜視図を示す。

【図1c】図1cは、本発明によるインダクタアセンブリの代替実施形態の一部を示す。

【図1d】図1dは、特定の電流分布に関して、本発明によるインダクタアセンブリの一部に関するそれぞれの磁束分布を例示する。

【図1e】図1eは、図1dに示された電流分布と比べて異なる電流分布に関して、本発明によるインダクタアセンブリの一部に対するそれぞれの磁束分布を例示する。

【図1f】図1fは、本発明による代替のインダクタアセンブリの斜視図を示す。

【図 2】図 2 は、本発明によるインダクタアセンブリを含むスイッチモード電力供給システムの実施例としての DC / AC コンバータを示す。

【図 3 a】図 3 a は、図 2 による DC / AC コンバータについて、ハーフブリッジのインタリーブ動作中に 2 つの対応するハーフブリッジの出力により供給される電流値のタイミング図を示す。

【図 3 b】図 3 b は、図 2 による DC / AC コンバータについて、ハーフブリッジのインタリーブ動作中に 2 つの対応するハーフブリッジの出力に存在する電圧値のタイミング図を示す。

【図 3 c】図 3 c は、図 2 による DC / AC コンバータについて、インダクタコイルのインタリーブ動作中に対応する相端子の上部インダクタコイルと下部インダクタコイルとの間の相互接続点に存在する電圧値のタイミング図を示す。

【図 4】図 4 は、図 2 の DC / AC コンバータについて、図 3 c と比べて引き伸ばされた時間スケールにおいて、ハーフブリッジのインタリーブ動作中の 2 つの対応するハーフブリッジの高速切替スイッチに対する関連クロック信号とともに図 3 a による電流値のタイミング図を示す。

【図 5 a】図 5 a は、本発明によるインダクタアセンブリを含む電力供給システムの実施例としての昇圧型コンバータを示す。

【図 5 b】図 5 b は、本発明によるインダクタアセンブリを含む電力供給システムの実施例としての降圧型コンバータを示す。

【発明を実施するための形態】

【0047】

図 1 a は、磁心 2 および全体で 6 個のインダクタコイル 8、9 を含むインダクタアセンブリ 1 を示す。同じ磁心 2 がインダクタコイル 8、9 なしで図 1 b に示されている。磁心 2 は、各相脚 4 が隣接する相脚 4 に対して $360^\circ / 3 = 120^\circ$ の角度を含むように中央脚 3 の周りに周方向に配置された 3 つの相脚 4 を含む。n 個の相脚 4 の場合、その角度は、好ましくは、対称性のために $360^\circ / n$ となるように選択される。各相脚 4 上には、上部インダクタコイル 8 および下部インダクタコイル 9 が、メイン相ループが両方のインダクタコイルを通過して形成されるように配設され、メインループは、対応する相脚 4、中央脚 3 ならびに中央脚 3 を相脚 4 に磁氣的に接続する上部および下部ブリッジ 13 を含む。上部インダクタコイル 8 と下部インダクタコイル 9 との間には、シャント要素 6 が相脚 4 の中間点 5 から中央脚 3 の中央点まで延在して配置される。したがって、シャント要素 6 により 2 つのサブループが形成され、各サブループは、インダクタコイル 8、9 の 1 つを通過し、シャント要素 6、対応する相脚部 10、11、上部または下部ブリッジ 13 および中央脚 3 の対応する上方または下方部分を含む。

【0048】

シャント要素 6 は、中央脚 3 に隣接して配置されたギャップ 7 を含む。代替的に、ギャップは、同様に、相脚 4 に隣接して配置してもよい。シャント要素 6 および相脚 4 を単一部品として形成してもよく、またはシャント要素 6 および中央脚 3 を単一部品として、または別個のものもしくは分離可能な要素として形成してもよい。ギャップ 7 は、サブループにおける磁束を安定させることを促進し、インダクタアセンブリ 1 の動作中に磁心 2 の飽和を抑制するために磁束に所定の磁気抵抗を提供する。

【0049】

任意選択で、好ましくはインダクタコイル 8、9 により取り囲まれている位置内で、さらなるギャップ 15、16 が相脚部 10、11 の一方または両方に配置される。これらのさらなるギャップ 15、16 は、ギャップ 7 の幅より著しく小さい幅を有することができ、それにより、サブループと比べてメインループにより小さい磁気抵抗を提供することができる。

【0050】

好ましい実装において、磁心 2 は、組み立てられた状態で複数の磁心要素により形成される。磁心要素の形状および数のさまざまな組合せを考えることができ、組立前に、組み

10

20

30

40

50

立てられた状態に対応する相脚部 10、11を形成する磁心要素におけるインダクタコイル 8、9の目標位置にインダクタコイル 8、9を設置することができるように要素形状を選択することが好ましい。図 1 bでは、磁心 2は、併せて中央脚 3を形成する 2つの主要素、および相脚 4ごとの T 字形の追加要素から形成され、各追加要素はシャント要素 6を含み、主要素とともに対応する相脚 4を形成する。

【0051】

中央脚 3は、少なくとも有意なギャップを含まない。さらにおよび好ましくは、外部回路要素へのインダクタアセンブリの接続は、インダクタアセンブリ 1の動作中にいくつかの相脚 4の磁束が中央脚 3で破壊的に重なり合うように選択される。その破壊的重ね合わせにより、中央脚 3は、比較的細く設計することができ、中央脚 3の内部の磁束をさらに低減するためのさらなるギャップは必要でない。それはさらに望ましくない。中央脚 3の細い形態は、インダクタアセンブリ 1全体のコンパクトな設計を同様に提供する。

10

【0052】

各上部インダクタコイル 8が第 1の端子 20および第 2の端子 21を含むのに対して、各下部インダクタコイルは第 3の端子 22および第 4の端子 23を含む。上部インダクタコイルの第 2の端子 21および下部インダクタコイルの第 3の端子は、各相脚 4上で上部コイル 8および下部コイル 9の直列接続を形成するために互いに接続される。残っている上部インダクタコイル 8の第 1の端子 20および下部インダクタコイル 9の第 4の端子 23は、外部回路要素に接続することができる。

【0053】

シャント要素 6とともに上部および下部コイル 8、9の配置は、漂游磁束および漏洩磁束の最適化された誘導を提供し、インダクタアセンブリの外部環境への漂游磁束が低減される。

20

【0054】

図 1 cは、本発明の代替実施形態の相脚部 4を概略的に例示する。図 1 aおよび図 1 bに示された実施形態との相違では、ギャップ 7は相脚 4の近くに位置している。相脚 4は、上部インダクタコイル 8および下部インダクタコイル 9が配設される「I」要素を含む。ギャップ 15および 16は、「I」要素の両側端部に位置している。代替的に、ギャップ 15および 16は、「I」要素の前端部に位置していてもよい。上部および下部ブリッジ 13、シャント要素 6および中央脚 3は、単一部品で形成しても別個の要素で形成してもよい。

30

【0055】

インダクタアセンブリ 1は、全体としてまたは少なくとも部分的に、(図示されていない)金属筐体により取り囲むことができる。インダクタアセンブリ 1を含む金属筐体は、電気絶縁ポッティング材料で満たすことができる。

【0056】

図 1 dは、図 1 aに示されているインダクタアセンブリ 1の相脚部 4に対する磁束分布を概略的に例示する。例示された実施形態では、上部インダクタコイル 8および下部インダクタコイル 9は、実質的に同じコイルタイプ、例えばホイールベースのコイルタイプ、および同じ巻き数を含む。上部インダクタコイル 8の第 2の端子 21および下部インダクタコイル 9の第 3の端子 22は、電氣的に接続されて、上部および下部インダクタコイル 8、9の直列接続を形成する。電流 Iは、第 1の端子 20から上部インダクタコイル 8および下部インダクタコイル 9の直列接続を通して第 4の端子へ流れている。この電流 Iは、上部および下部インダクタコイル 8、9のそれぞれの 1つを介して相脚部 4内に磁束 24、25を発生させる。両方の磁束 24、25は、相脚部 4で - 具体的には、上方部分 10および下方部分 11で、かつ相脚部 4の上部および下部ブリッジ 13で同様に - 建設的に重なり合う。磁束 24、25の重ね合わせに対する磁気ループは、中央脚 3を経て閉じられる。

40

【0057】

図 1 dに例示された実施例では、第 2の端子 21と第 3の端子 22との接続部から外部

50

回路要素へ電流が流れない。換言すれば、第1の端子20から上部インダクタコイル8に流れる電流 I_1 は、同様に、下部インダクタコイル9を通過した後に第4の端子23を出る。上部および下部コイルの誘導率は、例示された実施形態では等しいと想定されるため、上部および下部インダクタコイルのそれぞれの1つを介して発生する磁束24、25も互いに等しい。

【0058】

図1eは、図1aに示されているインダクタアセンブリ1の相脚部4に対する磁束の分布 - すなわち、図1dに対して使用される同じもの - を別の電流分布を用いて概略的に例示する。例示されているように、電流 I_1 は、第1の端子20から上部インダクタコイル8を通過して第2の端子21へ流れる。第2の電流 I_2 は、第4の端子23から下部インダクタコイル9を通過して第3の端子22へ流れる。両方の電流の総和 $I_1 + I_2$ が第2の端子21と第3の端子22との接続部から外部回路要素へ流れている。ここで、電流 I_1 は、上部インダクタコイル8を介して磁束24を発生させ、電流 I_2 は、下部インダクタコイル9を介して磁束25を発生させる。この電流状況では、両方の磁束24、25は、相脚部4の内部で - 具体的には、上方部分10および下方部分11で、かつ相脚部4の上部および下部ブリッジ13で同様に - 破壊的に重なり合う。両方の磁束24、25の建設的な重ね合わせは、シャント要素6内で行われる。しかしながら、中央脚3とシャント要素6との間の大きいギャップ7は、大きい磁気抵抗を提供し、その場合の磁気飽和を回避する。

【0059】

上部および下部インダクタコイル8、9の想定された同一の誘導率、ならびに同様に同一の電流量 ($|I_2| = |I_1|$) のため、上部インダクタコイル8を介して発生する磁束24および下部インダクタコイル9を介して発生する磁束25は、同じ量を有し、反対の方向を含むのみである。したがって、この場合の破壊的重ね合わせは、その破壊的重ね合わせを含むそれぞれの磁気要素における、結果として生じる磁束の相殺にほぼつながる ($= I_1 + I_2 = 0$)。

【0060】

ここで、電流 I_1 、 I_2 は、それらの量の差分がゼロに等しくないように、それらの量において異なっていると想定する。さらに、差分 $I_1 - I_2$ が負である ($|I_1| - |I_2| < 0$) ように、電流 I_1 は電流 I_2 より小さいと想定する。その場合、上部インダクタコイル8を介して電流 I_1 により発生する磁束26は、下部インダクタコイル9を介して電流 I_2 により発生する磁束27より量において小さい。これは、再び両方の磁束の破壊的重ね合わせにつながるが、結果として生じる磁束の相殺にはつながらない ($= I_1 + I_2 \neq 0$)。これは、それぞれの磁束26、27を表している異なる長さの矢印によって例示される。その状況では、結果として生じる磁束は、相脚4内に - 具体的には、上方および下方部分10、11、上部および下部ブリッジ13に - 存在する。その磁束は、中央脚3を経て閉じられる。したがって、この場合に対する結果として生じる磁束の分布は、図1dに例示された状況に多少類似している。

【0061】

ここで、電流の差分 $I_1 - I_2$ が時間とともに変化する $d/dt(I_1 - I_2) \neq 0$ の場合、上部および下部インダクタコイル8、9を介して発生する磁束26、27の重ね合わせである、結果として生じる磁束も時間とともに変化する $d/dt(I_1 - I_2) \neq 0$ 、したがってその電流差の時間変化を駆動する力を打ち消す。換言すれば、既存の電流差 $I_1 - I_2$ は、インダクタアセンブリ1により提供される磁気結合を介して安定されるのに対して、電流差の時間変化 $d/dt(I_1 - I_2)$ は、インダクタアセンブリ1により提供される磁気結合を介して打ち消され、抑えられる。

【0062】

図1fには、本発明によるインダクタアセンブリの代替実施形態が示されている。実施形態は、図1aに示されたものと類似しており、したがって、その実施形態の一般的な説明に関して図1aの説明が参照される。実施形態図1aとの相違では、図1fの実施形態

10

20

30

40

50

は、それぞれの相脚 4 の上部および下部ブリッジ 1 3 に配設される、3 つの相脚 4 のそれぞれの 1 つに対する上部および下部インダクタコイル 8、9 を含む。ギャップ 1 5 および 1 6 は、同様に、各相脚 4 の上部および下部ブリッジ 1 3 に位置している。例示された実施例では、ギャップ 7 は中央脚 3 の近くに位置している。しかしながら、本発明の適用範囲内で、ギャップ 7 が相脚 4 の近くに位置していることは同様に可能である。 - 図 1 e に例示されるような - 上部インダクタコイル 8 の第 1 および第 2 の端子 2 0、2 1 ならびに下部インダクタコイルの第 3 および第 4 の端子 2 2、2 3 は、それぞれのボビンに対して特定の位置に示される。これらの位置は、例としてのみ例示されるものであり、例示された事例に限定されるものではない。さらに、第 1、第 2、第 3 および第 4 の端子の位置は、インダクタアセンブリ 1 の組立工程を単純化するために、および / またはそれぞれの材料費を下げるために可能な限りの方法で選ぶことができる。本発明によるインダクタアセンブリ 1 の他の例示された実施形態の場合も同じである。図 1 a および図 1 f に例示されたインダクタアセンブリ 1 は、3 つの相脚 4 を含む。これも例としてのみのものであり限定するものではない。本発明の適用範囲内で、同様に 2 つ、4 つまたはさらにより多くの相脚 4 の数 n が可能である。

【 0 0 6 3 】

図 2 には、本発明によるスイッチモード電力供給システム 3 0 に対する実施例としての DC / AC コンバータが例示されている。DC / AC コンバータは、本発明によるインダクタアセンブリ 1 を出力フィルタ 3 4 として、または少なくとも出力フィルタ 3 4 の一部として含む。DC / AC コンバータは、DC リンク 3 1 と、3 つの相端子 U、V、W および中性端子 N を含む出力 3 2 とを含む。各相端子 U、V、W は、対応する第 1 のハーフブリッジ 3 6 および対応する第 2 のハーフブリッジ 3 8 に接続されている。分かりやすくするために、参照符号は、複数の第 1 および第 2 のハーフブリッジ 3 6、3 8 の 1 つに対して例示されるのみである。DC / AC コンバータは、複数の第 1 および第 2 のハーフブリッジ 3 6、3 8 を制御するように構成された制御ユニット 3 3 をさらに含み、その制御は、制御ユニット 3 3 を複数の第 1 および第 2 のハーフブリッジ 3 6、3 8 に相互接続する破線の制御線 4 5 で図 2 に例示される。制御ユニット 3 3 は、それぞれの相端子 U、V、W の対応する第 1 のハーフブリッジに対してインタリーブされた方式で各相端子 U、V、W に対する対応する第 2 のハーフブリッジ 3 8 を制御するようにさらに構成される。

【 0 0 6 4 】

DC / AC コンバータは、各第 1 のハーフブリッジ 3 6 の出力 3 5 および各第 2 のハーフブリッジ 3 8 の出力 3 7 をそれぞれの相端子 U、V、W に接続する出力フィルタ 3 4 として、本発明によるインダクタアセンブリ 1 を含む。詳細には、電力供給システム 3 0 の出力 3 2 における各相端子 U、V、W は、インダクタアセンブリ 1 の異なる対応する相脚 4 と関連付けられ、かつ対応する相脚 4 の上部インダクタコイルを介してその対応する第 1 のハーフブリッジ 3 6 の出力 3 5 に接続されている。各相端子 U、V、W は、対応する相脚 4 に配設された下部インダクタコイル 9 を介して対応する第 2 のハーフブリッジ 3 8 の出力 3 7 にさらに接続されている。

【 0 0 6 5 】

さらに、インダクタアセンブリ 1 の各相脚 4 に対して - または換言すれば、出力 3 2 の各相端子 U、V、W に対して - 上部インダクタコイル 8 は、その第 1 の端子 2 0 で対応する第 1 のハーフブリッジ 3 6 の出力 3 5 に接続され、および下部インダクタコイル 9 は、その第 4 の端子 2 3 で対応する第 2 のハーフブリッジ 3 8 の出力 3 7 に接続されている。さらに、インダクタアセンブリ 1 の各相脚 4 について、上部インダクタコイル 8 の第 2 の端子 2 1 および下部インダクタコイル 9 の第 3 の端子 2 2 は、両方ともそれらのそれぞれの相端子 U、V、W に接続されている。すべての第 1 および第 2 のハーフブリッジ 3 6、3 8 は、それらのそれぞれの入力側で並列に DC リンク 3 1 に接続されている。さらに、中性端子 N は、DC リンク 3 1 の中間点に接続されている。

【 0 0 6 6 】

出力フィルタ 3 4 は、各相端子 U、V、W と中性端子 N との間にフィルタリングコンデ

10

20

30

40

50

ンサ46をさらに含む。DC/ACコンバータが、各相端子U、V、Wについて、第1の相端子U、V、Wと異なる第2の相端子U、V、Wとの間に接続されたフィルタコンデンサを含むことは同様に可能である - しかし、図2には描かれていない -。

【0067】

DC/ACコンバータの動作中、各第1のハーフブリッジ36は、その第2のハーフブリッジ38に対してインタリーブされた方式で制御される。好ましくは、そのインタリーブ制御は、実質的に180°に等しい位相シフトを含むが、これは必須ではない。各第1のハーフブリッジ36は、その出力35から上部インダクタコイル8を通過してそれぞれの相端子U、V、Wへ電流 I_1 を駆動する。同時に、各対応する第2のハーフブリッジ38は、下部インダクタコイル9を通過してそのそれぞれの相端子へ電流 I_2 を駆動する。各それぞれの相端子U、V、Wにおいて、- 最終的に存在する循環電流は別として - DC/ACコンバータは、実質的に両方の電流の総和 $I_1 + I_2$ を供給することが理論的に可能である。しかしながら、実際には、第1のハーフブリッジ36の出力35から第2のハーフブリッジ38の出力37へ、およびその逆に流れる循環電流を完全に回避することはできない。これらの循環電流は、電力損失につながり、DC/ACコンバータの効率を下げる。

10

【0068】

制御目的で、DC/ACコンバータは、いくつかの電流センサを含み得る。具体的には、複数の第1のハーフブリッジ35のそれぞれの1つに対する出力電流 I_1 を検出するように構成される、3つの電流センサ47が図2に例示されている。加えて、複数の第2のハーフブリッジ35のそれぞれの1つに対する出力電流 I_2 を検出するように構成される3つの電流センサ48が示されている。分かりやすくするために、測定電流 I_1 、 I_2 は、第1のハーフブリッジ36の1つおよび第2のハーフブリッジ38の1つのみに対して示されている。これらの電流センサ47、48は、制御ユニット33の制御戦略において電流を考慮するために、(図2に示されていない)制御ユニット33への接続を含み得る。例えば、インダクタアセンブリ1の磁心2の飽和を回避するために、DC/ACコンバータの動作中に対応する相脚4内の結果として生じる磁束に対する尺度である電流差 $I_1 - I_2$ を観察することが役立つ。好ましくは、その電流差 $I_1 - I_2$ - 特にその絶対値 - は、制御ユニット33により第1および第2のハーフブリッジ36、38のスイッチに送られるそれぞれの制御信号を介して、特定の閾値より低く維持されることになる。

20

30

【0069】

しかしながら、第1および第2のハーフブリッジ36、38のインタリーブ制御と組み合わせたインダクタアセンブリ1は、その循環電流を著しく低減することが可能である。対応する第2のハーフブリッジ38に対する第1のハーフブリッジのインタリーブ制御中、第1のハーフブリッジ36の出力35と対応する第2のハーフブリッジ38の出力37との間に電圧差が存在する状況が生じる。その電圧差は、上部インダクタコイル8の第1の端子20および下部インダクタコイル9の第4の端子において同様に存在し、循環電流に対する駆動力として作用する。上部インダクタコイル8とその対応する下部インダクタコイル9との間の磁気結合は、しかしながら、循環電流を十分に低減することが可能である。

40

【0070】

例として、ハーフブリッジのBSNPC回路トポロジと組み合わせた3レベルDCリンク31が図2に示されている。インタリーブ動作モードと併せて、この組合せは有効な5レベルDC/ACコンバータにつながる。しかしながら、本発明は、例示された実施例に限定されるものではない。さらに、より少ないまたはより多い電圧レベル - 例えば、2つ、4つ、5つ、7つまたはそれよりさらに多くの電圧レベルを含むDCリンクも可能である。代替的に、第1および第2のハーフブリッジ36、38の他の回路トポロジも可能である。その回路トポロジは、DCリンク31の中間電圧レベルへの接続を含むかまたは含まない、任意の周知の回路トポロジを含み得る。第1および第2のハーフブリッジ3

50

6、38のそれぞれの1つに対して単一の上側スイッチ39、42および単一の下側スイッチ40、43を含む、図2に示された実施例の代わりに、各第1および第2のハーフブリッジ36、38の回路トポロジは、同期した方式で制御される2つのハイサイドスイッチ39、42および同期した方式で制御される2つのローサイドスイッチ40、43を含んでもよい。このようなトポロジは、DCリンクに存在する高い電圧値に対して適合性がある。DCリンク31の中間電圧レベルへの接続を含む回路トポロジに関して、回路トポロジは、例えば、NPCまたはBSNPC回路トポロジの1つを含み得る。

【0071】

DC/ACコンバータの第1および第2のハーフブリッジ36、38のスイッチ39、40、41、42、43、44のために使用可能なスイッチタイプは、制御端子を含む任意の制御可能な半導体スイッチである。使用すべき可能なスイッチタイプは、例えば、絶縁ゲートバイポーラトランジスタIGBT、金属酸化物半導体電界効果トランジスタMOSFET、バイポーラ接合トランジスタBJTおよび接合ゲート電界効果トランジスタJFETの1つを含み得る。そのスイッチタイプに対して使用すべき可能な材料は、例えば、ケイ素Si、炭化ケイ素SiC、窒化ガリウムGaNおよび任意の他の一般に利用可能な半導体スイッチ材料の1つを含み得る。可能なスイッチタイプおよびそのスイッチタイプに対して使用すべき材料の上記のリストは、例示的なものにすぎず、限定するものと理解すべきではない。スイッチが固有ボディダイオードを有さない場合、フリーホイーリング経路を設けるために、別個のダイオードをそれぞれの半導体スイッチに並列に接続することができる。

【0072】

図2に例示された、3つの相端子U、V、Wを含むDC/ACコンバータは、本発明の例示的な実施形態にすぎず、本発明は、DC/ACコンバータのその構造に限定されるものではない。さらに、その出力において2つ、4つまたはより多くの相端子を備えたDC/ACコンバータも可能である。出力は、中性端子Nを含んでも、- 代替として - 含まなくてもよい。

【0073】

図3a、図3b、図3cには、図2によるDC/ACコンバータのインタリーブ動作中の電圧および電流値に対するシミュレーションされたタイミング図が例示されている。タイミング図は、異なる電流量の特性を強調するために、図2の出力フィルタ34のコンデンサ46の小さい容量値で評価される。図3a、図3bおよび図3cは、クロック周期の期間(t/T_s または $t \cdot f_s$) に標準化された単一のAC期間(ここで、0~20msである)の時間範囲に対するいくつかのパラメータ電圧および電流の時間依存性を示す。

【0074】

図3aは、相端子U、V、Wの特定の相端子に対応する第1および第2のハーフブリッジ36、38により出力される電流 I_1 、 I_2 を例示する。電流 I_1 、 I_2 は、図2に例示されたそれぞれの電流センサ47、48を介して測定することができる。図3aにおける図表は、その和電流の半分、すなわち $1/2(I_1 + I_2)$ に標準化された和電流を同様に示す。係数 $1/2$ は別として、その和電流は、それぞれの相端子U、V、Wにおける出力電流を表す。

【0075】

図3bには、第1のハーフブリッジ36およびその対応する第2のハーフブリッジ38の出力35、37に存在する電圧 v_1 、 v_2 が例示されている。図3cは、その電圧の差分 $v_1 - v_2$ およびその電圧の平均値を示す。上部インダクタコイル8の第2の端子21および下部インダクタコイル9の第3の端子22の相互接続点において存在する電圧を表す $1/2(v_1 + v_2)$ である。第2および第3の端子21、22は、両方ともそれぞれの相端子U、V、Wの対応する相端子に接続されているため、その電圧 $1/2(v_1 + v_2)$ は、ほぼそれぞれの相端子U、V、Wの対応する1つに対する、DC/ACコンバータにより出力される電圧に関する尺度である。電圧 v_1 、 v_2 の平均値 $1/2(v_1 + v_2)$ を見ると、図3cは、第1および第2のハーフブリッジ36、38のインタリーブ制

10

20

30

40

50

御と組み合わせた3レベルDCリンク31が有効な5レベル電圧信号につながることを同様に示している。

【0076】

図4には、図3aに例示された電流 I_1 、 I_2 のタイミング図が著しく引き伸ばされた時間スケールを使用して描かれており、この時間スケールは、第1および第2のハーフブリッジ36、38のインタリーブ動作中の第1および第2のハーフブリッジ36、38の高速切替スイッチの2つのクロック周期を表すように選択される。図4の上段の図表には、第1のハーフブリッジ36の高速切替スイッチに対するクロック信号50aおよび対応する第2のハーフブリッジ38の高速切替スイッチに対するクロック信号50bが描かれている。図表は、第2のハーフブリッジ36の高速切替スイッチが第1のハーフブリッジ36の高速切替スイッチに対して実質的に 180° の位相シフトでクロックされることを明確に示している。図4の中段の図表には、上記の上の図表に示されたクロック信号50a、50bに起因する電流 I_1 、 I_2 が例示されている。標準化係数 $1/2$ は別として、対応する相端子U、V、Wを通して供給される出力電流の尺度である、標準化された総和値 $1/2(I_1 + I_2)$ が再び同様に例示される。図4の下段部には、電流差 $I_1 - I_2$ の図表が例示されている。図1dの説明で述べたように、その電流差は、インダクタアセンブリ1のそれぞれの相脚4内の、具体的には、その相脚4の上方および下方部分10、11ならびに上部および下部ブリッジ13における結果として生じる磁束に対する尺度である。電流差 $I_1 - I_2$ の変化は、その相脚4内の結果として生じる磁束を同様に変化させる。電流差は、同様に、第1および第2のハーフブリッジ36、38の出力35、37間を流れる循環電流に対する尺度である。

【0077】

図5aは、本発明による電力供給システム60の代替実施形態を示す。電力供給システム60は、DC/DCコンバータ、具体的には昇圧型コンバータとして動作するように構成される。昇圧型コンバータは、入力電圧 V_{in} を受け取るための入力61と、出力電圧 V_{out} を供給するための出力62と、出力62に並列に接続された n 個(ここで、 $n=2$ である)のスイッチングセル64とを含む。各スイッチングセル64は、互いに並列におよび出力62に並列に接続された第1および第2のスイッチング経路65a、65bを含む。各スイッチング経路65a、65bは、第1の半導体スイッチ66および第2の半導体スイッチ67の直列接続ならびに第1の半導体スイッチ66と第2の半導体スイッチ67との間の相互接続点68を含む。制御ユニット63は、第2のスイッチング経路65bの第1の半導体スイッチ66に対してインタリーブされた方式で第1のスイッチング経路65aの第1の半導体スイッチ66を制御するように構成される。図5aの実施形態では、第1の半導体スイッチ66のみが制御ユニット63により制御される半導体スイッチであるのに対して、第2の半導体スイッチ67は、ダイオードとして示されている。ダイオードの代わりに、第1の半導体スイッチ66がそうであるように、第2の半導体スイッチ67として制御ユニット63により制御される半導体スイッチを使用することが同様に可能である。

【0078】

DC/DCコンバータは、 n 個のスイッチングセル64のそれぞれの1つを入力61に結合する、本発明によるインダクタアセンブリ1をさらに含む。 n 個のスイッチングセル63のそれぞれの1つは、インダクタアセンブリ1の異なる対応する相脚4と関連付けられ、かつその対応する相脚4の上部コイル8および下部コイル9を介して入力61に結合されている。詳細には、 n 個のスイッチングセル63のそれぞれの1つについて、インダクタアセンブリ1は、

- 第1のスイッチング経路65aの相互接続点68が上部インダクタコイル8の第1の端子20に接続され、および第2のスイッチング経路65bの相互接続点68が下部インダクタコイル9の第4の端子23に接続されるように接続されている。加えて、上部インダクタコイル8の第2の端子21および下部インダクタコイル9の第3の端子22は、両方とも入力61に接続されている。

【 0 0 7 9 】

DC / DCコンバータの動作中、n個のスイッチングセル64のそれぞれの2つの第1の半導体スイッチ66は、インタリーブ切替モードで制御ユニット63により制御される。好ましくは、第1のスイッチング経路65aの第1の半導体スイッチ66および第2のスイッチング経路65bの第1の半導体スイッチ66のそのインタリーブ切替は、互いに対して実質的に180°の位相シフトを含む。

【 0 0 8 0 】

図5bには、本発明によるスイッチモード電力供給システム60に対する実施例としての代替DC / DCコンバータが例示されている。この場合、本発明によるインダクタアセンブリ1を含むDC / DCコンバータは、降圧型コンバータとして動作するように構成される。

10

【 0 0 8 1 】

降圧型コンバータは、主に、出力62と入力61の位置を交換することと、それぞれの第1および第2のスイッチング経路65a、65b内の第1の半導体スイッチ66と第2の半導体スイッチ66の位置をさらに交換することにより、図5aで説明した昇圧型コンバータから導出することができる。その相違は別として、図5aに関する昇圧型コンバータの説明は、図5bによる降圧型コンバータに同様に転用することができる。したがって、図5bによる実施形態のさらなる詳細に関して図5aの説明が参照される。

【 0 0 8 2 】

好ましくは、図5a、および図5bで説明したDC / DCコンバータは、2つ、3つまたはさらにより多くのスイッチングセル64を含む。並列接続されるスイッチングセルの数nが高いほど、DC / DCコンバータによる可能な電流供給が高くなる。

20

【 0 0 8 3 】

DC / DCコンバータの第1の半導体スイッチ66のために - および任意選択で同様に第2の半導体スイッチ67のために - 使用可能なスイッチタイプは、制御端子を含む任意の制御可能な半導体スイッチである。可能なスイッチタイプおよび/またはそのスイッチタイプの使用可能な材料に関して図2の説明が参照される。図2の説明内ですでに開示された任意のスイッチタイプおよび/または材料は、DC / DCコンバータの第1の半導体スイッチ66のために - および任意選択で同様に第2の半導体スイッチ67のために - 同様に使用することができる。これは、DC / DCコンバータが降圧型コンバータであるか昇圧型コンバータであるかどうかには依存しない。

30

【 0 0 8 4 】

DC / DCコンバータの出力62における電圧リップルを最小化するために、各スイッチングセル64は、好ましくは、他のスイッチングセル64のそれぞれの1つに対してインタリーブされた方式で制御ユニット63により制御される。具体的には、制御ユニット63は、実質的に同じクロック周波数で各スイッチングセル64のすべての第1の半導体スイッチ66を制御する。同じスイッチングセル64と関連付けられた第1の半導体スイッチ66は、互いに対して実質的に180°の位相シフトを含むインタリーブされた方式でクロックされる。加えて、制御ユニット63は、第1のスイッチングセル64と関連付けられた任意の第1の半導体スイッチ66が第2のスイッチングセルの任意の第1の半導体スイッチ66に対してさらにインタリーブされた方式で同様にクロックされるように、第1の半導体スイッチ66を制御する。好ましくは、そのさらにインタリーブされた方式は、実質的に180°/nまたは180° + 180° / nの位相シフトを含み、ここで、nはスイッチングセルの数に対応し、2、3個のスイッチングセルの場合、n = 2またはn = 3である。この制御戦略は、複数の第1の半導体スイッチ66の切替のより均一な時間的分布につながり、したがって電力供給システム60の出力電圧 V_{out} のリップルを最小化する。

40

【 符号の説明 】

【 0 0 8 5 】

1 インダクタアセンブリ

50

2	磁心	
3	中央脚	
4	相脚	
5	中間点	
6	シャント要素	
7	ギャップ	
8	上部インダクタコイル	
9	下部インダクタコイル	
10、11	相脚部	
13	ブリッジ	10
15、16	ギャップ	
20、21、22、23	端子	
24、25、26、27	磁束	
30	電力供給システム	
31	DCリンク	
32	出力	
33	制御ユニット	
34	出力フィルタ	
35、37	出力	
36、38	ハーフブリッジ	20
39、40、41	スイッチ	
42、43、44	スイッチ	
45	制御線	
46	コンデンサ	
47、48	電流センサ	
50a、50b	クロック信号	
60	電力供給システム	
61	入力	
62	出力	
63	制御ユニット	30
64	スイッチングセル	
65a、65b	スイッチング経路	
66	半導体スイッチ	
67	半導体スイッチ	
68	相互接続点	
69	制御線	
V_{in}	入力電圧	
V_{out}	出力電圧	
I_1 、 I_2	電流	
、 I_1 、 I_2	磁束	40

【 1 a 】

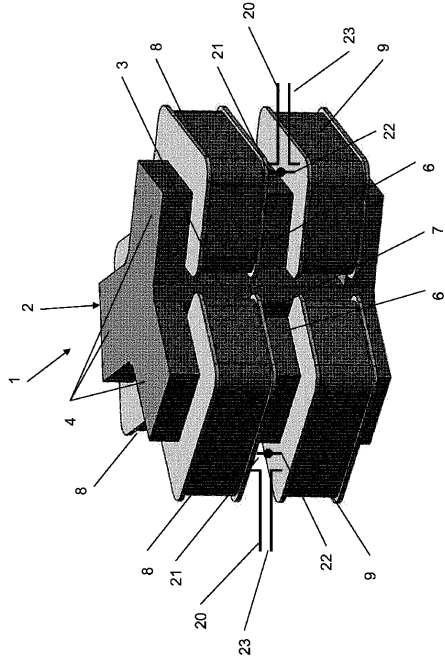


Fig. 1a

【 1 b 】

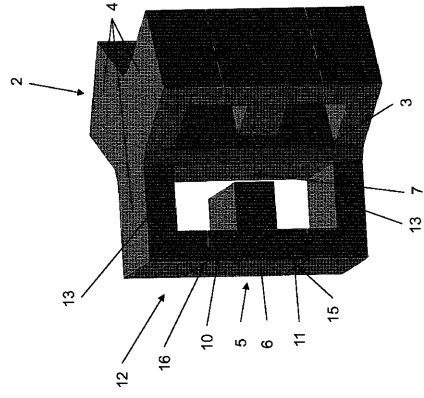


Fig. 1b

【 1 c 】

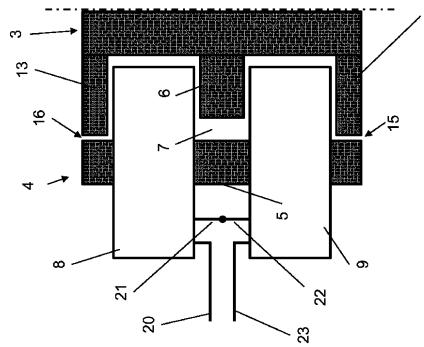


Fig. 1c

【 1 d 】

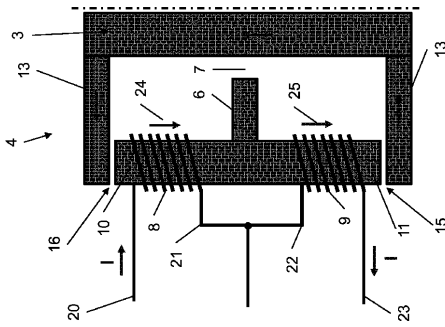


Fig. 1d

【 1 f 】

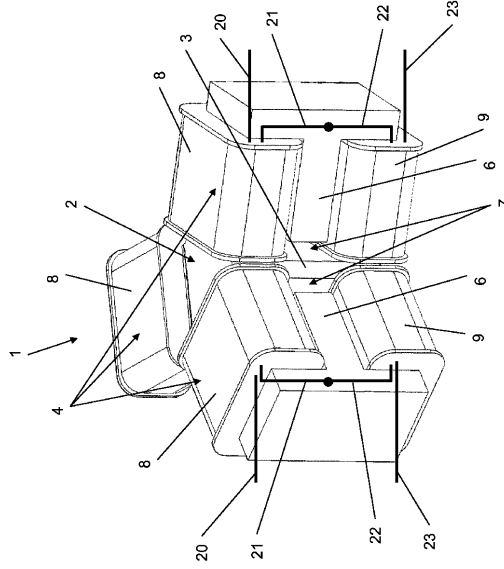


Fig. 1f

【 1 e 】

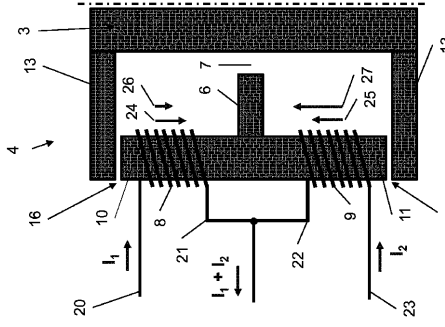
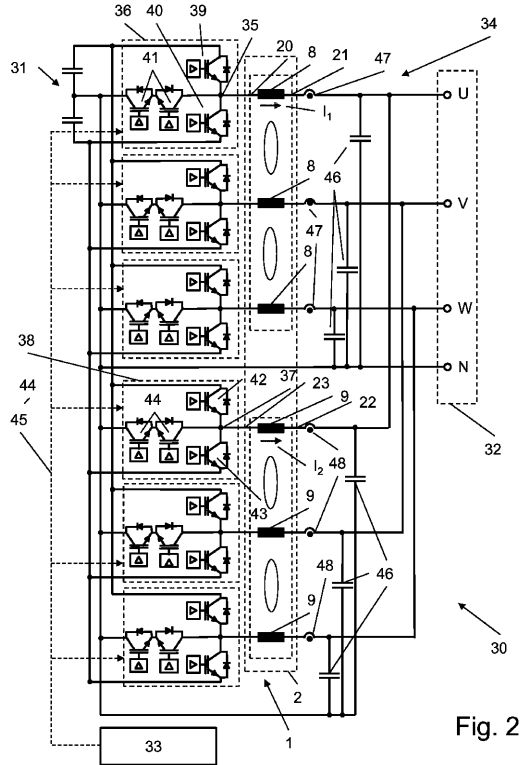
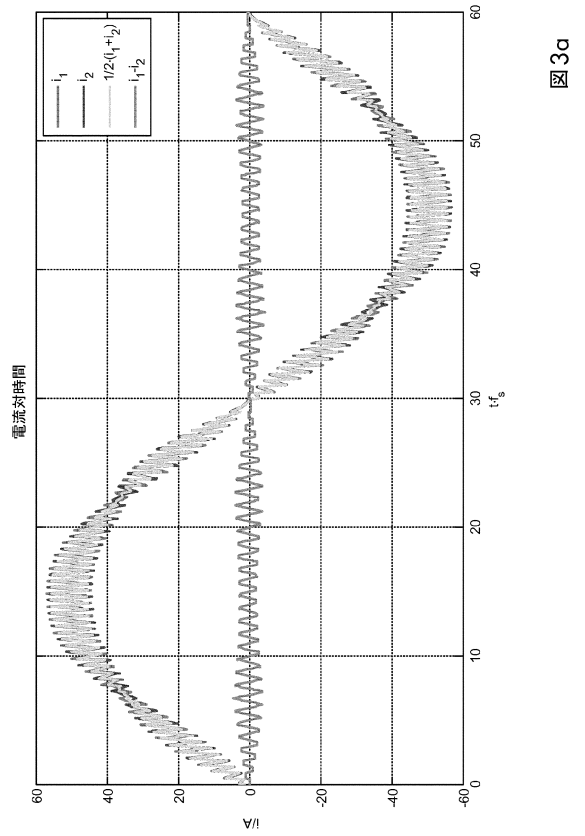


Fig. 1e

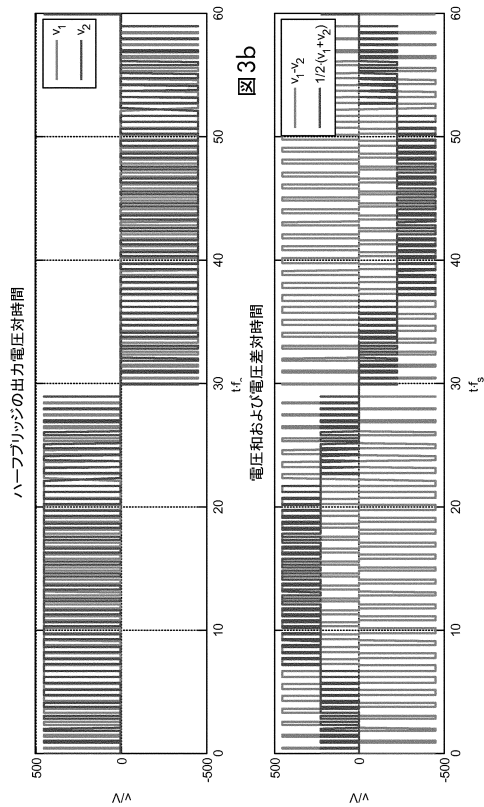
【 図 2 】



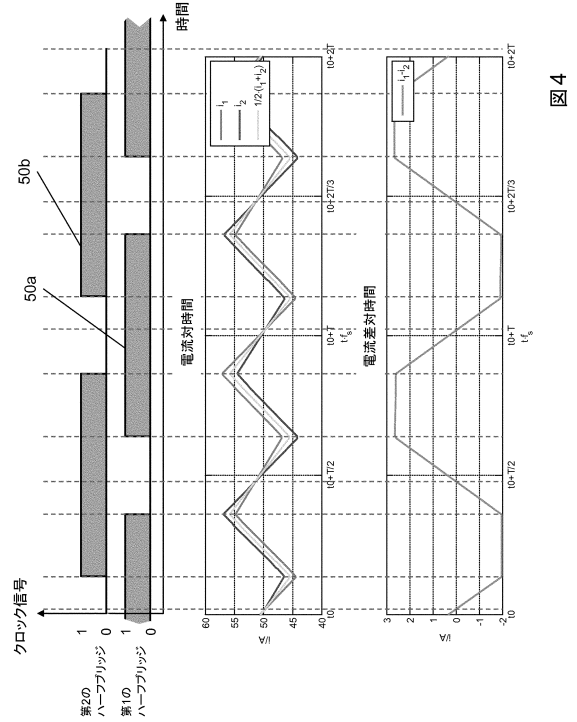
【 図 3 a 】



【 図 3 b - 3 c 】



【 図 4 】



【 5 a 】

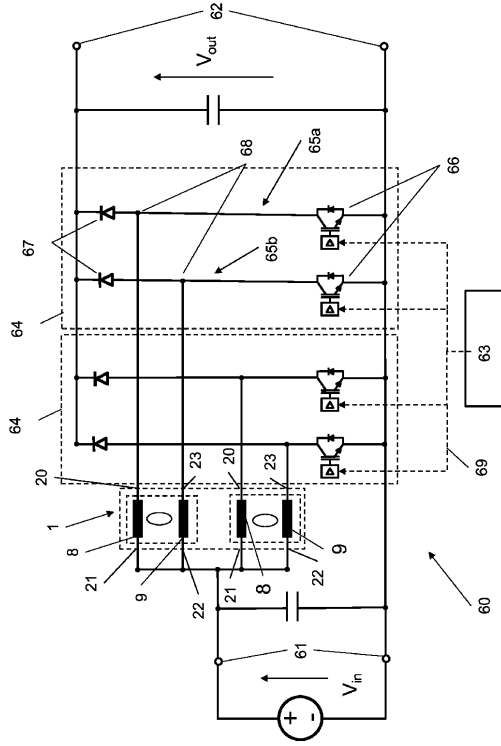


Fig. 5a

【 5 b 】

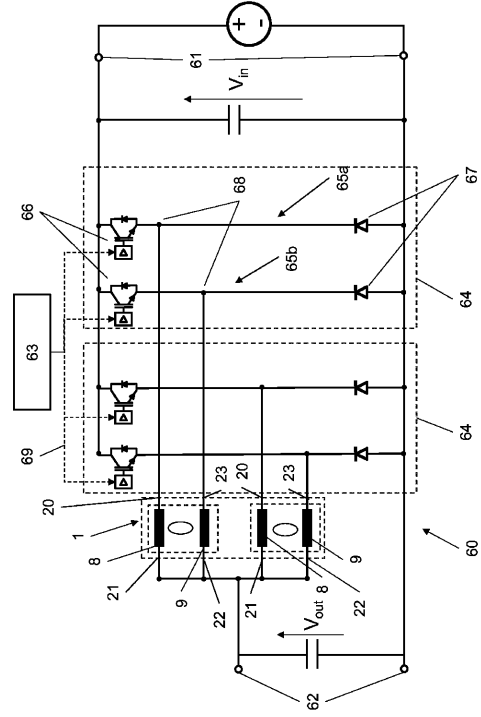


Fig. 5b

フロントページの続き

- (51)Int.Cl. F I
 H 0 2 M 3/155 W
 H 0 2 M 3/155 Z
 H 0 1 F 27/24 H
 H 0 1 F 27/24 F
- (72)発明者 リルコ, マレク
 ポーランド共和国 4 3 - 3 0 0 ビエルスコ - ビャワ, ウリツァ リブニツカ 4 0 ア
- (72)発明者 ハンドツェル, ミウオシュ
 ポーランド共和国 3 1 - 2 6 6 クラクフ, グリツァナ 2 / 2 6
- (72)発明者 シャレク, ミウオシュ
 ポーランド共和国 3 0 - 1 2 6 クラクフ, スタンチカ 1 4 / 1 1 1
- (72)発明者 カキ, マルチン
 ポーランド共和国 3 2 - 7 3 1 ジェゴチナ, タクタゴルナ 2 4 3
- (72)発明者 ムラヴァ, アルトゥール
 ポーランド共和国 3 2 - 0 8 7 ビピツェ, グラニチュナ 1 0 3 エ
- (72)発明者 オトヴィノウスキ, ピオトル
 ポーランド共和国 3 0 - 6 1 1 クラクフ, フランチスカ プヤカ 1 6 ア / 5 4

審査官 木下 直哉

- (56)参考文献 米国特許出願公開第 2 0 1 3 / 0 3 0 1 3 2 7 (U S , A 1)
 特開 2 0 1 3 - 1 9 8 2 1 1 (J P , A)
 特開平 4 - 1 4 5 8 7 0 (J P , A)
 実開昭 5 4 - 1 3 1 0 5 5 (J P , U)
 Ghanshyamsinh Gohil, et.al., Integrated inductor for interleaved operation of two parallel three-phase voltage converters, 2015 17th European Conference on Power Electronics and Applications, [online], 2 0 1 5 年 1 0 月 2 9 日, [令和1年5月30日検索], インターネット, U R L , <https://ieeexplore.ieee.org/abstract/document/7309432>
 P. Zumei, et.al., Magnetic integration for interleaved converters, Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003, [online], 2 0 0 3 年 2 月 1 9 日, 第1143-1149頁, [令和1年5月30日検索], インターネット, U R L , <https://ieeexplore.ieee.org/abstract/document/1179360>
 John Salmon, et.al., PWM Inverters Using Split-Wound Coupled Inductors, IEEE Transactions on Industry Applications, 2 0 0 9 年 9 月 1 5 日, Volume 45, Issue 6, 第2001-2009頁, [令和1年5月30日検索], インターネット, U R L , <https://ieeexplore.ieee.org/abstract/document/5238611>

(58)調査した分野(Int.Cl., DB名)

H 0 1 F 3 7 / 0 0
 H 0 1 F 2 7 / 2 4
 H 0 2 M 3 / 1 5 5
 H 0 2 M 7 / 4 8
 H 0 2 M 7 / 4 8 7
 I E E E X p l o r e