



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월10일  
(11) 등록번호 10-1418190  
(24) 등록일자 2014년07월03일

(51) 국제특허분류(Int. Cl.)  
H01L 33/36 (2010.01)  
(21) 출원번호 10-2012-7014255(분할)  
(22) 출원일자(국제) 2005년03월30일  
심사청구일자 2012년06월01일  
(85) 번역문제출일자 2012년06월01일  
(65) 공개번호 10-2012-0079172  
(43) 공개일자 2012년07월11일  
(62) 원출원 특허 10-2006-7027948  
원출원일자(국제) 2005년03월30일  
심사청구일자 2010년03월26일  
(86) 국제출원번호 PCT/US2005/010868  
(87) 국제공개번호 WO 2006/011936  
국제공개일자 2006년02월02일  
(30) 우선권주장  
10/881,814 2004년06월30일 미국(US)  
(56) 선행기술조사문헌  
JP2003017742 A\*  
US20030180980 A1  
US20040066820 A1  
W02003058772 A2  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
크리 인코포레이티드  
미국 노쓰 캐롤라이나 27703-8475 더럼 실리콘 드라이브 4600  
(72) 발명자  
하베런 케빈  
미국 노쓰 캐롤라이나 27511 캐리 롱브릿지 드라이브 105  
버그만 마이클 존  
미국 노쓰 캐롤라이나 27516 채플 힐 하이드어웨이 드라이브 5700  
(뒷면에 계속)  
(74) 대리인  
백만기, 정은진, 양영준

전체 청구항 수 : 총 17 항

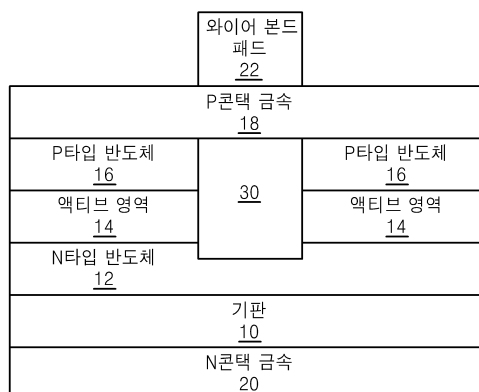
심사관 : 진수영

(54) 발명의 명칭 전류 차단 구조들을 가지는 발광소자들 및 전류 차단 구조들을 가지는 발광소자들의 제조방법들

(57) 요약

와이어 본드 패드 바로 아래에서 전류 차단 메커니즘을 가지는 발광소자들 및 발광소자들의 제조방법들이 제공된다. 상기 전류 차단 메커니즘은 소자의 액티브 영역에서 감소된 도전 영역일 수 있다. 상기 전류 차단 메커니즘은 콘택이 그 위에 형성되는 데미지 영역일 수 있다. 상기 전류 차단 메커니즘은 소자의 오믹 콘택과 액티브 영역 사이에 쇼트키 콘택일 수 있다. PN 접합과 같은 반도체 접합이 또한 오믹 콘택과 액티브 영역 사이에 제공될 수 있다.

대표도 - 도1



(72) 발명자

**미에츠크우스키 반**

미국 노쓰 캐롤라이나 27516 아펙스 글렌 아보 드  
라이브4316

**에머슨 데이비드 토드**

미국 노쓰 캐롤라이나 27707 더럼 윈트호프 코트  
15

**에드몬드 존**

미국 노쓰 캐롤라이나 27511 케리 더블유. 줄스 베  
른웨이 206

## 특허청구의 범위

### 청구항 1

반도체 물질의 액티브 영역;

제1 콘택 상에 본드 패드 영역을 가지는, 상기 액티브 영역 상의 상기 제1 콘택;

상기 제1 콘택의 상기 본드 패드 영역의 바로 아래인 상기 액티브 영역에 위치하고 상기 제1 콘택의 상기 본드 패드 영역의 바로 아래인 영역에서 상기 액티브 영역을 관통하는 전류 흐름을 감소시키도록 구성되는 감소된 도전 영역; 및

상기 액티브 영역에 전기적으로 연결된 제2 콘택;을 포함하고,

상기 감소된 도전 영역은 주입된(implanted) 영역을 포함하는 발광소자.

### 청구항 2

제1항에 있어서, 상기 감소된 도전 영역은 상기 제1 콘택에서 상기 액티브 영역까지 신장하는 발광소자.

### 청구항 3

제1항에 있어서, 상기 감소된 도전 영역은 제1 콘택에서 상기 액티브 영역을 향하여 신장하는 발광소자.

### 청구항 4

제1항에 있어서, 상기 감소된 도전 영역은 제1 콘택에서 상기 액티브 영역을 관통하여 신장하는 발광소자.

### 청구항 5

제1항에 있어서, 상기 감소된 도전 영역은 상기 액티브 영역을 관통하여 신장하는 발광소자.

### 청구항 6

제1항에 있어서, 상기 제1 콘택과 상기 액티브 영역 사이에 위치하는 p-타입 반도체 물질을 더 포함하고, 상기 감소된 도전 영역은 상기 제1 콘택에서 신장하여, 상기 p-타입 반도체 물질을 관통하고 상기 액티브 영역을 관통하는 발광소자.

### 청구항 7

제1항에 있어서, 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함하는 발광소자.

### 청구항 8

제1항에 있어서, 상기 본드 패드 영역에서 상기 제1 콘택 상에 본드 패드를 더 포함하는 발광소자.

### 청구항 9

제8항에 있어서, 상기 감소된 도전 영역은 상기 본드 패드와 자기 정렬된 발광소자.

### 청구항 10

제1항에 있어서, 상기 감소된 도전 영역은 절연 영역을 포함하는 발광소자.

### 청구항 11

제10항에 있어서, 상기 감소된 도전 영역은 빛을 흡수하지 않는 영역을 포함하는 발광소자.

### 청구항 12

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

반도체 물질의 액티브 영역;

상기 액티브 영역 상의 쇼트키 콘택;

상기 액티브 영역 및 상기 쇼트키 콘택 상의 제1 오믹 콘택; 및

상기 액티브 영역과 전기적으로 연결된 제2 오믹 콘택;을 포함하고,

상기 쇼트키 콘택 상의 상기 제1 오믹 콘택의 일부는 상기 제1 오믹 콘택의 본드 패드 영역에 대응하는 것을 특징으로 하는 발광소자.

**청구항 24**

제23항에 있어서, 상기 제1 오믹 콘택의 상기 본드 패드 영역 상에 본드 패드를 더 포함하는 발광소자.

**청구항 25**

제23항에 있어서, 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함하는 발광소자.

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

**청구항 31**

삭제

**청구항 32**

삭제

**청구항 33**

반도체 물질의 액티브 영역을 형성하는 단계;

상기 액티브 영역 상에 쇼트키 콘택을 형성하는 단계;

상기 액티브 영역 및 상기 쇼트키 콘택 상에 제1 오믹 콘택을 형성하는 단계; 및

상기 액티브 영역에 전기적으로 연결되는 제2 오믹 콘택을 형성하는 단계;를 포함하고,

상기 쇼트키 콘택 상의 상기 제1 오믹 콘택의 일부는 상기 제1 오믹 콘택의 본드 패드 영역에 대응하는 발광소자의 제조방법.

**청구항 34**

제33항에 있어서, 상기 제1 오믹 콘택의 상기 본드 패드 영역 상에서 본드 패드를 형성하는 단계를 더 포함하는 발광소자의 제조방법.

**청구항 35**

제33항에 있어서, 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함하는 발광소자의 제조방법.

**청구항 36**

삭제

**청구항 37**

삭제

**청구항 38**

삭제

**청구항 39**

삭제

**청구항 40**

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

## 명세서

### 기술분야

[0001] 본 발명은 반도체 발광소자들 및 이들의 제조방법들에 관련이 있다.

### 배경기술

[0002] 발광 다이오드(LED)들 또는 레이저 다이오드들과 같은 반도체 발광소자들은 많은 어플리케이션들에 대해서 널리 사용된다. 당업자들에게 널리 알려진 것처럼, 반도체 발광소자는 에너지를 받았을 때 간접성 및/또는 비간접성 빛을 방출하도록 형성되는 하나 또는 그 이상의 반도체 층들을 가지는 반도체 발광 요소를 포함한다. 당업자들에게 널리 알려진 것처럼, 발광 다이오드 또는 레이저 다이오드는 일반적으로 마이크로 전자공학적인(microelectronic) 기판 상에 다이오드 영역을 포함한다. 상기 마이크로 전자공학적인 기판은 예를 들어 갈륨비소, 갈륨인화물, 그들의 합금, 탄화규소 및/또는 사파이어일 수 있다. LED들에서의 연속적인 발전들은 가시적 및 비가시적인 스펙트럼을 커버할 수 있도록 고효율적이고 기계적으로 강건한 광 소스들을 출현하게 하였다. 고상 소자들의 잠재적으로 긴 동작 수명과 함께 이러한 특징들은 다양한 새로운 디스플레이 어플리케이션들을 가능하게 할 수 있고, 웰 인트렌치된(well entrenched) 백열 및 형광 램프들과 경쟁하는 위치에 LED들을 있게 할 수 있다.

[0003] 많은 개발 관심사 및 상업적 활동은 탄화규소에 또는 탄화규소 상에 제조되는 LED들에 집중되고 있는데, 이러한 LED들은 가시적인 스펙트럼 중에서 청색/녹색 부분들의 복사를 방출할 수 있기 때문이다. 예를 들어, "Blue Light-Emitting Diode With High External Quantum Efficiency"라는 명칭으로 Edmond 등이 발명하고 본 출원의 출원인에게 양도된 미국 특허 5,416,342를 참조할 수 있는데, 상기 발명의 내용은 여기에서 전부 설명된 것처럼 전체로 인용되어 여기에서 통합된다. 탄화규소 기판들 상의 갈륨 질화물계 다이오드 영역들을 포함하는 LED들에 또한 많은 관심이 있어 왔는데, 이러한 소자들도 고효율의 빛을 방출할 수 있기 때문이다. 예를 들어, "Pendeoepitaxial Gallium Nitride Semiconductor Layers On Silicon Carbide Substrate"라는 명칭으로 Linthicum 등이 발명한 미국 특허 6,177,688을 참조할 수 있는데, 상기 발명의 내용은 여기에서 전부 설명된 것처럼 전체로 여기에서 인용되어 여기에 통합된다.

[0004] 통상적인 LED들의 효율은 그들의 액티브 영역에 의해 발생하는 빛을 모두 방출할 수 있는 능력의 한계에 의해 제한될 수 있다. LED가 에너지를 받았을때, 액티브 영역에서의(모든 방향으로) 발광은, 예를 들어 광 흡수 와이어 본드 패드에 의해 LED를 벗어나는 것이 방해받을 수 있다. 전형적으로, 갈륨 질화물계 LED들에서는, 발광소자의 단면에 걸쳐 캐리어 주입(carrier injection)의 균일도를 향상시키기 위하여 전류 확산(current

spreading) 콘택층이 제공될 수 있다. 전류는 본드 패드 및 p-타입 콘택을 통하여 LED의 p-사이드를 향하여 주입된다. 소자의 액티브 영역에서 발생하는 빛은 캐리어 주입에 비례한다. 따라서, 액티브 영역에 걸쳐 본질적으로 균일한 광자 방출은, 본질적으로 투명한 p-타입 콘택층과 같은 전류 확산층의 사용에 기인한다. 그러나, 와이어 본드 패드는 전형적으로 투명한 구조가 아니고, 따라서 와이어 본드 패드 상에 입사되는, LED의 액티브 영역에서 방출되는 광자들은 상기 와이어 본드 패드에 의해 흡수될 수 있다. 예를 들어, 어떠한 경우들에서는 와이어 본드 패드 상에 입사되는 빛의 약 70%가 흡수될 수 있다. 그러한 광자의 흡수는 LED에서 나오는 빛의 양을 감소시킬 수 있고 LED의 효율을 감소시킬 수 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 효율이 향상된 발광소자들 및 발광소자들의 제조방법을 제공하는 것이다.

### 과제의 해결 수단

[0006] 본 발명의 어떠한 실시예들은 반도체 물질의 액티브 영역; 상기 액티브 영역 상의 제1 콘택;을 포함하는 발광소자들 및/또는 발광소자들의 제조방법들을 제공한다. 제1 콘택은 상기 제1 콘택 상에 본드 패드 영역을 가진다. 감소된 도전 영역은 상기 제1 콘택의 상기 본드 패드 영역의 바로 아래인 상기 액티브 영역에 위치하고 상기 제1 콘택의 상기 본드 패드 영역의 바로 아래인 상기 영역에서 상기 액티브 영역을 관통하는 전류 흐름을 차단하기 위하여 구성된다. 제2 콘택은 상기 액티브 영역에 전기적으로 연결된다.

[0007] 본 발명의 다른 실시예들에서는, 상기 감소된 도전 영역은 제1 콘택에서 상기 액티브 영역을 관통하여 신장한다. 상기 감소된 도전 영역은 상기 제1 콘택에서 상기 액티브 영역까지, 상기 액티브 영역을 향하여 또는 상기 액티브 영역을 관통하여 신장할 수 있다. 상기 제1 콘택과 상기 액티브 영역 사이에 p-타입 반도체 물질이 배치될 수 있다. 그러한 경우에, 상기 감소된 도전 영역은 상기 제1 콘택에서 신장하여, 상기 p-타입 반도체 물질을 관통하고 상기 액티브 영역을 관통할 수 있다.

[0008] 본 발명의 부가적인 실시예들에서는, 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함한다. 상기 본드 패드 영역에서 제1 콘택 상에 본드 패드가 또한 제공될 수 있다. 상기 감소된 도전 영역은 상기 본드 패드와 자기 정렬될 수 있다. 상기 감소된 도전 영역은 절연 영역일 수 있다. 상기 감소된 도전 영역은 빛을 흡수하지 않는 영역일 수도 있다. 상기 감소된 도전 영역은 주입된(implanted) 영역을 포함할 수 있다.

[0009] 본 발명의 다른 실시예들에서는, III족-질화물계 액티브 영역; 상기 액티브 영역 상의 III족-질화물계 층의 직접 상에 있는 제1 콘택;을 포함하는 발광소자들 및 발광소자들의 제조방법들이 제공된다. 상기 제1 콘택은 상기 III족-질화물계 층과 오믹 콘택을 만드는 제1 부분 및 상기 III족-질화물계 층과 오믹 콘택을 만들지 않는 제2 부분을 가진다. 상기 제2 부분은 상기 제1 콘택의 본드 패드 영역에 대응한다. 제2 콘택은 상기 액티브 영역에 전기적으로 연결된다.

[0010] 본 발명의 추가적인 실시예들에서는, 상기 제2 부분은 상기 III족-질화물계 층과 상기 제1 콘택 사이의 계면에서 데미지의 영역에 대응한다. 상기 데미지의 영역은 상기 III족-질화물계 층의 습식 또는 건식 식각된 영역, 고에너지 플라즈마에 노출된 상기 III족-질화물계 층 및/또는 제1 콘택의 영역, H<sub>2</sub>에 노출된 상기 III족-질화물계 층의 영역 및/또는 고에너지 레이저에 노출된 상기 III족-질화물계 층의 영역을 포함할 수 있다.

[0011] 본 발명의 다른 실시예들에서는, 상기 제1 콘택의 상기 본드 패드 영역 상에 와이어 본드 패드가 제공될 수 있다. 더욱이, 상기 제1 콘택은 백금층을 포함할 수 있고, 상기 백금층은 본질적으로 투명(transparent)할 수 있다. 또한, 상기 데미지의 영역 및 상기 와이어 본드 패드는 자기 정렬될 수 있다.

[0012] 본 발명의 다른 실시예들에서는, 반도체 물질의 액티브 영역; 상기 액티브 영역 상의 쇼트키 콘택; 상기 액티브 영역 및 상기 쇼트키 콘택 상의 제1 오믹 콘택;을 포함하는 발광소자들 및 발광소자들의 제조방법들이 제공된다. 상기 쇼트키 콘택 상의 상기 제1 오믹 콘택의 일부는 상기 제1 오믹 콘택의 본드 패드 영역에 대응한다. 제2 오믹 콘택은 상기 액티브 영역과 전기적으로 연결된다. 제1 오믹 콘택의 상기 본드패드 영역 상에 본드 패드가 제공될 수 있다. 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함할 수 있다.

[0013] 본 발명의 다른 실시예들에서는, 반도체 물질의 액티브 영역; 및 상기 액티브 영역 상의 제1 오믹 콘택;을 포함

하는 발광소자들 및 발광소자들의 제조방법들이 제공된다. 상기 제1 오믹 콘택의 제1 부분은 제1 도전 타입의 반도체 물질의 영역 직접 상에 위치하고, 상기 제1 오믹 콘택의 제2 부분은 상기 제1 도전 타입의 반대인 제2 도전 타입의 반도체 물질의 영역 직접 상에 위치한다. 상기 제2 부분은 상기 제1 오믹 콘택의 본드 패드 영역에 대응한다. 제2 오믹 콘택은 상기 액티브 영역에 전기적으로 연결된다. 상기 제2 도전 타입의 반도체 물질의 영역은 제2 도전 타입 반도체 물질의 층(layer)을 포함할 수 있다. 상기 제1 도전 타입의 반도체 물질의 영역은 상기 제1 도전 타입의 반도체 물질의 층을 포함할 수 있고, 상기 제2 도전 타입의 반도체 물질의 영역은 상기 제1 도전 타입의 반도체 물질의 층으로 배치될 수 있다. 상기 액티브 영역은 III족-질화물계 액티브 영역을 포함할 수 있다. 상기 제1 오믹 콘택의 상기 본드 패드 영역 상에 본드 패드가 또한 제공될 수 있다.

### 발명의 효과

[0014] 본 발명에 의한 발광소자들 및 발광소자들의 제조방법들에 의하면, 발광소자에서 나오는 빛의 양을 증가시킬 수 있고 발광소자의 효율을 증가시킬 수 있다.

### 도면의 간단한 설명

[0015] 도 1은 본 발명의 어떠한 실시예들에 따른 전류 차단 구조를 가지는 반도체 발광소자들을 도해하는 단면도이다.

도 2A 및 2B는 본 발명의 어떠한 실시예들에 따른 반도체 소자들의 제조를 도해하는 단면도들이다.

도 3 및 4는 본 발명의 다른 실시예들에 따른 발광소자들의 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 이제 본 발명은 발명의 실시예들을 도시한 첨부된 도면들을 참조하여 이하에서 더욱 상세하게 설명된다. 본 발명은 여기에서 설명되는 실시예들에 한정되어 해석되어서는 안된다. 오히려, 이러한 실시예들은 본 명세서가 철저하고 완전하기 위하여 그리고 당업자들에게 본 발명의 범위를 충분히 전달하기 위하여 제공된다. 도면들에서는, 층들 및 영역들의 두께는 명확성을 위해 과장된다. 본 발명에 걸쳐 동일한 참조번호들은 동일한 요소들을 참조한다. 여기에서 사용되는 "및/또는"이라는 용어는 관련되어 기재된 항목들의 하나 또는 그 이상의 어떠한 그리고 모든 조합들을 포함한다.

[0017] 여기에서 사용되는 용어는 단지 특별한 실시예들을 기술하기 위한 것이며 발명을 한정하기 위한 것이 아니다. 여기에서 사용되는 것처럼, 단수의 표현들은, 문맥이 다르게 명시하지 않는다면, 복수의 표현들도 포함하고자 한다. 본 명세서에서 "포함한다" 및/또는 "포함하는"이라는 용어들이 사용될 때는, 언급된 특징들, 정수들, 단계들, 동작들, 요소들 및/또는 구성성분들의 존재를 명기하는 것이며, 하나 또는 그 이상의 다른 특징들, 정수들, 단계들, 동작들, 요소들, 구성성분들 및/또는 그들의 집합의 존재 또는 추가를 배제하는 것이 아니라는 것을 나아가 이해할 수 있다.

[0018] 층, 영역 또는 기판과 같은 하나의 요소가 다른 요소의 "상에(on)" 존재한다거나 다른 요소를 "향하여(onto)" 신장한다고 언급될 때는, 상기 하나의 요소는 다른 요소의 직접 상에(directly on) 존재할 수 있거나 다른 요소를 직접 향하여(directly onto) 신장할 수 있고 또는 중간을 개재하는 요소들이 존재할 수도 있다는 것이 이해될 수 있다. 반대로, 하나의 요소가 다른 요소의 "직접 상에" 존재한다거나 다른 요소를 "직접 향하여" 신장한다고 언급될 때는, 중간을 개재하는 요소들이 존재하지 않는다. 하나의 요소가 다른 요소에 "연결된다"거나 "결합된다"라고 언급될 때는, 상기 하나의 요소는 다른 요소에 직접 연결된다거나 직접 결합될 수 있고 또는 중간을 개재하는 요소들이 존재할 수도 있다고 이해될 수도 있다. 반대로, 하나의 요소가 다른 요소에 "직접 연결된다"거나 "직접 결합된다"라고 언급될 때는, 중간을 개재하는 요소들이 존재하지 않는다. 본 발명에 걸쳐서, 동일한 참조번호들은 동일한 요소들을 참조한다.

[0019] 여기에서 제1, 제2 등의 용어들이 다양한 요소(element)들, 구성성분(component)들, 영역들, 층들 및/또는 부분(section)들을 기술하기 위하여 사용되더라도 이러한 요소들, 구성성분들, 영역들, 층들 및/또는 부분들은 이러한 용어들에 의해 제한되어서는 안 된다는 것이 이해될 수 있다. 이러한 용어들은 하나의 요소, 구성성분, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여 사용될 뿐이다. 따라서, 아래에서 기술되는 제1 요소, 구성성분, 영역, 층 또는 부분은 본 발명의 취지에서 벗어나지 않으면서 제2 요소, 구성성분, 영역, 층 또는 부분으로 명명될 수 있다.

[0020] 더욱이, "하부의" 또는 "바닥" 및 "상부의" 또는 "정상"과 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 하나의 요소의 다른 요소들에 대한 관계를 기술하기 위하여 여기에서 사용될 수 있다. 상대적인 용어들은 도면



들에서 묘사되는 방향에 부가하여 소자의 다른 방향들을 포함하고자 하는 것이라고 이해될 수 있다. 예를 들어, 도면들에서의 소자가 뒤집힌다면, 다른 요소들의 "하부의" 면에 존재한다고 기술되는 요소들은 상기 다른 요소들의 "상부의" 면에 방향을 가질 수 있다. 따라서, "하부의"라는 전형적인 용어는 도면의 특정한 방향에 의존하여 "하부의" 및 "상부의" 방향 모두를 포함할 수 있다. 유사하게, 도면들 중의 하나에서의 소자가 뒤집힌다면, 다른 요소들의 "아래에" 또는 다른 요소들의 "바로 아래에" 있다고 기술되는 요소들은 상기 다른 요소들의 "위에" 방향을 가질 수 있다. 따라서, "의 아래에 또는 "의 바로 아래에"라는 전형적인 용어들은 위에 및 아래의 두 방향을 포함할 수 있다.

[0021] 본 발명의 실시예들은 여기에서 본 발명의 이상화된 실시예들을 개요적으로 도해하는 단면도들을 참조하여 설명된다. 그 결과, 도면들의 형태들로부터의 변동들, 결국, 예를 들어, 제조 기술들 및/또는 공차들의 변동들이 예상될 수 있다. 따라서, 본 발명의 실시예들은 여기에서 도해되는 영역들의 특별한 형태들에 한정하여 해석되어서는 안되고, 예를 들어, 제조에서 기인하는 형태들의 변동들을 포함하여야 한다. 예를 들어, 사각형으로 도해되거나 기술되는 식각된 영역은 통상적으로 원형 또는 곡선의 형태들을 가질 수 있다. 따라서, 도면들에서 도해되는 영역들은 본질적으로 개요적이고, 그들의 형태들은 소자의 영역의 정확한 형태를 도해하기 위함이 아니고 본 발명의 범위를 한정하기 위함이 아니다.

[0022] 다르게 정의되지 않는다면, 여기에서 사용되는 모든 용어들(공학적 및 과학적 용어들을 포함하는)은 본 발명이 속하는 기술분야의 보통의 기술을 가진 자에 의해 통상적으로 이해되는 동일한 의미를 가진다. 통상적으로 사용되는 사전들에서 정의되는 용어들과 같은 용어들은 관련 기술분야의 문장에서의 그들의 의미와 일치하는 의미를 가지는 것으로 해석되어야 하고, 여기에서 명시적으로 정의하지 않는 한 이상적 또는 지나치게 형식적인 의미로 해석되어서는 안된다.

[0023] 다른 형태에 "인접하여" 배치되는 구조 또는 형태라는 표현은 상기 인접하는 형태에 위로 덮는 또는 아래에 있는 부분들을 가질 수도 있다는 것이 당업자들에게 이해될 수도 있다.

[0024] 여기에서 개시된 LED들의 다양한 실시예들은 기관을 포함하지만, LED를 포함하는 에피택셜층들이 그 위에 성장하는, 결정질 에피택셜 성장 기관이 제거될 수도 있고, 원래의 기관보다 더 나은 열적, 전기적, 구조적 및/또는 광학적 특성들을 가질수 있는 대체 캐리어 기관 또는 서브마운트 상에 독립된 에피택셜층들이 장착될 수 있다는 것이 당업자들에게 이해될 수 있다. 여기에서 기술되는 발명은 결정질 에피택셜 성장 기관을 가지는 구조에 한정되지는 않으며, 에피택셜층들이 원래의 성장 기관들에서 제거되고 대체 캐리어 기관들에 결합되는 구조와 연결되어 사용될 수 있다.

[0025] 본 발명의 어떠한 실시예들은 와이어 본드 패드 또는 다른 광 흡수 구조의 바로 아래의 영역에 있는 소자의 액티브 영역에서의 전류 흐름을 감소 및/또는 방지함으로써 발광소자의 개선된 효율을 제공할 수 있다. 따라서, 본 발명의 어떠한 실시예들은 상기 와이어 본드 패드 아래에서 전류 차단(blocking) 메커니즘을 가지는 발광소자들 및 발광소자들의 제조방법들을 제공할 수 있다. 전류가 상기 와이어 본드 패드 직접 바로 아래로 주입되는 것을 감소 또는 방지함으로써, 상기 와이어 본드 패드의 아래에 있지 않는 소자의 영역들에서 상기 전류가 광자 방출로 더 많이 변환될 수도 있다. 따라서, 상기 와이어 본드 패드에 의해 빛이 흡수되는 가능성이 낮아질 수 있다. 본 발명의 어떠한 실시예들에서는, 본 발명의 어떠한 실시예들에 따른 발광소자의 효율성의 증가는 상기 와이어본드 패드의 크기에 비례할 수 있다.

[0026] 본 발명의 실시예들은 III족-질화물계 소자들처럼 질화물계 발광소자들에서 사용하는 것이 특별히 더욱 적합할 수 있다. 여기에서 사용되는 것처럼, "III족-질화물"이라는 용어는 질소와 통상적으로 알루미늄(Al), 갈륨(Ga) 및/또는 인듐(In)과 같은 주기율표에서의 III족 원소들 사이에 형성되는 반도체성 화합물(semiconducting compound)들을 지칭한다. 상기 용어는 또한 AlGa<sub>N</sub> 및 AlInGa<sub>N</sub>과 같은 3원 및 4원 화합물들을 지칭한다. 당업자들에 의해 잘 이해되는 것처럼, III족 원소들은 이원(예를 들어 GaN), 삼원(예를 들어 AlGa<sub>N</sub>, AlIn<sub>N</sub>) 및 4원(예를 들어 AlInGa<sub>N</sub>) 화합물들을 형성하기 위하여 질소와 결합할 수 있다. 이러한 화합물들은 모두 질소 1몰이 III족 원소들의 전체 1몰과 결합되는 경험식들을 가진다. 따라서 Al<sub>1-x</sub>Ga<sub>x</sub>N(여기에서 0 ≤ x ≤ 1)와 같은 공식들은 흔히 이러한 화합물들을 기술하기 위하여 사용된다. 그러나, 본 발명의 실시예들이 갈륨 질화물계 발광소자들과 같은 III족-질화물계 발광소자들을 참조하여 여기에서 기술되지만, 본 발명의 어떤 실시예들은 예를 들어, GaAs 및/또는 GaP계 소자들과 같이 다른 반도체 발광소자들에서 사용하는 것이 적합할 수 있다.

[0027] 본 발명의 어떠한 실시예들에 따른 발광소자들은 발광 다이오드, 레이저 다이오드 및/또는 다른 반도체 소자를 포함할 수 있는데, 상기 다른 반도체 소자는 실리콘, 탄화규소, 갈륨 질화물 및/또는 다른 반도체 물질들을 포함할 수 있는 하나 또는 그 이상의 반도체층들; 사파이어, 실리콘, 탄화규소 및/또는 다른 마이크로 전자공학적인

인 기관들을 포함할 수 있는 기관; 그리고 금속 및/또는 다른 도전성층들을 포함할 수 있는 하나 또는 그 이상의 콘택층들;을 포함한다. 어떠한 실시예들에서 자외선, 블루 및/또는 그린 LED들이 제공될 수 있다. 반도체 발광소자들의 설계 및 제조방법은 당업자들에게 널리 알려져 있고 여기에서 상세하게 설명될 필요가 없다.

[0028] 예를 들어, 본 발명의 어떠한 실시예들에 따른 발광소자들은, 북캐롤라이나 더햄(Durham)의 Cree사에 의해 제조되고 판매되는 소자들과 같은 탄화규소 기관 상에 제조되는 갈륨 질화물계 LED 및/또는 레이저 구조들과 같은 구조들을 포함할 수 있다. 본 발명은 미국 특허 번호 6,201,262; 6,187,606; 6,120,600; 5,912,477; 5,739,554; 5,631,190; 5,604,135; 5,523,589; 5,416,342; 5,393,993; 5,338,944; 5,210,051; 5,027,168; 5,027,168; 4,966,862 및/또는 4,918,497에서 기술되는 것과 같은 액티브 영역들을 제공하는 LED 및/또는 레이저 구조들을 사용하는 것에 적합할 수 있으며, 상기 발명들의 내용은 여기에서 전부 설명된 것처럼 인용하여 여기에서 통합된다.

[0029] "Light Emitting Diodes Including Modifications for Light Extraction and Manufacturing Methods Therefor"라는 명칭으로 공개된 미국 특허 공개번호 US2002/0123164 A1 뿐만 아니라, "Group III Nitride Based Light Emitting Diode Structures With a Quantum Well and Superlattice, Group III Nitride Based Quantum Well Structure and Group III Nitride Based Superlattice Structures"라는 명칭으로 2003년 1월 9일에 공개된 미국 특허 공개번호 US 2003/0006418 A1에서 다른 적합한 LDE 및/또는 레이저 구조들이 기술된다. 더욱이, "Phosphor-Coated Light Emitting Diodes Including Tapered Sidewalls and Fabrication Methods Therefor"이라는 명칭으로 2003년 9월 9일에 출원되고 상기 발명의 명세서의 내용은 전부 설명된 것처럼 여기에서 인용하여 통합되는 미국 출원 일련번호 10/659,241에서 기술되는 것처럼 인광체로 코팅된 LED들이 또한 본 발명의 실시예들에서 사용하기가 적합할 수 있다. LED들 및/또는 레이저들은 발광이 상기 기관을 통하여 발생하여 동작되도록 구성될 수 있다. 어떤 실시예들에서는 예를 들어 상기 언급한 미국 특허 공개 번호 US 2002/0123164 A1에서 기술된 것처럼 소자들의 광출력(light output)을 개선하기 위하여 기관이 패터닝될 수 있다. 이러한 구조들은 본 발명의 어떠한 실시예들에 따른 차단 구조들을 제공하기 위하여 여기에서 기술된 것처럼 변형될 수 있다.

[0030] 따라서, 예를 들어, 본 발명의 실시예들은 다른 형태들 또는 크기들의 본드 패드들을 가지는 발광소자에서 사용될 수 있다. 탄화규소, 사파이어, 갈륨 질화물, 실리콘 또는 III족 질화물 소자들을 제공하기 위하여 적합한 다른 기관과 같은 다른 기관들 상에 발광소자들이 위치할 수 있다. 상기 발광소자들은 적합한 캐리어 상에서 후속의 싱글레이션(singulation) 및 마운팅(mounting)에 적합할 수 있다. 상기 발광소자들은 예를 들어, 단일 양자 우물(well), 다중 양자 우물 및/또는 벌크 액티브 영역 소자들을 포함할 수 있다. 본 발명의 어떠한 실시예들은 소자의 p-사이드 상의 터널링 콘택을 이용하는 소자들에서 사용될 수 있다.

[0031] 도 1은 본 발명의 어떠한 실시예들에 따른 발광소자의 개요적인 단면도이다. 도 1을 참조하면, n-타입 탄화규소 기관과 같은 기관(10)은 그 상에 제공되는 갈륨 질화물계층과 같은 임의의(optional) n-타입 반도체층(12)을 가진다. n-타입 반도체층(12)은 예를 들어 버퍼층들 등과 같은 다중층들을 포함할 수 있다. 본 발명의 어떠한 실시예들에서는, n-타입 반도체층(12)은 균일한 조성 또는 경사(gradient) 조성을 가질 수 있는 실리콘으로 도핑된 AlGaIn층 및 실리콘으로 도핑된 GaIn층으로 제공된다.

[0032] 탄화규소 기관을 인용하여 여기에서 기술되지만, 본 발명의 어떠한 실시예에서는 다른 기관 물질들이 사용될 수 있다. 예를 들어, 사파이어 기관, GaN 또는 다른 기관 물질이 사용될 수 있다. 그러한 경우에는, 콘택(20)이 소자의 제2 콘택을 제공하기 위하여 예를 들어 n-타입 반도체층(12)과 접촉하는 리세스(recess)에서 위치할 수 있다. 다른 구성들이 또한 사용될 수 있다.

[0033] 단일 또는 이중 헤테로 구조, 양자 우물, 다중-양자 우물 또는 다른 그러한 액티브 영역과 같은 액티브 영역(14)이 n-타입 반도체층 상에 제공될 수 있다. 여기에서 사용되는 것처럼, "액티브 영역"이라는 용어는, 하나 또는 그 이상의 층들 및/또는 그들의 부분들일 수 있는, 발광소자의 반도체 물질의 영역을 지칭하는데, 상기 영역에서는 동작중에 소자에 의해 방출되는 광자들의 본질적인 부분이 캐리어 재결합(recombination)에 의해 발생된다. 본 발명의 어떠한 실시예들에서는, 상기 액티브 영역은 상기 소자에 의해 방출되는 본질적으로 모든 광자들이 캐리어 재결합에 의해 발생하는 영역을 지칭한다.

[0034] 임의의 p-타입 반도체층(16)이 또한 도 1에서 도해된다. p-타입 반도체 물질층(16)은 예를 들어, GaIn층과 같은 갈륨 질화물계층일 수 있다. 본 발명의 특별한 실시예들에서는, p-타입 반도체층(16)은 마그네슘 도핑된 GaIn을 포함한다. p-타입 반도체층(16)은 하나 또는 다중의 층들을 포함할 수 있고, 균일한 조성 또는 경사 조성일 수 있다. 본 발명의 어떠한 실시예들에서는, p-타입 반도체층(16)은 액티브 영역(14)의 일부이다.

- [0035] p-타입 반도체 물질층(16)에 오믹 콘택을 제공하는 콘택 금속의 제1 콘택 금속층(18)이 또한 제공될 수 있다. 어떤 실시예들에서는, 제1 콘택 금속층(18)은 전류 확산층으로서 기능을 할 수 있다. 상기 p-타입 반도체 물질층(16)이 GaN인 본 발명의 특별한 실시예들에서는, 제1 콘택 금속층(18)은 백금(Pt)일 수 있다. 본 발명의 어떠한 실시예들에서는, 제1 콘택 금속층(18)은 광투과성(light permeable)이고, 어떠한 실시예들에서는 본질적으로 투명하다(transparent). 어떠한 실시예들에서는, 제1 콘택 금속층(18)은 상대적으로 얇은 백금층이다. 예를 들어, 제1 콘택 금속층(18)은 약 54Å 두께의 백금층일 수 있다. 와이어 본드 패드(22) 또는 다른 광 흡수 영역은 제1 콘택 금속층(18) 상에 제공된다.
- [0036] n-타입 반도체 물질에 오믹 콘택을 제공하는 콘택 금속의 제2 콘택 금속층(20)이 또한 제공된다. 제2 콘택 금속층(20)은 액티브 영역(14)의 반대편인 기판(10)의 일면 상에 제공될 수 있다. 위에서 언급한 것처럼, 본 발명의 어떠한 실시예들에서는 제2 콘택 금속층은 n-타입 반도체 물질층(12)의 일부 상에, 예를 들어 상기 액티브 영역을 포함하는 리세스 또는 메사(mesa)의 바닥면에, 제공될 수 있다. 더욱이, 본 발명의 어떠한 실시예들에서는, 임의의 후면 주입(implant) 또는 부가적인 에피택셜층들이 기판(10)과 제2 콘택금속층(20) 사이에 제공될 수 있다.
- [0037] 도 1에서 더 도해되는 것처럼, 감소된 도전 영역(reduced conduction region, 30)이 액티브 영역(14)에 제공되고, 와이어 본드 패드(22)의 바로 아래에(beneath) 위치한다. 본 발명의 어떠한 실시예들에서는, 상기 감소된 도전 영역(30)이 액티브 영역(14)을 관통하여 신장한다. 여기에서 사용되는 것처럼, 감소된 도전은 액티브 영역의 다른 부분들에 비하여 감소된 전류 흐름을 가지는 영역을 지칭한다. 특별한 실시예들에서는, 상기 감소는 크기에서 적어도 하나의 차수(order)이고 어떠한 실시예들에서는 본질적으로 모든 전류 흐름이 상기 감소된 도전 영역에서 차단(block)된다. 본 발명의 어떠한 실시예들에서는, 감소된 도전 영역(30)은 액티브 영역(14)을 관통하여 신장한다. 본 발명의 다른 실시예들에서는, 감소된 도전 영역(30)은 제1 콘택 금속층(18)에서 액티브 영역(14)까지 신장한다. 어떠한 실시예들에서는, 상기 감소된 도전 영역은 제1 콘택 금속층(18)에서 액티브 영역(14)을 향하여(into) 신장한다. 어떠한 실시예들에서는, 상기 감소된 도전 영역은 제1 콘택층(18)에서 액티브 영역(14)을 관통하여 신장한다. 감소된 도전 영역(30)은 본질적으로 제1 콘택 금속층(18) 상의 와이어 본드 패드(22)의 영역과 동일한 형태 및/또는 영역을 가질 수 있다. 본 발명의 다른 실시예들에서는 감소된 도전 영역(30)이 와이어 본드 패드(22)보다 다소 작은 영역을 가지는데, 본 발명의 어떠한 실시예들에서는 감소된 도전 영역(30)은 와이어 본드 패드(22)보다 다소 큰 영역을 가진다. 본 발명의 어떤 실시예들에서는, 감소된 도전 영역(30)은 빛을 흡수하지 않거나 상대적으로 소량의 빛을 흡수할 뿐이다. 본 발명의 어떠한 실시예들에서는, 감소된 도전 영역(30)은 절연 영역이다.
- [0038] 감소된 도전 영역(30)은 와이어 본드 패드(22)의 바로 아래에 있는 영역에 있는 액티브 영역(14)을 관통하는 전류의 흐름을 감소 및/또는 방해할 수 있고, 따라서 이 영역에서 캐리어 재결합을 통한 광 발생을 감소 및/또는 방해할 수 있다. 특별한 동작 이론에 의해 구속받지 않더라도, 와이어 본드 패드(22)의 바로 아래에 있지 않는 액티브 영역의 일부에서 광자가 발생된다면, 와이어 본드 패드(22)의 바로 아래에 있는 액티브 영역의 일부에서 발생하는 광자가 와이어 본드 패드(22)에 의해 흡수되는 가능성이 더 높을 수 있기 때문에, 이것은 당연할 수 있다. 와이어 본드 패드(22)의 바로 아래에 있는 액티브 영역에서 발생하는 빛을 감소 또는 제거함으로써, 와이어 본드 패드(22)에 의해 흡수되는, 발광소자에 의해 발생하는 빛의 일부가 감소될 수 있다. 소정의 동작 조건들에서, 와이어 본드 패드(22)에 의해 흡수되는 광량의 이러한 감소는, 와이어 본드 패드(22)의 바로 아래에 위치하는 영역에서 빛이 발생하는 동일한 조건들 하에서 동작되는 소자와 비교하여, 발광소자에서의 증가된 광추출을 도출할 수 있다. 따라서, 본 발명의 어떠한 실시예들은 와이어 본드 패드(22)의 바로 아래에 위치하는 영역에 있는 액티브 영역(14)을 향하여(into), 그리고 어떠한 실시예들에서는, 관통하여(through) 신장하는 감소된 도전 영역(30)을 제공한다. 이것은 캐리어들이 확산하고 와이어 본드 패드(22)의 바로 아래에 있는 액티브 영역으로 주입(inject)되고 따라서 와이어 본드 패드(22)의 바로 아래에 위치하는 영역에서 광자가 발생할 수 있는 가능성을 감소시킬 수 있다.
- [0039] 도 2A 및 2B는 도 1에 도해된 감소된 도전 영역을 가지는 발광소자들을 형성하는 본 발명의 어떤 실시예들에 따른 오퍼레이션(operation)들을 도해한다. 도 2A에서 도시된 것처럼, 발광소자의 다양한 층들/영역들이 제조된다. 발광소자의 제조에서의 특별한 오퍼레이션들은 제조되는 구조에 의존하고, 앞에서 인용되어 통합되고 그리고/또는 당업자들에게 널리 알려진, 미국 특허들 및/또는 출원들에서 기술되므로 여기에서 반복될 필요는 없다. 도 2A는 와이어 본드 패드(22)가 형성되어지는 영역에 대응하는 개구부(window, 42)를 가지는 마스크(40)의 형성을 또한 도해한다.
- [0040] 도 2B에 도시된 것처럼 감소된 도전 영역(30)을 형성하기 위하여, 와이어 본드 패드(22)의 영역에서 액티브 영



역(14)을 향하여 원자들을 주입하기 위해 마스크(40)를 사용하여 주입이 수행된다. 그러한 주입은, 예를 들어 질소 주입이 될 수 있다. 예를 들어, 갈륨 질화물계 소자에 대하여,  $60\text{keV}$ ,  $2 \times 10^{13} \text{ cm}^{-3}$  질소의 주입 조건들은 마그네슘이 도핑된 GaN의 비흡수 및 절연 영역을 생산할 수 있다. 특별한 주입 에너지 및/또는 원자들은 감소된 도전 영역(30)이 형성되는 구조에 의존할 수 있다.

[0041] 도 2B에서 도시된 것처럼, 주입 이후에, 와이어 본드패드(22)가 개구부(42)에 형성될 수 있다. 따라서, 본 발명의 어떠한 실시예들에서는, 와이어 본드 패드(22) 및 감소된 도전 영역(30)은 자기 정렬될 수 있다. 와이어 본드 패드(22)는 예를 들어 와이어 본드 패드(22)가 형성되는 금속의 층 또는 층들을 형성하고 그 다음에 와이어 본드 패드(22)를 제공하기 위해 상기 층들을 평탄화하는 단계에 의해 형성될 수 있다. 마스크(40)은 이어서 제거될 수 있다. 선택적으로, 마스크(40)는  $\text{SiO}_2$  및/또는 AlN과 같은 절연물질로 구성될 수 있고, 예를 들어, 패시베이션 층으로서 소자 상에 잔류할 수 있거나 혹은 제거될 수 있다.

[0042] 도 3은 본 발명의 다른 실시예들에 따른 발광소자들을 도해한다. 도 3에서, 제1 콘택 금속층(18)은 p-타입 반도체 물질층(16)에 옴릭 콘택을 제공하는 p-타입 반도체 물질층(16)과 접촉하는 제1 부분(55) 및 p-타입 반도체 물질층(16)에 옴릭 콘택을 형성하지 않는 p-타입 반도체 물질층(16)과 접촉하는 제2 부분(57)을 포함한다. 여기에서 사용되는 것처럼 "옴릭 콘택"이라는 용어는 약  $10e^{-03} \text{ ohm-cm}^2$  보다 낮은 콘택 비저항(specific contact resistivity)을 지칭하고, 어떠한 실시예들에서는 약  $10e^{-04} \text{ ohm-cm}^2$  보다 낮은 콘택 비저항을 지칭한다. 따라서, 정류하는(rectifying) 또는 약  $10e^{-03} \text{ ohm-cm}^2$  보다 큰 높은 콘택 비저항을 가지는 콘택은 여기에서 사용되는 용어로서의 옴릭 콘택이 아니다.

[0043] 제2 부분(57)은 와이어 본드 패드(22)의 위치에 대응한다. 옴릭 콘택을 형성하지 않음으로써, 부분(57)에서 p-타입 반도체 물질층(16)을 향한 전류 주입은 감소 및/또는 방해될 수 있다. 옴릭 콘택을 형성하지 않는 부분(57)은 와이어 본드 패드(22)의 바로 아래에 위치하는 영역에서 p-타입 반도체층(16) 및/또는 제1 콘택 금속층(18)에 데미지(damage)를 가함으로써 제공될 수 있다.

[0044] 예를 들어, 갈륨 질화물계 소자들에서, 콘택 금속과 p-타입 반도체 물질간의 계면 수준은 도출되는 옴릭 콘택의 질을 결정할 수 있다. 따라서, 예를 들어, 영역(50)에서의 p-타입 반도체 물질층(16)은 제1 콘택 금속층(18)을 형성하기 이전에 p-타입 전도도를 감소시키기 위하여 아르곤(Ar)과 같은 고에너지 플라즈마에 노출될 수 있다. 또한, 영역(50)에서의 p-타입 반도체 물질층(16) 및 제1 콘택 금속층(18)은 제1 콘택 금속층(18)의 형성 이후에 금속/GaN 계면에 데미지를 가하기 위하여 고에너지 플라즈마에 노출될 수 있다. 제1 콘택 금속층(18)을 형성하기 이전에 p-타입 반도체 물질층(16)의 다른 영역들을 보호하면서 영역(50)에서의 p-타입 반도체 물질(16)은 수소( $\text{H}_2$ )에 노출될 수 있다. 제1 콘택 금속층(18)을 형성하기 이전에, 영역(50)에서의 p-타입 반도체 물질(16)은 p-타입 반도체 물질층(16)의 다른 영역들을 보호하는 동안 습식식각 또는 건식식각될 수 있다. 또한, 영역(50)의 p-타입 반도체 물질층(16)은 제1 콘택 금속층(18)의 형성 이전에 p-타입 반도체 물질(16)의 다른 영역들을 보호하면서 고에너지 레이저에 노출될 수 있다.

[0045] p-타입 반도체 물질층(16) 및/또는 금속층(18)의 그러한 선택적인 데미지를 가하는 단계는, 예를 들어 도 2A 및 2B를 참고로 하여 앞에서 기술되는 마스크를 사용하고 그리고/또는 레이저를 조절함으로써 제공될 수 있다. 사용되는 특별한 조건들은 사용되는 절차 및 p-타입 반도체 물질층(16) 및/또는 제1 콘택 금속층(18)의 구성에 의존하여 변할 수 있다.

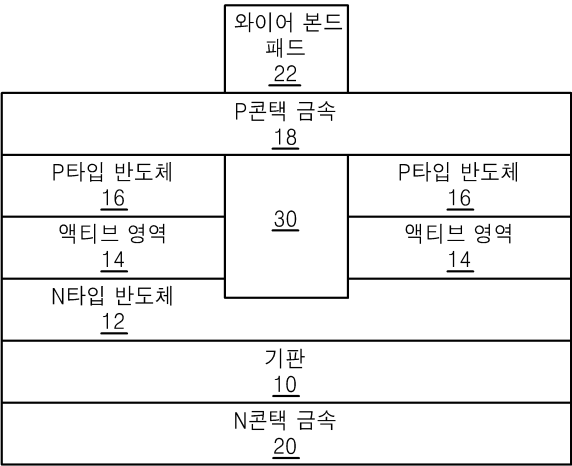
[0046] 도 4는 본 발명의 다른 실시예들에 따른 발광소자들을 도해한다. 도 4에서, 쇼트키 콘택(60)이 p-타입 반도체 물질층(16) 상에 제공되고, 제1 콘택 금속층(18')이 p-타입 반도체 물질층(16) 및 쇼트키 콘택(60) 상에 형성된다. 와이어 본드 패드(22)는 쇼트키 콘택(60) 상의 제1 콘택 금속층(18') 상에 제공된다. 쇼트키 콘택(60)을 형성함으로써, 제1 콘택 금속층(18')에서부터 p-타입 반도체 물질층(16)으로 향한 전류 주입은 쇼트키 콘택(60)의 영역에서 감소 및/또는 방해될 수 있다.

[0047] 대안적으로, 와이어 본드 패드(22)의 아래에 위치한 영역에서 정류 접합(rectifying junction)이 제공될 수 있다. 정류 접합은 예를 들어 와이어 본드 패드(22)의 바로 아래에 위치하는 영역을 n-타입 반도체 물질로 변환하기 위하여 p-타입 반도체 물질층(16)에 n-타입 이온들로 주입함으로써 제공될 수 있다. 그러한 주입은 예를 들어 도 2A 및 2B를 참고로 하여 앞에서 설명된 것처럼 마스크를 사용하여 수행될 수 있다. 대안적으로, 도 4에서 쇼트키 콘택이 도해진 위치에서 n-타입 물질의 영역이 형성될 수 있고, n-타입 반도체 물질 및 p-타입 반도체 물질층(16)의 영역 상에 제1 콘택 금속층(18')이 형성될 수 있다.

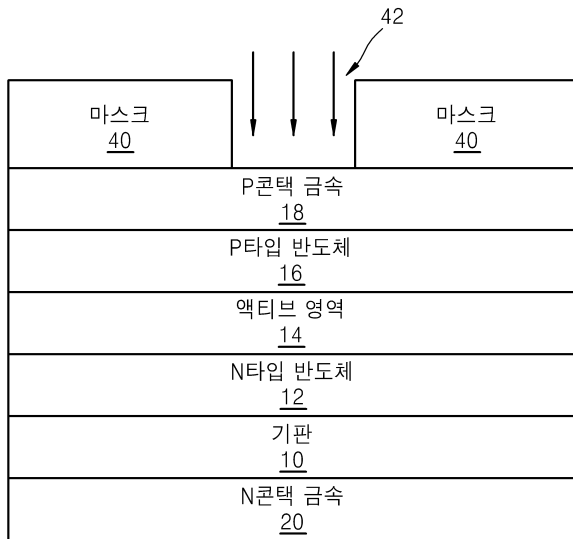
- [0048] 본 발명의 실시예들이 도 1 내지 4에서 특별한 발광소자 구조를 참고로 하여 도해되지만, 본 발명의 어떠한 실시예들에 따라 다른 구조들이 제공될 수 있다. 따라서, 본 발명의 실시예들은 앞에서 설명된 것처럼 하나 또는 그 이상의 다양한 전류 차단 메커니즘들을 포함하는 모든 발광 구조에 의해 제공될 수 있다. 예를 들어, 본 발명의 어떠한 실시예들에 따른 전류 차단 메커니즘들은 앞에서 인용하여 통합된 미국 특허들 및/또는 출원들에서 기술된 전형적인 발광소자와 결합하여 제공될 수 있다.
- [0049] 본 발명의 실시예들은 와이어 본드 패드(22)를 참고로 하여 기술되어 왔다. 여기에서 사용된 것처럼, 본드 패드라는 용어는 광 흡수 콘택 구조를 지칭한다. 본드 패드는 단일 또는 다중 층들일 수 있고, 금속 및/또는 금속 합금일 수 있고, 그리고/또는 균일한 조성 또는 불균일한 조성일 수 있다.
- [0050] 더욱이, 본 발명의 실시예들이 특별한 오퍼레이션의 순서를 참고로 하여 기술되었지만, 기술된 순서로부터 변동들이 본 발명의 기술적 사상에서 여전히 이득을 얻으면서 제공될 수 있다. 따라서, 둘 또는 그 이상의 단계들이 여기에서 기술되는 순서의 수행되는 단일 단계 또는 단계들과 결합될 수 있다. 예를 들어, 감소된 도전 영역(30)은 제2 콘택 금속층(20)을 형성하기 이전에 또는 이후에 형성될 수 있다. 따라서, 본 발명의 실시예들은 여기에서 다르게 언급하지 않는다면 여기에서 기술되는 오퍼레이션들의 특별한 순서에 한정되어 해석되어서는 안 된다.
- [0051] 발명의 다양한 실시예들은 도 1-4와 연결되어 개별적으로 기술된 것이 당업자들에게 이해될 수 있다. 그러나, 도 1-4의 실시예들의 조합들 및 부조합들이 본 발명의 다양한 실시예들에 따라 제공될 수 있다.
- [0052] 도면 및 명세서에서, 발명의 실시예들이 개시되었고 그리고, 특별한 용어들이 사용되었지만, 그들은 일반적이고 기술적인 의미로만 사용되고 한정된 목적으로 사용되지는 않으며, 발명의 범위는 다음의 특허청구범위들에서 기술된다.

도면

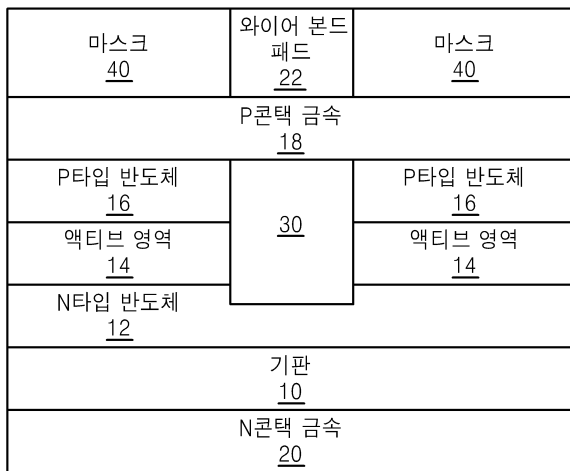
도면1



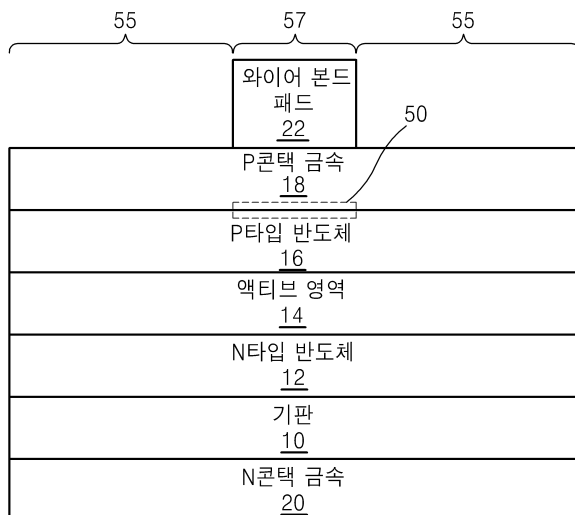
도면2a



도면2b



도면3



도면4

