

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014991 A1

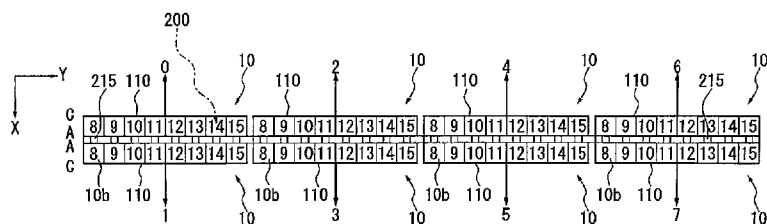
- (51) 国際特許分類:
G01T 1/24 (2006.01)
- (21) 国際出願番号: PCT/JP2011/067306
- (22) 国際出願日: 2011年7月28日(28.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-170370 2010年7月29日(29.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 日立コンシューマエレクトロニクス株式会社(HITACHI CONSUMER ELECTRONICS CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川内 秀貴(KAWAUCHI Hidetaka) [JP/JP]; 〒1018971 東京都千代田区外神田4丁目14番1号 日立電線株式会社内 Tokyo (JP). 須永 義則(SUNAGA Yoshinori) [JP/JP]; 〒1018971 東京都千代田区外神田4丁目14番1号 日立電線株式会社内 Tokyo (JP). 高橋 勲(TAKAHASHI Isao) [JP/JP]; 〒1018971 東京都千代田区外神田4丁目14番1号 日立電線株式会社内 Tokyo (JP).
- (74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.); 〒1040032 東京都中央区八丁堀二丁目7番1号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: RADIATION DETECTOR CARD

(54) 発明の名称: 放射線検出器カード

図4



(57) Abstract: A radiation detector card of the present invention has a plurality of semiconductor elements provided on a substrate. Each of the semiconductor elements has a plurality of first electrodes that are provided on one main surface, and a second electrode that is provided on the other main surface, and the substrate has first electrode wiring, which is electrically connected to each of the first electrodes, and a card edge unit, which transmits signals to an external electric circuit, said signals having been transmitted from the semiconductor elements. The second electrode is associated with a second electrode identifier which identifies each of the semiconductor elements, and the first electrodes are associated with first electrode identifiers which identify the first electrodes, respectively. The first electrode wiring electrically connects together the first electrode associated with one of the first electrode identifiers in one of the semiconductor elements, and the first electrode associated with the same first electrode identifier in another one of the semiconductor elements.

(57) 要約: 本発明に係る放射線検出器カードは、基板上に複数の半導体素子を具備する放射線検出器カードであって、前記半導体素子のそれぞれは、一方の主表面に設けられた複数の第1電極と、他方の主表面に設けられた第2電極とを有し、前記基板は、前記複数の第1電極のそれぞれに電氣的に接続する第1電極用配線と、前記複数の半導体素子からの信号を外部の電気回路に伝達するカードエッジ部とを有し、前記第2電極は、前記複数の半導体素子のそれぞれを識別する第2電極用識別子に対応づけられ、前記複数の第1電極は、該複数の第1電極のそれぞれを識別する第1電極用識別子に対応づけられ、前記第1電極用配線は、前記複数の半導体素子の一の半導体素子において前記第1電極用識別子の一に対応づけられた前記第1電極と、他の一の半導体素子において同一の前記第1電極用識別子の一に対応づけられた前記第1電極とを電氣的に接続している。

WO 2012/014991 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：放射線検出器カード

技術分野

[0001] 本発明は、放射線検出器カードに関する。特に、本発明は、 γ 線やX線等の放射線を検出する放射線検出器カードに関する。

背景技術

[0002] 従来の放射線検出器として、例えば、特許文献1には、半導体素子と、前記半導体素子の一方の面に取り付けられたアノード電極と、前記半導体素子の他方の面に取り付けられたカソード電極と、一端側がアノード電極及びカソード電極のうち少なくとも一方の電極に接続され、他端側が前記電極からストレートに延びて当該電極からの信号を出力する信号線とを備えた半導体放射線検出器が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-109269号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載された半導体放射線検出装置は、ソケットボード実装基板の検出面側に複数の半導体放射線検出器から構成される放射線検出ユニットが設置され、ソケットボード実装基板の反対面側に放射線検出信号を処理する計測回路ユニットが設置されている。特許文献1によると、該半導体放射線検出器は、検出器の周囲の信号線の配線構造が簡素化されているため、複数の検出器を組み合わせたときに信号線によるデッドスペースを防止することができる」とされている。その結果、複数の半導体放射線検出器を稠密に設置でき、検出感度を高めるとともに、継ぎ目による不均一さをなくすことができる」とされている。しかしながら、特許文献1の半導体放射線検出装置は、放射線検出ユニット内部の配線構造が複雑になりやすく、製造容易性の

観点から配線構造の更なる改善が課題となっていた。

[0005] したがって、本発明の目的は、複数の半導体素子を具備する放射線検出器の内部における該複数の半導体素子とそれらに接続される電子部品との間の配線構造を簡素化できる放射線検出器カードを提供することにある。

課題を解決するための手段

[0006] 本発明の1つの態様は、基板上に複数の半導体素子を具備する放射線検出器カードであって、前記半導体素子のそれぞれは、一方の主表面に設けられた複数の第1電極と、他方の主表面に設けられた第2電極とを有し、前記複数の第1電極のそれぞれと前記第2電極との間で放射線を検出可能な複数のピクセル領域が構成され、前記基板は、前記複数の第1電極のそれぞれに電氣的に接続する第1電極用配線と、前記複数の半導体素子からの信号を外部の電気回路に伝達するカードエッジ部とを有し、前記第2電極は、前記複数の半導体素子のそれぞれを識別する第2電極用識別子に対応づけられ、前記複数の第1電極は、該複数の第1電極のそれぞれを識別する第1電極用識別子に対応づけられ、前記第1電極用配線は、前記複数の半導体素子の一の半導体素子において前記第1電極用識別子の一に対応づけられた前記第1電極と、他の一の半導体素子において同一の前記第1電極用識別子の一に対応づけられた前記第1電極とを電氣的に接続している放射線検出器カードを提供する。

[0007] また、本発明は、上記の態様において、以下のような改良や変更を加えることができる。

(i) 前記基板は、前記複数の第1電極のそれぞれに電氣的に接続する複数の素子接続部を含み前記複数の半導体素子が搭載される素子搭載部と、前記第2電極に電氣的に接続される第2電極側電子部品が搭載される第2電極側電子部品搭載部と、前記第2電極側電子部品搭載部から離れた位置に設けられ前記第1電極に電氣的に接続される第1電極側電子部品が搭載される第1電極側電子部品搭載部とを有し、前記第1電極用配線は、前記複数の素子接続部と第1電極側電子部品とを電氣的に接続し、前記カードエッジ部は、前

記第 2 電極側電子部品及び第 1 電極側電子部品からの信号を前記外部の電気回路に伝達するエッジ配線パターンを含む。

(i i) 前記複数の半導体素子は、前記基板を対称面として前記基板の両面に設けられ、前記基板の一方の面に設けられた前記第 1 電極用配線と、前記基板の他方の面に設けられた前記第 1 電極用配線とは、前記基板を正面透視したときに、互いに重ならないように配置されている。

(i i i) 前記カードエッジ部の前記エッジ配線パターンは、高電圧が掛かる高電圧用端子と、前記高電圧用端子よりも低い電圧が掛かる複数の低電圧用端子とを含み、前記高電圧用端子と前記低電圧用端子との間の距離が、前記複数の低電圧用端子間の距離よりも大きい。

(i v) 前記基板にはビアホールが設けられており、前記基板の一方の面に設けられた一の半導体素子の前記複数の第 1 電極と、前記基板の他方の面で前記一の半導体素子の対称の位置に設けられた半導体素子の前記複数の第 1 電極とが、前記ビアホールを介して電氣的に接続されている。

(v) 前記外部の電気回路は、前記第 2 電極からの信号と、前記複数の第 1 電極の内の一からの信号とに基づいて、前記放射線が入射した前記ピクセル領域を特定する。

発明の効果

[0008] 本発明によれば、複数の半導体素子を具備する放射線検出器の内部における該複数の半導体素子とそれらに接続される電子部品との間の配線構造を簡素化した放射線検出器カードを提供することができる。

図面の簡単な説明

[0009] [図1A]本発明の実施形態に係る放射線検出器カードの一例を示す斜視模式図である。

[図1B]本発明の実施形態に係る放射線検出器カードが備える半導体素子の一例を示す側面模式図である。

[図2]本発明の実施形態に係る放射線検出器カードが備える基板の一例を示す正面模式図である。

[図3A]本発明の実施形態に係る放射線検出器カードのアノード用配線の配置例を示す部分拡大正面模式図である。

[図3B]図3Aに示したアノード用配線の部分拡大断面模式図である。

[図3C]本発明の実施形態に係る放射線検出器カードの基板に設けられるビアホールの一例およびその周辺部分を示す部分拡大断面模式図である。

[図4]本発明の実施形態に係る放射線検出器カードからの信号の読み出し方法の概要を示す模式図である。

発明を実施するための形態

[0010] [実施の形態]

(放射線検出器カード1の構成の概要)

図1Aは、本発明の実施形態に係る放射線検出器カードの一例を示す斜視模式図である。本実施の形態に係る放射線検出器カード1は、カード型の形状を呈し、 γ 線やX線等の放射線200を検出する放射線検出器カードである。図1Aに示したように、放射線200は、図中の上方から下方に向かって進行している。言い換えると、放射線200は、放射線検出器カード1の半導体素子10からカードホルダ30及びカードホルダ31に向かう方向に沿って進行して放射線検出器カード1に到達する。そして、放射線200は、放射線検出器カード1の半導体素子10の側面（つまり、図1Aの上方に面している面）に入射する。すなわち、半導体素子10の側面が放射線200の入射面となっている。このように、半導体素子10の側面を放射線200の入射面とする放射線検出器カードを、本実施の形態ではエッジオン型の放射線検出器カードと称する。

[0011] なお、放射線検出器カード1は、特定の方向（例えば、放射線検出器カード1に向かう方向）に沿って進行してくる放射線200が通過する複数の開口を有するコリメータ（例えば、マッチドコリメータ、ピンホールコリメータ等）を介して放射線200を検出する複数の放射線検出器カード1が並べられて構成されるエッジオン型の放射線検出装置として用いることもできる。

[0012] 具体的には、放射線検出器カード1は、放射線200を検出可能な対向した一对の半導体素子10と、半導体素子10を搭載するための薄い基板20と、対向した一对の半導体素子10の隣接部分にて基板20を挟み込むことにより基板20を支持するカードホルダ30及びカードホルダ31とを備える。図1においては、本実施形態の一例として、対向した一对の半導体素子10が4組あり、基板20を挟み込むように基板20に搭載される。言い換えると、各組の一对の半導体素子10は、基板20の一方の面と他方の面とのそれぞれに基板20を対称面として対称の位置に搭載される。

[0013] 基板20は、カードホルダ30とカードホルダ31とに挟み込まれて支持される。カードホルダ30とカードホルダ31との形状に特段の限定はないが、図1では、それぞれ同一形状に形成されている。挟み込み方としては、例えば、カードホルダ30が有する溝付穴34にカードホルダ31が有する突起部36が嵌め合うと共に、カードホルダ31が有する溝付穴34（図示しない）にカードホルダ30が有する突起部36（図示しない）が嵌め合うことにより基板20を支持する。

[0014] 放射線検出器カード立て（図示せず）に複数の放射線検出器カード1を挿入し安定して支持できるように、板ばね等から構成される弾性部材実装部32aがカードホルダ30、31に取り付けられ、放射線検出器カード立てに放射線検出器カード1が挿入された場合に放射線検出器カード1と放射線検出器カード立てとが押し付けられる。また、放射線検出器カード立てはカードエッジ部29が挿入されるコネクタを有していることが好ましい。放射線検出器カード1は、カードエッジ部29が該コネクタに挿入され、コネクタの電極とカードエッジ部29のエッジ配線パターン29aとが接触することにより外部の電子部品（例えば、アンプICやField Programmable Gate Array（FPGA）等）と電氣的に接続される。

[0015] また、放射線検出器カード1は、対向する一对の半導体素子10の基板20と反対側に、各半導体素子10が有する電極パターンと基板20に設けら

れている複数の基板端子 22 とのそれぞれを電氣的に接続する配線パターンを有するフレキシブル基板を更に備えることができる（なお、半導体素子 10 の電極パターン、フレキシブル基板、フレキシブル基板の配線パターンは図示していない）。フレキシブル基板は、対向する一对の半導体素子 10 の一方の半導体素子 10 側、及び他方の半導体素子 10 側の双方に設けられる。例えば、4 組の一对の半導体素子 10 の一方の半導体素子 10 側のそれぞれと、他方の半導体素子 10 側のそれぞれとの双方に、フレキシブル基板の配線パターンの一端をそれぞれ接続することができる。フレキシブル基板の配線パターンの他端のそれぞれが、基板端子 22 に電氣的に接続される。

[0016] （半導体素子 10 の詳細）

図 1 B は、本発明の実施形態に係る放射線検出器カードが備える半導体素子の一例を示す側面模式図である。半導体素子 10 は、化合物半導体から主として構成され、薄い略直方体形状若しくは平板形状を有している。また、半導体素子 10 は、一方の主表面に複数の第 1 電極が形成され、他方の主表面に第 2 電極が形成されている。以下、本実施の形態では、第 1 電極をアノード電極 100 とし、第 2 電極をカソード電極 110 として説明する。なお、第 1 電極をカソード電極にし、第 2 電極をアノード電極にすることもできる。

[0017] 図 1 B に示したように、半導体素子 10 は、放射線が入射する面（上側面、厚みを表す面）に垂直な一の主表面（素子表面）に複数の溝 10a が設けられている。溝 10a は、例えば、上側面から見て V 字形状を有している。また、半導体素子 10 は、溝 10a が設けられている主表面を基板 20 側に向け、基板 20 に固定される。この場合において、複数の溝 10a の間の半導体素子 10 の表面に設けられているアノード電極 100 と、後述する基板 20 の表面に設けられる素子接続部 26 とが導電性接着材 50（例えば、銀ペースト等）を介して接続される。これにより、半導体素子 10 は、基板 20 に電氣的に接続されると共に機械的に固定される。

[0018] また、半導体素子 10 は、カソード電極 110 に対向する複数のアノード

電極 100 のそれぞれとカソード電極 110 との間で放射線を検出可能な複数のピクセル領域 10b を構成する。より丁寧に言うと、放射線が入射する半導体素子 10 の面（半導体素子 10 の上側面）であって、各溝 10a から、溝 10a が設けられている面の反対側の面への仮想的な垂線により区切られる領域がピクセル領域 10b である。半導体素子 10 が $(n - 1)$ 個の溝 10a を有することにより、 n 個のピクセル領域 10b が構成される（ n は正の整数である）。複数のピクセル領域 10b のそれぞれが、放射線を検出する 1 つの画素（ピクセル）に対応する。これにより、一の半導体素子 10 は、 n 個の画素を有することになる。

[0019] 一例として、1 つの放射線検出器カード 1 が 8 つの半導体素子 10（4 組の一对の半導体素子 10）を備え、1 つの半導体素子 10 がそれぞれ 8 つのピクセル領域 10b を有する場合、1 つの放射線検出器カード 1 は、64 ピクセルの解像度を有することになる。溝 10a の数を増減させることにより、一の半導体素子 10 のピクセル数を増減させることができる。

[0020] 半導体素子 10 を構成する化合物半導体としては、CdTe を用いることができる。なお、 γ 線等の放射線を検出できる限り、半導体素子 10 は CdTe 素子に限られない。例えば、半導体素子 10 として、CdZnTe（CZT）素子、HgI₂ 素子等の化合物半導体素子を用いることもできる。

[0021] （基板 20 の詳細）

図 2 は、本発明の実施形態に係る放射線検出器カードが備える基板の一例を示す正面模式図である。基板 20 としては、金属導体等の導電性材料からなる導電性薄膜（例えば、銅箔）が表面に形成された薄肉基板（例えば、FR4 等のガラスエポキシ基板）を、ソルダーレジスト等の絶縁材料からなる絶縁層で挟んで可撓性を有して形成されることが好ましい。基板 20 の貫通孔 37 は、カードホルダ 30 及びカードホルダ 31 がそれぞれ有する突起部 36 が通る孔である。

[0022] 基板 20 は、半導体素子 10 が搭載される素子搭載部 28 と、半導体素子 10 からの信号を外部の電気回路に接続可能なカードエッジ部 29 とを有す

る。カードエッジ部 29 は、基板 20 において素子搭載部 28 の対辺側に設けられている。また、基板 20 は、素子搭載部 28 とカードエッジ部 29 との間に、半導体素子 10 のカソード電極 110（第 2 電極）に電氣的に接続される第 2 電極側電子部品が搭載される第 2 電極側電子部品搭載部 25（カソード側電子部品搭載部と称する場合もある）と、第 2 電極側電子部品搭載部 25 から離れた位置に設けられ半導体素子 10 のアノード電極 100（第 1 電極）に電氣的に接続される第 1 電極側電子部品が搭載される第 1 電極側電子部品搭載部 27（アノード側電子部品搭載部と称する場合もある）とを有する。第 2 電極側電子部品（カソード側電子部品と称する場合もある）及び第 1 電極側電子部品（アノード側電子部品と称する場合もある）としては、例えば、半導体素子 10 からの信号が入力される抵抗やコンデンサ等の電子部品（図示しない）が挙げられる。

[0023] 素子搭載部 28 の設定の仕方に特段の限定はなく、半導体素子 10 ごとに搭載される領域を設定してもよいし、複数の半導体素子 10 が搭載される領域を一括して設定してもよい。図 2 では、搭載する半導体素子 10 ごとに正面視にて長形状の素子搭載部 28 を設定した例を示している。半導体素子 10 ごとの素子搭載部 28 を複数設定する場合、該複数の素子搭載部 28 は、それぞれの短辺同士が隣接するように設けられることが好ましい。

[0024] また、素子搭載部 28 には、半導体素子 10 の複数のアノード電極 100 のそれぞれに電氣的に接続する複数の素子接続部 26 が設けられている。図 2 では、素子接続部 26 のそれぞれが、正面視にて長形状を有しており、該長方形の長辺を素子搭載部 28 の長手方向に垂直な方向に向けて配列された例を示している。また、素子接続部 26 のそれぞれは、予め定められた間隔において素子搭載部 28 の長手方向に沿って配列されている。なお、当該予め定められた間隔は、半導体素子 10 の基板 20 側に設けられた複数のアノード電極 100 の間隔に対応する。複数の素子接続部 26 の表面には導電性を有する導電性接着材（例えば、銀ペースト等）が設けられ、半導体素子 10 のアノード電極 100 が該導電性接着材を介して素子接続部 26 に電気

的に接続される。

[0025] 複数の素子接続部 26 のそれぞれのカードエッジ部 29 側の端部は、複数の第 1 電極用配線 23（アノード用配線と称する場合もある）のそれぞれに電氣的に接続される。複数のアノード用配線 23 のそれぞれは、アノード側電子部品搭載部 27 に搭載されているアノード側電子部品に電氣的に接続される。これにより、半導体素子 10 のアノード電極 100 とアノード側電子部品搭載部 27 のアノード側電子部品とは、アノード用配線 23 により電氣的に接続される。ここで、複数のアノード用配線 23 は、素子搭載部 28 とアノード側電子部品搭載部 27 との間の領域に配置される。図 2 では、複数のアノード用配線 23 の主要部分が、素子搭載部 28 の長手方向に略平行な方向に伸びて形成された例を示している。

[0026] アノード側電子部品搭載部 27 は、基板 20 の長手方向に沿ってカソード側電子部品搭載部 25 から離れた位置で、カソード側電子部品搭載部 25 を挟むように設けられる。言い換えると、高電圧が掛かる電子部品が搭載されるカソード側電子部品搭載部 25 と、アノード用配線 23 及びアノード側電子部品搭載部 27 との間には予め定められた距離が設けられる。図 2 の例では、基板 20 の正面視にて、カソード側電子部品搭載部 25 の左端とカソード側電子部品搭載部 25 の左方向に設けられたアノード側電子部品搭載部 27 の右端との距離が「L1」であり、カソード側電子部品搭載部 25 の右端とカソード側電子部品搭載部 25 の右方向に設けられたアノード側電子部品搭載部 27 の左端との距離が「L3」であり、カソード側電子部品搭載部 25 の素子搭載部側の端とアノード用配線 23 のカードエッジ部側の端との距離が「L2」である場合を示した。

[0027] 基板 20 は、カソード側電子部品搭載部 25 の素子搭載部 28 側に、基板 20 から突き出た形状（例えば、円柱状）を有する複数の基板端子 22 を有する。基板端子 22 と半導体素子 10 のカソード電極 110 とがフレキシブル基板（図示しない）が有する配線パターンにより電氣的に接続される。これにより、半導体素子 10 のカソード電極 110 とカードエッジ部 29 のエ

ッジ配線パターン 29 a とが電氣的に接続される。

[0028] カードエッジ部 29 は、カソード側電子部品及びアノード側電子部品からの信号を外部の電気回路に伝達する部分であり、カードエッジ部 29 の長手方向に沿って配列される複数のエッジ配線パターン 29 a とカードエッジ部 29 の一端側に設けられるエッジ配線パターン 29 b とを有している。図 2 では、複数のエッジ配線パターン 29 a 及びエッジ配線パターン 29 b のそれぞれが、正面視にて長方形状を有しており、該長方形の長辺をカードエッジ部 29 の長手方向に垂直な方向に向けて配列された例を示している。

[0029] 複数のエッジ配線パターン 29 a は、カソード用配線 24 を介し、アノード側電子部品搭載部 27 に搭載されているアノード側電子部品又はカソード側電子部品搭載部 25 に搭載されているカソード側電子部品に電氣的に接続される。アノード側電子部品に電氣的に接続されるエッジ配線パターン 29 a は、アノード電極 100 からの電気信号を伝達し、カソード側電子部品に電氣的に接続されるエッジ配線パターン 29 a は、カソード電極 110 からの電気信号を伝達する。カソード電極 110 からの電気信号を伝達するエッジ配線パターン 29 a は、カソード側電子部品搭載部 25 に搭載されたカソード側電子部品（例えば、コンデンサ）を介して基板端子 22 に電氣的に接続される。

[0030] エッジ配線パターン 29 b は、半導体素子 10 に高電圧のバイアス電圧を加えるための高電圧用端子である。エッジ配線パターン 29 b は、カソード用配線 24 と基板端子 22 とを介し、カソード側電子部品搭載部 25 に搭載されたカソード側電子部品（例えば、抵抗）に電氣的に接続される。

[0031] また、高電圧用端子としてのエッジ配線パターン 29 b は、バイアス電圧より低い電圧の電気信号が流れる低電圧用端子としてのエッジ配線パターン 29 a の端から離れた位置に設けられている。すなわち、エッジ配線パターン 29 b とエッジ配線パターン 29 b に最近接のエッジ配線パターン 29 a との間の距離は、複数のエッジ配線パターン 29 a 間の距離より大きく設定される。

[0032] (アノード用配線 23 の配置の詳細)

図 3 A は、本発明の実施形態に係る放射線検出器カードのアノード用配線の配置例を示す部分拡大正面模式図である。図 3 B は、図 3 A に示したアノード用配線の部分拡大断面模式図である。また、図 3 C は、本発明の実施形態に係る放射線検出器カードの基板に設けられるビアホールの一例およびその周辺部分を示す部分拡大断面模式図である。

[0033] 図 3 A に示すように、アノード用配線 23 は、基板 20 の一方の面に設けられる第 1 アノード用配線 23 a と、基板 20 の他方の面に設けられる第 2 アノード用配線 23 b とからなる。第 1 アノード用配線 23 a と第 2 アノード用配線 23 b とは、基板 20 を正面透視したときに、互いに重ならないように配置されている。言い換えると、図 3 B に示すように、アノード用配線 23 a の基板 20 を挟んだ反対側には、アノード用配線 23 b は配置されていない。アノード用配線 23 a とアノード用配線 23 b とが基板 20 を挟んで重なる位置に配置されていないので、アノード用配線 23 a と基板 20 とアノード用配線 23 b とにより発生する静電容量（寄生容量）を低減することができる。

[0034] 一方、基板 20 の一方の面に設けられた一の半導体素子 10 の複数のアノード電極 100 と、基板 20 の他方の面で該半導体素子の対称の位置に設けられた半導体素子 10 の複数のアノード電極 100 とは、基板 20 に設けられたビアホール 210 を介して電氣的に接続されている。例えば、図 3 C に示すように、基板 20 は、基板 20 に設けられたビアホール 210 を介して基板 20 の一方の面と他方の面とを導通させる貫通導通部 215 と、貫通導通部 215 と素子接続部 26 とを電氣的に接続する接続部 212 とを有する。また、貫通導通部 215 とアノード用配線 23 とが電氣的に接続されている。

[0035] (信号の読み出し方法)

次に、本発明に係る放射線検出器カードからの信号の読み出しについて、図 4 を参照しながら説明する。図 4 は、本発明の実施形態に係る放射線検出

器カードからの信号の読み出し方法の概要を示す模式図である。

[0036] カソード電極 110 は、複数の半導体素子 10 ごとにカソード電極 110 を一意に識別する第 2 電極用識別子（カソード用識別子と称する場合もある）に対応づけられる。具体的には、図 4 に示したように、基板 20 の一方の面に搭載されている複数の半導体素子 10 のうち、基板 20 の一端側に搭載されている半導体素子 10 のカソード電極 110 にカソード用識別子として「0」を対応づける。そして、当該半導体素子 10 の基板 20 を挟んで対称の位置に搭載されている半導体素子 10 のカソード電極 110 にカソード用識別子として「1」を対応づける。以下同様にして、全ての半導体素子 10 のカソード電極 110 にカソード用識別子を対応づける。一例として、放射線検出器カード 1 が 8 つの半導体素子 10 を備える場合、「0」から「7」のカソード用識別子が、各カソード電極 110 に対応づけられる。これにより、複数の半導体素子 10 のそれぞれに複数のピクセル領域 10b が含まれている場合であっても、一の半導体素子 10 のカソード電極 110 には、一のカソード用識別子が対応づけられる。

[0037] 次に、半導体素子 10 の複数のアノード電極 100 は、複数のアノード電極 100 のそれぞれを識別する第 1 電極用識別子（アノード用識別子と称する場合もある）に対応づけられる。図 4 に示したように、例えば、一の半導体素子 10 が 8 つのピクセル領域 10b を有する場合、各半導体素子 10 の一端側のピクセル領域 10b にアノード用識別子として「8」が対応づけられる。さらに、当該ピクセル領域 10b から離れる方向に沿って、各ピクセル領域 10b のそれぞれに各ピクセル領域 10b を一意に識別する「9」から「15」のアノード用識別子が対応づけられる。すなわち、カソード用識別子とアノード用識別子との組み合わせにより、全てのピクセル領域 10b を一意に識別することができる。

[0038] その結果、本発明に係る放射線検出器カード 1 に放射線 200 が入射すると、外部の電気回路が、カソード電極 110 からの信号と、複数のアノード電極 100 の内の一のアノード電極 100 からの信号とに基づいて、放射線

200が入射したピクセル領域10bを特定する。言い換えると、あるピクセル領域10bに放射線200が入射した場合、放射線検出器カード1の外部の電気回路が当該ピクセル領域10bに対応するカソード用識別子とアノード用識別子とを読み取ることにより、いずれの半導体素子10のいずれのピクセル領域10bに放射線200が入射したかが特定される。例えば、外部の電気回路により、カソード用識別子として「0」が検出され、アノード用識別子として「14」が検出された場合、カソード用識別子「0」に対応するカソード電極110を有する半導体素子10のピクセル領域10bであって、アノード用識別子「14」に対応するアノード電極100が設けられているピクセル領域10bに放射線200が入射したと外部の電気回路により判断される。

[0039] 本実施の形態では、一の半導体素子10において一のアノード用識別子（例えば、「14」）に対応づけられたアノード電極100と、他の一の半導体素子10において前記と同一のアノード用識別子（すなわち、「14」）に対応づけられたアノード電極100とが、アノード用配線23により電氣的に接続されている。これにより、各半導体素子10のピクセル領域10bごとに個別のアノード用配線23と個別のエッジ配線パターン29aとを設けることを要しない。共通のアノード用識別子に対応づけられるアノード電極100については、共通のアノード用配線23で互いに電氣的に接続され、共通のエッジ配線パターン29aに電氣的に接続されることになる。

[0040] （実施の形態の効果）

前述したように、本発明の実施形態に係る放射線検出器カード1は、ピクセル領域10bごとのアノード電極100に対応づけられるアノード用識別子が各半導体素子10のピクセル領域10bごとに共通化され、共通のアノード用識別子に対応づけられたアノード電極100は、アノード用配線23で互いに電氣的に接続される。これにより、アノード用配線23の本数を劇的に低減することができる。

[0041] 例えば、放射線検出器カードが8つの半導体素子10を有し、各半導体素

子 10 が 8 つのピクセル領域 10b を含む場合、該放射線検出器カードは、64 個のピクセル領域 10b を有する。この場合、仮にピクセル領域 10b ごとに配線を設ける場合、64 本のアノード用配線を設けることを要する。しかしながら、本実施の形態に係る放射線検出器カード 1 は、一つの半導体素子 10 には一つのカソード電極 110 が設けられ、基板 20 を挟んで対称に設けられる一対の半導体素子 10 のピクセル領域 10b は、共通のアノード電極 100 を有する。さらに、一の半導体素子 10 において一のアノード用識別子に対応づけられたアノード電極 100 と、他の一の半導体素子 10 において前記と同一のアノード用識別子に対応づけられたアノード電極 100 とは電氣的に接続される。これらにより、放射線検出器カード 1 が 64 個のピクセル領域 10b を有している場合であっても、基板 20 には 8 本のカソード用配線 24 と 8 本のアノード用配線 23 とを形成するだけでよく、形成する配線数を減らすことができる。

[0042] また、本実施の形態に係る放射線検出器カード 1 は、上記の配線構造によってアノード用配線 23 の本数を低減できるので、ピクセル領域 10b ごとに対応する電子部品（例えば、チップコンデンサやチップ抵抗等）を基板 20 上に搭載することを要さない。したがって、放射線検出器カード 1 は、基板 20 上に搭載する電子部品点数をも低減することができることから基板 20 の面積を増大させることを要しないので、放射線検出器カード 1 を小型化することが容易になる。

[0043] また、共通のアノード用識別子に対応づけられたアノード電極 100 は、アノード用配線 23 で互いに電氣的に接続され、共通のエッジ配線パターン 29a に接続されるので、カードエッジ部 29 に形成するエッジ配線パターン 29a の数をも減らすことができる。したがって、本実施の形態に係る放射線検出器カード 1 は、カードエッジ部 29 を介して電氣的に接続される外部の電子部品に出力する電気信号の数をも減らすことができる。これにより、外部の電子部品での負荷も軽減することができる。

[0044] 以上、本発明の実施形態を説明したが、記載した実施形態は、請求の範囲

に係る発明を限定するものではない。また、実施形態の中で説明した特徴の組み合わせの全てが発明の課題を解決するための手段に必須であるとは限らない点に留意すべきである。

符号の説明

[0045] 1…放射線検出器カード、10…半導体素子、10a…溝、10b…ピクセル領域、20…基板、22…基板端子、23、23a、23b…アノード用配線（第1電極用配線）、24…カソード用配線、25…カソード側電子部品搭載部（第2電極側電子部品搭載部）、26…素子接続部、27…アノード側電子部品搭載部（第1電極側電子部品搭載部）、28…素子搭載部、29…カードエッジ部、29a、29b…エッジ配線パターン、30、31…カードホルダ、32…弾性部材、32a…弾性部材実装部、34…溝付穴、36…突起部、37…貫通孔、100…アノード電極（第1電極）、110…カソード電極（第2電極）、200…放射線、210…ビアホール、212…接続部、215…貫通導通部。

請求の範囲

- [請求項1] 基板上に複数の半導体素子を具備する放射線検出器カードであって、
- 、
- 前記半導体素子のそれぞれは、一方の主表面に設けられた複数の第1電極と、他方の主表面に設けられた第2電極とを有し、前記複数の第1電極のそれぞれと前記第2電極との間で放射線を検出可能な複数のピクセル領域が構成され、
- 前記基板は、前記複数の第1電極のそれぞれに電氣的に接続する第1電極用配線と、前記複数の半導体素子からの信号を外部の電気回路に伝達するカードエッジ部とを有し、
- 前記第2電極は、前記複数の半導体素子のそれぞれを識別する第2電極用識別子に対応づけられ、
- 前記複数の第1電極は、該複数の第1電極のそれぞれを識別する第1電極用識別子に対応づけられ、
- 前記第1電極用配線は、前記複数の半導体素子の一の半導体素子において前記第1電極用識別子の一に対応づけられた前記第1電極と、他の一の半導体素子において同一の前記第1電極用識別子の一に対応づけられた前記第1電極とを電氣的に接続していることを特徴とする放射線検出器カード。
- [請求項2] 請求項1に記載の放射線検出器カードにおいて、
- 前記基板は、前記複数の第1電極のそれぞれに電氣的に接続する複数の素子接続部を含み前記複数の半導体素子が搭載される素子搭載部と、前記第2電極に電氣的に接続される第2電極側電子部品が搭載される第2電極側電子部品搭載部と、前記第2電極側電子部品搭載部から離れた位置に設けられ前記第1電極に電氣的に接続される第1電極側電子部品が搭載される第1電極側電子部品搭載部とを有し、
- 前記第1電極用配線は、前記複数の素子接続部と前記第1電極側電子部品とを電氣的に接続し、

前記カードエッジ部は、前記第 2 電極側電子部品及び前記第 1 電極側電子部品からの信号を前記外部の電気回路に伝達するエッジ配線パターンを含むことを特徴とする放射線検出器カード。

[請求項3] 請求項 2 に記載の放射線検出器カードにおいて、
前記複数の半導体素子は、前記基板を対称面として前記基板の両面に設けられ、
前記基板の一方の面に設けられた前記第 1 電極用配線と、前記基板の他方の面に設けられた前記第 1 電極用配線とは、前記基板を正面透視したときに、互いに重ならないように配置されていることを特徴とする放射線検出器カード。

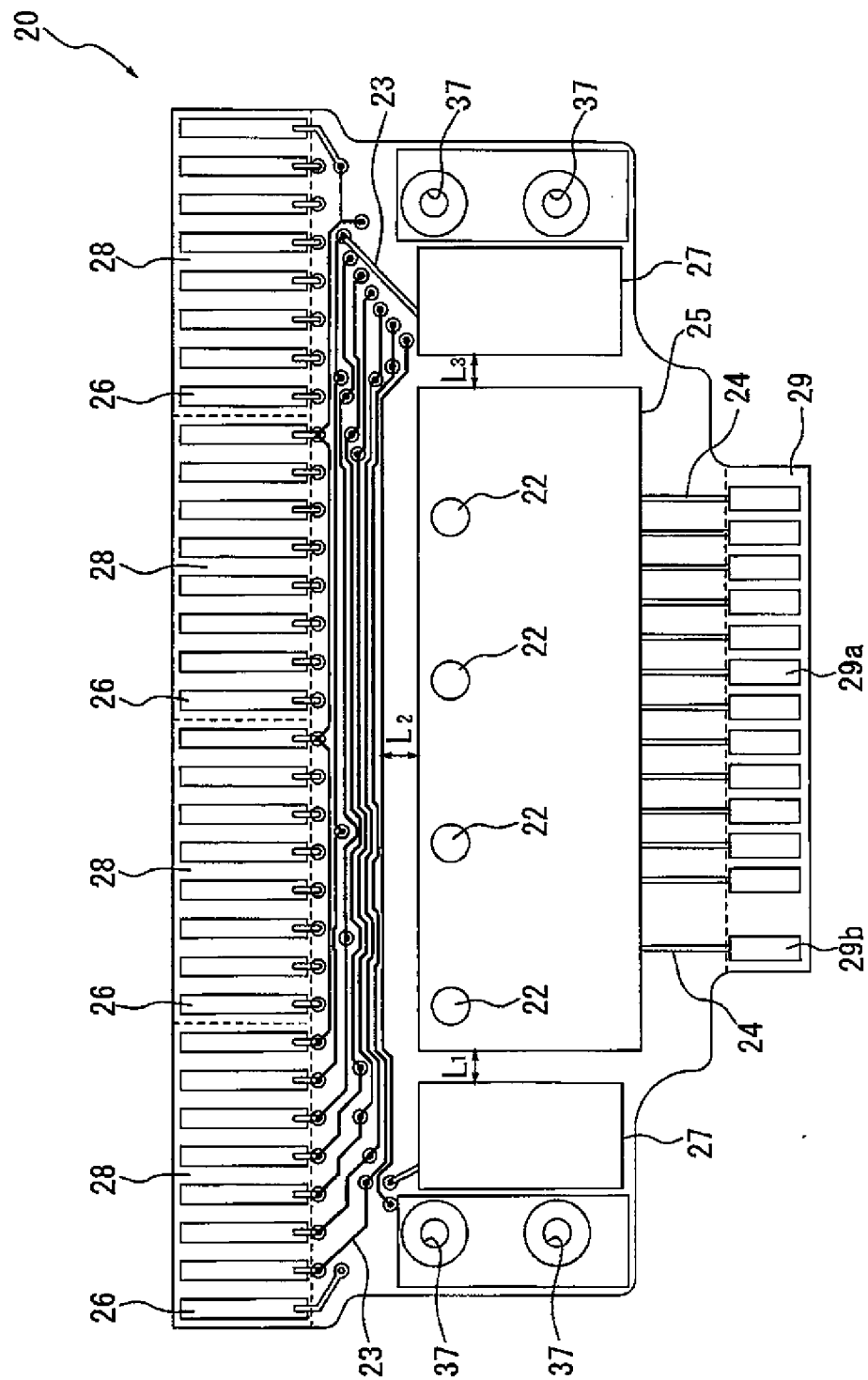
[請求項4] 請求項 3 に記載の放射線検出器カードにおいて、
前記カードエッジ部の前記エッジ配線パターンは、高電圧が掛かる高電圧用端子と、前記高電圧用端子よりも低い電圧が掛かる複数の低電圧用端子とを含み、
前記高電圧用端子と前記低電圧用端子との間の距離が、前記複数の低電圧用端子間の距離よりも大きいことを特徴とする放射線検出器カード。

[請求項5] 請求項 4 に記載の放射線検出器カードにおいて、
前記基板にはビアホールが設けられており、
前記基板の一方の面に設けられた一の半導体素子の前記複数の第 1 電極と、前記基板の他方の面で前記一の半導体素子の対称の位置に設けられた半導体素子の前記複数の第 1 電極とが、前記ビアホールを介して電氣的に接続されていることを特徴とする放射線検出器カード。

[請求項6] 請求項 5 に記載の放射線検出器カードにおいて、
前記外部の電気回路は、前記第 2 電極からの信号と、前記複数の第 1 電極の内の一からの信号とに基づいて、前記放射線が入射した前記ピクセル領域を特定することを特徴とする放射線検出器カード。

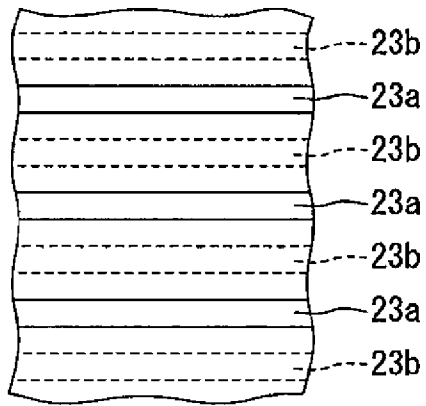
[図2]

図 2



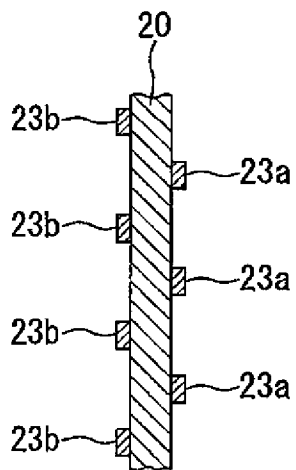
[図3A]

図3A



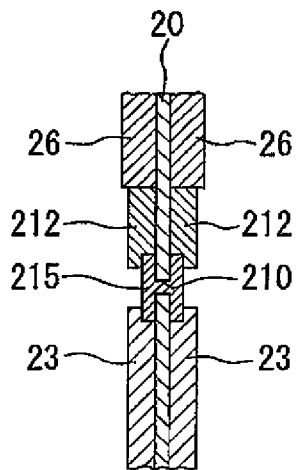
[図3B]

図3B

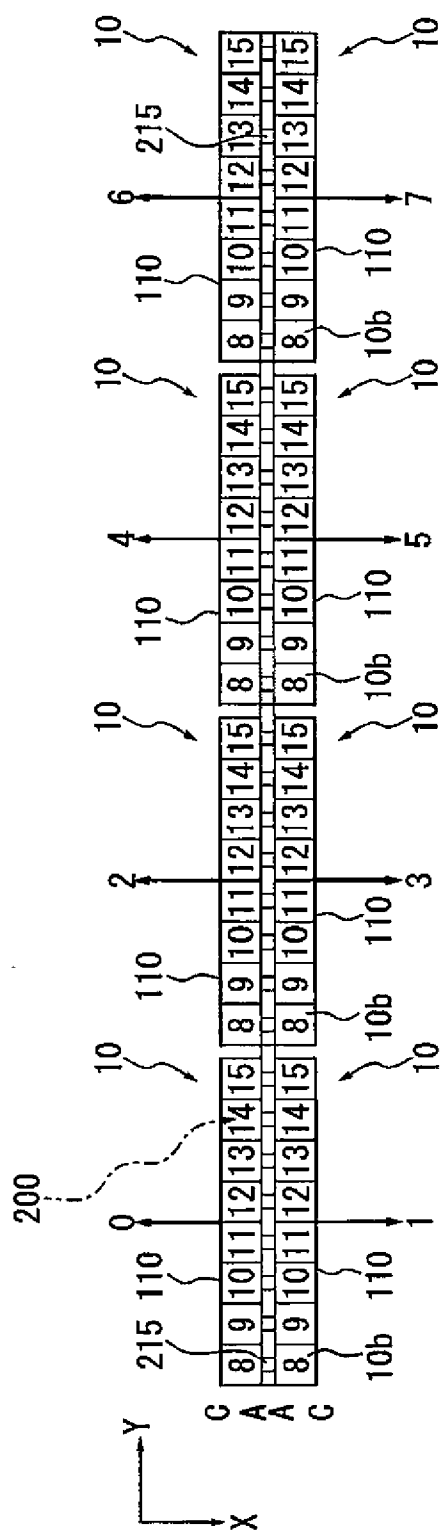


[図3C]

図3C



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067306

A. CLASSIFICATION OF SUBJECT MATTER

G01T1/24 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01T1/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-198343 A (Hitachi, Ltd.), 03 September 2009 (03.09.2009), entire text; all drawings & US 2010/0308230 A1 & WO 2009/104573 A1	1-4
Y	JP 2002-311146 A (Hamamatsu Photonics Kabushiki Kaisha), 23 October 2002 (23.10.2002), paragraphs [0001], [0014] to [0018]; fig. 1 (Family: none)	1-4
Y	JP 2008-211023 A (Citizen Holdings Co., Ltd.), 11 September 2008 (11.09.2008), paragraphs [0001], [0053] (Family: none)	3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 August, 2011 (18.08.11)

Date of mailing of the international search report
06 September, 2011 (06.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067306

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-222410 A (Toshiba Corp.), 01 October 2009 (01.10.2009), paragraphs [0001], [0056] (Family: none)	4
A	JP 2010-156671 A (Mitsubishi Electric Corp.), 15 July 2010 (15.07.2010), entire text; all drawings (Family: none)	5-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01T1/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01T1/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-198343 A (株式会社日立製作所) 2009.09.03, 全文、全図 & US 2010/0308230 A1 & WO 2009/104573 A1	1-4
Y	JP 2002-311146 A (浜松ホトニクス株式会社) 2002.10.23, 段落【0001】、【0014】～【0018】、図1 (ファミリーなし)	1-4
Y	JP 2008-211023 A (シチズンホールディングス株式会社) 2008.09.11, 段落【0001】、【0053】 (ファミリーなし)	3-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 8 . 2 0 1 1

国際調査報告の発送日

0 6 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

林 靖

2 I

3 4 8 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-222410 A (株式会社東芝) 2009.10.01, 段落【0001】、 【0056】 (ファミリーなし)	4
A	JP 2010-156671 A (三菱電機株式会社) 2010.07.15, 全文、全図 (フ ァミリーなし)	5-6