

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5441366号
(P5441366)

(45) 発行日 平成26年3月12日(2014.3.12)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	301N
HO1L 29/78	(2006.01)	HO1L 29/78	617J
HO1L 29/786	(2006.01)	HO1L 29/78	616M
HO1L 21/8238	(2006.01)	HO1L 29/78	616K
HO1L 27/092	(2006.01)	HO1L 29/78	618Z

請求項の数 20 (全 20 頁) 最終頁に続く

(21) 出願番号

特願2008-158931 (P2008-158931)

(22) 出願日

平成20年6月18日 (2008.6.18)

(65) 公開番号

特開2009-76857 (P2009-76857A)

(43) 公開日

平成21年4月9日 (2009.4.9)

審査請求日

平成23年6月13日 (2011.6.13)

(31) 優先権主張番号

11/858,535

(32) 優先日

平成19年9月20日 (2007.9.20)

(33) 優先権主張国

米国(US)

前置審査

(73) 特許権者 390019839

三星電子株式会社

Samsung Electronics
Co., Ltd.

大韓民国京畿道水原市靈通区三星路 129

129, Samsung-ro, Yeon
gton-gu, Suwon-si, G
yeonggi-do, Republic
of Korea

(73) 特許権者 599093591

グローバルファウンドリーズ シンガポー
ル プライベート リミテッドシンガポール、738406 シンガポー
ル、ストリート・2、ウッドランズ・イン
ダストリアル・パーク・ディ、60

最終頁に続く

(54) 【発明の名称】半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上にゲート電極を形成する段階と、

前記ゲート電極の両側壁にスペーサ酸化膜を形成する段階と、

前記スペーサ酸化膜上に前記半導体基板の一面と直接的に接する接着酸化膜を形成する段階と、

前記接着酸化膜上に犠牲窒化膜スペーサを形成する段階と、

前記犠牲窒化膜スペーサにセルファアラインされ、前記半導体基板上にソース／ドレーン領域を形成する段階と、

前記犠牲窒化膜スペーサ上にプロッキング酸化膜を形成する段階と、

酸化膜に対する窒化膜の選択比が1未満のフッ酸により前記プロッキング酸化膜を選択的に除去する段階と、

酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記犠牲窒化膜スペーサを選択的に除去し、前記接着酸化膜を露出する段階と、

前記ゲート電極の両側壁上に、電界効果トランジスタのチャネル領域内に引張または圧縮ストレスを誘導するストレス膜を形成する段階と、を含み、

前記フッ酸中で窒化膜を除去するのに使用される反応種は、モノフッ化物種であり、酸化膜を除去するのに使用される反応種は二フッ化種であり、

前記選択比は、前記フッ酸の温度および濃度が調節されることにより、前記フッ酸内にモノフッ化物種がより多くなるか、二フッ化種がより多くなるかによって決定されること

10

20

を特徴とする半導体集積回路装置の製造方法。

【請求項 2】

前記フッ酸の温度は、65以上85未満であることを特徴とする請求項1に記載の半導体集積回路装置の製造方法。

【請求項 3】

前記フッ酸は、1000:1～2500:1に希釈されていることを特徴とする請求項1または2に記載の半導体集積回路装置の製造方法。

【請求項 4】

前記フッ酸は、1500:1～2000:1に希釈されていることを特徴とする請求項1または2に記載の半導体集積回路装置の製造方法。

10

【請求項 5】

前記フッ酸は、酸化膜に対する窒化膜の選択比が10～50であることを特徴とする請求項1～4のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 6】

前記ストレス膜を形成する前に、前記ソース／ドレーン領域内に前記接着酸化膜と部分的に接触するシリサイド膜を形成することをさらに含むことを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 7】

酸化膜に対する窒化膜の選択比が1を超えるフッ酸を用いることによって、前記ストレス膜の一部を選択的に除去することをさらに含むことを特徴とする請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法。

20

【請求項 8】

半導体基板と、前記半導体基板上に形成されたゲート電極と、前記ゲート電極側壁に順次に形成されたスペーサ酸化膜およびスペーサ窒化膜と、前記半導体基板と前記スペーサ窒化膜との間および前記スペーサ酸化膜と前記スペーサ窒化膜との間に形成された接着酸化膜と、前記ゲート電極に隣接し、前記スペーサ酸化膜にセルフアラインされた第1不純物領域と、前記スペーサ窒化膜にセルフアラインされた第2不純物領域と、を含む半導体素子を提供する段階と、

前記半導体素子上にプロッキング酸化膜およびプロッキング窒化膜を順次に形成する段階と、

30

酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記プロッキング窒化膜をエッチングする段階と、

酸化膜に対する窒化膜の選択比が1未満のフッ酸により前記プロッキング酸化膜を選択的にエッチングする段階と、

前記プロッキング酸化膜をエッチングした後、酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記スペーサ窒化膜の少なくとも一部を湿式エッチングする段階と、

前記第2不純物領域にシリサイド膜を形成する段階と、を含み、

前記フッ酸中で窒化膜をエッチングするのに使用される反応種は、モノフッ化物種であり、酸化膜をエッチングするのに使用される反応種は二フッ化種であり、

前記選択比は、前記フッ酸の温度および濃度が調節されることにより、前記フッ酸内にモノフッ化物種がより多くなるか、二フッ化種がより多くなるかによって決定されることを特徴とする半導体集積回路装置の製造方法。

40

【請求項 9】

前記フッ酸の温度は、65以上85未満であることを特徴とする請求項8に記載の半導体集積回路装置の製造方法。

【請求項 10】

前記フッ酸は、1000:1～2500:1に希釈されていることを特徴とする請求項8または9に記載の半導体集積回路装置の製造方法。

【請求項 11】

前記フッ酸は、1500:1～2000:1に希釈されていることを特徴とする請求項

50

8または9に記載の半導体集積回路装置の製造方法。

【請求項12】

前記フッ酸は、酸化膜に対する窒化膜の選択比が10～50であることを特徴とする請求項8～11のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項13】

前記シリサイド膜は、前記スペーサ酸化膜と一部オーバーラップされることを特徴とする請求項8に記載の半導体集積回路装置の製造方法。

【請求項14】

前記半導体基板と前記ゲート電極上にエッチング停止膜およびストレス膜を順次に形成することをさらに含むことを特徴とする請求項8～13のいずれか1項に記載の半導体集積回路装置の製造方法。10

【請求項15】

前記ストレス膜は、窒化膜であり、前記エッチング停止膜は酸化膜であり、

前記酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記ストレス膜を除去することをさらに含むことを特徴とする請求項14に記載の半導体集積回路装置の製造方法。。

【請求項16】

前記半導体素子は、前記半導体基板および/または前記スペーサ窒化膜上に形成された残留酸化膜をさらに含むことを特徴とする請求項8～15のいずれか1項に記載の半導体集積回路装置の製造方法。20

【請求項17】

酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記スペーサ窒化膜を部分的にエッチングし、

前記ストレス膜を形成する前に、前記エッチング後に残留する前記スペーサ窒化膜を除去することをさらに含むことを特徴とする請求項14～16のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項18】

反応性イオンエッチングを利用し、前記エッチング後に残留する前記スペーサ窒化膜をエッチングすることを特徴とする請求項17に記載の半導体集積回路装置の製造方法。

【請求項19】

前記ストレス膜は窒化膜であり、前記エッチング停止膜は酸化膜であることを特徴とする請求項14～18のいずれか1項に記載の半導体集積回路装置の製造方法。30

【請求項20】

前記酸化膜に対する窒化膜の選択比が1を超えるフッ酸を用いることによって、前記ストレス膜を除去することをさらに含むことを特徴とする請求項14～19のいずれか1項に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、安定したエッチングが可能な半導体集積回路装置の製造方法に関するものである。40

【背景技術】

【0002】

窒化膜は、物理的、化学的に安定的であるため、半導体集積回路装置の製造過程中に多く使用される。例えば、窒化膜は、酸化膜に比べ、機械的強度、水蒸気バリア（barrier）特性、ナトリウムバリア特性などがより優れている。一方で、窒化膜は、エッチングによって、除去することが容易ではない。

【0003】

窒化膜は、酸化膜に対し、選択的に除去されなければならない場合が多い。従来は、リン酸（phosphoric acid、H₃PO₄）を使用し、酸化膜に対し、選択的50

に窒化膜をエッティングしていた。例えば、リン酸が入ったバス (bath) に窒化膜と酸化膜とが形成された半導体基板を投入し、バスを約 160 ~ 170 の温度で加熱することによって、エッティング工程を進行させる。この時、窒化膜のエッティング速度は、約 4.0 ~ 4.5 / min であり、酸化膜のエッティング速度は、約 1.2 ~ 2.0 / min であり得る。すなわち、約 160 ~ 170 の温度で酸化膜に対する窒化膜の選択比 (selectivity for nitride to oxide) は、約 2.6 ~ 2.7 になる。

【0004】

しかし、リン酸は粘性 (viscosity) が高いため、約 2 時間程度予熱 (pre-heating) をした時に約 160 ~ 170 に達し得る。また、リン酸は、安定性が低下するため、実際リン酸を利用したエッティング工程を進行させる前に少なくとも 2 度のダミーサイクル (dummy cycle) が要求される。また、リン酸を利用したエッティングは、費用が多くかかる。

【特許文献 1】特開 2005 - 048126 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする技術的な課題は、安定したエッティングが可能な半導体集積回路装置の製造方法を提供するものである。

【0006】

本発明の技術的課題は、以上で言及した技術的課題に制限されず、言及していないさらなる技術的課題は次の記載によって当業者に明確に理解され得るものである。

【課題を解決するための手段】

【0007】

前記技術的課題を達成するための本発明の一実施形態による半導体集積回路装置の製造方法は、半導体基板上にゲート電極を形成する段階と、前記ゲート電極の両側壁にスペーサ酸化膜を形成する段階と、前記スペーサ酸化膜上に前記半導体基板の一面と直接的に接する接着酸化膜を形成する段階と、前記接着酸化膜上に犠牲窒化膜スペーサを形成する段階と、前記犠牲窒化膜スペーサにセルフアラインされ、前記半導体基板上にソース / ドレーン領域を形成する段階と、前記犠牲窒化膜スペーサ上にプロッキング酸化膜を形成する段階と、酸化膜に対する窒化膜の選択比が 1 未満のフッ酸により前記プロッキング酸化膜を選択的に除去する段階と、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸 (hydrofluoric acid) により前記犠牲窒化膜スペーサを選択的に除去し、前記接着酸化膜を露出する段階と、前記ゲート電極の両側壁上に、電界効果トランジスタのチャネル領域内に引張または圧縮ストレスを誘導するストレス膜を形成する段階と、を含み、前記フッ酸中で窒化膜を除去するのに使用される反応種は、モノフッ化物種であり、酸化膜を除去するのに使用される反応種は二フッ化種であり、前記選択比は、前記フッ酸の温度および濃度が調節されることにより、前記フッ酸内にモノフッ化物種がより多くなるか、二フッ化種がより多くなるかによって決定される。

【0008】

前記技術的課題を達成するための本発明の他の実施形態による半導体集積回路装置の製造方法は、半導体基板と、前記半導体基板上に形成されたゲート電極と、前記ゲート電極側壁に順次に形成されたスペーサ酸化膜およびスペーサ窒化膜と、前記半導体基板と前記スペーサ窒化膜との間および前記スペーサ酸化膜と前記スペーサ窒化膜との間に形成された接着酸化膜と、前記ゲート電極に隣接し、前記スペーサ酸化膜にセルフアラインされた第 1 不純物領域と、前記スペーサ窒化膜にセルフアラインされた第 2 不純物領域と、を含む半導体素子を提供する段階と、前記半導体素子上にプロッキング酸化膜およびプロッキング窒化膜を順次に形成する段階と、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸により前記プロッキング窒化膜をエッティングする段階と、酸化膜に対する窒化膜の選択比が 1 未満のフッ酸により前記プロッキング酸化膜を選択的にエッティングする段階と、前記

10

20

30

40

50

プロッキング酸化膜をエッチングした後、酸化膜に対する窒化膜の選択比が1を超えるフッ酸により前記スペーサ窒化膜の少なくとも一部を湿式エッチングする段階と、前記第2不純物領域にシリサイド膜を形成する段階と、を含み、前記フッ酸中で窒化膜をエッチングするのに使用される反応種は、モノフッ化物種であり、酸化膜をエッチングするのに使用される反応種は二フッ化種であり、前記選択比は、前記フッ酸の温度および濃度が調節されることにより、前記フッ酸内にモノフッ化物種がより多くなるか、二フッ化種がより多くなるかによって決定される。

【0014】

その他実施形態の具体的な事項は詳細な説明および図に含まれている。

【発明の効果】

10

【0015】

前記したような半導体集積回路装置の製造方法は、フッ酸の温度および濃度を調節し、フッ酸の酸化膜に対する窒化膜の選択比を調節し得る。このようなフッ酸を利用し、安定的なエッチング工程が可能である。

【発明を実施するための最良の形態】

【0016】

本発明の利点および特徴、およびそれらを達成する方法は、添付される図面と共に詳細に後述されている実施形態を参照すれば明確になる。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現されるものであり、単に本実施形態は本発明の開示を完全にし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるため、提供されるものであり、本発明は請求項の範囲によってのみ定義される。明細書全体において、同一参照符号は同一構成要素を指称する。

20

【0017】

一つの素子 (elements) が、他の素子と「接続された (connected to)」あるいは「カップリングされた (coupled to)」と称されるのは、他の素子と直接連結または連結された場合、あるいは中間に他の素子を介在した場合を全て含む。一方、一つの素子が異なる素子と「直接接続された (directly connected to)」または「直接カップリングされた (directly coupled to)」と称されるのは、中間に他の素子を介在しないものを示す。明細書全体において、同一参照符号は同一構成要素を称する。「および / または」は、言及されたアイテムの各々および一つ以上の全ての組合を含む。

30

【0018】

たとえば、第1、第2等が多様な素子、構成要素、および / またはセクションを記述するために使用されるが、これらの素子、構成要素、および / またはセクションは、これらの用語によって制限されないことはもちろんである。これらの用語は、単に一つの素子、構成要素、またはセクションを他の素子、構成要素、またはセクションと区別するために使用されるものである。したがって、以下で言及される第1素子、第1構成要素、または第1セクションは、本発明の技術的思想内で第2素子、第2構成要素、または第2セクションであり得ることはもちろんである。

40

【0019】

本明細書で使用される用語は、実施形態を説明するためのものであり、本発明を制限するものではない。本明細書において、単数形は文言で特別に言及しない限り複数形も含む。明細書で使用される「含む (comprises)」および / または「含む (comprising)」は、言及された構成要素、段階、動作、および / または素子は、一つ以上の他の構成要素、段階、動作、および / または素子の存在あるいは追加を排除しない。

【0020】

他の定義がなければ、本明細書で使用される全ての用語（技術および科学的用語を含む）は、本発明が属する技術分野で通常の知識を有する者に共通に理解し得る意味で使用され得るものである。また、一般的に使用される辞典に定義されている用語は、明確に特別

50

に定義されていない限り理想的または過度に解釈されない。

【0021】

空間的に相対的な用語である「下(below)」、「下(beneath)」、「下部(lower)」、「上(above)」、「上(upper)」等は、図面に示されているように一つの素子、構成要素と異なった素子、または構成要素との相関関係を容易に記述するため、使用され得る。空間的に相対的な用語は、図面に示されている方向に加え、使用時あるいは動作時素子の互いに異なる方向を含む用語として理解されなければならない。例えば、図面に示されている素子を逆さにする場合、他の素子の「下(below)」または「下(beneath)」と記述された素子は、他の素子の「上(above)」に置き得る。したがって、例示的な用語である「下」は下と上の方向を全て含み得る。素子は、他の方向でも配向される可能性があり、これにしたがい、空間的に相対的な用語は、配向によって解釈され得る。10

【0022】

表1は、フッ酸(hydrofluoric acid)の常温(room temperature)での選択比と、高温(hot temperature)での選択比を整理した表である。

【0023】

表1を参照すると、LPN_{it}は、低圧(low pressure) CVD(Chemical Vapor Deposition)工程によって形成された窒化膜であり、RTN_{it}は常温(room temperature) CVD工程によって形成された窒化膜であり、TmO_xは、熱酸化方式によって形成された酸化膜であり、LTOは、低温(low temperature) CVD工程によって形成された酸化膜を意味する。20

【0024】

フッ酸は、温度が高いほど酸化膜に対する窒化膜の選択比(selectivity for nitride to oxide)が高まり、濃度が低くなるほど酸化膜に対する窒化膜の選択比が高まる。例えば、具体的に説明すると、300:1(すなわち、水の容積 / HF の容積 = 300)に希釈されたフッ酸が25 の場合、LPN_{it}:TmO_xは、0.32:1であるが、300:1に希釈されたフッ酸が65 の場合、LPN_{it}:TmO_xは、0.81:1に高まることが分かる。また、65 のフッ酸が300:1に希釈された場合、RTN_{it}:TmO_xは、2.14:1であるが、65 のフッ酸が1500:1に希釈された場合には、RTN_{it}:TmO_xは、41.8:1に高まることが分かる。30

【0025】

【表1】

	LPN _{it} :TmO _x	RTN _{it} :TmO _x	LPN _{it} :LTO	RTN _{it} :LTO
300:1 dHF at 25°C	0.32:1	—	—	—
300:1 dHF at 65°C	0.81:1	2.14:1	0.65:1	1.78:1
1500:1 dHF at 80°C	24.5:1	41.8:1	5.83:1	9.95:1

【0026】

フッ酸中で窒化膜をエッチングするのに使用される反応種(reactive species)は、モノフッ化物種(monofluoride species)(すなわち、F⁻、HF)である一方、酸化膜をエッチングするのに使用される反応種は二フッ化種(difluoride species)(HF₂⁻、H₂F₂)が使用される。50

たがって、フッ酸の酸化膜に対する窒化膜の選択比は、フッ酸内にモノフッ化物種がより多いのか、二フッ化種がより多いのかによって決定される。すなわち、もし、フッ酸の温度が高いか、または濃度が低くなると、二フッ化種よりモノフッ化物種がさらに多くなるため、フッ酸の酸化膜に対する窒化膜の選択比は高まる。

【0027】

フッ酸の温度が高くなるほど、フッ酸の酸化膜に対する窒化膜の選択比が高くなり得るが、工程条件などに適切に合わせ、温度範囲を調節しなければならない。表1では、フッ酸の温度について、65、80に対してのみ示されているが、例えば、約65以上85未満の温度範囲内でフッ酸の温度を調節し得る。85を越える場合においても、技術的に具現は困難ではないと判断されるが、バス(bath)を形成する物質がヒーティングシステム(heating system)によって使用温度は提案され得る。
10

【0028】

また、フッ酸の濃度は低いほど、フッ酸の酸化膜に対する窒化膜の選択比は高くなり得るが、工程条件などに適切に合わせ、濃度範囲を調節しなければならない。表1では、フッ酸の濃度に対し、300:1、1500:1を例にあげたが、酸化膜に対する窒化膜の選択比を十分に上げるために約1000:1～約2500:1に希釈することができ、さらに具体的には、約1500:1～約2000:1に希釈し得る。

【0029】

表1に示すように、フッ酸の酸化膜に対する窒化膜の選択比は、リン酸(リン酸の場合、約26:1～27:1)と同程度まで調節し得る。それだけではなく、フッ酸は、リン酸より非常に安全性が高く、費用が安く済む。また、温度を速く上げることができるために、付加的な準備時間が不要である。また、類似の酸化膜に対する窒化膜の選択比が必要なエッチング工程において、フッ酸(約65以上85未満)を利用したエッチング工程はリン酸(約160～170)を利用したエッチング工程に比べ、相対的に低い温度で実施される。
20

【0030】

以下では、酸化膜に対する窒化膜の選択比が例えば、24.5:1である場合、「酸化膜に対する窒化膜の選択比は24.5である」と記載する。

【0031】

図1aないし図1hは、本発明の第1実施形態による半導体集積回路装置の製造方法を説明するための断面図である。ここでは、NMOSトランジスタを製造するものを例にあげ説明したが、これに限定するものではない。すなわち、PMOSトランジスタの製造過程に適用しても良い。
30

【0032】

図1aにおいて、半導体基板10上に素子分離領域を形成してアクティブ領域を定義し、アクティブ領域上にゲート絶縁膜110とゲート電極120を順次に形成する。続いて、アクティブ領域上にP型不純物を注入し、Pウエル30を形成する。

【0033】

具体的には、半導体基板10は、シリコン基板、SOI(Silicon On Insulator)基板、ガリウムヒ素基板、シリコンゲルマニウム基板、セラミック基板、石英基板、またはディスプレイ用ガラス基板などを使用することができ、素子分離領域20は、LOCOS(Local Oxidation of Silicon)方法を利用したFOX(Field Oxide)またはSTI(Shallow Trench Isolation)が使用され得る。また、ゲート絶縁膜110は、例えば、SiO₂、SiON、Si₃N₄、Ge_xO_yN_z、Ge_xSi_yO_z、高誘電率物質およびこれらの積層膜が使用され得る。ここで、高誘電率物質は、HfO₂、ZrO₂、Al₂O₃、Ta₂O₅、ハフニウムシリケート、ジルコニアシリケートなどが使用され得る。また、ゲート電極120は、例えば、ポリシリコン(poly Si)、不純物がイオン注入されたポリシリコンなどが使用され得る。
40

【0034】

図 1 bにおいて、ゲート電極 120 の側壁にスペーサ酸化膜 130 が形成される。具体的には、ゲート電極 120 が形成された半導体基板 10 前面に酸化膜を形成した後、例えば、エッチバック (etch back) のようなエッティング工程を利用し、酸化膜を部分的に取り除いてゲート電極 120 の側壁にスペーサ酸化膜 130 を形成する。

【0035】

続いて、スペーサ酸化膜 130 にセルフアライン（整列）された第 1 不純物領域 162 を形成する。具体的に、スペーサ酸化膜 130 をイオン注入マスクにし、N型不純物、例えば、ヒ素 (As) を注入し得る。ここで、選択的にアクティブ領域内に各々ハロイオン (halo ion) を注入し得る。ハロイオンは、チャネル領域の長さが短くなることによって起こるパンチスルーハウジング現象を防止するため、ゲート電極 120 を形成後、半導体基板 10 のアクティブ領域の濃度を高めるために注入されるイオンである。ハロイオンは、ソース / ドレーン領域を形成するため、注入するイオンと反対タイプのイオンが主に使用される。したがって、アクティブ領域内には P型不純物、例えばホウ素 (B) を注入し得る。

【0036】

続いて、熱工程を実施する。熱工程の方式は RTA (Rapid Thermal Annealing) または LSA (Laser Annealing) 等の方式を利用し得る。

【0037】

図 1 cにおいて、スペーサ酸化膜 130 上に形成された犠牲窒化膜スペーサ 150 (以下、スペーサ窒化膜 150 とも称する) と、半導体基板 10 とスペーサ窒化膜 150 との間およびスペーサ酸化膜 130 とスペーサ窒化膜 150 との間に形成された接着酸化膜 140 とが形成される。具体的には、ゲート電極 120 、スペーサ酸化膜 130 が形成された半導体基板 10 前面に酸化膜、窒化膜を形成した後、エッチバックと同じ前面エッティング工程を利用し、前記スペーサ窒化膜 150 と接着酸化膜 140 を形成する。スペーサ窒化膜 150 がゲート電極 120 および半導体基板 10 と接着され難いため、接着酸化膜 140 を半導体基板 10 とスペーサ窒化膜 150 との間と、スペーサ酸化膜 130 とスペーサ窒化膜 150 との間に L 字形態で形成する。これと同時に、接着酸化膜 140 は、ゲート電極 120 および半導体基板 10 がスペーサ窒化膜 150 によって受けるストレスを最小化にし得る。すなわち、接着酸化膜 140 はバッファの役割もする。このような接着酸化膜 140 は、例えば、LTQ であり得るが、これに限定するものではない。

【0038】

続いて、スペーサ窒化膜 150 にセルフアライン（整列）された第 2 不純物領域 164 を形成する。具体的には、スペーサ窒化膜 150 をイオン注入マスクにし、N型不純物、例えば、ヒ素 (As) を注入し得る。第 2 不純物領域 164 は、第 1 不純物領域 162 よりさらに高いドーピング濃度を有し、さらに深い領域に形成され得る。すなわち、第 1 および第 2 不純物領域 162, 164 は LDD (Lightly Difffused Drain) 構造のソース / ドレーン領域 160 を構成する。図面においては示されていないが、NMOSトランジスタのソース / ドレーン領域 160 は、多様な構造に変形が可能であり、例えば、DDD (Double Difffused Drain) 、MIDD (Mask Islanded Double Difffused Drain) 、MLDD (Mask LDD) 、LD MOS (Lateral Double-difffused MOS) 構造などがある。

【0039】

続いて、熱処理を実施する。熱処理の方式は、RTA または LSA などの方式を利用することができる。

【0040】

図 1 dにおいて、NMOSトランジスタ上にブロッキング酸化膜 172 とブロッキング窒化膜 174 が順次に形成される。

【0041】

10

20

30

40

50

具体的には、後続段階でシリサイド膜を形成する工程を実施する際に、プロッキング酸化膜 172 とプロッキング窒化膜 174 は、半導体基板 10 上にシリサイド膜を形成しない部分をプロッキングするためのものである。シリサイド膜を形成しない部分は、例えば、高速動作が不要な N MOS ドランジスタであり得る。

【0042】

図 1 eにおいて、N MOS ドランジスタ上にプロッキング窒化膜 174 がエッティングされる。すなわち、図示された N MOS ドランジスタには後続段階でシリサイド膜を形成するため、N MOS ドランジスタ上にあるプロッキング窒化膜 174 を除去する。

【0043】

特に、本発明の第 1 実施形態では、プロッキング窒化膜 174 は、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸を利用して除去し得る。前述したように、フッ酸は、温度が高くなるか、または濃度が低くなるほど酸化膜に対する窒化膜の選択比が高まる。ここで使用されるフッ酸は、例えば、約 65 以上約 85 未満である可能性があり、約 1000 : 1 ~ 約 2500 : 1 に希釈することができる。さらに具体的には、約 1500 : 1 ~ 約 2000 : 1 に希釈し得る。ここで、プロッキング酸化膜 172 は、エッティング停止膜の役割を担う。したがって、プロッキング酸化膜 172 は、酸化膜に対する窒化膜の選択比が 1 を超過するフッ酸によって全て除去されず、半導体基板 10、スペーサ窒化膜 150 および / またはゲート電極 120 上に残留酸化膜 (172a) として残るようになる。

【0044】

図 1 f を参照すると、N MOS ドランジスタのスペーサ窒化膜 150 を除去する。

【0045】

特に、スペーサ窒化膜 150 は、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸を利用して除去し得る。

【0046】

または、酸化膜に対する窒化膜の選択比が 1 未満であるフッ酸を利用して残留酸化膜 (172a) を先に除去し、スペーサ窒化膜 150 が露出されるようにし、続いて酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸を利用してスペーサ窒化膜を除去することもできる。

【0047】

または、酸化膜に対する窒化膜の選択比が 1 未満であるフッ酸を利用して残留酸化膜 (172a) を先に除去し、スペーサ窒化膜 150 が露出されるようにし、続いて酸化膜に対する窒化膜の選択比が 1 を超過するフッ酸を利用してスペーサ窒化膜を除去し、続いて酸化膜に対する窒化膜の選択比が 1 未満であるフッ酸を利用して接着酸化膜 (140a) の一部をさらに除去することもできる。

【0048】

前述したように、フッ酸は温度が高くなるか、または濃度が低くなるほど酸化膜に対する窒化膜の選択比が高まる。例えば、酸化膜に対する窒化膜の選択比が 1 を超過するフッ酸の温度は、約 65 以上約 85 未満である可能性があり、約 1000 : 1 ~ 約 2500 : 1 に希釈することができる。さらに具体的には、約 1500 : 1 ~ 約 2000 : 1 に希釈し得る。酸化膜に対する窒化膜の選択比が 1 未満のフッ酸の温度は、例えば、常温である可能性があり、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸より薄く希釈され得る。

【0049】

本発明の第 1 実施形態において、N MOS ドランジスタのスペーサ窒化膜 150 を除去する理由は次のとおりである。後続段階でストレス膜 (N MOS ドランジスタ上に引張ストレス膜、PMOS ドランジスタ上に圧縮ストレス膜) を形成するが、(図 1 h 参照)、スペーサ窒化膜 150 が除去されると、ストレス膜と N MOS ドランジスタのチャネルの間の距離が近くなるため、ストレス効果が N MOS ドランジスタのチャネルによく伝達され得る。

10

20

30

40

50

【0050】

しかし、スペーサ窒化膜150を除去する時、半導体基板10上に形成されている接着酸化膜(140a)が全て除去されてはならない。なぜなら、後続段階でシリサイド膜を形成するのに(図1g)、半導体基板10上に形成されている接着酸化膜(140a)がないと、シリサイド膜がゲート電極に非常に近接して形成される。このような場合、漏れ電流が発生する可能性が高まるからである。したがって、スペーサ窒化膜150を除去するものの、半導体基板10上には接着酸化膜(140a)が残っていなければならない。

【0051】

図1gにおいて、第2不純物領域164および/またはゲート電極120内にシリサイド膜126, 166が形成される。

10

【0052】

具体的には、スペーサ窒化膜150が除去されたN MOSトランジスタ上にNiPtまたはNiPt/TiNと同じ金属膜を形成する。以後、RTAまたはLSAと同じ熱処理をし、シリサイド膜126, 166を形成する。以後、金属膜を除去する。また、熱処理を選択的に実行し得る。

【0053】

特に、本発明の第1実施形態において、シリサイド膜166は、接着酸化膜140と一部オーバーラップされ得る。

【0054】

図1hにおいて、N MOSトランジスタ上にエッチング停止膜180とストレス膜190が順次に形成される。

20

【0055】

具体的には、エッチング停止膜180は、LTOと同じ酸化膜である可能性があり、ストレス膜190は窒化膜であり得る。ストレス膜190として窒化膜を使用する場合、N-Hボンディング(bonding)とSi-Hボンディングの比率によって引張ストレス(tensile stress)を与えるようになるのか、圧縮ストレス(compressive stress)を与えるようになるのかが決定される。すなわち、N-Hボンディング/Si-Hボンディングの比率が約1~5であると、引張ストレスを与えるようになり、約5~20であると、圧縮ストレスを与えるようになる。引張ストレスを有するストレス膜190は、N MOSトランジスタの動作特性を向上させ、圧縮ストレスを有するストレス膜190は、PMOSトランジスタの動作特性を向上させる。したがって、本発明のN MOSトランジスタ上には、引張ストレスを有するストレス膜を形成し得る。

30

【0056】

一方、本発明の第1実施形態では、半導体基板上にゲート電極を形成し(図1a参照)、ゲート電極側壁にスペーサ酸化膜を形成し、スペーサ酸化膜にセルフアラインされた第1不純物領域を形成し(図1b参照)、スペーサ酸化膜上に形成されたスペーサ窒化膜と、半導体基板とスペーサ窒化膜との間および前記スペーサ酸化膜とスペーサ窒化膜との間に接着酸化膜を形成し、スペーサ窒化膜にセルフアラインされた第2不純物領域を形成し(図1c参照)、酸化膜に対する窒化膜の選択比が1を超えるフッ酸を利用してスペーサ窒化膜の少なくとも一部を湿式エッチングし(図1f参照)、第2不純物領域内にシリサイド膜を形成し(図1g参照)、半導体基板とゲート電極上にエッチング停止膜とストレス膜を順次に形成すること(図1h参照)を説明したが、これに限定するものではない。

40

【0057】

すなわち、いかなる方式で作られたかに関係なく、ゲート電極とゲート電極の側壁に形成された窒化膜と、半導体基板と窒化膜との間と、ゲート電極と窒化膜との間に酸化膜がある半導体素子を提供し、酸化膜に対する窒化膜の選択比が1を超えるフッ酸を利用して前記半導体素子にエッチング工程を実施し得ることは、本発明が属する技術の当業者に自明である。

【0058】

50

図 2 a ないし図 2 c は、本発明の第 2 実施形態による半導体集積回路装置の製造方法を説明するための断面図である。本発明の第 2 実施形態では、スペーサ窒化膜を除去する過程が第 1 実施形態と差異があるため、これについて、図 2 a ないし図 2 c を参照し、詳しく説明する。

【 0 0 5 9 】

図 2 a において、N M O S ドランジスタのスペーサ窒化膜 1 5 0 の一部が除去される。

【 0 0 6 0 】

特に、スペーサ窒化膜 1 5 0 は、酸化膜に対する窒化膜の選択比が 1 を超過するフッ酸を利用して除去し得る。

【 0 0 6 1 】

または、酸化膜に対する窒化膜の選択比が 1 未満であるフッ酸を利用してすることで、残留酸化膜 (1 7 2 a) を先に除去してスペーサ窒化膜 1 5 0 が露出されるようにし、続いて酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸を利用してスペーサ窒化膜を除去することもできる。

【 0 0 6 2 】

図 2 b において、第 2 不純物領域 1 6 4 および / またはゲート電極 1 2 0 内にシリサイド膜 1 2 6 、 1 6 6 が形成される。

【 0 0 6 3 】

図 2 c において、反応性イオンエッチング (R I E (R e a c t i v e I o n E t c h i n g)) を利用して残留するスペーサ窒化膜 1 5 0 がエッチングされる。

【 0 0 6 4 】

図 3 a および図 3 b は、本発明の第 3 実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

【 0 0 6 5 】

図 3 a において、半導体基板 1 0 上に N M O S および P M O S ドランジスタが形成される。N M O S ドランジスタは、図 1 a ないし図 1 h において説明された方法によって形成し、P M O S ドランジスタも前記 N M O S ドランジスタの製造方法と同様の方法を用いて形成する。P M O S ドランジスタについての図面符号は次のようにある。4 0 は、N ウエル、2 2 0 は、ゲート電極、2 3 0 は、スペーサ酸化膜、2 4 0 a は、接着酸化膜、2 6 0 は、ソース / ドレーン領域、2 6 2 は、第 1 不純物領域、2 6 4 は、第 2 不純物領域、2 2 6 、2 6 6 は、シリサイド膜を示す。

【 0 0 6 6 】

続いて、N M O S および P M O S ドランジスタ上には、図 1 h と同じエッチング停止膜 1 8 0 とストレス膜 1 9 0 とを形成する。ストレス膜 1 9 0 で窒化膜を使用する場合、N - H ボンディング (bonding) と Si - H ボンディングの比率によって引張ストレスを与えるのか、圧縮ストレスを与えるのかが決定される。引張ストレスを有するストレス膜は、N M O S ドランジスタの動作特性を向上させ、圧縮ストレスを有するストレス膜は、P M O S ドランジスタの動作特性を向上させる。一方、P M O S ドランジスタ上に引張ストレスを与えるストレス膜が形成されると、P M O S ドランジスタの動作特性を損なう。したがって、ストレス膜 1 7 4 が引張ストレスを有する場合、P M O S ドランジスタ上に形成されたストレス膜 1 9 0 を除去しなければならない。

【 0 0 6 7 】

図 3 b において、P M O S ドランジスタ上に形成されたストレス膜 1 9 0 が除去される。

【 0 0 6 8 】

具体的には、半導体基板 1 0 上に N M O S ドランジスタをマスキングするフォトレジストパターン 1 9 5 を形成し、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸を利用して P M O S ドランジスタ上に形成されたストレス膜 1 9 0 を除去する。前述したように、酸化膜に対する窒化膜の選択比が 1 を超えるフッ酸の温度は、約 6 5 以上約 8 5 未満である可能性があり、約 1 0 0 0 : 1 ~ 約 2 5 0 0 : 1 に希釈することができる。さらに

10

20

30

40

50

詳しくは約 1500 : 1 ~ 約 2000 : 1 に希釈され得る。

【0069】

図 4 a ないし図 4 d は、本発明の第 4 実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

【0070】

図 4 a において、半導体基板 11 内にトレンチ 330 が形成される。

【0071】

より具体的には、半導体基板 11 上にトレンチを定義するパッド酸化膜 310、パッド窒化膜 320 を順次に形成する。パッド酸化膜 310 は、酸化 (oxidation) 方式を利用して約 40 ~ 150 の厚さに成長させることができ、パッド窒化膜 320 は、パッド酸化膜 310 上に LPCVD (Low Pressure Chemical Vapor Deposition) 方式を利用して約 600 ~ 1500 の厚さで積層させることができる。ここで、パッド酸化膜 310 は、半導体基板 11 とパッド窒化膜 320 の間のストレスを緩和させる。パッド窒化膜 320 は、トレンチ 330 の形成時、エッチングマスクとして使用され、後続段階の CMP 工程でエッチング停止膜の役割も担う。
10

【0072】

続いて、パッド窒化膜 320 をエッティングマスクに利用し、3000 程度の浅い深さにトレンチ 330 を形成する。例えば、RIE を利用してトレンチ 330 を形成し得る。

【0073】

図 4 b において、トレンチ 330 によってライナー酸化膜 340 がコンフォーマルに (conformally) 形成される。
20

【0074】

より具体的には、トレンチ 330 の内壁にライナー酸化膜 340、例えば、酸化膜を約 800 ~ 900 の温度で酸化方式を利用して約 100 ~ 400 の厚さで成長させる。ライナー酸化膜 340 は、トレンチ 330 の内壁にエッティングによって存在する損傷されたシリコン格子を修復する。

【0075】

図 4 c において、ライナー酸化膜 340 およびパッド窒化膜 320 によってライナー窒化膜 350 がコンフォーマルに形成される。
30

【0076】

より具体的には、ライナー窒化膜 350 は、LPCVD 方式を利用して約 70 ~ 300 の厚さで積層させる。

【0077】

図 4 d において、ライナー窒化膜 350 上にトレンチ 330 が埋め込まれるように埋め込み酸化膜 360 が形成される。

【0078】

より具体的には、まず、トレンチを埋め込むことができる十分な厚さで半導体基板 11 上に酸化膜を形成する。この時、トレンチ 330 内の絶縁膜には空の空間、すなわち、ボイド (void) が存在しないことが望ましい。半導体素子の設計ルール (design rule) によって多少の差異があるが、O₃-TEOS (Tetra Ortho Silicate Glass) APCVD (Atmospheric Pressure Chemical Vapor Deposition) や PECD (Plasma Enhanced Chemical Vapor Deposition) 方式あるいは HDP CVD (High Density Plasma Chemical Vapor Deposition) 方式によって形成し得る。
40

【0079】

続いて、CMP 方式を利用して平坦化する。熱処理を選択的に実行し得る。

【0080】

図 4 e において、パッド窒化膜 320 の上面が露出されるように埋め込み酸化膜 360 の一部とライナー窒化膜 350 の一部がエッティングされる。特に、本発明の第 4 実施形態
50

では埋め込み酸化膜360の一部を除去し、埋め込み酸化膜360の高さを低くすることと、ライナー窒化膜350の一部をエッティングすることを同時に実行する。

【0081】

より具体的には、酸化膜に対する窒化膜の選択比が約0.7以上約1.4未満であるフッ酸を利用して埋め込み酸化膜360の一部とライナー窒化膜350の一部をエッティングする。酸化膜に対する窒化膜の選択比は約1であり得る。例えば、このようなフッ酸は温度が約65以上85未満であり、濃度は約300:1程度であり得る。

【0082】

図4fにおいて、パッド窒化膜320が除去され、パッド酸化膜310が現れるようにし得る。

10

【0083】

リン酸を利用してパッド窒化膜320を除去し得る。

【0084】

または、酸化膜に対する窒化膜の選択比が約10～約50であるフッ酸を利用してパッド窒化膜320を除去し得る。このようなフッ酸の温度は、約65以上85未満であり得る。また、酸化膜に対する窒化膜の選択比を十分に上げるためにには、フッ酸を約1000:1～約2500:1に希釈することができ、さらに具体的には、約1500:1～約2000:1に希釈することができる。

【0085】

図5は、本発明の第5実施形態による半導体集積回路装置の製造方法を説明するための図である。本発明の第5実施形態は、前述した埋め込み酸化膜の一部およびライナー窒化膜の一部を除去する段階(図4e参照)、パッド酸化膜を除去する段階(図4f参照)を一つのバス内で連続的に実施するという点が、第4実施形態と異なる。

20

【0086】

図5において、半導体製造設備400は、バス(bath)410、フッ素保存部420、バルブ422、超純水(DI)保存部430、バルブ432を含む。

【0087】

まず、半導体基板(W)上に順次に形成されたパッド酸化膜およびパッド窒化膜と、パッド酸化膜およびパッド窒化膜をエッティングマスクとして利用し、半導体基板(W)内に形成されたトレンチと、トレンチに沿ってコンフォーマルに形成されたライナー酸化膜と、ライナー酸化膜およびパッド窒化膜に沿ってコンフォーマルに形成されたライナー窒化膜と、ライナー窒化膜上にトレンチが埋め込まれるように形成された埋め込み酸化膜を含む半導体基板(W)をバス410に位置させる。

30

【0088】

続いて、バス410内でフッ酸の温度および/または濃度を変化させつつ、埋め込み酸化膜の一部、ライナー窒化膜の一部、パッド窒化膜をエッティングする。

【0089】

すなわち、パッド窒化膜の上面が露出されるように埋め込み酸化膜の一部、ライナー窒化膜の一部を除去する段階で使用されるフッ酸(第1フッ酸)は、酸化膜に対する窒化膜の選択比が約0.7～約1.4になるように、バルブ422, 432を調節することによってフッ酸の濃度を調節する。例えば、フッ酸の濃度は約300:1程度であり得る。

40

【0090】

続いて、パッド窒化膜を除去する段階で使用されるフッ酸(第2フッ酸)は、酸化膜に対する窒化膜の選択比が約10～約50になるように、バルブ422, 432を調節することによってフッ酸の濃度を調節する。例えば、フッ酸の濃度は、約1000:1～約2500:1である可能性があり、さらに詳しくは約1500:1～約2000:1であり得る。

【0091】

ただし、このような濃度の数値は、例示的なものに過ぎないが、埋め込み酸化膜の一部、ライナー窒化膜の一部を除去する段階で使用されるフッ酸より濃度が低くなるように調

50

節し得る。

【0092】

また、本発明の第5実施形態では、パッド窒化膜を除去する段階のフッ酸と、埋め込み酸化膜の一部、ライナー窒化膜の一部を除去する段階のフッ酸の温度が同一であることを例にあげたが、これに限定するものではない。すなわち、酸化膜に対する窒化膜の選択比を高めるため、埋め込み酸化膜の一部、ライナー窒化膜の一部を除去する段階ではフッ酸の温度をさらに高めても良い。

【0093】

本発明の第5実施形態では、フッ酸の濃度を2回調節すること（すなわち、埋め込み酸化膜の一部、ライナー窒化膜の一部を除去する段階、パッド窒化膜を除去する段階で各々濃度を調節すること）に分けて説明したが、本発明の権利範囲はこれに限定するものではない。すなわち、一つのバス内に半導体基板（W）を位置させ、フッ酸の温度および／または濃度を3回以上調節し、フッ酸の酸化膜に対する窒化膜の選択比を3回以上調節することによって、埋めこみ酸化膜の一部、ライナー窒化膜の一部、パッド窒化膜を除去しても良い。

10

【0094】

また、半導体製造設備400は、配置タイプ（batch type）である可能性があり、シングルタイプ（single type）でもあり得る。

【0095】

以上添付された図面を参照し、本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明の技術的思想や必須の特徴を変更せず、他の具体的な形態によって実施され得ることを理解し得るものである。したがって、以上で記述した実施形態は全ての面で例示的なものであり、限定的ではないことを理解しなければならない。

20

【図面の簡単な説明】

【0096】

【図1a】本発明の第1実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

【図1b】図1aに後続する図である。

30

【図1c】図1bに後続する図である。

【図1d】図1cに後続する図である。

【図1e】図1dに後続する図である。

【図1f】図1eに後続する図である。

【図1g】図1fに後続する図である。

【図1h】図1gに後続する図である。

【図2a】本発明の第2実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

【図2b】図2aに後続する図である。

【図2c】図2bに後続する図である。

【図3a】本発明の第3実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

40

【図3b】図3aに後続する図である。

【図4a】本発明の第4実施形態による半導体集積回路装置の製造方法を説明するための断面図である。

【図4b】図4aに後続する図である。

【図4c】図4bに後続する図である。

【図4d】図4cに後続する図である。

【図4e】図4dに後続する図である。

【図4f】図4eに後続する図である。

【図5】本発明の第5実施形態による半導体集積回路装置の製造方法を説明するための図

50

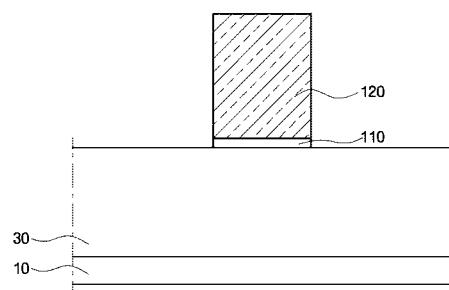
である。

【符号の説明】

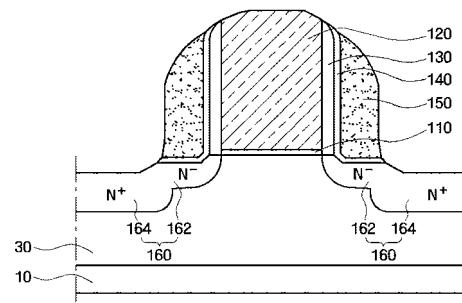
【0097】

- | | | | |
|-----|-------------|----|--|
| 110 | ゲート絶縁膜、 | | |
| 120 | ゲート電極、 | | |
| 130 | スペーサ酸化膜、 | | |
| 140 | 接着酸化膜、 | | |
| 150 | スペーサ窒化膜、 | | |
| 160 | ソース／ドレーン領域、 | 10 | |
| 172 | プロッキング酸化膜、 | | |
| 174 | プロッキング窒化膜、 | | |
| 180 | エッチング停止膜、 | | |
| 190 | ストレス膜、 | | |
| 310 | パッド酸化膜、 | | |
| 320 | パッド窒化膜、 | | |
| 330 | トレンチ、 | | |
| 340 | ライナー酸化膜、 | | |
| 350 | ライナー窒化膜、 | | |
| 360 | 埋め込み酸化膜、 | | |
| 410 | バス、 | 20 | |
| 420 | フッ素保存部、 | | |
| 430 | 超純水保存部。 | | |

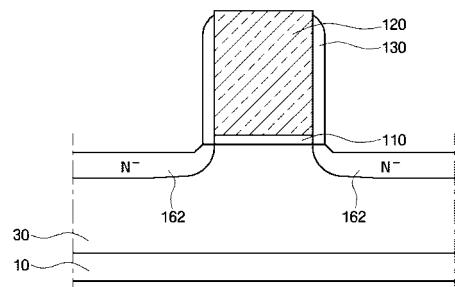
【図1a】



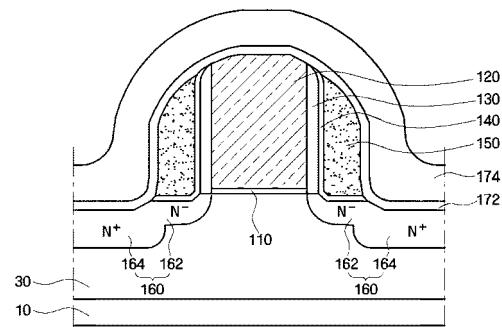
【図1c】



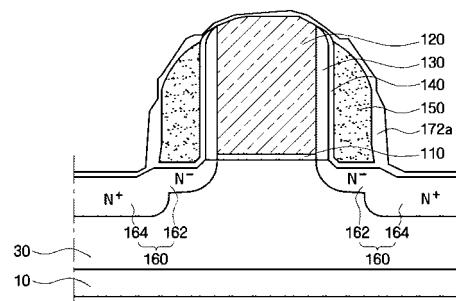
【図1b】



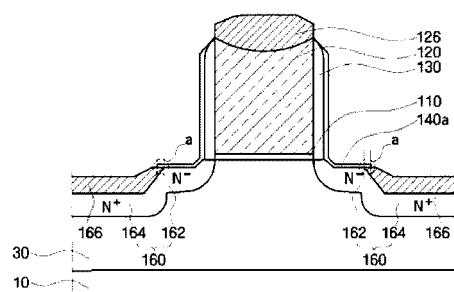
【図1d】



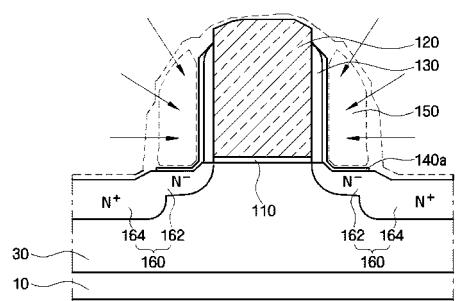
【図1e】



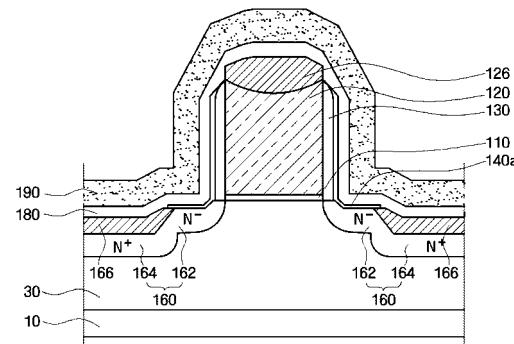
【図1g】



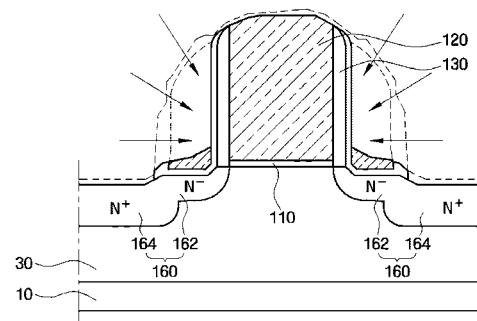
【図1f】



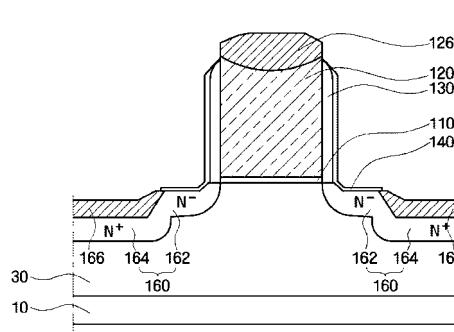
【図1h】



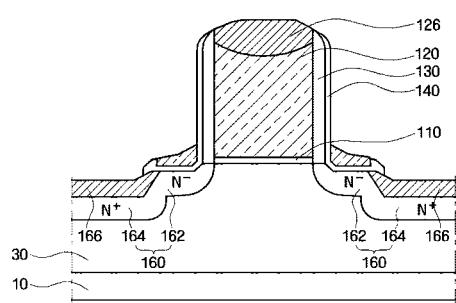
【図2a】



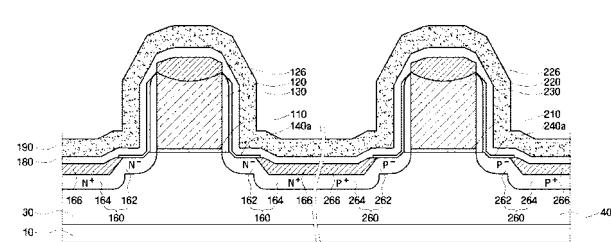
【図2c】



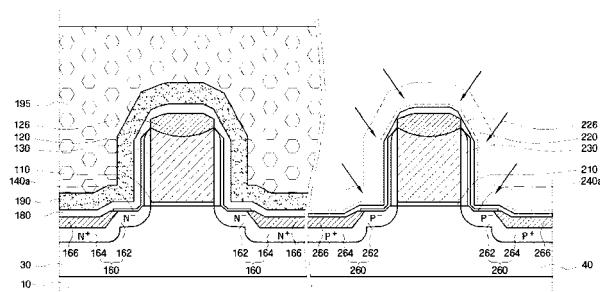
【図2b】



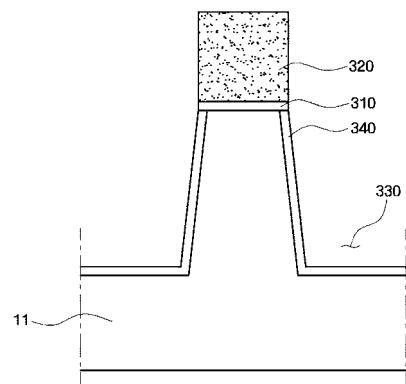
【図3a】



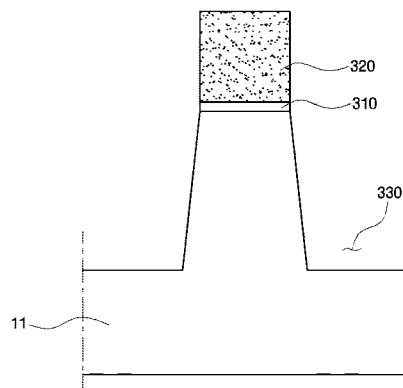
【図 3 b】



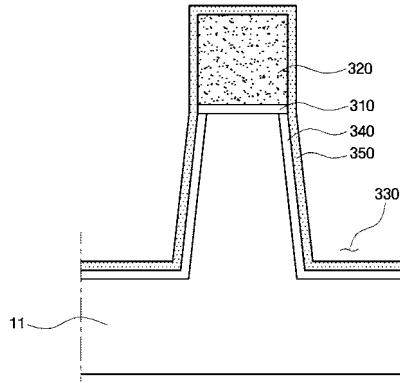
【図 4 b】



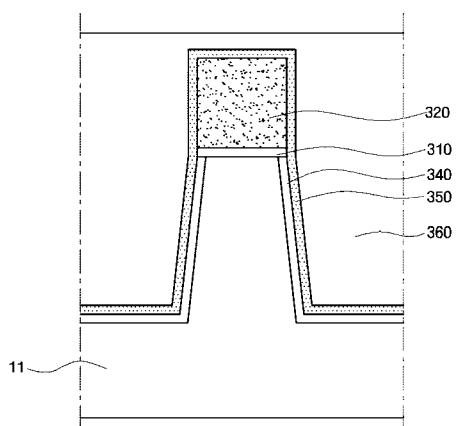
【図 4 a】



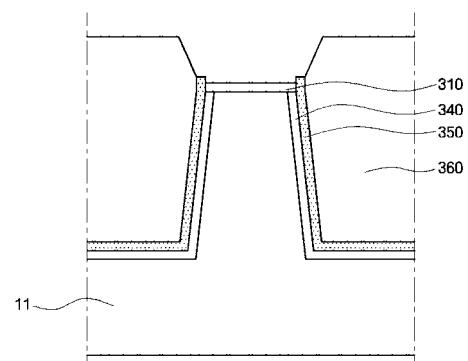
【図 4 c】



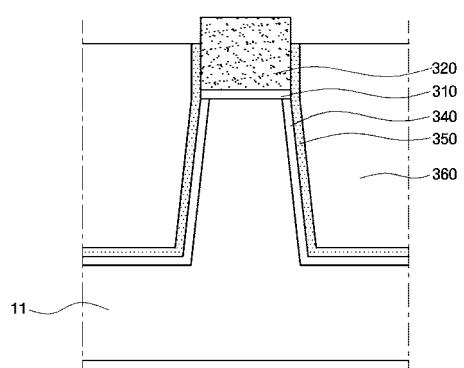
【図 4 d】



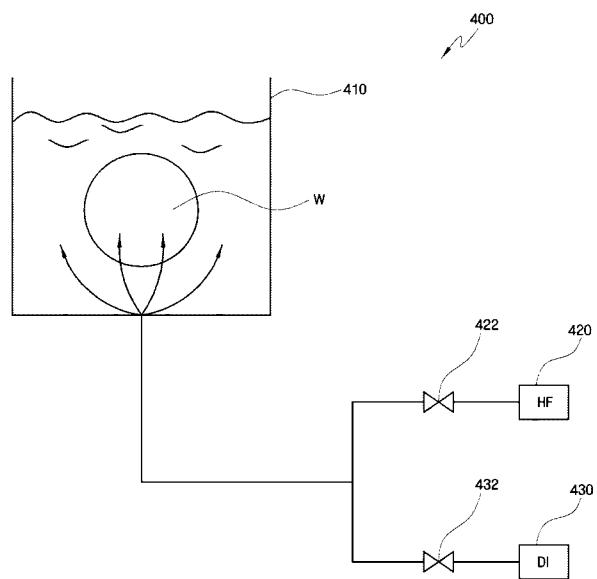
【図 4 f】



【図 4 e】



【図5】



フロントページの続き

(51)Int.Cl. F I

H 01 L 21/76 (2006.01)	H 01 L 29/78	6 1 9 A
H 01 L 21/306 (2006.01)	H 01 L 27/08	3 2 1 D
	H 01 L 27/08	3 2 1 E
	H 01 L 21/76	L
	H 01 L 21/306	E
	H 01 L 27/08	3 2 1 C

(73)特許権者 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国 10504 ニューヨーク州 アーモンク ニュー オーチャード ロード

(73)特許権者 502179961

インフィネオン テクノロジーズ ノース アメリカ コーポレイション
アメリカ合衆国 カリフォルニア州 95035 ミルピタス ノース ファースト ストリート
640

(74)代理人 110000671

八田国際特許業務法人

(72)発明者 朴 相 眞

大韓民国京畿道龍仁市器興区農書洞7-1番地 マロニ工棟1108号

(72)発明者 ヘンリー, オー. リチャード

アメリカ合衆国, ニューヨーク州 12533-6683, ホープウェル ジャンクション 52
ルート 2070

(72)発明者 タン, シアン, ヨン

アメリカ合衆国, ニューヨーク州 12533-6683, ホープウェル ジャンクション 52
ルート 2070

(72)発明者 権 五 成

アメリカ合衆国, ニューヨーク州 12590, ワッピンジャーズ フォールズ, オール エンジ
エルズ ヒル ロード 359

(72)発明者 権 五 正

アメリカ合衆国, ニューヨーク州 12533, ホープウェル ジャンクション, ファンロー
ート 5

審査官 宇多川 勉

(56)参考文献 国際公開第2007/054403 (WO, A1)

特開2007-123518 (JP, A)

特開2001-176839 (JP, A)

特開2007-049166 (JP, A)

特開2007-150320 (JP, A)

特開平06-224176 (JP, A)

特開2005-150597 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336

H 01 L 21/306

H 01 L 21/76

H 01 L 21/8238

H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6