

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 5 日 (05.02.2015)



(10) 国际公布号
WO 2015/014070 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01)

(21) 国际申请号: PCT/CN2013/089152

(22) 国际申请日: 2013 年 12 月 12 日 (12.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310329856.9 2013 年 7 月 31 日 (31.07.2013) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。

(72) 发明人: 沈奇雨 (SHEN, Qiyu); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法、显示装置

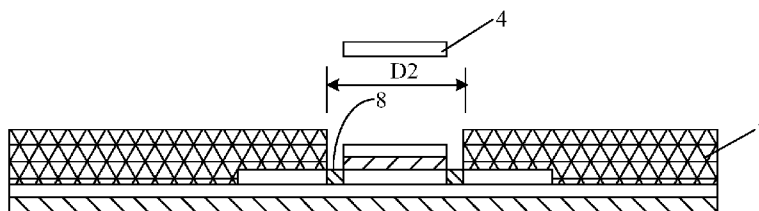


图 3 / Fig. 3

(57) Abstract: A manufacturing method for an array substrate, comprising: using a mask plate (4) to control exposure energy, so as to obtain a first exposure feature size, so as to form a gate metal layer on an array substrate; and using the mask plate again to control the exposure energy to obtain a second exposure feature size which is greater than the size of the gate metal layer, so as to form low doping regions (8) which are located at both sides of the gate metal layer and have the same length. The method enables the lengths of two low doping regions of an LTPS-TFT to be consistent, thereby guaranteeing the capability for the LTPS-TFT to suppress current leakage.

(57) 摘要: 阵列基板的制作方法, 包括: 利用掩模板 (4), 控制曝光能量以得到第一曝光特征尺寸, 以在阵列基板上形成栅极金属层; 再次利用该掩模板, 控制曝光能量, 得到大于栅极金属层的尺寸的第二曝光特征尺寸, 以形成位于栅极金属层的两侧且长度相同的低掺杂区 (8)。该方法能够使得 LTPS-TFT 的两个低掺杂区的长度一致, 保证了 LTPS-TFT 抑制漏电流的能力。

WO 2015/014070 A1

阵列基板及其制作方法、显示装置

技术领域

5 本发明的实施例涉及一种阵列基板及其制作方法、显示装置。

背景技术

在制备低温多晶硅(Low Temperature Poly-silicon, LTPS)薄膜晶体管液晶显示器(TFT-LCD)的过程中, 利用准分子激光作为热源, 投射于玻璃基板上
10 制备的非晶硅结构, 非晶硅结构吸收准分子激光的能量后, 会转变成为多晶硅结构。因为整个晶化处理过程都是在 600℃以下完成, 故被称为低温工艺, 对于一般玻璃基板皆可适用。

LTPS-TFT LCD 因其具有高分辨率、反应速度快、高亮度、高开口率等优点而得到广泛的应用, 但传统的阵列基板的 TFT 需分别通过两个掩模板以
15 进行光刻工艺以形成栅极和低掺杂区, 因此光刻设备在制作完成栅极之后, 需要更换掩模板来制作低掺杂区。这两个掩模板之间很可能存在对位误差, 可能导致本应对称位于栅极两侧的两个低掺杂区的长度不一致。这种不一致的低掺杂区降低了 TFT 抑制漏电流的能力, 导致漏电流过大, 由此增大了 LTPS-TFT LCD 的功耗。

20

发明内容

本发明的实施例提供了一种阵列基板及其制作方法、显示装置, 能够使得 LTPS-TFT 的两个低掺杂区的长度一致, 保证了 LTPS-TFT 抑制漏电流的能力。

25 本发明的第一方面提供了一种阵列基板的制作方法, 包括: 利用掩模板, 在所述阵列基板上形成栅极金属层; 利用所述掩模板, 控制曝光能量, 得到大于所述栅极金属层的尺寸的第二曝光特征尺寸, 以形成位于栅极金属层的两侧且长度相同的低掺杂区。

在该方法中, 例如, 所述低掺杂区的长度为 1~2 微米。

30 该方法, 例如, 在所述阵列基板上形成栅极金属层之前, 还包括: 在所

述基板上形成第一绝缘层；在所述第一绝缘层上形成非晶硅层，并进行激光退火工艺，形成多晶硅层；通过第一次构图工艺，形成多晶硅层的硅岛。

在该方法中，例如，在所述阵列基板上形成栅极金属层之后，还包括：对所述硅岛进行激光退火工艺。

- 5 在该方法中，例如，形成位于栅极金属层的两侧且长度相同的低掺杂区包括：利用所述掩模板，控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸，以形成位于栅极金属层的两侧且长度相同的待掺杂区；对所述待掺杂区进行离子掺杂工艺，形成低掺杂区。

10 本发明的第二方面提供了一种阵列基板，包括栅极金属层和位于所述栅极金属层两侧且长度相同的低掺杂区。

例如，所述低掺杂区的长度为 1~2 微米。

本发明的第三方面提供了一种显示装置，包括上述的阵列基板。

附图说明

- 15 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

- 图 1 为本发明实施例中的阵列基板的结构示意图一；
图 2 为本发明实施例中的阵列基板的结构示意图二；
20 图 3 为本发明实施例中的阵列基板的结构示意图三；
图 4 为本发明实施例中的阵列基板的结构示意图四；
图 5 为本发明实施例中的阵列基板的结构示意图五；
图 6 为本发明实施例中的阵列基板的结构示意图六；
图 7 为本发明实施例中的阵列基板的结构示意图七；
25 图 8A-8C 为解释本发明实施例的工作原理的示意图。

附图标记：

- | | | |
|-------------------|----------|----------|
| 1—基板； | 2—第一绝缘层； | 3—硅岛； |
| 4—掩模板； | 5—栅极绝缘层； | 6—栅极金属层； |
| 7—光刻胶； | 8—低掺杂区； | 9—第三绝缘层； |
| 30 10—第一过孔； | 11—第二过孔； | 12—源极； |

13—漏极; 14—树脂层; 15—第三过孔;
16—像素电极; 17—保护层; 18—公共电极。

具体实施方式

5 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

10 本发明实施例提供一种阵列基板的制作方法，包括如下工艺。

步骤 S101、利用掩模板，控制曝光能量以得到第一曝光特征尺寸，以在所述阵列基板上形成栅极金属层。

步骤 S102、再次利用所述掩模板，控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸，以形成位于栅极金属层的两侧且长度相同的低掺杂区。

15 本公开之中，“曝光特征尺寸”为利用曝光工艺形成的区域的尺寸。栅金属层包括薄膜晶体管的栅极以及与栅极连接的栅线等。因此，在步骤 S101 中，所得到的第一曝光特征尺寸对应于栅极、栅线的尺寸。为了方便比较，第一曝光特征尺寸、第二曝光特征尺寸以及栅金属层的尺寸均指对应特定位置

20 的栅极或栅线的宽度方向上的尺寸。

在本实施例的技术方案中，在形成栅极金属层后，利用形成栅极金属层的掩模板，并通过控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸，形成位于栅极金属层的两侧且长度相同的低掺杂区。防止了由于更换掩模板导致的对位误差的出现，保证了低掺杂区的长度相同，保证了

25 由此制备的 LTPS-TFT 抑制漏电流的能力，进而减小了漏电流，降低了 LTPS-TFT LCD 的功耗。

这里参考图 8A-图 8B 对本发明实施例的工作原理进行说明。在使用掩模版曝光的过程中，曝光能量的大小可以决定光束边缘部分光照强度。

图 8A 示出了在曝光能量适中的情况下对衬底基板 100 上的光刻胶层 120

30 使用掩模版 140 进行曝光、显影的情形。例如，曝光所使用的光源例如为 UV

光, 所使用的是正性光刻胶。该光刻胶层 120 例如涂覆在需要被构图的结构层 110 之上。对曝光后的光刻胶层 110 显影得到具有所希望的正常特征尺寸的光刻胶图案 121。

图 8B 示出了在曝光能量较小的情况下对衬底基板 100 上的光刻胶层 120 使用掩模版 140 进行曝光、显影的情形。相对于图 8A 所示的情形, 由于在掩模版 140 的边缘部分所对应位置的光刻胶吸收的光能量小, 从而在本来应当被完全曝光的区域中得到光反应不完全区域 130; 显影之后, 由于光反应不完全区域 130 的存在, 而使得显影后得到光刻胶图案 122 的特征尺寸偏大, 大于图 8A 所示情形中的正常的光刻胶图案 121 的尺寸。

图 8C 示出了在曝光能量偏大的情况下对衬底基板 100 上的光刻胶层 120 使用掩模版 140 进行曝光、显影的情形。相对于图 8A 所示的情形, 由于在掩模版 140 的边缘部分所对应位置的光刻胶吸收的光能量大, 从而在本来应当不应被曝光的区域中得到光反应区域 131; 显影之后, 由于光反应区域 131 的存在, 而使得显影后得到光刻胶图案 123 的特征尺寸偏小, 小于图 8A 所示情形中的正常的光刻胶图案 121 的尺寸。

这里请注意, 对于图 8A-8C 所示出的三种情况, 除了曝光所使用的曝光能量大小不一样之外, 其他的工艺参数可以保持不变。本发明的实施例主要利用了图 8C 所示的情形。使用负性光刻胶的情形与上述描述的情形相反, 即被光照射的部分光刻胶在显影后留下来, 而未被光照射的部分光刻胶在显影后去除, 这里不再赘述。

在上述实施例的基础上, 本发明的再一个实施例提供一种阵列基板的制作方法, 包括如下工艺。但是, 本发明的范围不限于具体示出的情形。

步骤 S201、在所述基板上形成第一绝缘层。

如图 1 所示, 在所述基板 1 上形成第一绝缘层 2。在本发明实施例中, 第一绝缘层 2 可以为多层结构。例如, 第一绝缘层 2 包括两层, 由下至上分别为氮化硅(SiN_x)层和二氧化硅(SiO_2)层。

SiN_x 层具有高的击穿电压特性, 具备自氢化修补能力, 但因其与多晶硅层的界面存在过多的缺陷和陷阱, 易产生载流子捕获缺陷和阈值电压漂移等不良现象。因此, 还需在 SiN_x 层上沉积形成一层 SiO_2 层, SiO_2 层能够与多晶硅层的界面形成良好的匹配关系, 进而增强了多晶硅材料的迁移率, 保证

了 LTPS-TFT 的高响应速率。例如, SiN_x 层的厚度可以为 30~50 纳米, SiO₂ 层的厚度可以为 100~120 纳米。

步骤 S202、在所述第一绝缘层上形成非晶硅层, 并进行激光退火工艺, 形成多晶硅层。

- 5 在本发明实施例中, 非晶硅层可通过沉积的方式形成, 例如沉积的非晶硅层的厚度可以为 180~220 纳米内的任意数值。

在进行激光退火工艺之前, 可以对该非晶硅层进行去氢处理, 使得非晶硅层内的氢含量降至 2% 左右, 以此防止氢爆现象的产生。该激光退火工艺可以采用多种方式, 例如准分子激光晶化(ELA)、金属横向诱导法(MILC)等。

- 10 步骤 S203、通过第一次构图工艺, 形成多晶硅层的硅岛。

在形成多晶硅层后, 经过包括光刻工艺和刻蚀工艺的第一次构图工艺, 可形成一个个相互隔离开来的硅岛 3, 每一个硅岛 3 对应一个 LTPS-TFT。

步骤 S204、对所述硅岛进行离子掺杂。例如, 应用硼离子对所述硅岛进行掺杂。

- 15 若该 LTPS-TFT 的导电沟道为 P 型沟道, 则只需对所述硅岛进行离子掺杂时控制所掺杂的硼离子的剂量, 即可形成 P 型 LTPS-TFT 沟道。

若该 LTPS-TFT 的导电沟道为 N 型沟道, 则应仅对部分的硅岛区域掺杂硼离子, 之后对未掺杂硼离子的硅岛区域掺杂磷离子, 以形成 N 型 LTPS-TFT 沟道。

- 20 步骤 S205、在所述硅岛上形成第二绝缘层和第一金属层。

与第一绝缘层类似的, 第二绝缘层也可以为多层结构, 其由下至上例如包括厚度为 30~50nm 的 SiO₂ 层和厚度为 100~120nm 的 SiN_x 层。位于最下层的 SiO₂ 层是为了与硅岛 3 形成良好的界面匹配; SiN_x 层可起到防止 LTPS-TFT 被电击穿的作用。例如, 第一金属层的厚度可以为 200~300 纳米,

- 25 可以由铝、钼、铜等金属及其合金制成。

进一步的, 本发明实施例还包括:

步骤 S101、利用掩模板, 控制曝光能量以得到第一曝光特征尺寸, 以在所述阵列基板上形成栅极金属层。

- 30 在本发明实施例中, 步骤 S101 的一个示例包括: 在阵列基板上通过涂覆等方式形成光刻胶, 可选用正性光刻胶或负性光刻胶, 利用掩模板 4, 通

过第二次构图工艺，将所述第二绝缘层和第一金属层分别刻蚀形成栅极绝缘层 5 和栅极金属层 6。这里图 1 中所示出的栅极金属层 6 对应于薄膜晶体管的栅极。

利用掩模板 4 经过包括光刻工艺和刻蚀工艺的第二次构图工艺，去除第二绝缘层和第一金属层多余的部分，第二绝缘层和第一金属层剩余的部分分别形成了栅极绝缘层 5 和栅极金属层 6。在该光刻工艺中对光刻胶进行曝光时，控制曝光能量以得到第一曝光特征尺寸，从而得到相应的光刻胶图形，在刻蚀之后，得到对应于光刻胶图案的栅极金属层。此时，该第一曝光特征尺寸例如等于栅极金属层 6 的宽度 D(也即栅极的宽度 D)。

在通过第二次构图工艺形成栅极金属层 6 的同时，还利用第一金属层形成了阵列基板上的栅线。

综上，经过步骤 S201~S101 后，制得如图 1 所示的阵列基板。

步骤 S206、在所述基板上形成光刻胶。

在本发明实施例中，可通过涂覆等方式在基板上形成光刻胶 7，所述光刻胶 7 可选负性光刻胶或正性光刻胶。若形成栅极金属层 6 所选用的为正性光刻胶，则此处的光刻胶应为负性光刻胶；反之，若形成栅极金属层 6 所选用的为负性光刻胶，则此处的光刻胶应为正性光刻胶。这样选择光刻胶的原因是要利用在形成栅极金属层 6 时使用的掩模板 4。以下，以负性光刻胶为例进行说明。此时的阵列基板的结构如图 2 所示。

步骤 S102、利用所述掩模板，控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸，以形成位于栅极金属层的两侧且长度相同的低掺杂区。

在第一曝光特征尺寸对应于栅极金属层 6 的尺寸的情况下，所示第二曝光特征尺寸也大于相应位置的第一曝光特征尺寸。

如上参照图 8A-8C 所描述的，在进行曝光时，所采用的掩模板会在光刻胶上形成对称的阴影区域，这阴影区域就是通常所说的掩模板遮挡的区域，是不会被曝光的；由于曝光的光线在空气中会发生散射，同时加上掩模板的遮挡效果，在阴影区域和曝光的光线充分照射的曝光区域之间会形成一定的过渡区域，这部分过渡区域接收到的曝光能量较小。该阴影区域的大小可以通过调整曝光设备到掩模板的距离或者调节曝光强度来进行调节。

同时由于负性光刻胶只有在吸收足够的能量后才能发生化学反应，形成不溶于显影液的部分；而则可以通过适当减小曝光能量来使得该过度区域接收的曝光能量较小，不足以使得过渡区域的负性光刻胶发生充分的反应，使得过渡区域的负性光刻胶仍然可被显影液显影，在负性光刻胶上形成略微大于掩模板的图形区域。

如图 3 所示，利用形成所述栅极金属层的图案的掩模板 4，在保证该负性光刻胶层在厚度上能充分反应的前提下，可以稍微降低曝光能量，使曝光的特征尺寸 D_2 大于栅极金属层 6 的尺寸 D ，那么显影之后，由剩余的光刻胶所得到的光刻胶图案将暴露出栅极金属层 6 两侧的部分区域，那么相应地即可形成位于栅极金属层 6 的两侧且长度相同的待掺杂区，该待掺杂区由栅极金属层 6 以及剩余的光刻胶 7 同时限定。

进一步的，由于负性光刻胶的刻蚀误差大于正性光刻胶的刻蚀误差，因而在形成待掺杂区时优选负性光刻胶，以利用形成栅极金属层 6 的掩模板 4 形成待掺杂区。相应的，形成栅极金属层 6 时优选正性光刻胶。

然后，对所述待掺杂区进行离子掺杂工艺，形成低掺杂区。

由步骤 S206 可知，由于采用的光刻胶 7 为负性光刻胶，在进行曝光工艺时，曝光特征尺寸内的光刻胶 7 由于没有受到曝光，可以通过使其在显影液中溶解而去除未受到曝光的光刻胶 7，使得栅极金属层 6 和待掺杂区暴露在外，如图 3 所示。

则以因被曝光而未去除的光刻胶 7 和栅极金属层 6 作为掩膜，利用 N^+ 离子(例如磷离子)对所述待掺杂区进行离子掺杂，以形成低掺杂区 8。

由于低掺杂区 8 的阻值较大，那么低掺杂区 8 的长度过长、过短，对 LTPS-TFT 的开态电流和状态电流都有影响。具体的，过长的低掺杂区 8 会降低 LTPS-TFT 的开态电流，进而降低 LTPS-TFT 的响应速率；而过低的低掺杂区 8 则会使得漏电流增大。因而，必须把低掺杂区 8 的长度控制在一个合适的范围内。则本发明实施例中，所述低掺杂区 8 的长度限制为 1~2 微米。

离子掺杂工艺结束后，通过光刻胶剥离工艺除去经过曝光不溶解于显影液的光刻胶。

步骤 S207、形成第三绝缘层，对所述第三绝缘层进行第三次构图工艺，形成包括对称位于栅极金属层两侧的第一过孔和第二过孔的图形。

第一过孔 10 和第二过孔 11 可如图 4 所示。

优选的，所述第三绝缘层 9 可以为多层结构，由下至上包括厚度为 30~50nm 的 SiO_2 层、厚度为 100~120nm 的 SiN_x 层。

5 步骤 S208、形成第二金属层，通过第四次构图工艺形成包括源极和漏极的图形。

第二金属层可通过溅射、沉积等方式形成。通过第四次构图工艺形成如图 4 所示的源极 12 和漏极 13 的同时，还可形成阵列基板上的数据线。

在本发明实施例中，第二金属层可以由钼、铝、钨、铜等金属及其合金制成。

10 步骤 S209、沉积树脂层，并通过第五次构图工艺形成包括位于漏极区域的第三过孔的图形。

树脂层 14 的材料可为感光树脂和非感光树脂。

步骤 S210、形成第一透明导电薄膜，并通过第六次构图工艺形成通过所述第三过孔与所述漏极连接的像素电极。

15 例如，该第一透明导电薄膜可通过溅射等方式形成。

步骤 S210 结束后，形成如图 5 所示的阵列基板的结构。如图 5 所示，像素电极 16 通过树脂层 14 上的第三过孔 15 实现与漏极 13 的电连接。

步骤 S211、形成保护层。

步骤 S211 结束后，形成如图 6 所示的阵列基板的结构。

20 所述保护层 17 的材料可为树脂，具体可为感光树脂或非感光树脂。

步骤 S212、形成第二透明导电薄膜，并通过第七次构图工艺形成包括公共电极的图形。

如图 7 所示，阵列基板上的一个像素区域内具有为狭缝电极的公共电极 18，各个公共电极 18 相互之间具有一定间隔。

25 综上，在经过如图 2 所示的步骤后，可制得如图 7 所示的阵列基板。

需要说明的是，若经过步骤 S202 之后，所形成的多晶硅层的晶核的均匀程度未达到预期要求时，可以对形成的多晶硅层进行再次激光退火处理。

另外，再次激光退火处理还可以在步骤 S102 之后进行。

激光退火处理的次数最好限制在两次以内，因为即使经过了去氢处理，
30 当激光退火处理的次数大于两次时，发生氢爆现象的几率会大大增加，同时

还增大了 LTPS-TFT 的制作成本。

进一步的，如图 7 所示，本发明实施例还提供了一种由上述阵列基板的制作方法制得的阵列基板，该阵列基板包括栅极金属层 6 和位于所述栅极金属层 6 两侧且长度相同的低掺杂区 8，其中所述低掺杂区 8 的长度为 1~2 微米。

本发明实施例的阵列基板包括多条栅线和多条数据线，这些栅线和数据线彼此交叉由此限定了排列为矩阵的像素单元，每个像素单元包括作为开关元件的薄膜晶体管。例如，每个像素单元的薄膜晶体管为采用上述方式得到 LTPS-TFT。

更进一步的，本发明实施例还提供了一种显示装置，所述显示装置可以为：液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

该显示装置的一个示例为液晶显示装置，其中，阵列基板与对置基板彼此对置以形成液晶盒，在液晶盒中填充有液晶材料。该对置基板例如为彩膜基板。在一些示例中，该液晶显示装置还包括为阵列基板提供背光的背光源。

该显示装置的另一个示例为有机发光二极管(OLED)显示装置，其中，阵列基板上形成有有机发光材料叠层，每个像素单元的像素电极作为阳极或阴极用于驱动有机发光材料发光以进行显示操作。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板的制作方法，包括：

5 利用掩模板，控制曝光能量以得到第一曝光特征尺寸，以在所述阵列基板上形成栅极金属层；

再次利用所述掩模板，控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸，以形成位于栅极金属层的两侧且长度相同的低掺杂区。

2、根据权利要求1所述的阵列基板的制作方法，其中，所述低掺杂区的长度为1~2微米。

10 3、根据权利要求1所述的阵列基板的制作方法，在所述阵列基板上形成栅极金属层之前，还包括：

在所述基板上形成第一绝缘层；

在所述第一绝缘层上形成非晶硅层，并进行激光退火工艺，形成多晶硅层；

15 通过第一次构图工艺，形成多晶硅层的硅岛。

4、根据权利要求3所述的阵列基板的制作方法，在所述阵列基板上形成栅极金属层之后，还包括：

对所述硅岛进行激光退火工艺。

20 5、根据权利要求3或4所述的阵列基板的制作方法，其中，形成位于栅极金属层的两侧且长度相同的低掺杂区包括：

再次利用所述掩模板，控制曝光能量，得到大于所述栅极金属层的尺寸的第二曝光特征尺寸形成位于栅极金属层的两侧且长度相同的待掺杂区；对所述待掺杂区进行离子掺杂工艺，形成低掺杂区。

25 6、一种阵列基板，包括栅极金属层和位于所述栅极金属层两侧且长度相同的低掺杂区。

7、根据权利要求6所述的阵列基板，其中，所述低掺杂区的长度为1~2微米。

8、一种显示装置，包括如权利要求6-7任一所述的阵列基板。

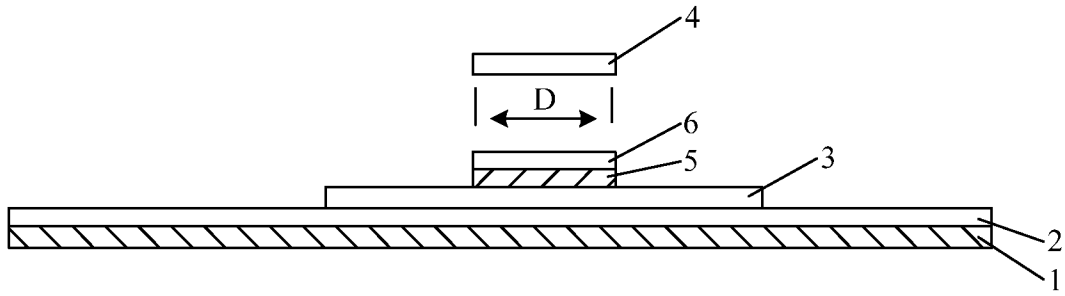


图 1

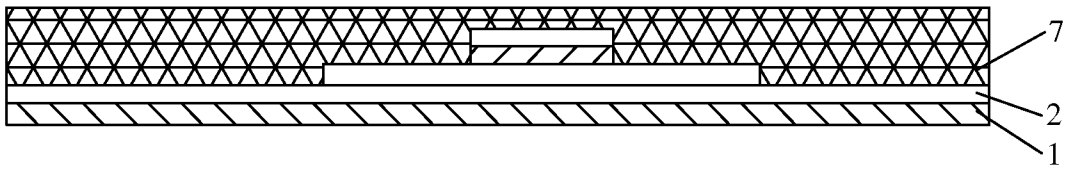


图 2

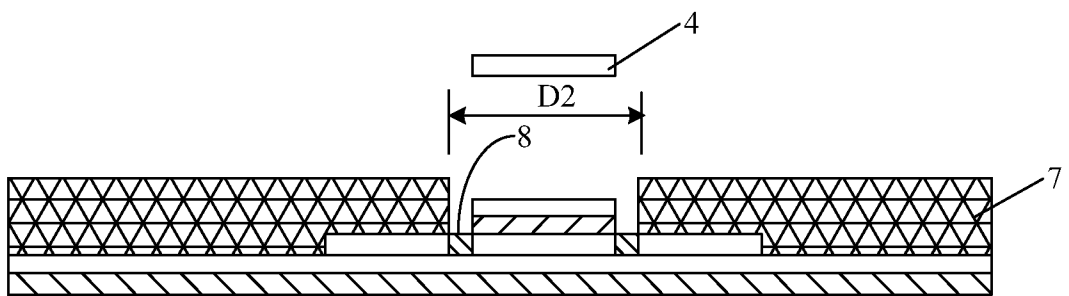


图 3

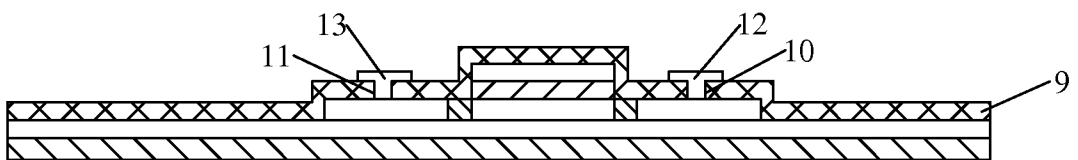


图 4

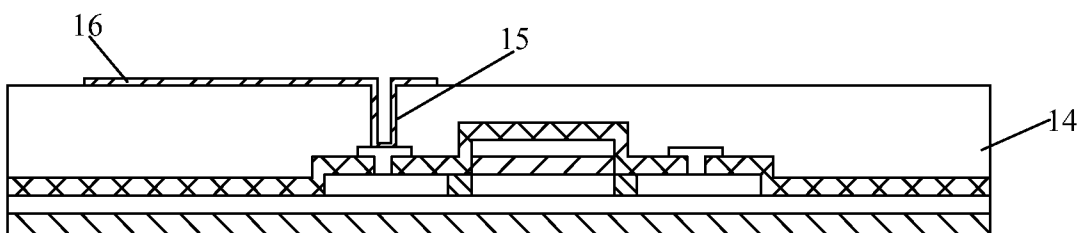


图 5

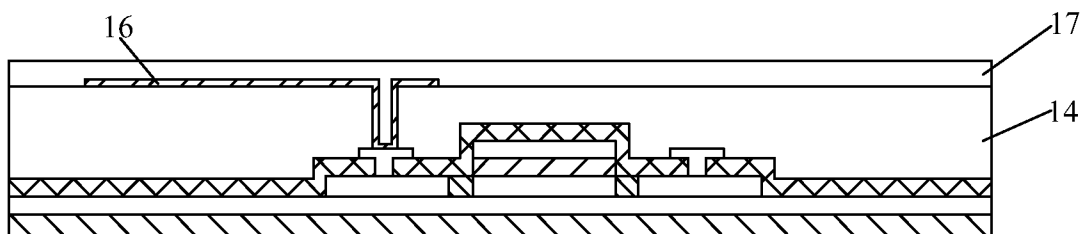


图 6

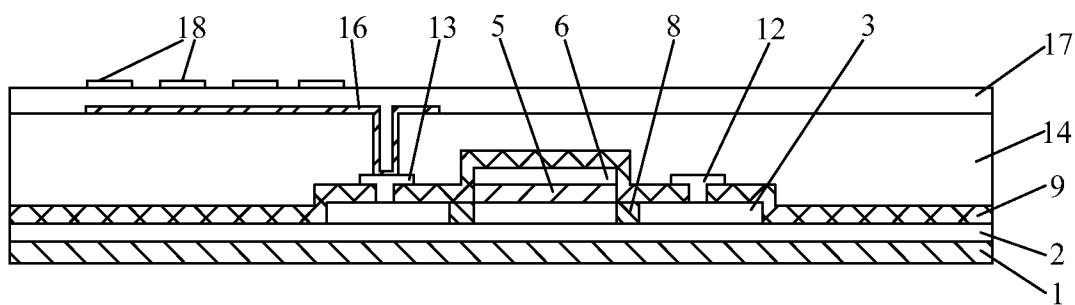


图 7

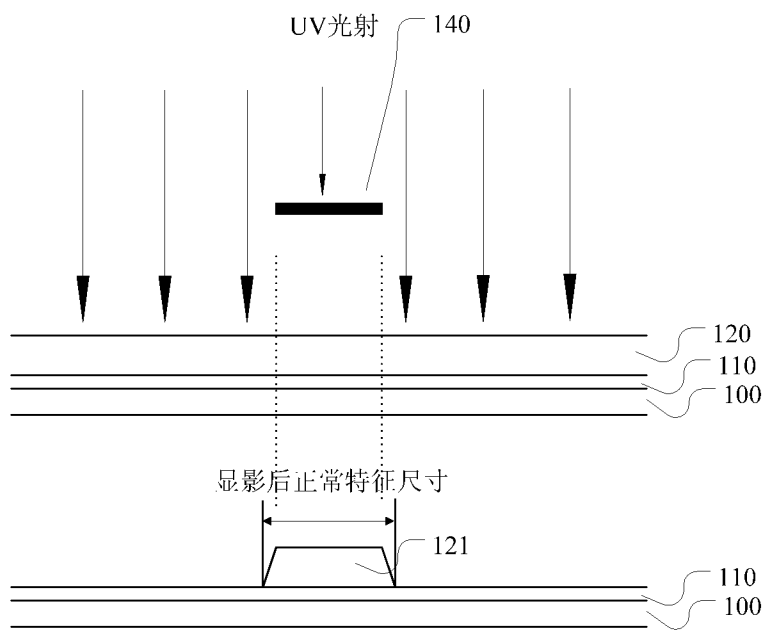


图 8A

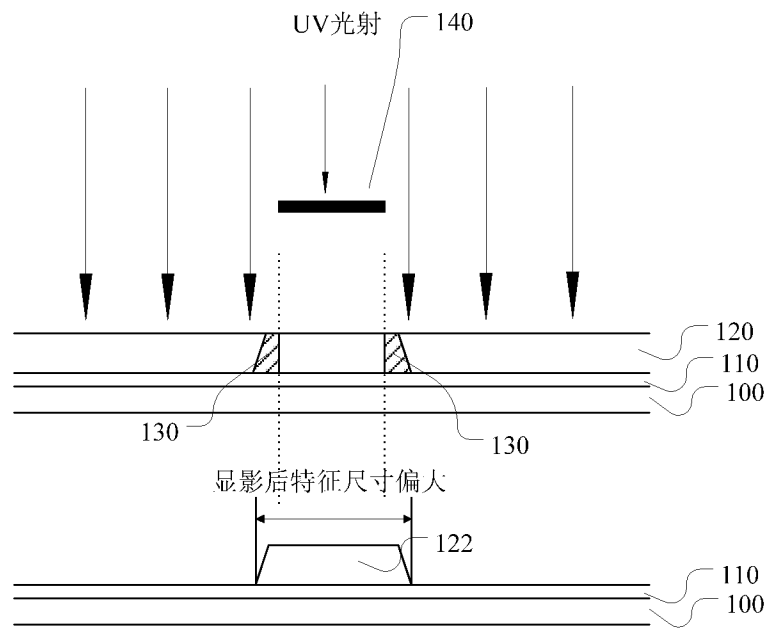


图 8B

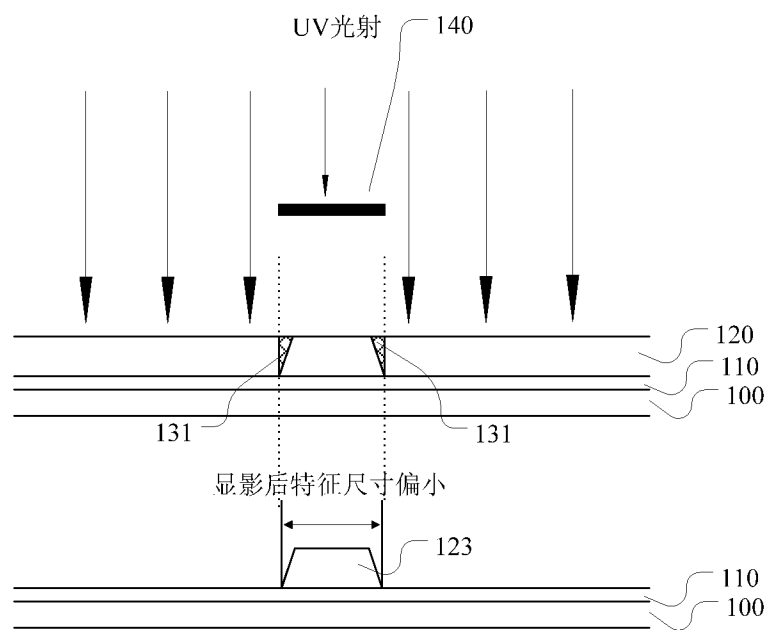


图 8C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/089152

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, USTXT, CNTXT: feature size, gate electrode, shallow doping; CD, array, substrate, exposure, energy, LDD, mask, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103413783 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 27 November 2013 (27.11.2013), claims 1-8, and the whole description	1-8
Y	CN 1722389 A (SEIKO EPSON CORPORATION), 18 January 2006 (18.01.2006), description, page 1, line 10 to page 27, line 27, and figures 1-8	1-8
Y	CN 101572218 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION), 04 November 2009 (04.11.2009), description, page 4, line 6 to page 14, line 24	1-5
Y	CN 1296643 A (PANASONIC CORPORATION), 23 May 2001 (23.05.2001), description, page 6, line 10 to page 39, line 28	1-8
A	US 2004063270 A1 (SEMICONDUCTOR ENERGY LAB), 01 April 2004 (01.04.2004), the whole document	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 April 2014 (10.04.2014)	Date of mailing of the international search report 13 May 2014 (13.05.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SHI, Shudong Telephone No.: (86-10) 62412116

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/089152

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103413783 A	27 November 2013	None	
CN 1722389 A	18 January 2006	CN 100470736 C	18 March 2009
		US 2006008955 A1	12 January 2006
		JP 2006054424 A	23 February 2006
		KR 20060048671 A	18 May 2006
		KR 100670991 B1	17 January 2007
		US 7344931 B2	18 March 2008
		JP 4321486 B2	26 August 2009
CN 101572218 A	04 November 2009	CN 101572218 B	23 March 2011
CN 1296643 A	23 May 2001	US 2004089878 A1	13 May 2004
		US 6812490 B2	02 November 2004
		TW 451494 B	21 August 2001
		GB 2354882 A	04 April 2001
		WO 0054339 A1	14 September 2000
		GB 2354882 B	02 June 2004
		GB 2396744 B	18 August 2004
		GB 2396744 A	30 June 2004
		GB 2396743 A	30 June 2004
		GB 2396743 B	18 August 2004
		GB 2393575 A	31 March 2004
		GB 2393575 B	02 June 2004
		GB 2393574 A	31 March 2004
		GB 2393574 B	02 June 2004
		GB 2393576 B	19 May 2004
		GB 2393576 A	31 March 2004
		JP 2000349297 A	15 December 2000
		US 6624473 B1	23 September 2003
		KR 20010043359 A	25 May 2001
US 2004063270 A1	01 April 2004	JP 4454921 B2	21 April 2010
		JP 2004119861 A	15 April 2004
		US 7009262 B2	07 March 2006
		JP 2010056559 A	11 March 2010
		JP 5063666 B2	31 October 2012

国际检索报告

国际申请号

PCT/CN2013/089152

A. 主题的分类

H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, DWPI, USTXT, CNTXT:特征尺寸, 掩模, 曝光, 能量, 栅极, 浅掺杂; CD, array, substrate, exposure, energy, LDD, mask, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103413783A (北京京东方光电科技有限公司) 2013年 11月 27日 (2013 - 11 - 27) 权利要求1-8, 说明书全文	1-8
Y	CN 1722389A (精工爱普生株式会社) 2006年 1月 18日 (2006 - 01 - 18) 说明书第1页第10行至第27页第27行, 图1-8	1-8
Y	CN 101572218A (中芯国际集成电路制造(北京)有限公司) 2009年 11月 04日 (2009 - 11 - 04) 说明书第4页第6行至第14页第24行	1-5
Y	CN 1296643A (松下电器产业株式会社) 2001年 5月 23日 (2001 - 05 - 23) 说明书第6页第10行至第39页第28行	1-8
A	US 2004063270A1 (SEMICONDUCTOR ENERGY LAB) 2004年 4月 01日 (2004 - 04 - 01) 全文	1-8

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 4月 10日

国际检索报告邮寄日期

2014年 5月 13日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

受权官员

施曙东

电话号码 (86-10)62412116

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/089152

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 103413783A	2013年 11月 27日	无	
CN 1722389A	2006年 1月 18日	CN 100470736C	2009年 3月 18日
		US 2006008955A1	2006年 1月 12日
		JP 2006054424A	2006年 2月 23日
		KR 20060048671A	2006年 5月 18日
		KR 100670991B1	2007年 1月 17日
		US 7344931B2	2008年 3月 18日
		JP 4321486B2	2009年 8月 26日
CN 101572218A	2009年 11月 04日	CN 101572218B	2011年 3月 23日
CN 1296643A	2001年 5月 23日	US 2004089878A1	2004年 5月 13日
		US 6812490B2	2004年 11月 02日
		TW 451494B	2001年 8月 21日
		GB 2354882A	2001年 4月 04日
		WO 0054339A1	2000年 9月 14日
		GB 2354882B	2004年 6月 02日
		GB 2396744B	2004年 8月 18日
		GB 2396744A	2004年 6月 30日
		GB 2396743A	2004年 6月 30日
		GB 2396743B	2004年 8月 18日
		GB 2393575A	2004年 3月 31日
		GB 2393575B	2004年 6月 02日
		GB 2393574A	2004年 3月 31日
		GB 2393574B	2004年 6月 02日
		GB 2393576B	2004年 5月 19日
		GB 2393576A	2004年 3月 31日
		JP 2000349297A	2000年 12月 15日
		US 6624473B1	2003年 9月 23日
		KR 20010043359A	2001年 5月 25日
US 2004063270A1	2004年 4月 01日	JP 4454921B2	2010年 4月 21日
		JP 2004119861A	2004年 4月 15日
		US 7009262B2	2006年 3月 07日
		JP 2010056559A	2010年 3月 11日
		JP 5063666B2	2012年 10月 31日