



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0082068  
(43) 공개일자 2025년06월09일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) G09G 3/00 (2006.01)  
G09G 3/3275 (2016.01)  
(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 3/006 (2013.01)  
(21) 출원번호 10-2023-0168705  
(22) 출원일자 2023년11월28일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
울산과학기술원  
울산광역시 울주군 언양읍 유니스트길 50  
(72) 발명자  
박경민  
경기도 용인시 기흥구 삼성로 1  
변영재  
울산광역시 울주군 언양읍 유니스트길 50  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 23 항

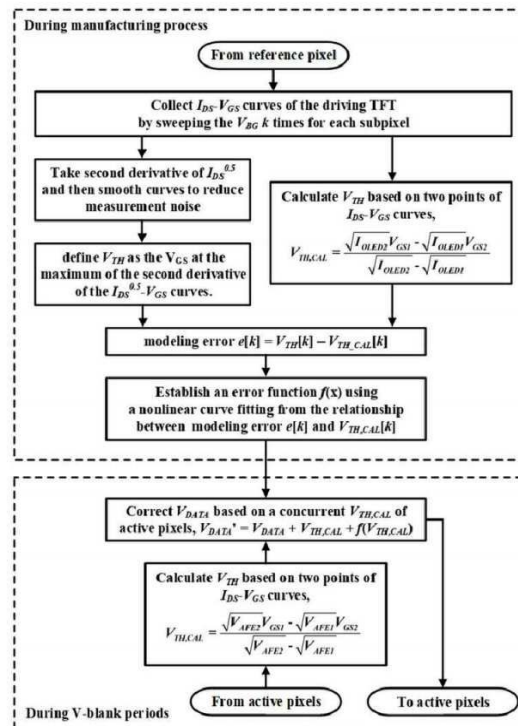
(54) 발명의 명칭 표시 장치 및 표시 장치의 구동 방법

### (57) 요약

표시 패널, 기준 픽셀 측정부 및 구동 제어부를 포함할 수 있다. 상기 표시 패널은 액티브 픽셀 및 기준 픽셀을 포함할 수 있다. 상기 기준 픽셀 측정부는 상기 기준 픽셀에 기준 데이터 전압 및 게이트 전압을 인가하고, 상기 기준 픽셀의 구동 전류를 기초로 제1 문턱 전압 및 제2 문턱 전압을 계산하고, 상기 제1 문턱 전압 및 상기 제2

(뒷면에 계속)

대표도 - 도4



문턱 전압의 편차를 계산할 수 있다. 상기 구동 제어부는 상기 기준 픽셀 측정부를 제어하고, 상기 편차에 기초한 데이터 신호를 출력할 수 있다. 상기 기준 픽셀은 상기 기준 데이터 전압이 인가되는 제1 제어 전극, 상기 게이트 전압이 인가되는 제2 제어 전극, 제1 전원 전압이 인가되는 제1 전극 및 제2 기준 노드에 연결되는 제2 전극을 포함하는 기준 구동 트랜지스터를 포함할 수 있다. 상기 액티브 픽셀은 제1 액티브 노드에 연결되는 제1 제어 전극, 상기 제1 전원 전압 및 상기 제2 전원 전압 중 어느 하나가 인가되는 제2 제어 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 구동 트랜지스터, 스캔 게이트 신호가 인가되는 제어 전극, 상기 데이터 신호에 기초한 데이터 전압이 인가되는 제1 전극 및 상기 제1 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 스캔 트랜지스터, 센싱 게이트 신호가 인가되는 제어 전극, 상기 센싱 라인에 연결되는 제1 전극 및 상기 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 센싱 트랜지스터 및 상기 제2 액티브 노드에 연결되는 애노드 전극 및 상기 제2 전원 전압이 인가되는 캐소드 전극을 포함하는 발광 소자를 포함할 수 있다.

(52) CPC특허분류

**G09G 3/3275** (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/043 (2013.01)

G09G 2300/0809 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2330/12 (2013.01)

(72) 발명자

**신경한**

울산광역시 울주군 언양읍 유니스트길 50

**오승훈**

울산광역시 울주군 언양읍 유니스트길 50

**조해완**

울산광역시 울주군 언양읍 유니스트길 50

**최동진**

울산광역시 울주군 언양읍 유니스트길 50

## 명세서

### 청구범위

#### 청구항 1

액티브 픽셀 및 기준 픽셀을 포함하는 표시 패널;

상기 기준 픽셀에 기준 데이터 전압 및 게이트 전압을 인가하고, 상기 기준 픽셀의 구동 전류를 기초로 제1 문턱 전압 및 제2 문턱 전압을 계산하고, 상기 제1 문턱 전압 및 상기 제2 문턱 전압의 편차를 계산하는 기준 픽셀 측정부; 및

상기 기준 픽셀 측정부를 제어하고, 상기 편차에 기초한 데이터 신호를 출력하는 구동 제어부를 포함하고,

상기 기준 픽셀은,

상기 기준 데이터 전압이 인가되는 제1 제어 전극, 상기 게이트 전압이 인가되는 제2 제어 전극, 제1 전원 전압이 인가되는 제1 전극 및 제2 기준 노드에 연결되는 제2 전극을 포함하는 기준 구동 트랜지스터를 포함하며,

상기 액티브 픽셀은,

제1 액티브 노드에 연결되는 제1 제어 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 구동 트랜지스터;

스캔 게이트 신호가 인가되는 제어 전극, 상기 데이터 신호에 기초한 데이터 전압이 인가되는 제1 전극 및 상기 제1 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 스캔 트랜지스터;

센싱 게이트 신호가 인가되는 제어 전극, 센싱 라인에 연결되는 제1 전극 및 상기 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 센싱 트랜지스터; 및

상기 제2 액티브 노드에 연결되는 애노드 전극 및 상기 제2 전원 전압이 인가되는 캐소드 전극을 포함하는 발광 소자를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 2

제1 항에 있어서, 상기 게이트 전압은 가변하는 것을 특징으로 하는 표시 장치.

#### 청구항 3

제2 항에 있어서, 상기 게이트 전압은 제1 내지 제K 게이트 전압(단, K는 자연수.)을 포함하고,

상기 기준 데이터 전압은 제1 기준 데이터 전압 내지 제2 기준 데이터 전압을 포함하며,

상기 기준 픽셀 측정부는,

상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압을 상기 기준 구동 트랜지스터의 상기 제1 제어 전극에 인가하여, 전압-전류 곡선 함수를 계산하고, 상기 전압-전류 곡선 함수에 기초하여 에러 값을 계산하며,

상기 제1 내지 제K 게이트 전압에 대응되는 제1 내지 제K 에러 값을 계산하고, 상기 제1 내지 제K 에러 값에 기초하여 에러 함수를 생성하는 것을 특징으로 하는 표시 장치.

#### 청구항 4

제3 항에 있어서, 상기 에러 값은 상기 전압-전류 곡선 함수에 제1 수식을 적용하여 계산된 상기 제1 문턱 전압에서 상기 전압-전류 곡선 함수에 제2 수식을 적용하여 계산된 상기 제2 문턱 전압을 뺀 값인 것을 특징으로 하는 표시 장치.

#### 청구항 5

제4 항에 있어서, 상기 제1 문턱 전압은

[제1 수식]

$$V_{TH} = \max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$$

(여기서,  $f^{0.5}(V_{GS})$ 는 상기 전압-전류 곡선 함수를 0.5제곱한 0.5제곱 곡선 함수를 나타내고,

$\max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$ 는 상기 0.5제곱 곡선 함수를 2차 미분한 최댓값에 대응되는 전압임.)

을 이용하여 계산되는 것을 특징으로 하는 표시 장치.

#### 청구항 6

제4 항에 있어서, 상기 제2 문턱 전압은

[제2 수식]

$$V_{TH\_CAL} = \frac{\sqrt{I_2} * V_{GS1} - \sqrt{I_1} * V_{GS2}}{\sqrt{I_2} - \sqrt{I_1}}$$

(여기서,  $V_{TH\_CAL}$ 는 상기 제2 문턱 전압이고,  $V_{GS1}$ 은 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제1 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이며,  $V_{GS2}$ 는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제2 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이고,  $I_1$ 은 상기 제1 센싱 데이터 전압에 대응되는 제1 구동 전류 값이며,  $I_2$ 는 상기 제2 센싱 데이터 전압에 대응되는 제2 구동 전류 값임.)

을 이용하여 계산되는 것을 특징으로 하는 표시 장치.

#### 청구항 7

제3 항에 있어서, 상기 구동 제어부는 상기 예러 함수를 인가받아 저장하고, 상기 예러 함수에 기초하여 상기 데이터 신호를 출력하는 것을 특징으로 하는 표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 표시 장치는,

액티브 구간에서 상기 액티브 픽셀들에 데이터 전압을 인가하는 데이터 구동부; 및

블랭크 구간에서 상기 액티브 픽셀들 중 적어도 어느 하나의 픽셀로부터 센싱 전류를 인가받아, 센싱 문턱 전압을 포함하는 센싱 데이터를 출력하는 센싱 구동부를 더 포함하고,

상기 구동 제어부는 상기 데이터 구동부 및 상기 센싱 구동부를 제어하며,

상기 구동 제어부는 보상 전압 계산 블록 및 데이터 신호 출력 블록을 포함하고,

상기 보상 전압 계산 블록은,

상기 센싱 데이터를 인가받아, 상기 센싱 문턱 전압에 기초하여 액티브 문턱 전압을 계산하고, 상기 액티브 문턱 전압 및 상기 예러 함수를 활용하여 보상 전압을 계산하며, 상기 보상 전압에 기초하여 상기 데이터 신호를 출력하는 것을 특징으로 하는 표시 장치.

#### 청구항 9

제8 항에 있어서, 상기 액티브 문턱 전압은

[제3 수식]

$$PXA\_V_{TH\_CAL} = \frac{\sqrt{V_{SEN2}} * V_{GS1A} - \sqrt{V_{SEN1}} * V_{GS2A}}{\sqrt{V_{SEN2}} - \sqrt{V_{SEN1}}}$$

(여기서, PXA\_VTH\_CAL는 상기 액티브 문턱 전압 값이고, VGS1A은 상기 데이터 전압이 포함하는 제1 액티브 센싱 데이터 전압이 인가된 경우, 상기 적어도 어느 하나의 픽셀의 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이며, VGS2A는 상기 데이터 전압이 포함하는 제2 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이고, VSEN1은 상기 제1 액티브 센싱 데이터 전압에 대응되는 제1 센싱 문턱 전압 값이며, VSEN2는 상기 제2 액티브 센싱 데이터 전압에 대응되는 제2 센싱 문턱 전압 값임)을 이용하여 계산되는 것을 특징으로 하는 표시 장치.

#### 청구항 10

제8 항에 있어서,

상기 표시 패널은 제1 내지 제4 센싱 라인을 더 포함하고,

상기 센싱 구동부는 홀수 센싱 블록 및 짝수 센싱 블록을 포함하며,

상기 홀수 센싱 블록은 상기 제1 센싱 라인 및 상기 제3 센싱 라인이 연결되고,

상기 짝수 센싱 블록은 상기 제2 센싱 라인 및 상기 제4 센싱 라인이 연결되는 것을 특징으로 하는 표시 장치.

#### 청구항 11

제8 항에 있어서, 상기 보상 전압은 제1 프레임에서 계산된 제1 보상 전압 및 제2 프레임에서 계산된 제2 보상 전압의 평균 값인 것을 특징으로 하는 표시 장치.

#### 청구항 12

제3 항에 있어서,

상기 에러 함수는 적색 기준 발광 소자에 대응되는 적색 에러 함수, 녹색 기준 발광소자에 대응되는 녹색 에러 함수 및 청색 기준 발광 소자에 대응되는 청색 에러 함수를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 13

제3 항에 있어서,

상기 에러 함수는 제조 공정 과정에서 생성되는 것을 특징으로 하는 표시 장치.

#### 청구항 14

액티브 픽셀이 포함하는 액티브 구동 트랜지스터의 제1 제어 전극에 제1 센싱 데이터 전압을 인가하여 출력된 제1 센싱 문턱 전압을 저장하는 단계;

상기 제1 센싱 문턱 전압을 저장하는 단계 이후, 상기 액티브 구동 트랜지스터의 상기 제1 제어 전극에 제2 센싱 데이터 전압을 인가하여 출력된 제2 센싱 문턱 전압을 저장하는 단계;

상기 제1 센싱 문턱 전압 및 상기 제2 센싱 문턱 전압을 기초로 액티브 문턱 전압을 계산하는 단계; 및

액티브 문턱 전압을 계산하는 단계 이후, 기준 픽셀로부터 도출된 제1 문턱 전압과 제2 문턱 전압의 편차인 에러 값 및 상기 액티브 문턱 전압을 활용하여 계산된 보상 전압을 출력하는 단계를 포함하는 표시 장치의 구동 방법.

#### 청구항 15

제14 항에 있어서, 상기 에러 값을 계산하는 과정은,

상기 기준 픽셀의 기준 구동 트랜지스터의 제1 제어 전극에 제1 기준 데이터 전압 내지 제2 기준 데이터 전압을 인가하고, 상기 기준 구동 트랜지스터의 제2 제어 전극에 게이트 전압을 인가하는 단계;

상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 및 상기 게이트 전압을 인가하는 단계 이후, 상기 기준 구동 트랜지스터의 전압-전류 곡선 함수를 계산하는 단계;

상기 전압-전류 곡선 함수를 계산하는 단계 이후, 상기 전압-전류 곡선 함수로부터 상기 제1 문턱 전압 및 상기

제2 문턱 전압을 계산하는 단계; 및

상기 제1 문턱 전압 및 제2 문턱 전압을 계산하는 단계 이후, 상기 제1 문턱 전압에서 상기 제2 문턱 전압을 뺀 값인 상기 에러 값을 저장하는 단계; 및

상기 에러 값을 저장하는 단계 이후, 상기 게이트 전압을 K(단, K는 자연수.)번 가변하여 제1 에러 값 내지 제K 에러 값을 계산하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 16

제15 항에 있어서, 상기 제1 에러 값 내지 상기 제K 에러 값을 기초로 에러 함수를 생성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 17

제15 항에 있어서,

상기 제1 문턱 전압은,

[제1 수식]

$$V_{TH} = \max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$$

(여기서,  $f^{0.5}(V_{GS})$ 는 상기 전압-전류 곡선 함수를 0.5제곱한 0.5제곱 곡선 함수를 나타내고,

$\max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$ 는 상기 0.5제곱 곡선 함수를 2차 미분한 최댓값에 대응되는 전압임.)

을 이용하여 계산되는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 18

제15 항에 있어서,

상기 제2 문턱 전압은,

[제2 수식]

$$V_{TH\_CAL} = \frac{\sqrt{I_2} * V_{GS1} - \sqrt{I_1} * V_{GS2}}{\sqrt{I_2} - \sqrt{I_1}}$$

(여기서,  $V_{TH\_CAL}$ 는 상기 제2 문턱 전압이고,  $V_{GS1}$ 은 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제1 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이며,  $V_{GS2}$ 는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제2 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이고,  $I_1$ 은 상기 제1 센싱 데이터 전압에 대응되는 제1 구동 전류 값이며,  $I_2$ 는 상기 제2 센싱 데이터 전압에 대응되는 제2 구동 전류 값임.)

을 이용하여 계산되는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 19

제14 항에 있어서,

상기 액티브 문턱 전압은,

[제3 수식]

$$PXA\_V_{TH\_CAL} = \frac{\sqrt{V_{SEN2}} * V_{GS1A} - \sqrt{V_{SEN1}} * V_{GS2A}}{\sqrt{V_{SEN2}} - \sqrt{V_{SEN1}}}$$

(여기서,  $PXA\_V_{TH\_CAL}$ 는 상기 액티브 문턱 전압 값이고,  $V_{GS1A}$ 은 상기 데이터 전압이 포함하는 제1 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이며,  $V_{GS2A}$ 는 상기

데이터 전압이 포함하는 제2 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이고, VSEN1은 상기 제1 액티브 센싱 데이터 전압에 대응되는 제1 센싱 문턱 전압 값이며, VSEN2는 상기 제2 액티브 센싱 데이터 전압에 대응되는 제2 센싱 문턱 전압 값임)

을 이용하여 계산되는 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 20

제14 항에 있어서, 상기 보상 전압은, 제1 프레임에서 계산된 제1 보상 전압 및 제2 프레임에서 계산된 제2 보상 전압의 평균 값인 것을 특징으로 하는 표시 장치의 구동 방법.

#### 청구항 21

표시 패널; 및

상기 표시 패널을 구동하는 패널 구동부를 포함하고,

상기 패널 구동부는 센싱 데이터와 에러 함수를 활용하여 상기 표시 패널에 보상 전압을 인가하고,

상기 표시 패널은 상기 보상 전압에 기초하여 발광하며,

상기 에러 함수는

제1 프로세스를 활용하여 수집된 전압-전류 곡선 함수들에 제2 프로세스를 활용하여 도출된 제1 문턱 전압들과 상기 전압-전류 곡선 함수들에 상기 제2 프로세스와 상이한 제3 프로세스를 활용하여 도출된 제2 문턱 전압들에 기초하여 설정되는 것을 특징으로 하는 표시 장치.

#### 청구항 22

제21 항에 있어서, 상기 에러 함수는,

상기 제1 문턱 전압과 상기 제2 문턱 전압의 편차인 에러 값을 활용하여 설정되는 것을 특징으로 하는 표시 장치.

#### 청구항 23

제21 항에 있어서, 상기 보상 전압은,

블랭크 구간에서 상기 센싱 데이터와 상기 에러 함수를 활용하여 상기 표시 패널에 인가되는 것을 특징으로 하는 표시 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 표시 장치 및 상기 표시 장치의 구동 방법에 관한 것으로서, 더욱 상세하게는 센싱 동작 및 보상 동작을 수행하는 표시 장치 및 상기 표시 장치의 구동 방법에 관한 것이다.

#### 배경 기술

[0002] 일반적으로, 표시 장치는 표시 패널 및 표시 패널 구동부를 포함한다. 상기 표시 패널은 복수의 게이트 라인들, 복수의 데이터 라인들 및 복수의 픽셀들을 포함한다. 상기 표시 패널 구동부는 상기 복수의 게이트 라인들에 게이트 신호를 제공하는 게이트 구동부, 상기 데이터 라인들에 데이터 전압을 제공하는 데이터 구동부 및 상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 구동 제어부를 포함한다.

[0003] 일반적으로, 표시 장치에서, 픽셀들이 동일한 공정에 의해 제조되더라도, 상기 픽셀들의 구동 스위칭 소자들은 서로 다른 구동 특성들(예를 들어, 이동도 및/또는 문턱 전압)을 가질 수 있고, 상기 픽셀들은 서로 다른 휘도로 발광할 수 있다. 또한, 상기 픽셀들의 상기 구동 특성들을 반영한 보상 전압은 신뢰성이 낮을 수 있다.

#### 발명의 내용

## 해결하려는 과제

- [0004] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 일 목적은 표시 패널이 액티브 픽셀 및 기준 픽셀을 포함하고, 상기 기준 픽셀로부터 에러 함수를 생성하여 신뢰성이 향상된 보상 전압을 제공하는 표시 장치를 제공하는 것이다.
- [0005] 본 발명의 다른 목적은 상기 표시 장치의 구동 방법을 제공하는 것이다.
- [0006] 다만, 본 발명의 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

## 과제의 해결 수단

- [0007] 일 실시예에 따른 표시 장치는 표시 패널, 기준 픽셀 측정부 및 구동 제어부를 포함할 수 있다. 상기 표시 패널은 액티브 픽셀 및 기준 픽셀을 포함할 수 있다. 상기 기준 픽셀 측정부는 상기 기준 픽셀에 기준 데이터 전압 및 게이트 전압을 인가하고, 상기 기준 픽셀의 구동 전류를 기초로 제1 문턱 전압 및 제2 문턱 전압을 계산하고, 상기 제1 문턱 전압 및 상기 제2 문턱 전압의 편차를 계산할 수 있다. 상기 구동 제어부는 상기 기준 픽셀 측정부를 제어하고, 상기 편차에 기초한 데이터 신호를 출력할 수 있다. 상기 기준 픽셀은 상기 기준 데이터 전압이 인가되는 제1 제어 전극, 상기 게이트 전압이 인가되는 제2 제어 전극, 제1 전원 전압이 인가되는 제1 전극 및 제2 기준 노드에 연결되는 제2 전극을 포함하는 기준 구동 트랜지스터를 포함할 수 있다. 상기 액티브 픽셀은 제1 액티브 노드에 연결되는 제1 제어 전극, 상기 제1 전원 전압 및 상기 제2 전원 전압 중 어느 하나가 인가되는 제2 제어 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 구동 트랜지스터, 스캔 게이트 신호가 인가되는 제어 전극, 상기 데이터 신호에 기초한 데이터 전압이 인가되는 제1 전극 및 상기 제1 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 스캔 트랜지스터, 센싱 게이트 신호가 인가되는 제어 전극, 상기 센싱 라인에 연결되는 제1 전극 및 상기 제2 액티브 노드에 연결되는 제2 전극을 포함하는 액티브 센싱 트랜지스터 및 상기 제2 액티브 노드에 연결되는 애노드 전극 및 상기 제2 전원 전압이 인가되는 캐소드 전극을 포함하는 발광 소자를 포함할 수 있다.
- [0008] 일 실시예에서, 상기 게이트 전압은 가변할 수 있다
- [0009] 일 실시예에서, 상기 게이트 전압은 제1 내지 제K 게이트 전압(단, K는 자연수.)을 포함할 수 있고, 상기 기준 데이터 전압은 제1 기준 데이터 전압 내지 제2 기준 데이터 전압을 포함할 수 있으며, 상기 기준 픽셀 측정부는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압을 상기 기준 구동 트랜지스터의 상기 제1 제어 전극에 인가하여, 전압-전류 곡선 함수를 계산하고, 상기 전압-전류 곡선 함수에 기초하여 에러 값을 계산할 수 있고, 상기 제1 내지 제K 게이트 전압에 대응되는 제1 내지 제K 에러 값을 계산하고, 상기 제1 내지 제K 에러 값에 기초하여 에러 함수를 생성할 수 있다.
- [0010] 일 실시예에서, 상기 에러 값은 상기 전압-전류 곡선 함수에 제1 수식을 적용하여 계산된 상기 제1 문턱 전압에서 상기 전압-전류 곡선 함수에 제2 수식을 적용하여 계산된 상기 제2 문턱 전압을 뺀 값일 수 있다.

- [0011] 일 실시예에서, 상기 제1 문턱 전압은

- [0012] [제1 수식]

$$V_{TH} = \max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$$

- [0013] 을 이용하여 계산될 수 있다. 여기서,  $f^{0.5}(V_{GS})$ 는 상기 전압-전류 곡선 함수를 0.5제곱한 0.5제곱 곡선 함수를 나타내고,  $\max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$ 는 상기 0.5제곱 곡선 함수를 2차 미분한 최댓값에 대응되는 전압일 수 있다.

- [0014] 일 실시예에서, 상기 제2 문턱 전압은,

- [0015] [제2 수식]

$$V_{TH\_CAL} = \frac{\sqrt{I_2} * V_{GS1} - \sqrt{I_1} * V_{GS2}}{\sqrt{I_2} - \sqrt{I_1}}$$

- [0016] 을 이용하여 계산될 수 있다. 여기서,  $V_{TH\_CAL}$ 는 상기 제2 문턱 전압이고,  $V_{GS1}$ 는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제1 센싱 데이터 전압이 인

가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이며, VGS2는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제2 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이고, I1은 상기 제1 센싱 데이터 전압에 대응되는 제1 구동 전류 값이며, I2는 상기 제2 센싱 데이터 전압에 대응되는 제2 구동 전류 값일 수 있다.

[0017] 일 실시예에서, 상기 구동 제어부는 상기 에러 함수를 인가받아 저장하고, 상기 에러 함수에 기초하여 상기 데이터 신호를 출력할 수 있다.

[0018] 일 실시예에서, 상기 표시 장치는 액티브 구간에서 상기 액티브 픽셀들에 데이터 전압을 인가하는 데이터 구동부 및 블랭크 구간에서 상기 액티브 픽셀들 중 적어도 어느 하나의 픽셀로부터 센싱 전류를 인가받아, 센싱 문턱 전압을 포함하는 센싱 데이터를 출력하는 센싱 구동부를 더 포함할 수 있고, 상기 구동 제어부는 상기 데이터 구동부 및 상기 센싱 구동부를 제어할 수 있으며, 상기 구동 제어부는 보상 전압 계산 블록 및 데이터 신호 출력 블록을 포함할 수 있고, 상기 보상 전압 계산 블록은 상기 센싱 데이터를 인가받아, 상기 센싱 문턱 전압에 기초하여 액티브 문턱 전압을 계산하고, 상기 액티브 문턱 전압 및 상기 에러 함수를 활용하여 보상 전압을 계산하며, 상기 보상 전압에 기초하여 상기 데이터 신호를 출력할 수 있다.

[0019] 일 실시예에서, 상기 액티브 문턱 전압은

[제3 수식]

[0021] 
$$PXA\_VTH\_CAL = \frac{\sqrt{VSEN2} * VGS1A - \sqrt{VSEN1} * VGS2A}{\sqrt{VSEN2} - \sqrt{VSEN1}}$$
 을 이용하여 계산될 수 있다. 여기서, PXA\_VTH\_CAL는 상기 액티브 문턱 전압 값이고, VGS1A은 상기 데이터 전압이 포함하는 제1 액티브 센싱 데이터 전압이 인가된 경우, 상기 적어도 어느 하나의 픽셀의 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이며, VGS2A는 상기 데이터 전압이 포함하는 제2 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이고, VSEN1은 상기 제1 액티브 센싱 데이터 전압에 대응되는 제1 센싱 문턱 전압 값이며, VSEN2는 상기 제2 액티브 센싱 데이터 전압에 대응되는 제2 센싱 문턱 전압 값일 수 있다.

[0022] 일 실시예에서, 상기 표시 패널은 제1 내지 제4 센싱 라인을 더 포함할 수 있고, 상기 센싱 구동부는 홀수 센싱 블록 및 짝수 센싱 블록을 포함할 수 있으며, 상기 홀수 센싱 블록은 상기 제1 센싱 라인 및 상기 제3 센싱 라인이 연결될 수 있고, 상기 짝수 센싱 블록은 상기 제2 센싱 라인 및 상기 제4 센싱 라인이 연결될 수 있다.

[0023] 일 실시예에서, 상기 보상 전압은 제1 프레임에서 계산된 제1 보상 전압 및 제2 프레임에서 계산된 제2 보상 전압의 평균 값일 수 있다.

[0024] 일 실시예에서, 상기 에러 함수는 적색 기준 발광 소자에 대응되는 적색 에러 함수, 녹색 기준 발광소자에 대응되는 녹색 에러 함수 및 청색 기준 발광 소자에 대응되는 청색 에러 함수를 포함할 수 있다.

[0025] 일 실시예에서, 상기 에러 함수는 제조 공정 과정에서 생성될 수 있다.

[0026] 일 실시예에 따른 표시 장치의 구동 방법은, 액티브 픽셀이 포함하는 액티브 구동 트랜지스터의 제1 제어 전극에 제1 센싱 데이터 전압을 인가하여 출력된 제1 센싱 문턱 전압을 저장하는 단계, 상기 제1 센싱 문턱 전압을 저장하는 단계 이후, 상기 액티브 구동 트랜지스터의 상기 제1 제어 전극에 제2 센싱 데이터 전압을 인가하여 출력된 제2 센싱 문턱 전압을 저장하는 단계, 상기 제1 센싱 문턱 전압 및 상기 제2 센싱 문턱 전압을 기초로 액티브 문턱 전압을 계산하는 단계 및 액티브 문턱 전압을 계산하는 단계 이후, 기준 픽셀로부터 도출된 제1 문턱 전압과 제2 문턱 전압의 편차인 에러 값 및 상기 액티브 문턱 전압을 활용하여 계산된 보상 전압을 출력하는 단계를 포함할 수 있다.

[0027] 일 실시예에서, 상기 에러 값을 계산하는 과정은 상기 기준 픽셀의 기준 구동 트랜지스터의 제1 제어 전극에 제1 기준 데이터 전압 내지 제2 기준 데이터 전압을 인가하고, 상기 기준 구동 트랜지스터의 제2 제어 전극에 게이트 전압을 인가하는 단계, 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 및 상기 게이트 전압을 인가하는 단계 이후, 상기 기준 구동 트랜지스터의 전압-전류 곡선 함수를 계산하는 단계, 상기 전압-전류 곡선 함수를 계산하는 단계 이후, 상기 전압-전류 곡선 함수로부터 상기 제1 문턱 전압 및 상기 제2 문턱 전압을 계산하는 단계 및 상기 제1 문턱 전압 및 제2 문턱 전압을 계산하는 단계 이후, 상기 제1 문턱 전압에서 상기 제2 문턱 전압을 뺀 값인 상기 에러 값을 저장하는 단계 및 상기 에러 값을 저장하는 단계 이후, 상기 게이트 전압을 K(단, K는 자연수.)번 가변하여 제1 에러 값 내지 제K 에러 값을 계산하는 단계를 포함할 수 있다.

[0028] 일 실시예에서, 상기 제1 에러 값 내지 상기 제K 에러 값을 기초로 에러 함수를 생성하는 단계를 더 포함할 수 있다.

[0029] 일 실시예에서, 상기 제1 문턱 전압은

[제1 수식]

$$V_{TH} = \max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$$

[0031] 을 이용하여 계산될 수 있다. 여기서,  $f^{0.5}(V_{GS})$ 는 상기 전압-전류 곡선 함수를 0.5제곱한 0.5제곱 곡선 함수를 나타내고,  $\max \left\{ \frac{d}{dV_{GS}} \left( \frac{d}{dV_{GS}} f^{0.5}(V_{GS}) \right) \right\}$ 는 상기 0.5제곱 곡선 함수를 2차 미분한 최대값에 대응되는 전압일 수 있다.

[0032] 일 실시예에서, 상기 제2 문턱 전압은,

[제2 수식]

$$V_{TH\_CAL} = \frac{\sqrt{I_2} * V_{GS1} - \sqrt{I_1} * V_{GS2}}{\sqrt{I_2} - \sqrt{I_1}}$$

[0034] 을 이용하여 계산될 수 있다. 여기서,  $V_{TH\_CAL}$ 는 상기 제2 문턱 전압이고,  $V_{GS1}$ 은 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제1 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이며,  $V_{GS2}$ 는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제2 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터의 제1 제어 전극-소스 전압이고,  $I_1$ 은 상기 제1 센싱 데이터 전압에 대응되는 제1 구동 전류 값이며,  $I_2$ 는 상기 제2 센싱 데이터 전압에 대응되는 제2 구동 전류 값일 수 있다.

[0035] 일 실시예에서, 상기 액티브 문턱 전압은

[제3 수식]

$$PXA\_V_{TH\_CAL} = \frac{\sqrt{V_{SEN2}} * V_{GS1A} - \sqrt{V_{SEN1}} * V_{GS2A}}{\sqrt{V_{SEN2}} - \sqrt{V_{SEN1}}}$$

[0037] 을 이용하여 계산될 수 있다. 여기서,  $PXA\_V_{TH\_CAL}$ 는 상기 액티브 문턱 전압 값이고,  $V_{GS1A}$ 은 상기 데이터 전압이 포함하는 제1 액티브 센싱 데이터 전압이 인가된 경우, 상기 적어도 어느 하나의 픽셀의 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이며,  $V_{GS2A}$ 는 상기 데이터 전압이 포함하는 제2 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터의 제1 제어 전극-소스 전압의 값이고,  $V_{SEN1}$ 은 상기 제1 액티브 센싱 데이터 전압에 대응되는 제1 센싱 문턱 전압 값이며,  $V_{SEN2}$ 는 상기 제2 액티브 센싱 데이터 전압에 대응되는 제2 센싱 문턱 전압 값일 수 있다.

[0038] 일 실시예에서, 상기 보상 전압은, 제1 프레임에서 계산된 제1 보상 전압 및 제2 프레임에서 계산된 제2 보상 전압의 평균 값일 수 있다.

[0039] 일 실시예에 따른 표시 장치는 표시 패널 및 상기 표시 패널을 구동하는 패널 구동부를 포함할 수 있다. 상기 패널 구동부는 센싱 데이터와 에러 함수를 활용하여 상기 표시 패널에 보상 전압을 인가할 수 있다. 상기 표시 패널은 상기 보상 전압에 기초하여 발광할 수 있다. 상기 에러 함수는 제1 프로세스를 활용하여 수집된 전압-전류 곡선 함수들에 제2 프로세스를 활용하여 도출된 제1 문턱 전압과 상기 전압-전류 곡선 함수들에 상기 제2 프로세스와 상이한 제3 프로세스를 활용하여 도출된 제2 문턱 전압에 기초하여 설정될 수 있다.

[0040] 일 실시예에서, 상기 에러 함수는 상기 제1 문턱 전압과 상기 제2 문턱 전압의 편차인 에러 값을 활용하여 설정될 수 있다.

[0041] 일 실시예에서, 상기 보상 전압은 블랭크 구간에서 상기 센싱 데이터와 상기 에러 함수를 활용하여 상기 표시 패널에 인가될 수 있다.

### 발명의 효과

[0042] 이와 같은 표시 장치 및 표시 장치를 구동하는 방법에 따르면, 상기 표시 장치는 액티브 픽셀, 기준 픽셀 및 기준 픽셀 측정부를 포함한다. 상기 기준 픽셀의 기준 구동 트랜지스터는 이중-게이트 구조를 가지는 트랜지스터일 수 있다. 상기 기준 픽셀 측정부는 상기 기준 구동 트랜지스터의 제2 제어 전극에 인가되는 게이트 전압을

가변하여 에러 함수를 생성할 수 있다. 상기 에러 함수를 통하여 상기 액티브 픽셀들의 보상 데이터(예를 들어, 액티브 구동 트랜지스터의 문턱 전압, 상기 액티브 구동 트랜지스터의 이동도)의 정밀도가 향상될 수 있다.

[0043] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

### 도면의 간단한 설명

[0044] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.  
 도 2는 도 1의 기준 픽셀 및 기준 픽셀 측정부를 나타내는 블록도이다.  
 도 3은 도 1의 표시 패널의 기준 픽셀을 나타내는 회로도이다.  
 도 4는 도 1의 표시 장치의 보상 동작을 나타내는 순서도이다.  
 도 5는 도 1의 표시 패널의 액티브 픽셀을 나타내는 회로도이다.  
 도 6은 도 1의 표시 장치가 보상 전압을 생성하는 순서를 나타내는 순서도이다.  
 도 7은 도 1의 구동 제어부의 구성을 나타내는 블록도이다.  
 도 8은 도 1의 구동 제어부의 구성을 나타내는 블록도이다.  
 도 9는 도 1의 센싱 구동부의 구성을 나타내는 블록도이다.  
 도 10은 도 1의 표시 장치가 포함하는 전류 적분 회로를 나타내는 회로도이다.  
 도 11은 도 1의 표시 장치가 포함하는 전압 증폭 회로를 나타내는 회로도이다.  
 도 12는 도 9의 전류 적분 회로가 포함하는 캐패시터 어레이 회로를 나타내는 회로도이다.  
 도 13은 도 1의 액티브 픽셀에 인가되는 신호를 나타내는 타이밍도이다.  
 도 14는 도 11의 전류 적분 회로 및 도 12의 전압 증폭 회로에 인가되는 신호를 나타내는 타이밍도이다.  
 도 15는 도 1의 센싱 구동부의 구성을 나타내는 블록도이다.  
 도 16은 도 11의 전류 적분 회로의 적분 앰프의 구성 및 도 12의 전압 증폭 회로의 증폭 앰프의 구성의 일 예를 나타내는 회로도이다.  
 도 17은 도 1의 기준 구동 트랜지스터의 전압-전류 곡선 함수들을 나타내는 그래프이다.  
 도 18은 도 4에서 제1 수식을 활용한 결과 값을 나타내는 그래프이다.  
 도 19는 도 1의 기준 구동 트랜지스터의 전압-전류 곡선 함수들에 제1 수식을 활용한 결과 값을 나타내는 그래프이다.  
 도 20은 도 1의 표시 장치의 에러 함수의 일 예를 나타내는 그래프이다.  
 도 21는 예측 오차를 나타내는 그래프이다. 도 22는 전류 오차를 나타내는 그래프이다.  
 도 23은 본 발명의 일 실시예에 따른 전자 장치를 나타내는 블록도이다.  
 도 24는 도 23의 전자 장치의 일례를 나타내는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0045] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0046] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

[0047] 도 1을 참조하면, 본 발명의 실시예들에 따른 표시 장치는 액티브 픽셀(PX-A) 및 기준 픽셀(PX-R)을 포함하는 표시 패널(100) 및 상기 표시 패널(100)을 구동하는 패널 구동부를 포함할 수 있다. 일 실시예에서, 상기 패널 구동부는 상기 액티브 픽셀(PX-A)에 스캔 게이트 신호(SC) 및 센싱 게이트 신호(SS)를 제공하는 게이트 구동부(300), 데이터 구동부(500)에 감마 기준 전압(VGREF)을 제공하는 감마 기준 전압 생성부(400), 데이터 라인들(DL[1], DL[2], DL[3], ..., DL[2P-1], DL[2P])(단, P는 자연수)을 통하여 상기 액티브 픽셀(PX-A)에 연결되는

상기 데이터 구동부(500), 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])을 통하여 상기 액티브 픽셀(PX-A)에 연결되는 센싱 구동부(600), 상기 기준 픽셀(PX-R)에 기준 데이터 전압(RVDATA), 게이트 전압(VCAL), 기준 스캔 게이트 신호(SCR) 및 기준 센싱 게이트 신호(SSR)를 제공하는 기준 픽셀 측정부(700) 및 상기 게이트 구동부(300), 상기 데이터 구동부(500), 상기 센싱 구동부(600) 및 상기 기준 픽셀 측정부(700)를 제어하는 구동 제어부(200)를 포함할 수 있다. 본 실시예에서, 상기 게이트 전압(VCAL)은 DC 전압일 수 있다. 본 실시예에서, 상기 게이트 전압(VCAL)은 가변될 수 있다.

[0048] 상기 표시 패널(100)은 상기 데이터 라인들(DL[1], DL[2], DL[3], ..., DL[2P-1], DL[2P]), 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P]), 상기 기준 픽셀(PX-R) 및 상기 데이터 라인들(DL[1], DL[2], DL[3], ..., DL[2P-1], DL[2P]) 및 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])에 연결되는 상기 액티브 픽셀(PX-A)을 포함할 수 있다. 또한, 상기 표시 패널(100)은 상기 액티브 픽셀(PX-A)에 상기 스캔 게이트 신호(SC)를 제공하기 위한 스캔 라인, 및 상기 액티브 픽셀(PX-A)에 상기 센싱 게이트 신호(SS)를 제공하기 위한 센싱 게이트 라인을 더 포함할 수 있다. 예를 들어, 상기 표시 패널(100)은 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 패널, 퀀텀 닷(Quantum Dot; QD) 표시 패널 등일 수 있으나, 본 발명은 이에 한정되지 않는다.

[0049] 상기 표시 장치는 상기 표시 패널(100), 상기 구동 제어부(200), 상기 게이트 구동부(300), 상기 감마 기준 전압 생성부(400), 상기 데이터 구동부(500), 상기 센싱 구동부(600) 및 상기 기준 픽셀 측정부(700)를 포함할 수 있다. 일 실시예에서, 상기 구동 제어부(200), 상기 감마 기준 전압 생성부(400), 상기 데이터 구동부(500), 상기 센싱 구동부(600) 및 상기 기준 픽셀 측정부(700)는 하나의 칩에 집적될 수 있다. 예를 들어, 상기 구동 제어부(200) 및 상기 기준 픽셀 측정부(700)는 하나의 칩에 집적될 수 있다.

[0050] 상기 표시 패널(100)은 영상을 표시하는 표시 영역 및 표시 영역에 이웃하여 배치되는 주변 영역을 포함할 수 있다. 일 실시예에서, 상기 게이트 구동부(300)는 상기 주변부에 실장될 수 있다. 일 실시예에서, 상기 게이트 구동부(300)는 상기 주변부에 집적될 수 있다.

[0051] 상기 구동 제어부(200)는 호스트 프로세서(예를 들어, 애플리케이션 프로세서(application processor; AP) 및 그래픽 프로세싱 유닛(graphic processing unit; GPU) 등)로부터 입력 영상 데이터(IMG) 및 입력 제어 신호(CONT)를 수신할 수 있다. 예를 들어, 상기 입력 영상 데이터(IMG)는 적색 영상 데이터, 녹색 영상 데이터 및 청색 영상 데이터를 포함할 수 있다. 일 실시예에서, 상기 입력 영상 데이터(IMG)는 백색 영상 데이터를 더 포함할 수 있다. 다른 예를 들어, 상기 입력 영상 데이터(IMG)는 마젠타색(magenta) 영상 데이터, 황색(yellow) 영상 데이터 및 시안색(cyan) 영상 데이터를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 마스터 클럭 신호 및 데이터 인에이블 신호를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 수직 동기 신호 및 수평 동기 신호를 더 포함할 수 있다.

[0052] 상기 구동 제어부(200)는 상기 입력 영상 데이터(IMG) 및 상기 입력 제어 신호(CONT)에 기초하여 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 제3 제어 신호(CONT3), 제4 제어 신호(CONT4), 제5 제어 신호(CONT5) 및 데이터 신호(DATA)를 생성할 수 있다.

[0053] 상기 구동 제어부(200)는 상기 입력 제어 신호(CONT)에 기초하여 상기 게이트 구동부(300)의 동작을 제어하기 위한 상기 제1 제어 신호(CONT1)를 생성하여 게이트 구동부(300)로 출력할 수 있다. 상기 제1 제어 신호(CONT1)는 수직 개시 신호 및 스캔 클럭 신호를 포함할 수 있다.

[0054] 상기 구동 제어부(200)는 상기 입력 제어 신호(CONT)에 기초하여 상기 데이터 구동부(500)의 동작을 제어하기 위한 상기 제2 제어 신호(CONT2)를 생성하여 상기 데이터 구동부(500)로 출력할 수 있다. 상기 제2 제어 신호(CONT2)는 수평 개시 신호 및 로드 신호를 포함할 수 있다.

[0055] 상기 구동 제어부(200)는 상기 입력 영상 데이터(IMG) 및 상기 입력 제어 신호(CONT)를 수신하여 상기 데이터 신호(DATA)를 생성할 수 있다. 상기 구동 제어부(200)는 상기 데이터 신호(DATA)를 상기 데이터 구동부(500)로 출력할 수 있다.

[0056] 상기 구동 제어부(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 감마 기준 전압 생성부(400)의 동작을 제어하기 위한 상기 제3 제어 신호(CONT3)를 생성하여 상기 감마 기준 전압 생성부(400)에 출력한다.

[0057] 상기 게이트 구동부(300)는 상기 구동 제어부(200)로부터 입력 받은 상기 제1 제어 신호(CONT1)에 응답하여 상기 스캔 라인을 구동하기 위한 상기 스캔 게이트 신호(SC)를 및 상기 센싱 게이트 라인을 구동하기 위한 상기 센싱 게이트 신호(SS)를 생성할 수 있다. 상기 게이트 구동부(300)는 상기 스캔 게이트 신호(SC)를 상기 스캔

라인으로 출력하고 상기 센싱 게이트 신호(SS)를 상기 센싱 게이트 라인으로 출력할 수 있다.

- [0058] 상기 감마 기준 전압 생성부(400)는 상기 구동 제어부(200)로부터 입력 받은 상기 제3 제어 신호(CONT3)에 응답하여 상기 감마 기준 전압(VGREF)을 생성한다. 상기 감마 기준 전압 생성부(400)는 상기 감마 기준 전압(VGREF)을 상기 데이터 구동부(500)에 제공한다. 상기 감마 기준 전압(VGREF)은 각각의 상기 데이터 신호(DATA)에 대응되는 값을 갖는다.
- [0059] 예를 들어, 감마 기준 전압 생성부(400)는 구동 제어부(200) 내에 배치되거나 데이터 구동부(500) 내에 배치될 수 있다.
- [0060] 상기 데이터 구동부(500)는 상기 구동 제어부(200)로부터 상기 제2 제어 신호(CONT2) 및 상기 데이터 신호(DATA)를 입력 받을 수 있다. 상기 데이터 구동부(500)는 상기 데이터 신호(DATA)를 아날로그 형태의 전압으로 변환한 데이터 전압(VDATA)들을 생성할 수 있다. 상기 데이터 전압(VDATA)은 제1 액티브 센싱 데이터 전압 및 제2 액티브 센싱 데이터 전압을 포함할 수 있다. 상기 데이터 구동부(500)는 상기 데이터 전압들을 상기 데이터 라인들(DL[1], DL[2], DL[3], ..., DL[2P-1], DL[2P])으로 출력할 수 있다.
- [0061] 일 실시예에서, 상기 데이터 구동부(500)는 하나 또는 그 이상의 집적 회로들로 구현될 수 있다. 다른 실시예에서, 상기 데이터 구동부(500) 및 상기 구동 제어부(200)는 단일한 집적 회로로 구현될 수 있고, 이러한 집적 회로는 타이밍 컨트롤러 임베디드 데이터 드라이버(Timing controller Embedded Data driver; TED)로 불릴 수 있다.
- [0062] 상기 센싱 구동부(600)는 상기 구동 제어부(200)로부터 상기 제4 제어 신호(CONT4)를 입력 받을 수 있다. 상기 센싱 구동부(600)는 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])을 통하여 상기 액티브 픽셀(PX-A)을 센싱하여 센싱 데이터(SD)를 생성할 수 있다. 예를 들어, 블랭크 구간에서, 상기 액티브 픽셀(PX-A)들 중 적어도 어느 하나를 센싱할 수 있다. 예를 들어, 상기 센싱 구동부(600)는 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])을 통하여 상기 액티브 픽셀(PX-A)의 액티브 구동 트랜지스터의 센싱 전류(또는 센싱 전압)를 측정하여 상기 액티브 구동 트랜지스터의 구동 특성(예를 들어, 이동도 및/또는 문턱 전압)을 센싱할 수 있다. 예를 들어, 상기 액티브 구동 트랜지스터의 구동 특성(예를 들어, 이동도 및/또는 문턱 전압)을 센싱하는 동작은 센싱 동작으로 명명될 수 있다. 일 실시예에서, 상기 센싱 구동부(600)는 상기 데이터 구동부(500)의 집적 회로와 별개의 집적 회로로 구현될 수 있다. 다른 실시예에서, 상기 센싱 구동부(600)는 상기 데이터 구동부(500)에 포함되거나, 구동 제어부(200)에 포함될 수 있다.
- [0063] 상기 기준 픽셀 측정부(700)는 상기 구동 제어부(200)로부터 상기 제5 제어 신호(CONT5)를 입력 받을 수 있다. 상기 기준 픽셀 측정부(700)는 상기 기준 데이터 전압(RVDATA), 상기 게이트 전압(VCAL), 상기 기준 스캔 게이트 신호(SCR) 및 상기 기준 센싱 게이트 신호(SSR)를 상기 기준 픽셀(PX-R)에 제공할 수 있다. 일 실시예에서, 상기 기준 픽셀 측정부(700)는 상기 데이터 구동부(500), 상기 센싱 구동부(600) 및 상기 구동 제어부(200) 중 어느 하나에 포함될 수 있다. 일 실시예에서, 상기 기준 픽셀 측정부(700), 상기 데이터 구동부(500), 상기 센싱 구동부(600) 및 상기 구동 제어부(200)는 단일한 집적 회로로 구현될 수 있다. 일 실시예에서, 상기 기준 픽셀(PX-R)은 상기 데이터 구동부(500)로부터 상기 기준 데이터 전압(RVDATA)을 인가받을 수 있고, 상기 게이트 구동부(300)로부터 상기 게이트 전압(VCAL), 상기 기준 스캔 게이트 신호(SCR), 상기 기준 센싱 게이트 신호(SSR)를 인가받을 수 있으며, 상기 센싱 구동부(600)에 연결되어 상기 구동 제어부(200)에 기준 센싱 데이터(도 2의 RSD)를 인가할 수 있다. 상기 기준 센싱 데이터는 기준 구동 트랜지스터(도 3의 TDRR)의 구동 특성(예를 들어, 이동도 및/또는 문턱 전압)의 정보를 가질 수 있다. 일 실시예에서, 상기 기준 픽셀(PX-A)은 상기 액티브 픽셀(PX-A)들 중에서 선택될 수도 있다.
- [0064] 종래의 표시 장치의 경우, 상기 센싱 동작을 수행함에 있어서, 제1 종래 데이터 전압과 제2 종래 데이터 전압에 기초하여 구동 트랜지스터의 문턱 전압을 도출하였다. 예를 들어, 상기 종래의 도출 방식은 투-포인트 센싱 방식을 의미할 수 있다. 이에 따라, 상기 구동 트랜지스터의 문턱 전압의 정확도가 낮을 수 있다. 또한, 상기 종래의 표시 장치의 경우, 소비 전력을 줄이기 위하여, 구동 트랜지스터가 문턱 전압 이하 영역(subthreshold region)에서 구동될 수 있다. 이에 따라, 상기 종래의 표시 장치의 센싱 데이터가 부정확할 수 있고, 보상 전압의 정확도가 낮을 수 있다.
- [0065] 이와 달리, 본 발명에 따른 상기 표시 장치는, 도 2 내지 도 22를 참조하여 설명할 상기 센싱 동작 및 보상 전압을 통하여, 상기 액티브 구동 트랜지스터의 센싱 정확도가 향상될 수 있다.
- [0066] 도 2는 도 1의 기준 픽셀 및 기준 픽셀 측정부를 나타내는 블록도이다.

- [0067] 도 2를 참조하면, 상기 기준 픽셀 측정부(700)는 파워 인가 블록(710) 및 기준 픽셀 측정 블록(720)을 포함할 수 있다. 상기 파워 인가 블록(710)은 상기 기준 픽셀(PX-R)에 상기 게이트 전압(VCAL)을 인가할 수 있다. 상기 기준 픽셀 측정 블록(720)은 상기 기준 픽셀(PX-R)에 기준 데이터 전압(RVDATA), 상기 기준 스캔 게이트 신호(SCR) 및 상기 기준 센싱 게이트 신호(SSR)를 인가할 수 있다. 상기 기준 픽셀 측정 블록(720)은 상기 기준 픽셀(PX-R)로부터 상기 기준 센싱 데이터(RSD)를 인가받을 수 있다. 상기 기준 센싱 데이터는 기준 구동 트랜지스터(도 3의 TDRR)의 구동 특성(예를 들어, 이동도 및/또는 문턱 전압)의 정보를 가질 수 있다.
- [0068] 도 3은 도 1의 표시 패널의 기준 픽셀을 나타내는 회로도이다. 도 4는 도 1의 표시 장치의 보상 동작을 나타내는 순서도이다. 도 5는 도 1의 표시 장치가 기준 픽셀에 기초하여 여러 함수를 생성하는 순서를 나타내는 순서도이다.
- [0069] 도 1 내지 도 4를 참조하면, 상기 기준 픽셀(PX-R)은 상기 기준 구동 트랜지스터(TDRR), 기준 스캔 트랜지스터(TSCR), 기준 센싱 트랜지스터(TSSR), 기준 스토리지 캐패시터(CSTR) 및 기준 발광 소자(EER)를 포함할 수 있다. 예를 들어, 상기 기준 픽셀(PX-R)은 3T1C구조 일 수 있다. 또한, 도 2는 상기 기준 픽셀(PX-R)의 트랜지스터들을 N-형 트랜지스터로 도시하였으나, 본 발명은 상기 기준 픽셀(PX-R)이 포함하는 트랜지스터들의 타입에 한정되지 않는다. 예를 들어, 상기 기준 픽셀(PX-R)이 포함하는 트랜지스터들은 P-타입 트랜지스터일 수 있다.
- [0070] 상기 기준 구동 트랜지스터(TDRR)는 제1 기준 노드(N1R)에 연결되는 제1 제어 전극, 상기 게이트 전압(VCAL)이 인가되는 제2 제어 전극, 제1 전원 전압(ELVDD)이 인가되는 제1 전극 및 제2 기준 노드(N2R)에 연결되는 제2 전극을 포함할 수 있다. 본 실시예에서, 상기 기준 구동 트랜지스터(TDRR)는 더블-게이트 구조로 형성될 수 있다. 본 실시예에서, 상기 기준 구동 트랜지스터(TDRR)는 제1 기준 노드(N1R)의 전압에 기초하여 구동 전류를 생성할 수 있다.
- [0071] 본 실시예에서, 상기 게이트 전압(VCAL)은 가변될 수 있다. 예를 들어, 상기 게이트 전압(VCAL)은 K(단, K는 자연수.)번 가변될 수 있다. 일 실시예에서, 상기 게이트 전압(VCAL)을 K번 가변시킬 때, 상기 게이트 전압(VCAL)이 순차적으로 감소될 수 있다. 또한, 일 실시예에서, 상기 게이트 전압(VCAL)을 K번 가변시킬 때, 상기 게이트 전압(VCAL)이 순차적으로 증가될 수 있다. 상기 게이트 전압(VCAL)이 K번 가변됨에 따라, 상기 게이트 전압(VCAL)은 제1 게이트 전압 내지 제K 게이트 전압을 포함할 수 있다. 또한, 상기 제1 게이트 전압 내지 상기 제K 게이트 전압의 범위 내에 제N 게이트 전압이 포함될 수 있다(단, N은 자연수이고, 상기 K보다 작음.).
- [0072] 상기 기준 스캔 트랜지스터(TSCR)는 상기 기준 스캔 게이트 신호(SCR)가 인가되는 제1 제어 전극, 상기 기준 데이터 전압(RVDATA)이 인가되는 제2 제어 전극 및 상기 제1 기준 노드(N1R)에 연결되는 제2 전극을 포함할 수 있다. 상기 기준 스캔 트랜지스터(TSCR)는 상기 기준 스캔 게이트 신호(SCR)에 응답하여 상기 기준 데이터 전압(RVDATA)을 상기 제1 기준 노드(N1R)에 인가할 수 있다.
- [0073] 상기 기준 센싱 트랜지스터(TSSR)는 상기 기준 센싱 게이트 신호(SSR)가 인가되는 제1 제어 전극, 상기 제2 기준 노드(N2R)에 연결되는 제2 제어 전극 및 상기 기준 픽셀 측정부(700)에 연결되는 제2 전극을 포함할 수 있다. 상기 기준 센싱 트랜지스터(TSSR)는 상기 기준 센싱 게이트 신호(SSR)에 응답하여, 상기 구동 전류를 상기 기준 픽셀 측정부(700)에 인가할 수 있다.
- [0074] 상기 기준 스토리지 캐패시터(CSTR)는 상기 제1 기준 노드(N1R)에 연결되는 제1 전극 및 상기 제2 기준 노드(N2R)에 연결되는 제2 전극을 포함할 수 있다.
- [0075] 상기 기준 발광 소자(EER)는 상기 제2 기준 노드(N2R)에 연결되는 애노드 전극 및 제2 전원 전압(ELVSS)이 인가되는 캐소드 전극을 포함할 수 있다.
- [0076] 도 4에 도시되어 있듯이, 상기 기준 구동 트랜지스터(TDRR)의 상기 제2 제어 전극에 인가되는 상기 게이트 전압(VCAL)을 상기 K번 가변하여 복수의 전압-전류 곡선 함수들을 수집할 수 있다. 본 실시예에서, 상기 게이트 전압(VCAL)을 상기 K번 가변하여 복수의 전압-전류 곡선 함수들을 수집하는 과정은 제1 프로세스로 명명될 수 있다. 상기 전압-전류 곡선 함수에 기초하여 제1 문턱 전압(VTH)들이 판단될 수 있다. 본 실시예에서, 상기 전압-전류 곡선 함수에 기초하여 제1 문턱 전압(VTH)들이 판단되는 과정은 제2 프로세스로 명명될 수 있다. 도 4에서 제1 수직을 활용하여 상기 제1 문턱 전압(VTH)이 판단된 것으로 도시되어 있으나, 본 발명은 상기 제1 문턱 전압(VTH)을 판단하는 방법에 한정되지 않는다. 상기 전압-전류 곡선 함수들에 기초하여 제2 문턱 전압(VTH\_CAL)이 판단될 수 있다. 본 실시예에서, 상기 전압-전류 곡선 함수에 기초하여 제2 문턱 전압(VTH\_CAL)들이 판단되는 과정은 제3 프로세스로 명명될 수 있다. 도 4에서 제2 수직을 활용하여 상기 제2 문턱 전압(VTH\_CAL)이 판단된 것으로 도시되어 있으나, 본 발명은 상기 제2 문턱 전압(VTH\_CAL)을 판단하는 방법에 한정되지 않는다. 상기

제1 문턱 전압(VTH)과 상기 제2 문턱 전압(VTH\_CAL)을 활용하여 에러 값(ERR)이 판단될 수 있다. 상기 게이트 전압(VCAL)이 상기 K번 가변될 수 있으므로, 제1 내지 K 에러 값들이 판단될 수 있다. 상기 제2 문턱 전압(VTH\_CAL)들과 상기 에러 값(ERR)들을 활용하여 에러 함수(ERRF)가 도출될 수 있다. 일 실시예에서, 상기 에러 함수(ERRF)는 룩업 테이블 형태를 가질 수도 있다. 다만, 본 발명은, 상기 에러 함수(ERRF)의 형태에 한정되지 않는다. 일 실시예에서, 상기 에러 함수(ERRF)는 저장될 수 있다. 일 실시예에서, 상기 에러 함수(ERRF)는 상기 표시 장치에 저장될 수 있다. 프레임 구간의 블랭크 구간에서, 액티브 문턱 전압(PXA\_VTH\_CAL)이 판단될 수 있다. 도 4에서 제3 수식을 활용하여 상기 액티브 문턱 전압(PXA\_VTH\_CAL)이 판단된 것으로 도시되어 있으나, 본 발명은 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 판단하는 방법에 한정되지 않는다. 상기 에러 함수(ERRF)와 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 활용하여 보상 전압(VC)이 판단될 수 있다.

[0077] 본 실시예에서, 상기 에러 함수(ERRF)를 저장하기 위하여, 상기 기준 구동 트랜지스터(TDRR)의 상기 제2 제어 전극에 상기 게이트 전압(VCAL)이 인가될 수 있다. 상기 기준 데이터 전압(RVDATA)은 제1 기준 데이터 전압 내지 제2 기준 데이터 전압을 포함한다. 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압이 상기 기준 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 인가될 수 있다. 예를 들어, 상기 제1 기준 데이터 전압 및 상기 제2 기준 데이터 전압은 사용자에게 의하여 설정된 데이터 전압일 수 있다. 예를 들어, 상기 제1 기준 데이터 전압은 저계조에 대응되는 데이터 전압일 수 있다. 예를 들어 상기 제2 기준 데이터 전압은 고계조에 대응되는 데이터 전압일 수 있다. 다만, 본 발명은, 상기 제1 기준 데이터 전압 및 상기 제2 기준 데이터 전압이 가지는 전압 레벨에 한정되지 않는다.

[0078] 상기 기준 픽셀 측정부(700)는 상기 기준 구동 트랜지스터(TDRR)의 제1 기준 데이터 전압 내지 제2 기준 데이터 전압에 대응되는 상기 구동 전류를 곡선 함수로 계산할 수 있다. 예를 들어, 상기 전압-전류 곡선 함수는 IDS-VGS를 나타내는 그래프의 함수를 의미할 수 있다. 예를 들어, 상기 IDS는 상기 기준 픽셀(PX-R)의 상기 구동 전류를 의미할 수 있고, 상기 VGS는 상기 기준 구동 트랜지스터의 제1 제어 전극 및 상기 기준 구동 트랜지스터의 소스 전극(예를 들어, 상기 기준 구동 트랜지스터의 제2 전극)의 전압 차이를 의미할 수 있다.

[0079] 상기 기준 픽셀 측정부(700)는 상기 전압-전류 곡선 함수에 기초하여, 제1 문턱 전압(VTH) 및 제2 문턱 전압(VTH\_CAL)을 계산할 수 있다.

[0080] 본 실시예에서, 상기 제1 문턱 전압(VTH)은 상기 제1 수식을 이용하여 계산될 수 있으며, 상기 제1 수식은 아래와 같다.

[0081] [제1 수식]

$$VTH = \max \left\{ \frac{d}{dVGS} \left( \frac{d}{dVGS} f^{0.5}(VGS) \right) \right\}$$

[0083] 여기서,  $f^{0.5}(VGS)$ 는 상기 전압-전류 곡선 함수를 0.5제곱한 0.5제곱 곡선 함수를 나타내고,  $\max \left\{ \frac{d}{dVGS} \left( \frac{d}{dVGS} f^{0.5}(VGS) \right) \right\}$ 는 상기 0.5제곱 곡선 함수를 2차 미분한 최댓값에 대응되는 전압을 의미할 수 있다. 예를 들어, 상기 제1 문턱 전압(VTH)은 상기 전압-전류 곡선 함수의 상기 IDS 값에 0.5제곱을 한 0.5제곱 곡선 함수를 2차 미분한 최댓값에 대응되는 전압에 대응될 수 있다. 상기 제1 수식을 활용하여 상기 제1 문턱 전압(VTH)을 계산하는 방법은 이계도함수 미분 방법(Second-derivative method)으로 명명될 수 있다. 일 실시예에서, 상기 제1 문턱 전압(VTH)은 고정 전류 방법(constant current method)을 통하여 계산 될 수 있다. 일 실시예에서, 상기 제1 문턱 전압은 선형 추정 방법(linear extrapolation method)을 통하여 계산될 수 있다. 또한, 본 발명은 상기 제1 문턱 전압(VTH)을 계산하는 방법에 한정되지 않는다.

[0084] 본 실시예에서, 상기 제2 문턱 전압은 상기 제2 수식을 이용하여 계산될 수 있으며, 상기 제2 수식은 아래와 같다.

[0085] [제2 수식]

$$VTH\_CAL = \frac{\sqrt{I2} * VGS1 - \sqrt{I1} * VGS2}{\sqrt{I2} - \sqrt{I1}}$$

[0086] 여기서, VTH\_CAL는 상기 제2 문턱 전압이고, VGS1은 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전

[0087]

압 범위 내의 제1 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터(TDRR)의 제1 제어 전극-소스 전압의 값이며, VGS2는 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압 범위 내의 제2 센싱 데이터 전압이 인가된 경우, 상기 기준 구동 트랜지스터(TDRR)의 제1 제어 전극-소스 전압 값이며, I1은 상기 제1 센싱 데이터 전압에 대응되는 제1 구동 전류 값이며, I2는 상기 제2 센싱 데이터 전압에 대응되는 제2 구동 전류 값을 의미할 수 있다.

[0088] 본 실시예에서, 상기 에러 함수(ERRF)를 생성하기 위한 에러 값(ERR)은 상기 제1 문턱 전압(VTH)에서 상기 제2 문턱 전압(VTH\_CAL)을 뺀 값으로 계산될 수 있다.

[0089] 또한, 상기 에러 값(ERR)은 가변된 상기 게이트 전압(VCAL) 각각에 대응될 수 있다. 예를 들어, 제1 게이트 전압에 대응되는 제1 곡선 함수가 계산될 수 있다. 상기 제1 곡선 함수에 대응되는 상기 제1 곡선 함수의 제1 문턱 전압 및 상기 제1 곡선 함수의 제2 문턱 전압이 계산될 수 있다. 상기 제1 곡선 함수의 상기 제1 문턱 전압 및 상기 제1 곡선 함수의 상기 제2 문턱 전압에 기초하여 제1 에러 값이 계산될 수 있다. 예를 들어, 상기 제N 게이트 전압에 대응되는 제N 곡선 함수가 계산될 수 있다. 상기 제N 곡선 함수에 대응되는 상기 제N 곡선 함수의 상기 제1 문턱 전압 및 상기 제N 곡선 함수의 상기 제2 문턱 전압이 계산될 수 있다. 상기 제N 곡선 함수의 상기 제1 문턱 전압 및 상기 제N 곡선 함수의 상기 제2 문턱 전압에 기초하여 제N 에러 값이 계산될 수 있다. 또한, 본 실시예에서, 상기 게이트 전압은 K번 가변될 수 있음에 따라, 상기 에러 값(ERR)은 상기 제1 에러 값 내지 제K 에러 값을 가질 수 있다. 상기 제1 에러 값 내지 상기 제K 에러 값을 기초로 상기 에러 함수(ERRF)가 생성될 수 있다.

[0090] 본 실시예에서, 상기 제2 문턱 전압(VTH\_CAL)에 따른 상기 제1 에러 값 내지 상기 제K 에러 값의 경향성을 활용하여 모델링될 수 있다. 상기 모델링 함수는 곡선 형태를 가질 수 있다. 상기 에러 함수(ERRF)는 상기 제2 문턱 전압(VTH\_CAL)을 입력으로 갖고 상기 제2 문턱 전압(VTH\_CAL)에 따른 상기 에러 값(ERR)을 출력으로 갖는 함수를 의미할 수 있다. 상기 기준 픽셀 측정부(700)는 상기 에러 함수(ERRF)를 생성하여 상기 구동 제어부(200)에 출력할 수 있다. 상기 구동 제어부(200)는 상기 에러 함수(ERRF)를 저장할 수 있다. 상기 에러 함수(ERRF)를 생성하여 저장하는 과정은 상기 표시 장치의 제조 공정에서 수행될 수 있다. 본 실시예에서, 상기 기준 픽셀(PX-R)의 상기 기준 구동 트랜지스터(TDRR)의 상기 제2 제어 전극에 상기 게이트 전압(VCAL)이 인가될 수 있다. 상기 게이트 전압(VCAL)이 인가된 후, 상기 기준 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압이 인가될 수 있다. 상기 제1 기준 데이터 전압 내지 상기 제2 기준 데이터 전압이 인가된 후, 상기 기준 구동 트랜지스터의 IDS-VGS를 나타내는 그래프의 함수인 상기 전압-전류 곡선 함수가 계산될 수 있다. 상기 전압-전류 곡선 함수가 계산된 후, 상기 게이트 전압(VCAL)을 K번 가변하여 상기 K개의 상기 제1 문턱 전압(VTH)이 판단되고, 상기 게이트 전압(VCAL)을 K번 가변하여 상기 K개의 상기 제2 문턱 전압(VTH\_CAL)이 판단될 수 있다. 상기 제1 문턱 전압(VTH) 및 상기 제2 문턱 전압(VTH\_CAL)이 계산된 후, 상기 K개의 제1 상기 문턱 전압(VTH)과 상기 K개의 상기 제2 문턱 전압(VTH\_CAL)의 편차인 상기 K개의 상기 에러 값(ERR)이 계산될 수 있다. 상기 에러 값(ERR)이 계산된 후, 상기 K개의 에러 값(ERR)을 모델링한 상기 에러 함수(ERRF)가 도출될 수 있다.

[0091] 일 실시예에서, 상기 표시 패널(100)은 복수의 상기 기준 픽셀(PX-R)들을 포함할 수 있다. 상기 복수의 기준 픽셀(PX-R)들은 제1 기준 픽셀, 제2 기준 픽셀, 제3 기준 픽셀을 포함할 수 있다. 상기 제1 기준 픽셀은 적색 기준 발광 소자를 가질 수 있다. 상기 제2 기준 픽셀은 녹색 기준 발광 소자를 가질 수 있다. 상기 제3 기준 픽셀은 청색 기준 발광 소자를 가질 수 있다. 상기 기준 픽셀 측정부(700)는 상기 제1 기준 픽셀, 상기 제2 기준 픽셀 및 상기 제3 기준 픽셀의 상기 구동 전류를 인가받을 수 있다. 상기 기준 픽셀 측정부(700)는 상기 제1 기준 픽셀에 대응되는 제1 에러 함수를 생성할 수 있다. 상기 기준 픽셀 측정부(700)는 상기 제2 기준 픽셀에 대응되는 제2 에러 함수를 생성할 수 있다. 상기 기준 픽셀 측정부(700)는 상기 제3 기준 픽셀에 대응되는 제3 에러 함수를 생성할 수 있다. 예를 들어, 상기 제1 에러 함수는 적색 에러 함수로 명명될 수 있다. 예를 들어, 상기 제2 에러 함수는 녹색 에러 함수로 명명될 수 있다. 예를 들어, 상기 제3 에러 함수는 청색 에러 함수로 명명될 수 있다.

[0092] 도 5는 도 1의 표시 패널의 액티브 픽셀을 나타내는 회로도이다. 도 6은 도 1의 표시 장치가 보상 전압을 생성하는 순서를 나타내는 순서도이다.

[0093] 도 1 및 도 4 내지 도 6을 참조하면, 상기 액티브 픽셀(PX-A)은 액티브 구동 트랜지스터(TDRA), 액티브 스캔 트랜지스터(TSCA), 액티브 센싱 트랜지스터(TSSA), 액티브 스토리지 캐패시터(CSTA) 및 액티브 발광 소자(EE)를 포함할 수 있다. 예를 들어, 상기 액티브 픽셀(PX-A)은 3T1C구조 일 수 있다. 또한, 도 4는 상기 액티브 픽셀

(PX-A)의 트랜지스터들을 N-형 트랜지스터로 도시하였으나, 본 발명은 상기 액티브 픽셀(PX-A)이 포함하는 트랜지스터들의 타입에 한정되지 않는다. 예를 들어, 상기 액티브 픽셀(PX-A)이 포함하는 트랜지스터들은 P-타입 트랜지스터일 수 있다.

[0094] 상기 액티브 구동 트랜지스터(TDRA)는 제1 액티브 노드(N1A)에 연결되는 제1 제어 전극, 상기 제1 전원 전압(ELVDD) 및 상기 제2 전원 전압(ELVSS) 중 어느 하나가 인가되는 제2 제어 전극, 상기 제1 전원 전압(ELVDD)이 인가되는 제1 전극 및 제2 액티브 노드(N2A)에 연결되는 제2 전극을 포함할 수 있다. 예를 들어, 상기 액티브 픽셀(PX-A)이 포함하는 트랜지스터들이 N-형 트랜지스터로 형성되는 경우 상기 액티브 구동 트랜지스터(TDRA)의 제2 제어 전극에는 상기 제2 전원 전압(ELVSS)이 인가될 수 있다. 예를 들어, 상기 액티브 픽셀(PX-A)이 포함하는 트랜지스터들이 P-형 트랜지스터로 형성되는 경우 상기 액티브 구동 트랜지스터(TDRA)의 제2 제어 전극에는 상기 제1 전원 전압(ELVDD)이 인가될 수 있다. 본 실시예에서, 상기 액티브 구동 트랜지스터(TDRA)는 상기 제1 액티브 노드(N1A)의 전압에 응답하여 센싱 전류를 상기 제2 액티브 노드(N2A)에 인가할 수 있다.

[0095] 상기 액티브 스캔 트랜지스터(TSCA)는 스캔 게이트 신호(SC)가 인가되는 제어 전극, 상기 데이터 전압(VDATA)이 인가되는 제1 전극 및 상기 제1 액티브 노드(N1A)에 연결되는 제2 전극을 포함할 수 있다. 상기 액티브 스캔 트랜지스터(TSCA)는 상기 스캔 게이트 신호(SC)에 응답하여 상기 데이터 전압(VDATA)을 상기 제1 액티브 노드(N1A)에 인가할 수 있다.

[0096] 상기 액티브 센싱 트랜지스터(TSSA)는 센싱 게이트 신호(SS)가 인가되는 제어 전극, 센싱 라인(SL)에 연결되는 제1 전극 및 상기 제2 액티브 노드(N2A)에 연결되는 제2 전극을 포함할 수 있다. 상기 액티브 센싱 트랜지스터(TSSA)는 상기 센싱 게이트 신호(SS)에 응답하여 상기 센싱 전류를 상기 센싱 라인(SL)에 인가할 수 있다.

[0097] 상기 액티브 스토리지 캐패시터(CSTA)는 상기 제1 액티브 노드(N1A)에 연결되는 제1 전극 및 상기 제2 액티브 노드(N2A)에 연결되는 제2 전극을 포함할 수 있다.

[0098] 상기 발광 소자(EE)는 상기 제2 액티브 노드(N2A)에 연결되는 애노드 전극 및 상기 제2 전원 전압(ELVSS)이 인가되는 캐소드 전극을 포함할 수 있다.

[0099] 본 실시예에서, 블랭크 구간에서 상기 액티브 픽셀(PX-A)들 중 적어도 어느 하나의 픽셀에 상기 센싱 동작이 수행될 수 있다.

[0100] 상기 액티브 픽셀(PX-A)들 중 적어도 어느 하나의 픽셀이 포함하는 액티브 구동 트랜지스터(TDRA)의 제1 제어 전극에 제1 액티브 센싱 데이터 전압이 인가(S210)될 수 있다. 상기 액티브 센싱 데이터 전압에 기초하여 제1 센싱 문턱 전압이 판단(S220)될 수 있다. 상기 액티브 구동 트랜지스터(TDRA)의 상기 제1 제어 전극에 상기 제2 액티브 센싱 데이터 전압이 인가(S230)될 수 있다. 상기 제2 액티브 센싱 데이터 전압에 기초하여 제2 센싱 문턱 전압이 판단(S240)될 수 있다. 상기 제1 센싱 문턱 전압 및 상기 제2 센싱 문턱 전압을 활용하여 액티브 문턱 전압(PXA\_VTH\_CAL)이 판단(S250)될 수 있다. 상기 에러 함수(ERRF)와 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 활용하여 상기 보상 전압(VC)이 판단될 수 있다. 일 실시예에서, 상기 액티브 문턱 전압(PXA\_VTH\_CAL)은 제3 수식을 활용하여 판단될 수 있다. 다만, 본 발명은 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 판단하는 방법에 한정되지 않는다. 상기 제3 수식은 아래와 같다.

[0101] [제3 수식]

$$PXA\_VTH\_CAL = \frac{\sqrt{VSEN2} * VGS1A - \sqrt{VSEN1} * VGS2A}{\sqrt{VSEN2} - \sqrt{VSEN1}}$$

[0103] 여기서, PXA\_VTH\_CAL는 상기 액티브 문턱 전압(PXA\_VTH\_CAL)의 값이고, VGS1A는 상기 제1 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터(TDRA)의 제1 제어 전극-소스 전압의 값이며, VGS2A는 상기 제2 액티브 센싱 데이터 전압이 인가된 경우, 상기 액티브 구동 트랜지스터(TDRA)의 제1 제어 전극-소스 전압의 값이며, VSEN1은 상기 제1 액티브 센싱 데이터 전압에 대응되는 제1 센싱 문턱 전압 값이며, VSEN2는 상기 제2 액티브 센싱 데이터 전압에 대응되는 제2 센싱 문턱 전압 값일 수 있다.

[0104] 일 실시예에서, 제1 블랭크 구간에서 상기 제1 액티브 센싱 데이터 전압이 인가될 수 있다. 이후, 상기 제1 블랭크 구간 이후 제2 블랭크 구간에서 상기 제2 액티브 센싱 데이터 전압이 인가될 수 있다.

[0105] 상기 센싱 구동부(600)는 상기 제1 센싱 문턱 전압 및 상기 제2 센싱 문턱 전압 중 어느 하나를 포함하는 상기 센싱 데이터(SD)를 출력할 수 있다. 상기 구동 제어부(200)는 상기 센싱 데이터(SD)를 인가받을 수 있다. 상기

구동 제어부(200)는 상기 제1 센싱 문턱 전압 및 상기 제2 센싱 문턱 전압에 기초하여 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 계산할 수 있다. 상기 구동 제어부(200)에 저장된 상기 에러 함수(ERRF) 및 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 활용하여 계산된 상기 에러 함수의 함수 결과 값(FPXA\_VTH\_CAL) 및 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 더한 값이 상기 보상 전압(VC)으로 계산될 수 있다. 상기 구동 제어부(200)는 상기 보상 전압(VC)이 고려된 상기 데이터 신호(DATA)를 출력할 수 있다.

[0106] 상기 기준 픽셀 측정부(700)는 상기 기준 구동 트랜지스터(TDRR)의 상기 제2 제어 전극에 인가되는 상기 게이트 전압(VCAL)을 가변하여 에러 함수(ERRF)를 생성할 수 있다. 상기 에러 함수(ERRF)를 통하여 상기 액티브 픽셀(PX-A)들의 보상 데이터(예를 들어, 액티브 구동 트랜지스터의 문턱 전압 보상 데이터, 상기 액티브 구동 트랜지스터의 이동도 보상 데이터)의 정밀도가 향상될 수 있다.

[0107] 도 7은 도 1의 구동 제어부의 구성을 나타내는 블록도이다.

[0108] 도 1 및 도 6 내지 도 7을 참조하면, 본 실시예에서, 상기 구동 제어부(200)는 보상 전압 계산 블록(220) 및 데이터 신호 출력 블록(240)을 포함할 수 있다.

[0109] 본 실시예에서, 상기 보상 전압 계산 블록(220)에 상기 에러 함수(ERRF)가 저장될 수 있다. 상기 보상 전압 계산 블록(220)은 상기 센싱 구동부(600)로부터 상기 센싱 데이터(SD)를 인가받을 수 있다. 상기 보상 전압 계산 블록(220)은 상기 센싱 데이터(SD)에 기초하여 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 계산할 수 있다. 상기 보상 전압 계산 블록(220)은 상기 에러 함수(ERRF)에 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 대입하여 계산된 상기 에러 함수의 상기 함수 결과 값(FPXA\_VTH\_CAL) 및 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 더한 값인 상기 보상 전압(VC)을 계산할 수 있다. 상기 보상 전압 계산 블록(220)은 상기 보상 전압(VC)을 상기 데이터 신호 출력 블록(240)에 인가할 수 있다.

[0110] 본 실시예에서, 상기 데이터 신호 출력 블록(240)은 상기 보상 전압(VC)이 고려된 상기 데이터 신호(DATA)를 출력할 수 있다.

[0111] 도 8은 도 1의 구동 제어부의 구성을 나타내는 블록도이다.

[0112] 도 1 및 도 6 내지 도 8을 참조하면, 본 실시예에서, 구동 제어부(200A)는 상기 보상 전압 계산 블록(220), 상기 데이터 신호 출력 블록(240) 및 프레임 연산 블록(230)을 포함할 수 있다. 도 7에 따른 상기 구동 제어부(200A)는 도 6의 상기 구동 제어부(200)가 상기 프레임 연산 블록(230)을 더 포함하는 것을 제외하면 도 6의 상기 구동 제어부(200)와 유사하다. 따라서, 동일한 구성에 대하여 동일한 참조 기호를 사용한다.

[0113] 본 실시예에서, 상기 보상 전압 계산 블록(220)에 상기 에러 함수(ERRF)가 저장될 수 있다. 상기 보상 전압 계산 블록(220)은 상기 센싱 구동부(600)로부터 상기 센싱 데이터(SD)를 인가받을 수 있다. 상기 보상 전압 계산 블록(220)은 상기 센싱 데이터(SD)에 기초하여 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 계산할 수 있다. 상기 보상 전압 계산 블록(220)은 상기 에러 함수(ERRF)에 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 대입하여 계산된 상기 에러 함수의 상기 함수 결과 값(FPXA\_VTH\_CAL) 및 상기 액티브 문턱 전압(PXA\_VTH\_CAL)을 더한 값인 상기 보상 전압(VC)을 계산할 수 있다. 본 실시예에서, 상기 보상 전압 계산 블록(220)은 상기 보상 전압(VC)을 상기 프레임 연산 블록(230)에 인가할 수 있다.

[0114] 본 실시예에서, 상기 프레임 연산 블록(230)은 상기 적어도 어느 하나의 픽셀의 상기 보상 전압(VC)을 복수의 프레임 동안 저장할 수 있다. 예를 들어, 상기 복수의 프레임 중 제1 프레임에서의 상기 적어도 어느 하나의 픽셀의 상기 보상 전압(VC)을 저장할 수 있다. 예를 들어, 상기 제1 프레임 이후의 제2 프레임에서의 상기 적어도 어느 하나의 픽셀의 상기 보상 전압(VC)을 저장할 수 있다. 상기 프레임 연산 블록(230)은 상기 제1 프레임의 상기 적어도 어느 하나의 픽셀의 보상 전압(예를 들어, 제1 보상 전압) 및 상기 제2 프레임에서의 상기 적어도 어느 하나의 픽셀의 보상 전압(예를 들어, 제2 보상 전압)의 평균을 계산할 수 있다. 상기 보상 전압의 평균은 최종 보상 전압(FVC)으로 명명될 수 있다. 상기 프레임 연산 블록(230)은 상기 최종 보상 전압(FVC)을 상기 데이터 신호 출력 블록(240)에 출력할 수 있다. 따라서, 상기 데이터 신호 출력 블록(240)은 상기 최종 보상 전압(FVC)이 고려된 상기 데이터 신호(DATA)를 출력할 수 있다.

[0115] 도 9는 도 1의 센싱 구동부의 구성을 나타내는 블록도이다.

[0116] 도 1 및 도 9를 참조하면, 상기 센싱 구동부(600)는 홀수 센싱 라인 전류 적분 블록(610), 짝수 센싱 라인 전류 적분 블록(620), 홀수 센싱 라인 전압 증폭 블록(630), 짝수 센싱 라인 전압 증폭 블록(640), 홀수 센싱 라인 전압 저장 블록(650), 짝수 센싱 라인 전압 저장 블록(660) 및 센싱 데이터 출력 블록(670)을 포함할 수 있다.

- [0117] 상기 홀수 센싱 라인 전류 적분 블록(610)은 상기 제1 센싱 라인(SL[1]) 및 상기 제3 센싱 라인(SL[3])이 연결될 수 있다. 예를 들어, 상기 홀수 센싱 라인 전류 적분 블록(610)에는 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P]) 중 홀수번째 센싱 라인이 연결될 수 있다. 상기 제1 센싱 라인(SL[1])에 연결된 상기 액티브 픽셀(PX-A)의 상기 센싱 전류가 상기 제1 센싱 라인(SL[1])에 인가될 수 있다. 상기 제3 센싱 라인(SL[3])에 연결된 상기 액티브 픽셀(PX-A)의 상기 센싱 전류가 상기 제3 센싱 라인(SL[3])에 인가될 수 있다. 상기 홀수 센싱 라인 전류 적분 블록(610)은 상기 제1 센싱 라인(SL[1])의 상기 센싱 전류에 대응되는 제1 적분 전압(VINT[1]) 및 상기 제3 센싱 라인(SL[3])의 상기 센싱 전류에 대응되는 제3 적분 전압(VINT[3])을 출력할 수 있다.
- [0118] 상기 짝수 센싱 라인 전류 적분 블록(620)은 제2 센싱 라인(SL[2]) 및 제4 센싱 라인(SL[4])이 연결될 수 있다. 예를 들어, 상기 짝수 센싱 라인 전류 적분 블록(620)에는 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P]) 중 짝수번째 센싱 라인이 연결될 수 있다. 상기 제2 센싱 라인(SL[2])에 연결된 상기 액티브 픽셀(PX-A)의 상기 센싱 전류가 상기 제2 센싱 라인(SL[2])에 인가될 수 있다. 상기 제4 센싱 라인(SL[4])에 연결된 상기 액티브 픽셀(PX-A)의 상기 센싱 전류가 상기 제4 센싱 라인(SL[4])에 인가될 수 있다. 상기 짝수 센싱 라인 전류 적분 블록(620)은 상기 제2 센싱 라인(SL[2])의 상기 센싱 전류에 대응되는 제2 적분 전압(VINT[2]) 및 상기 제4 센싱 라인(SL[4])의 상기 센싱 전류에 대응되는 제4 적분 전압(VINT[4])을 출력할 수 있다.
- [0119] 상기 홀수 센싱 라인 전압 증폭 블록(630)은 상기 제1 적분 전압(VINT[1]) 및 상기 제3 적분 전압(VINT[3])을 인가받을 수 있다. 상기 홀수 센싱 라인 전압 증폭 블록(630)은 상기 제1 적분 전압(VINT[1])에 대응되는 제1 홀수 센싱 문턱 전압(VSEN[1])을 출력할 수 있다. 상기 홀수 센싱 라인 전압 증폭 블록(630)은 상기 제3 적분 전압(VINT[3])에 대응되는 제2 홀수 센싱 문턱 전압(VSEN[3])을 출력할 수 있다.
- [0120] 상기 짝수 센싱 라인 전압 증폭 블록(640)은 상기 제2 적분 전압(VINT[2]) 및 상기 제4 적분 전압(VINT[4])을 인가받을 수 있다. 상기 짝수 센싱 라인 전압 증폭 블록(640)은 상기 제2 적분 전압(VINT[2])에 대응되는 제1 짝수 센싱 문턱 전압(VSEN[2])을 출력할 수 있다. 상기 짝수 센싱 라인 전압 증폭 블록(640)은 상기 제4 적분 전압(VINT[4])에 대응되는 제2 짝수 센싱 문턱 전압(VSEN[4])을 출력할 수 있다.
- [0121] 상기 홀수 센싱 라인 전압 저장 블록(650)은 상기 제1 홀수 센싱 문턱 전압(VSEN[1]) 및 상기 제2 홀수 센싱 문턱 전압(VSEN[3])을 인가받아 저장할 수 있다. 상기 홀수 센싱 라인 전압 저장 블록(650)은 상기 제1 홀수 센싱 문턱 전압(VSEN[1]) 및 상기 제2 홀수 센싱 문턱 전압(VSEN[3]) 중 어느 하나를 출력할 수 있다.
- [0122] 상기 짝수 센싱 라인 전압 저장 블록(660)은 상기 제1 짝수 센싱 문턱 전압(VSEN[2]) 및 상기 제2 짝수 센싱 문턱 전압(VSEN[4])을 인가받아 저장할 수 있다. 상기 짝수 센싱 라인 전압 저장 블록(660)은 상기 제1 짝수 센싱 문턱 전압(VSEN[2]) 및 상기 제2 짝수 센싱 문턱 전압(VSEN[4]) 중 어느 하나를 출력할 수 있다.
- [0123] 상기 센싱 데이터 출력 블록(670)은 상기 제1 홀수 센싱 문턱 전압(VSEN[1]), 제2 홀수 센싱 문턱 전압(VSEN[3]), 제1 짝수 센싱 문턱 전압(VSEN[2]) 및 상기 제2 짝수 센싱 문턱 전압(VSEN[4])을 상기 센싱 데이터(SD)로 출력할 수 있다.
- [0124] 상기 센싱 구동부(600)는 인접한 상기 센싱 라인(SL)을 하나의 센싱 채널을 통하여 센싱 할 수 있으므로, 상기 센싱 채널의 수가 감소될 수 있다.
- [0125] 도 10은 도 1의 표시 장치가 포함하는 전류 적분 회로를 나타내는 회로도이다.
- [0126] 도 1 및 도 9 내지 도 10을 참조하면, 상기 홀수 센싱 라인 전류 적분 블록(610) 및 상기 짝수 센싱 라인 전류 적분 블록(620) 각각은 전류 적분 회로(CI)를 포함할 수 있다.
- [0127] 상기 전류 적분 회로(CI)는 제1 노드(N1)에 연결되는 제1 입력단, 제2 노드(N2)에 연결되는 제2 입력단, 제3 노드(N3)에 연결되는 제1 출력단 및 제4 노드(N4)에 연결되는 제2 출력단을 포함하는 적분 앰프(CAMP), 상기 제1 노드(N1)에 연결되는 제1 전극 및 상기 제3 노드(N3)에 연결되는 제2 전극을 포함하는 제1 적분 캐패시터(CINT1), 상기 제2 노드(N2)에 연결되는 제1 전극 및 상기 제4 노드(N4)에 연결되는 제2 전극을 포함하는 제2 적분 캐패시터(CINT2), 상기 제1 노드(N1)에 연결되는 제1 단 및 상기 제3 노드(N3)에 연결되는 제2 단을 포함하는 제1 리셋 스위칭 소자(SRST1), 상기 제2 노드(N2)에 연결되는 제1 단 및 상기 제4 노드(N4)에 연결되는 제2 단을 포함하는 제2 리셋 스위칭 소자(SRST2) 및 상기 제1 노드(N1) 및 상기 제2 노드(N2) 중 어느 하나에 연결되는 제1 단 및 캐패시터 어레이 회로(CPCA)에 연결되는 제2 단을 포함하는 캐패시터 어레이 스위칭 소자(SPCA)를 포함할 수 있다. 예를 들어, 상기 전류 적분 회로(CI)는 상기 제1 입력단의 입력 및 상기 제2 입력단

의 입력을 차동으로 증폭하는 차동 증폭 회로를 의미할 수 있다. 예를 들어, 상기 전류 적분 회로(CI)는 2인풋-2아웃풋 차동 증폭 회로일 수 있다.

[0128] 본 실시예에서, 상기 홀수 센싱 라인 전류 적분 블록(610)이 상기 전류 적분 회로(CI)를 포함하는 경우, 상기 제1 노드(N1)에는 제1 센싱 라인(SL[1])이 연결될 수 있고, 상기 제2 노드(N2)에는 상기 제3 센싱 라인(SL[3])이 연결될 수 있다. 이에 따라, 상기 제3 노드(N3)는 상기 제1 적분 전압(VINT[1])을 출력할 수 있고, 상기 제4 노드(N4)는 상기 제3 적분 전압(VINT[3])을 출력할 수 있다. 예를 들어, 상기 제1 센싱 라인(SL[1])에 상기 센싱 전류가 인가되는 경우, 상기 제3 센싱 라인(SL[3])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제3 센싱 라인(SL[3])에 상기 센싱 전류가 인가되지 않는 경우, 상기 캐패시터 어레이 스위칭 소자(SPCA)의 상기 제1 단은 상기 제1 노드(N1)에 연결될 수 있다. 예를 들어, 상기 제3 센싱 라인(SL[3])에 상기 센싱 전류가 인가되는 경우, 상기 제1 센싱 라인(SL[1])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제1 센싱 라인(SL[1])에 상기 센싱 전류가 인가되지 않는 경우, 상기 캐패시터 어레이 스위칭 소자(SPCA)의 상기 제1 단은 상기 제2 노드(N2)에 연결될 수 있다.

[0129] 일반적으로, 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])에는 기생 캐패시터로 인하여 동일한 상기 센싱 데이터 전압이 인가되더라도, 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])의 상기 센싱 전류들은 상이할 수 있다. 본 발명에 따른 상기 전류 적분 회로(CI)는 차동 증폭 회로로 구성됨에 따라서, 상기 기생 캐패시터로 인한 영향을 줄여 상기 센싱 데이터(SD)의 정밀도가 향상될 수 있다.

[0130] 본 실시예에서, 상기 짝수 센싱 라인 전류 적분 블록(620)이 상기 전류 적분 회로(CI)를 포함하는 경우, 상기 제1 노드(N1)에는 제2 센싱 라인(SL[2])이 연결될 수 있고, 상기 제2 노드(N2)에는 상기 제4 센싱 라인(SL[4])이 연결될 수 있다. 이에 따라, 상기 제3 노드(N3)는 상기 제2 적분 전압(VINT[2])을 출력할 수 있고, 상기 제4 노드(N4)는 상기 제4 적분 전압(VINT[4])을 출력할 수 있다. 예를 들어, 상기 제2 센싱 라인(SL[2])에 상기 센싱 전류가 인가되는 경우, 상기 제4 센싱 라인(SL[4])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제2 센싱 라인(SL[2])에 상기 센싱 전류가 인가되지 않는 경우, 상기 캐패시터 어레이 스위칭 소자(SPCA)의 상기 제1 단은 상기 제1 노드(N1)에 연결될 수 있다. 예를 들어, 상기 제4 센싱 라인(SL[4])에 상기 센싱 전류가 인가되는 경우, 상기 제2 센싱 라인(SL[2])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제2 센싱 라인(SL[2])에 상기 센싱 전류가 인가되지 않는 경우, 상기 캐패시터 어레이 스위칭 소자(SPCA)의 상기 제1 단은 상기 제2 노드(N2)에 연결될 수 있다.

[0131] 일반적으로, 상기 홀수번째 센싱 라인의 특성과 상기 짝수번째 센싱 라인의 특성은 상이할 수 있다. 본 발명에 따른 상기 전류 적분 회로(CI)는 상기 홀수번째 센싱 라인에 흐르는 상기 센싱 전류 및 상기 짝수번째 센싱 라인에 흐르는 상기 센싱 전류를 나누어 증폭하여 상기 센싱 데이터(SD)의 정밀도가 향상될 수 있다.

[0132] 도 11은 도 1의 표시 장치가 포함하는 전압 증폭 회로를 나타내는 회로도이다.

[0133] 도 1 및 도 9 내지 도 11을 참조하면, 상기 홀수 센싱 라인 전압 증폭 블록(630) 및 상기 짝수 센싱 라인 전압 증폭 블록(640) 각각은 전압 증폭 회로(SHA)를 포함할 수 있다.

[0134] 상기 전압 증폭 회로(SHA)는 상기 제3 노드(N3) 및 제7 노드(N7) 중 어느 하나에 연결되는 제1 단 및 제5 노드(N5)에 연결되는 제2 단을 포함하는 제1 샘플링 스위칭 소자(SSAM1), 상기 제4 노드(N4) 및 제8 노드(N8) 중 어느 하나에 연결되는 제1 단 및 제6 노드(N6)에 연결되는 제2 단을 포함하는 제2 샘플링 스위칭 소자(SSAM2), 상기 제7 노드(N7)에 연결되는 제1 단 및 상기 제8 노드(N8)에 연결되는 제2 단을 포함하는 홀드 스위칭 소자(SHOLD), 상기 제5 노드(N5)에 연결되는 제1 전극 및 제9 노드(N9)에 연결되는 제2 전극을 포함하는 제1 샘플링 캐패시터(CS1), 상기 제6 노드(N6)에 연결되는 제1 전극 및 제10 노드(N10)에 연결되는 제2 전극을 포함하는 제2 샘플링 캐패시터(CS2), 상기 제9 노드(N9)에 연결되는 제1 입력단, 상기 제10 노드(N10)에 연결되는 제2 입력단, 제11 노드(N11)에 연결되는 제1 출력단 및 제12 노드(N12)에 연결되는 제2 출력단을 포함하는 증폭 앰프(AAMP), 상기 제9 노드(N9)에 연결되는 제1 전극 및 상기 제11 노드(N11)에 연결되는 제2 전극을 포함하는 제1 홀드 캐패시터(CH1), 상기 제10 노드(N10)에 연결되는 제1 전극 및 상기 제12 노드(N12)에 연결되는 제2 전극을 포함하는 제2 홀드 캐패시터(CH2), 상기 제9 노드(N9)에 연결되는 제1 단 및 상기 제11 노드(N11)에 연결되는 제2 단을 포함하는 제3 샘플링 스위칭 소자(SSAM3) 및 상기 제10 노드(N10)에 연결되는 제1 단 및 상기 제12 노드(N12)에 연결되는 제2 단을 포함하는 제4 샘플링 스위칭 소자(SSAM4)를 포함할 수 있다.

[0135] 본 실시예에서, 상기 홀수 센싱 라인 전압 증폭 블록(630)이 상기 전압 증폭 회로(SHA)를 포함하는 경우, 상기 제1 샘플링 스위칭 소자(SSAM1)의 상기 제1 단에는 상기 제1 적분 전압(VINT[1])이 인가될 수 있고, 상기 제2

샘플링 스위칭 소자(SSAM2)의 상기 제1 단에는 상기 제3 적분 전압(VINT[3])이 인가될 수 있다. 이에 따라, 상기 제11 노드(N11)는 상기 제1 홀수 센싱 문턱 전압(VSEN[1])을 출력할 수 있고, 상기 제12 노드(N12)는 상기 제2 홀수 센싱 문턱 전압(VSEN[3])을 출력할 수 있다.

[0136] 본 실시예에서, 상기 짝수 센싱 라인 전압 증폭 블록(640)이 상기 전압 증폭 회로(SHA)를 포함하는 경우, 상기 제1 샘플링 스위칭 소자(SSAM1)의 상기 제1 단에는 상기 제2 적분 전압(VINT[2])이 인가될 수 있고, 상기 제2 샘플링 스위칭 소자(SSAM2)의 상기 제1 단에는 상기 제4 적분 전압(VINT[4])이 인가될 수 있다. 이에 따라, 상기 제11 노드(N11)는 상기 제1 짝수 센싱 문턱 전압(VSEN[2])을 출력할 수 있고, 상기 제12 노드(N12)는 상기 제2 짝수 센싱 문턱 전압(VSEN[4])을 출력할 수 있다.

[0137] 일반적으로, 전류 적분 회로는 오프셋 전압을 가질 수 있다. 또한 상기 전류 적분 회로 각각은 특성이 상이하여 출력 전압이 균일하지 않을 수 있다. 본 발명의 전압 증폭 회로는 상기 오프셋 전압으로 인한 영향 및 상이한 특성으로 인한 영향을 줄일 수 있어, 상기 출력 전압의 신뢰성이 향상될 수 있다.

[0138] 도 12는 도 10의 전류 적분 회로가 포함하는 캐패시터 어레이 회로를 나타내는 회로도이다.

[0139] 도 1, 도 9 및 도 12를 참조하면, 상기 캐패시터 어레이 회로(CPCA)는 캐패시터 어레이 신호에 응답하여 충전 용량이 가변될 수 있다. 예를 들어, 상기 캐패시터 어레이 신호는 제1 내지 제5 캐패시터 어레이 신호(D[1], D[2], D[3], D[4], D[5])를 포함할 수 있다. 예를 들어, 상기 제1 캐패시터 어레이 신호(D[1])가 인가되면 제1 충전 용량(CU)을 가지는 제1 어레이 캐패시터(CA1)가 상기 전류 적분 회로(CI)의 상기 제1 입력단 및 상기 제2 입력단 중 어느 하나에 연결될 수 있다. 예를 들어, 상기 제2 캐패시터 어레이 신호(D[2])가 인가되면 제2 충전 용량(2CU)을 가지는 제2 어레이 캐패시터(CA2)가 상기 전류 적분 회로(CI)의 상기 제1 입력단 및 상기 제2 입력단 중 어느 하나에 연결될 수 있다. 예를 들어, 상기 제3 캐패시터 어레이 신호(D[3])가 인가되면 제3 충전 용량(4CU)을 가지는 제3 어레이 캐패시터(CA3)가 상기 전류 적분 회로(CI)의 상기 제1 입력단 및 상기 제2 입력단 중 어느 하나에 연결될 수 있다. 예를 들어, 상기 제4 캐패시터 어레이 신호(D[4])가 인가되면 제4 충전 용량(8CU)을 가지는 제4 어레이 캐패시터(CA4)가 상기 전류 적분 회로(CI)의 상기 제1 입력단 및 상기 제2 입력단 중 어느 하나에 연결될 수 있다. 예를 들어, 상기 제5 캐패시터 어레이 신호(D[5])가 인가되면 제5 충전 용량(16CU)을 가지는 제5 어레이 캐패시터(CA5)가 상기 전류 적분 회로(CI)의 상기 제1 입력단 및 상기 제2 입력단 중 어느 하나에 연결될 수 있다. 예를 들어, 상기 제2 충전 용량(2CU)은 상기 제1 충전 용량(CU)의 2배일 수 있다. 예를 들어, 상기 제3 충전 용량(4CU)은 상기 제2 충전 용량(2CU)의 2배일 수 있다. 예를 들어, 상기 제4 충전 용량(8CU)은 상기 제3 충전 용량(4CU)의 2배일 수 있다. 예를 들어, 상기 제5 충전 용량(16CU)은 상기 제4 충전 용량(8CU)의 2배일 수 있다. 상기 캐패시터 어레이 회로(CPCA)의 상기 충전 용량이 가변되므로, 상기 센싱 라인들(SL[1], SL[2], SL[3], ..., SL[2P-1], SL[2P])의 기생 캐패시터에 의한 영향이 더욱 줄어들 수 있다.

[0140] 도 13은 도 1의 액티브 픽셀에 인가되는 신호를 나타내는 타이밍도이다.

[0141] 도 1, 도 5 내지 도 6, 도 9 및 도 13을 참조하면, 본 실시예에서, 상기 제1 센싱 라인(SL[1])에 연결된 상기 액티브 픽셀(PX-A)인 제1 액티브 픽셀에는 제1 센싱 게이트 신호(SS[1]), 제1 스캔 게이트 신호(SC[1]), 상기 제1 액티브 센싱 데이터 전압(VDATA1) 및 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 상기 제2 센싱 라인(SL[2])에 연결된 상기 액티브 픽셀(PX-A)인 제2 액티브 픽셀에는 제2 센싱 게이트 신호(SS[2]), 제2 스캔 게이트 신호(SC[2]), 상기 제1 액티브 센싱 데이터 전압(VDATA1) 및 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 상기 제3 센싱 라인(SL[3])에 연결된 상기 액티브 픽셀(PX-A)인 제3 액티브 픽셀에는 제3 센싱 게이트 신호(SS[3]), 제3 스캔 게이트 신호(SC[3]), 상기 제1 액티브 센싱 데이터 전압(VDATA1) 및 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 상기 제4 센싱 라인(SL[4])에 연결된 상기 액티브 픽셀(PX-A)인 제4 액티브 픽셀에는 제4 센싱 게이트 신호(SS[4]), 제4 스캔 게이트 신호(SC[4]), 상기 제1 액티브 센싱 데이터 전압(VDATA1) 및 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다.

[0142] 제1 구간(TP1)에서, 상기 데이터 전압(VDATA)은 상기 제1 액티브 센싱 데이터 전압(VDATA1)을 가지고, 상기 제1 센싱 게이트 신호(SS[1]) 및 상기 제3 센싱 게이트 신호(SS[3])는 활성화 레벨을 가지며, 상기 제1 스캔 게이트 신호(SC[1])는 활성화 레벨을 가지고, 상기 제3 스캔 게이트 신호(SC[3])는 비활성화 레벨을 가질 수 있다. 이에 따라, 상기 제1 스캔 게이트 신호(SC[1])에 응답하여 상기 제1 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제1 액티브 센싱 데이터 전압(VDATA1)이 인가될 수 있다. 이에 따라, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 센싱 전류가 상기 제1 센싱 라인(SL[1])에 인가될 수 있다. 상기 제3 스캔 게이트 신호(SC[3])는 비활성화 레벨을 가지므로, 상기 제3 센싱 라인(SL[3])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제1 구간(TP1)에서, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되

는 상기 제1 액티브 픽셀의 상기 제1 센싱 문턱 전압이 출력될 수 있다.

[0143] 제2 구간(TP2)에서, 상기 데이터 전압(VDATA)은 상기 제1 액티브 센싱 데이터 전압(VDATA1)을 가지고, 상기 제1 센싱 게이트 신호(SS[1]) 및 상기 제3 센싱 게이트 신호(SS[3])는 활성화 레벨을 가지며, 상기 제1 스캔 게이트 신호(SC[1])는 비활성화 레벨을 가지고, 상기 제3 스캔 게이트 신호(SC[3])는 활성화 레벨을 가질 수 있다. 이에 따라, 상기 제3 스캔 게이트 신호(SC[3])에 응답하여 상기 제3 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제1 액티브 센싱 데이터 전압(VDATA1)이 인가될 수 있다. 이에 따라, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 센싱 전류가 상기 제3 센싱 라인(SL[3])에 인가될 수 있다. 상기 제1 스캔 게이트 신호(SC[1])는 비활성화 레벨을 가지므로, 상기 제1 센싱 라인(SL[1])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제2 구간(TP2)에서, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 제3 액티브 픽셀의 상기 제1 센싱 문턱 전압이 출력될 수 있다.

[0144] 제3 구간(TP3)에서, 상기 데이터 전압(VDATA)은 상기 제2 액티브 센싱 데이터 전압(VDATA2)을 가지고, 상기 제1 센싱 게이트 신호(SS[1]) 및 상기 제3 센싱 게이트 신호(SS[3])는 활성화 레벨을 가지며, 상기 제1 스캔 게이트 신호(SC[1])는 활성화 레벨을 가지고, 상기 제3 스캔 게이트 신호(SC[3])는 비활성화 레벨을 가질 수 있다. 이에 따라, 상기 제1 스캔 게이트 신호(SC[1])에 응답하여 상기 제1 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 이에 따라, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 센싱 전류가 상기 제1 센싱 라인(SL[1])에 인가될 수 있다. 상기 제3 스캔 게이트 신호(SC[3])는 비활성화 레벨을 가지므로, 상기 제3 센싱 라인(SL[3])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제3 구간(TP3)에서, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 제1 액티브 픽셀의 상기 제2 센싱 문턱 전압이 출력될 수 있다.

[0145] 제4 구간(TP4)에서, 상기 데이터 전압(VDATA)은 상기 제2 액티브 센싱 데이터 전압(VDATA2)을 가지고, 상기 제1 센싱 게이트 신호(SS[1]) 및 상기 제3 센싱 게이트 신호(SS[3])는 활성화 레벨을 가지며, 상기 제1 스캔 게이트 신호(SC[1])는 비활성화 레벨을 가지고, 상기 제3 스캔 게이트 신호(SC[3])는 활성화 레벨을 가질 수 있다. 이에 따라, 상기 제3 스캔 게이트 신호(SC[3])에 응답하여 상기 제3 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 이에 따라, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 센싱 전류가 상기 제3 센싱 라인(SL[3])에 인가될 수 있다. 상기 제1 스캔 게이트 신호(SC[1])는 비활성화 레벨을 가지므로, 상기 제1 센싱 라인(SL[1])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제4 구간(TP4)에서, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 제3 액티브 픽셀의 상기 제2 센싱 문턱 전압이 출력될 수 있다.

[0146] 제5 구간(TP5)에서, 상기 데이터 전압(VDATA)은 상기 제1 액티브 센싱 데이터 전압(VDATA1)을 가지고, 상기 제2 센싱 게이트 신호(SS[2]) 및 상기 제4 센싱 게이트 신호(SS[4])는 활성화 레벨을 가지며, 상기 제2 스캔 게이트 신호(SC[2])는 활성화 레벨을 가지고, 상기 제4 스캔 게이트 신호(SC[4])는 비활성화 레벨을 가질 수 있다. 이에 따라, 상기 제2 스캔 게이트 신호(SC[2])에 응답하여 상기 제2 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제1 액티브 센싱 데이터 전압(VDATA1)이 인가될 수 있다. 이에 따라, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 센싱 전류가 상기 제2 센싱 라인(SL[2])에 인가될 수 있다. 상기 제4 스캔 게이트 신호(SC[4])는 비활성화 레벨을 가지므로, 상기 제4 센싱 라인(SL[4])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제5 구간(TP5)에서, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 제2 액티브 픽셀의 상기 제1 센싱 문턱 전압이 출력될 수 있다.

[0147] 제6 구간(TP6)에서, 상기 데이터 전압(VDATA)은 상기 제1 액티브 센싱 데이터 전압(VDATA1)을 가지고, 상기 제2 센싱 게이트 신호(SS[2]) 및 상기 제4 센싱 게이트 신호(SS[4])는 활성화 레벨을 가지며, 상기 제2 스캔 게이트 신호(SC[2])는 비활성화 레벨을 가지고, 상기 제4 스캔 게이트 신호(SC[4])는 활성화 레벨을 가질 수 있다. 이에 따라, 상기 제4 스캔 게이트 신호(SC[4])에 응답하여 상기 제4 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제1 액티브 센싱 데이터 전압(VDATA1)이 인가될 수 있다. 이에 따라, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 센싱 전류가 상기 제4 센싱 라인(SL[4])에 인가될 수 있다. 상기 제2 스캔 게이트 신호(SC[2])는 비활성화 레벨을 가지므로, 상기 제2 센싱 라인(SL[2])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제6 구간(TP6)에서, 상기 제1 액티브 센싱 데이터 전압(VDATA1)에 대응되는 상기 제4 액티브 픽셀의 상기 제1 센싱 문턱 전압이 출력될 수 있다.

[0148] 제7 구간(TP7)에서, 상기 데이터 전압(VDATA)은 상기 제2 액티브 센싱 데이터 전압(VDATA2)을 가지고, 상기 제2 센싱 게이트 신호(SS[2]) 및 상기 제4 센싱 게이트 신호(SS[4])는 활성화 레벨을 가지며, 상기 제2 스캔 게이트

신호(SC[2])는 활성화 레벨을 가지고, 상기 제4 스캔 게이트 신호(SC[4])는 비활성화 레벨을 가질 수 있다. 이에 따라, 상기 제2 스캔 게이트 신호(SC[2])에 응답하여 상기 제2 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 이에 따라, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 센싱 전류가 상기 제2 센싱 라인(SL[2])에 인가될 수 있다. 상기 제4 스캔 게이트 신호(SC[4])는 비활성화 레벨을 가지므로, 상기 제4 센싱 라인(SL[4])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제7 구간(TP7)에서, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 제2 액티브 픽셀의 상기 제2 센싱 문턱 전압이 출력될 수 있다.

[0149] 제8 구간(TP8)에서, 상기 데이터 전압(VDATA)은 상기 제2 액티브 센싱 데이터 전압(VDATA2)을 가지고, 상기 제2 센싱 게이트 신호(SS[2]) 및 상기 제4 센싱 게이트 신호(SS[4])는 활성화 레벨을 가지며, 상기 제2 스캔 게이트 신호(SC[2])는 비활성화 레벨을 가지고, 상기 제4 스캔 게이트 신호(SC[4])는 활성화 레벨을 가질 수 있다. 이에 따라, 상기 제4 스캔 게이트 신호(SC[4])에 응답하여 상기 제4 액티브 픽셀의 상기 액티브 구동 트랜지스터(TDRR)의 상기 제1 제어 전극에 상기 제2 액티브 센싱 데이터 전압(VDATA2)이 인가될 수 있다. 이에 따라, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 센싱 전류가 상기 제4 센싱 라인(SL[4])에 인가될 수 있다. 상기 제2 스캔 게이트 신호(SC[2])는 비활성화 레벨을 가지므로, 상기 제2 센싱 라인(SL[2])에는 상기 센싱 전류가 인가되지 않을 수 있다. 상기 제8 구간(TP8)에서, 상기 제2 액티브 센싱 데이터 전압(VDATA2)에 대응되는 상기 제4 액티브 픽셀의 상기 제2 센싱 문턱 전압이 출력될 수 있다.

[0150] 도 14는 도 10의 전류 적분 회로 및 도 11의 전압 증폭 회로에 인가되는 신호를 나타내는 타이밍도이다.

[0151] 도 10 내지 도 11 및 도 13 내지 도 14를 참조하면, 상기 제1 구간(TP1), 상기 제2 구간(TP2), 상기 제3 구간(TP3), 상기 제4 구간(TP4), 상기 제5 구간(TP5), 상기 제6 구간(TP6), 상기 제7 구간(TP7) 및 상기 제8 구간(TP8)은 오프셋 제거 구간(TSEN)을 포함할 수 있다. 상기 오프셋 제거 구간(TSEN)은 리셋 구간(TRST), 제1 적분 구간(TINT1), 제2 적분 구간(TINT2) 및 증폭 구간(TAMP)을 포함할 수 있다. 상기 제1 리셋 스위칭 소자(SRST1) 및 상기 제2 리셋 스위칭 소자(SRST2)에는 리셋 신호(RST)가 인가될 수 있다. 상기 제1 샘플링 스위칭 소자(SSAM1), 상기 제2 샘플링 스위칭 소자(SSAM2), 상기 제3 샘플링 스위칭 소자(SSAM3), 상기 제4 샘플링 스위칭 소자(SSAM4)에는 샘플링 신호(SAM)가 인가될 수 있다. 상기 홀드 스위칭 소자(SHOLD)에는 홀드 신호(HOLD)가 인가될 수 있다.

[0152] 상기 리셋 구간(TRST)에서 상기 리셋 신호(RST)는 활성화 레벨을 가지고, 상기 샘플링 신호(SAM)는 활성화 레벨을 가지며, 상기 홀드 신호(HOLD)는 비활성화 레벨을 가질 수 있다. 상기 리셋 신호(RST)가 활성화 레벨을 가짐에 따라, 상기 제1 노드(N1) 및 상기 제3 노드(N3)가 연결되고, 상기 제2 노드(N2) 및 상기 제4 노드(N4)가 연결될 수 있다. 이에 따라, 상기 제1 적분 캐패시터(CINT1) 및 상기 제2 적분 캐패시터(CINT2)가 상기 오프셋 전압으로 초기화될 수 있다. 상기 샘플링 신호(SAM)가 활성화 레벨을 가짐에 따라, 상기 제3 노드(N3) 및 상기 제5 노드(N5)가 연결될 수 있고, 상기 제4 노드(N4) 및 상기 제6 노드(N6)가 연결될 수 있다. 또한, 상기 제9 노드(N9) 및 상기 제11 노드(N11)가 연결될 수 있고, 상기 제10 노드(N10) 및 상기 제12 노드(N12)가 연결될 수 있다. 이에 따라, 상기 제1 샘플링 캐패시터(CS1) 및 상기 제2 샘플링 캐패시터(CS2)에 상기 적분 앰프(CAMP)의 상기 오프셋 전압이 저장될 수 있다.

[0153] 상기 제1 적분 구간(TINT1)에서 상기 리셋 신호(RST)는 비활성화 레벨을 가지고, 상기 샘플링 신호(SAM)는 비활성화 레벨을 가지며, 상기 홀드 신호(HOLD)는 활성화 레벨로 변화할 수 있다. 상기 리셋 신호(RST)가 비활성화 레벨을 가짐에 따라, 상기 센싱 전류가 적분될 수 있다. 상기 샘플링 신호(SAM)가 비활성화 레벨을 가짐에 따라, 상기 제5 노드(N5) 및 상기 제7 노드(N7)가 연결될 수 있고, 상기 제6 노드(N6) 및 상기 제8 노드(N8)가 연결될 수 있다. 상기 홀드 신호(HOLD)가 활성화 레벨로 변화함에 따라, 상기 제7 노드(N7) 및 상기 제8 노드(N8)가 연결될 수 있다. 상기 제1 적분 구간(TINT1)에서 상기 증폭 앰프(AAMP)는 상기 오프셋 전압을 증폭할 수 있다.

[0154] 상기 제2 적분 구간(TINT2)에서 상기 리셋 신호(RST)는 비활성화 레벨을 가지고, 상기 샘플링 신호(SAM)는 활성화 레벨을 가지며, 상기 홀드 신호(HOLD)는 비활성화 레벨을 가질 수 있다. 상기 샘플링 신호(SAM)가 활성화 레벨을 가짐에 따라, 상기 제3 노드(N3) 및 상기 제5 노드(N5)가 연결될 수 있고, 상기 제4 노드(N4) 및 상기 제6 노드(N6)가 연결될 수 있다. 상기 홀드 신호(HOLD)가 비활성화 레벨을 가짐에 따라, 상기 제7 노드(N7) 및 상기 제8 노드(N8)가 연결되지 않을 수 있다. 상기 제2 적분 구간(TINT2)에서 상기 제1 샘플링 캐패시터(CS1) 및 상기 제2 샘플링 캐패시터(CS2) 중 어느 하나에 상기 센싱 전류가 적분된 적분 전압이 저장될 수 있다.

[0155] 상기 증폭 구간(TAMP)에서 상기 리셋 신호(RST)는 비활성화 레벨을 가지고, 상기 샘플링 신호(SAM)는 비활성화

레벨을 가지며, 상기 홀드 신호(HOLD)는 활성화 레벨로 변화할 수 있다. 상기 증폭 구간(TAMP)에서 상기 적분 전압이 증폭될 수 있다.

[0156] 본 실시예에서, 상기 센싱 문턱 전압은 상기 적분 전압에서 상기 오프셋 전압이 감소된 전압일 수 있다.

[0157] 종래의 표시 장치의 상기 센싱 문턱 전압은 상기 오프셋 전압이 포함되어 정확한 상기 센싱 문턱 전압을 얻기 어려울 수 있다. 다만, 본 발명에 따른 상기 센싱 문턱 전압은 상기 적분 전압에서 상기 오프셋 전압이 감소된 전압일 수 있으므로, 상기 센싱 문턱 전압의 신뢰성이 향상될 수 있다.

[0158] 도 15는 도 1의 센싱 구동부의 구성을 나타내는 블록도이다.

[0159] 도 1, 도 6 및 도 15를 참조하면, 상기 센싱 구동부(600A)는 전류 적분 블록(610A), 전압 증폭 블록(630A), 전압 저장 블록(650A) 및 상기 센싱 데이터 출력 블록(670)을 포함할 수 있다. 상기 전류 적분 블록(610)에는 상기 제1 센싱 라인(SL[1]), 상기 제2 센싱 라인(SL[2]), 상기 제3 센싱 라인(SL[3]) 및 상기 제4 센싱 라인(SL[4])이 연결될 수 있다. 상기 제1 센싱 라인(SL[1]) 및 상기 제3 센싱 라인(SL[3])은 홀수번째 센싱 라인 제어 신호(SEL[2P-1])에 응답하여 상기 전류 적분 블록(610A)과 연결될 수 있다. 상기 제2 센싱 라인(SL[2]) 및 상기 제4 센싱 라인(SL[4])은 짝수번째 센싱 라인 제어 신호(SEL[2P])에 응답하여 상기 전류 적분 블록(610A)과 연결될 수 있다.

[0160] 홀수번째 센싱 라인 제어 신호(SEL[2P-1])에 응답하여 상기 제1 센싱 라인(SL[1]) 및 상기 제3 센싱 라인(SL[3])이 상기 전류 적분 블록(610A)에 연결되는 경우, 상기 전류 적분 블록(610A)은 상기 제1 적분 전압(VINT[1]) 및 상기 제3 적분 전압(VINT[3])을 출력할 수 있다. 상기 전압 증폭 블록(630A)은 상기 제1 적분 전압(VINT[1])에 대응되는 제1 홀수 센싱 문턱 전압(VSEN[1])을 출력할 수 있고, 상기 제3 적분 전압(VINT[3])에 대응되는 제2 홀수 센싱 문턱 전압(VSEN[3])을 출력할 수 있다.

[0161] 짝수번째 센싱 라인 제어 신호(SEL[2P])에 응답하여 상기 제2 센싱 라인(SL[2]) 및 상기 제4 센싱 라인(SL[4])이 상기 전류 적분 블록(610A)에 연결되는 경우, 상기 전류 적분 블록(610A)은 상기 제2 적분 전압(VINT[2]) 및 상기 제4 적분 전압(VINT[4])을 출력할 수 있다. 상기 전압 증폭 블록(630A)은 상기 제2 적분 전압(VINT[2])에 대응되는 제1 짝수 센싱 문턱 전압(VSEN[2])을 출력할 수 있고, 상기 제4 적분 전압(VINT[4])에 대응되는 제2 짝수 센싱 문턱 전압(VSEN[4])을 출력할 수 있다.

[0162] 상기 전압 저장 블록(650A)은 상기 제1 홀수 센싱 문턱 전압(VSEN[1]), 상기 제2 홀수 센싱 문턱 전압(VSEN[3]), 상기 제1 짝수 센싱 문턱 전압(VSEN[2]) 및 상기 제2 짝수 센싱 문턱 전압(VSEN[4]) 중 어느 하나를 센싱 문턱 전압(VSEN)으로 출력할 수 있다. 상기 센싱 데이터 출력 블록은 상기 센싱 문턱 전압(VSEN)을 포함하는 상기 센싱 데이터(SD)를 출력할 수 있다.

[0163] 도 16은 도 10의 전류 적분 회로(CI)의 적분 앰프(CAMP)의 구성 및 도 11의 전압 증폭 회로(SHA)의 증폭 앰프(AAMP)의 구성의 일 예를 나타내는 회로도이다.

[0164] 도 10, 도 11 및 도 16을 참조하면, 본 실시예에서, 상기 적분 앰프(CAMP) 및/또는 상기 증폭 앰프(AAMP)는 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 제7 트랜지스터(M7), 제8 트랜지스터(M8), 제9 트랜지스터(M9), 제10 트랜지스터(M10), 제12 트랜지스터(M12), 제13 트랜지스터(M13), 제14 트랜지스터(M14), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함할 수 있다.

[0165] 상기 제1 트랜지스터(M1)는 제1 단 전압(Vi+)이 인가되는 제어 전극, 제1 노드(P1)에 연결되는 제1 전극 및 제2 노드(P2)에 연결되는 제2 전극을 포함할 수 있다. 상기 제2 트랜지스터(M2)는 제2 단 전압(Vi-)이 인가되는 제어 전극, 제3 노드(P3)에 연결되는 제1 전극 및 상기 제2 노드(P2)에 연결되는 제2 전극을 포함할 수 있다. 상기 제3 트랜지스터(M3)는 상기 제1 단 전압(Vi+)이 인가되는 제어 전극, 제4 노드(P4)에 연결되는 제1 전극 및 상기 제1 노드(P1)에 연결되는 제2 전극을 포함할 수 있다. 상기 제4 트랜지스터(M4)는 상기 제2 단 전압(Vi-)이 인가되는 제어 전극, 상기 제4 노드(P4)에 연결되는 제1 전극 및 상기 제3 노드(P3)에 연결되는 제2 전극을 포함할 수 있다.

[0166] 본 실시예에서, 상기 제1 노드(P1)의 전압은 제1 출력단 전압(VO-)일 수 있다. 상기 제3 노드(P3)의 전압은 제2 출력단 전압(VO+)일 수 있다.

[0167] 상기 제5 트랜지스터(M5)는 제1 바이어스 전압(VCMFB)이 인가되는 제어 전극, 상기 제2 노드(P2)에 연결되는 제1 전극 및 로우 전원 전압(VSS)이 인가되는 제2 전극을 포함할 수 있다. 상기 제1 바이어스 전압(VCMFB)은 설정

자에 의하여 설정될 수 있다. 상기 제6 트랜지스터(M6)는 제2 바이어스 전압(VBP)이 인가되는 제어 전극, 하이 전원 전압(VDD)이 인가되는 제1 전극 및 상기 제4 노드(P4)에 연결되는 제2 전극을 포함할 수 있다. 상기 제2 바이어스 전압(VBP)은 상기 제6 트랜지스터(M6)를 턴-온시키는 활성화 레벨을 가질 수 있다. 상기 하이 전원 전압(VDD)은 상기 로우 전원 전압(VSS)보다 높은 전압 레벨을 가질 수 있다.

[0168] 상기 제7 트랜지스터(M7)는 상기 제1 출력단 전압(VO-)이 인가되는 제어 전극, 제5 노드(P5)에 연결되는 제1 전극 및 제6 노드(P6)에 연결되는 제2 전극을 포함할 수 있다. 상기 제8 트랜지스터(M8)는 제3 바이어스 전압(VCM)이 인가되는 제어 전극, 상기 제5 노드(P5)에 연결되는 제1 전극 및 상기 제1 바이어스 전압(VCMFB)이 인가되는 제2 전극을 포함할 수 있다. 예를 들어, 상기 제3 바이어스 전압(VCM)의 전압 레벨은 상기 하이 전원 전압(VDD)의 전압 레벨에 약 1/2배일 수 있다. 다만, 본 발명은 상기 제3 바이어스 전압(VCM)의 전압 레벨에 한정되지 않는다.

[0169] 상기 제9 트랜지스터(M9)는 상기 제3 바이어스 전압(VCM)이 인가되는 제어 전극, 제7 노드(P7)에 연결되는 제1 전극 및 상기 제1 바이어스 전압(VCMFB)이 인가되는 제2 전극을 포함할 수 있다. 상기 제10 트랜지스터(M10)는 상기 제2 출력단 전압(VO+)이 인가되는 제어 전극, 상기 제7 노드(P7)에 연결되는 제1 전극 및 상기 제6 노드(P6)에 연결되는 제2 전극을 포함할 수 있다.

[0170] 상기 제11 트랜지스터(M11)는 상기 제6 노드(P6)에 연결되는 제어 전극, 상기 제6 노드(P6)에 연결되는 제1 전극 및 상기 로우 전원 전압(VSS)이 인가되는 제2 전극을 포함할 수 있다. 상기 제12 트랜지스터(M12)는 상기 제6 노드(P6)에 연결되는 제어 전극, 상기 제1 바이어스 전압(VCMFB)이 인가되는 제1 전극 및 상기 로우 전원 전압(VSS)이 인가되는 제2 전극을 포함할 수 있다. 상기 제13 트랜지스터(M13)는 상기 제2 바이어스 전압(VBP)이 인가되는 제어 전극, 상기 하이 전원 전압(VDD)이 인가되는 제1 전극 및 상기 제5 노드(P5)에 연결되는 제2 전극을 포함할 수 있다. 상기 제14 트랜지스터(M14)는 상기 제2 바이어스 전압(VBP)이 인가되는 제어 전극, 상기 하이 전원 전압(VDD)이 인가되는 제1 전극 및 상기 제7 노드(P7)에 연결되는 제2 전극을 포함할 수 있다. 예를 들어, 상기 제2 바이어스 전압(VBP)은 상기 제13 트랜지스터(M13)를 턴-온시키는 활성화 레벨을 가질 수 있다. 예를 들어, 상기 제2 바이어스 전압(VBP)은 상기 제14 트랜지스터(M14)를 턴-온시키는 활성화 레벨을 가질 수 있다.

[0171] 상기 제1 캐패시터(C1)는 상기 제1 출력단 전압(VO-)이 인가되는 제1 전극 및 상기 제1 바이어스 전압(VCMFB)이 인가되는 제2 전극을 포함할 수 있다. 상기 제2 캐패시터(C2)는 상기 제2 출력단 전압(VO+)이 인가되는 제1 전극 및 상기 제1 바이어스 전압(VCMFB)이 인가되는 제2 전극을 포함할 수 있다. 상기 제1 캐패시터(C1)와 상기 제2 캐패시터(C2)를 통하여 상기 제1 출력단 전압(VO-) 및 상기 제2 출력단 전압(VO+)의 안정성이 향상될 수 있다.

[0172] 또한, 도 17에서, 상기 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제6 트랜지스터(M6), 상기 제7 트랜지스터(M7), 상기 제8 트랜지스터(M8), 제9 트랜지스터(M9), 상기 제10 트랜지스터(M10), 상기 제13 트랜지스터(M13) 및 상기 제14 트랜지스터(M14)를 P-타입 트랜지스터로 도시하고, 상기 제1 트랜지스터(M1), 상기 제2 트랜지스터(M2), 상기 제5 트랜지스터(M5), 상기 제11 트랜지스터(M11) 및 상기 제12 트랜지스터(M12)를 N-타입 트랜지스터로 도시하였으나, 본 발명은 상기 트랜지스터들(M1 내지 M14)의 타입에 한정되지 않는다. 또한, 본 발명은 상기 적분 앰프(CAMP)의 구성과 상기 증폭 앰프(AAMP)의 구성에 한정되지 않는다.

[0173] 본 실시예에서, 상기 적분 앰프(CAMP)의 구성과 상기 증폭 앰프(AAMP)의 구성을 통하여, 상기 제1 출력단 전압(VO-)과 상기 제2 출력단 전압(VO+)의 신뢰성 및 안정성이 더욱 향상될 수 있다. 또한, 상기 제1 출력단 전압(VO-)과 상기 제2 출력단 전압(VO+)의 노이즈가 감소될 수 있다.

[0174] 도 17은 도 1의 기준 구동 트랜지스터(TDRR)의 전압-전류 곡선 함수들을 나타내는 그래프이다. 도 18은 도 4에서 제1 수식을 활용한 결과 값을 나타내는 그래프이다. 도 19은 도 1의 기준 구동 트랜지스터(TDRR)의 전압-전류 곡선 함수들에 제1 수식을 활용한 결과 값을 나타내는 그래프이다. 도 20은 도 1의 표시 장치의 에러 함수(ERRF)의 일 예를 나타내는 그래프이다.

[0175] 도 1, 도 4 및 도 17 내지 도 20을 참조하면, 도 17에 도시된 VBG는 상기 게이트 전압(VCAL)을 의미할 수 있다. 예를 들어, 상기 게이트 전압(V)을 약 6번 가변할 수 있다. 예를 들어, 제1 게이트 전압은 약 0mV일 수 있다. 예를 들어, 제2 게이트 전압은 약 -30mV일 수 있다. 예를 들어, 제3 게이트 전압은 약 -60mV일 수 있다. 예를 들어, 제4 게이트 전압은 약 -90mV일 수 있다. 예를 들어, 제5 게이트 전압은 약 -120mV일 수 있다. 예를 들어, 제6 게이트 전압은 약 -145mV일 수 있다. 예를 들어, 상기 제1 게이트 전압에 대응되는 제1 전압-전류 곡선 함수

수가 수집될 수 있다. 예를 들어, 상기 제2 게이트 전압에 대응되는 제2 전압-전류 곡선 함수가 수집될 수 있다. 예를 들어, 상기 제3 게이트 전압에 대응되는 제3 전압-전류 곡선 함수가 수집될 수 있다. 예를 들어, 상기 제4 게이트 전압에 대응되는 제4 전압-전류 곡선 함수가 수집될 수 있다. 예를 들어, 상기 제5 게이트 전압에 대응되는 제5 전압-전류 곡선 함수가 수집될 수 있다. 예를 들어, 상기 제6 게이트 전압에 대응되는 제6 전압-전류 곡선 함수가 수집될 수 있다. 도 18에 기재된 제2 그래프는 상기 전압-전류 곡선 함수들을 로그 스케일로 변환한 그래프일 수 있다.

[0176] 예를 들어, 도 18과 같이, 상기 전압-전류 곡선 함수에 상기 제2 프로세스를 적용하여 상기 제1 문턱 전압을 계산할 수 있다. 예를 들어, 상기 전압-전류 함수의 노이즈를 감소시키기 위하여, Savitsky-Golay polynomial filter가 활용될 수 있다. 다만, 본 발명은 상기 전압-전류 함수의 노이즈를 감소시키기 위한 방법에 한정되지 않는다. 도 18과 같이, 상기 제1 전압-전류 곡선 함수에 대응되는 상기 제1 문턱 전압은 약 2.2327V일 수 있고, 상기 제6 전압-전류 곡선 함수에 대응되는 상기 제1 문턱 전압은 약 2.2826V일 수 있다.

[0177] 예를 들어, 도 19와 같이, 상기 제1 내지 제6 게이트 전압들에 대응되는 상기 제1 문턱 전압들은 상기 게이트 전압(VCAL)이 낮아질수록 선형적으로 이동(linearly shifted)될 수 있다.

[0178] 예를 들어, 도 20과 같이, 상기 제1 문턱 전압들과 상기 제2 문턱 전압들의 편차인 상기 에러 값들을 활용하여 상기 에러 함수(ERRF)가 도출될 수 있다. 예를 들어, 상기 에러 함수(ERRF)는 상기 제2 문턱 전압들과 상기 에러 값들을 활용하여 도출될 수 있다. 예를 들어, 상기 에러 함수(ERRF)는 상기 에러 값들에 2차 다항식 방법을 활용하여 도출될 수 있다.

[0179] 이에 따라, 상기 표시 패널(100)에 인가되는 상기 보상 전압의 정확도가 향상될 수 있다. 종래의 표시 장치의 경우, 소비 전력을 줄이기 위하여, 구동 트랜지스터가 문턱 전압 이하 영역(subthreshold region)에서 구동될 수 있다. 이에 따라, 상기 종래의 표시 장치의 센싱 데이터가 부정확할 수 있고, 보상 전압의 정확도가 낮을 수 있다. 상기 종래의 표시 장치와 달리, 상기 표시 장치는 상기 에러 함수(ERRF)를 활용하여 더욱 정확한 상기 보상 전압을 상기 표시 패널(100)에 인가할 수 있다. 따라서, 상기 표시 패널(100)의 표시 품질이 더욱 향상될 수 있다.

[0180] 도 21은 예측 오차를 나타내는 그래프이다.

[0181] 도 21을 참조하면, 본 그래프에서, 사각형들은 상기 예측 함수가 적용되지 않은 경우의 보상 전압의 예측 오차를 나타낼 수 있다. 본 그래프에서, 원들은 상기 예측 함수가 적용된 경우의 보상 전압의 예측 오차를 나타낼 수 있다. 본 그래프에서, 삼각형들은 상기 최종 보상 전압의 예측 오차를 나타낼 수 있다. 도 22와 같이, 상기 에러 함수를 활용하여 상기 보상 전압을 생성하는 경우, 상기 예측 함수가 적용되지 않은 경우보다 오차가 적은 것을 확인할 수 있다. 또한, 상기 예측 함수를 활용하여 상기 최종 보상 전압을 생성하는 경우, 상기 예측 함수가 적용되지 않은 경우보다 오차가 더욱 적은 것을 확인할 수 있다. 이에 따라, 상기 표시 패널에 인가되는 상기 보상 전압 또는 상기 최종 보상 전압의 정확도가 더욱 향상될 수 있다는 것을 확인할 수 있다.

[0182] 도 22는 전류 오차를 나타내는 그래프이다.

[0183] 도 22를 참조하면, 본 그래프에서, 사각형들은 상기 예측 함수가 적용되지 않은 경우의 보상 전압에 따른 전류 오차를 나타낼 수 있다. 본 그래프에서, 원들은 상기 예측 함수가 적용된 경우의 보상 전압에 따른 전류 오차를 나타낼 수 있다. 본 그래프에서, 삼각형들은 상기 최종 보상 전압에 따른 전류 오차를 나타낼 수 있다. 도 23과 같이, 상기 에러 함수를 활용하여 상기 보상 전압을 생성하는 경우, 상기 예측 함수가 적용되지 않은 경우보다 전류 오차가 적은 것을 확인할 수 있다. 또한, 상기 예측 함수를 활용하여 상기 최종 보상 전압을 생성하는 경우, 상기 예측 함수가 적용되지 않은 경우보다 전류 오차가 더욱 적은 것을 확인할 수 있다. 예를 들어, 약 62 계조에서 전류 오차를 비교할 경우, 상기 예측 함수가 활용되지 않은 경우 전류 오차는 약 35.56 LSB일 수 있다. 상기 예측 함수가 활용된 보상 전압에 대응되는 전류 오차는 약 16.54 LSB일 수 있다. 상기 예측 함수가 활용된 상기 최종 보상 전압에 대응되는 전류 오차는 약 6.03 LSB일 수 있다. 이에 따라, 상기 표시 패널에 인가되는 상기 보상 전압 또는 상기 최종 보상 전압의 정확도가 더욱 향상될 수 있다는 것을 확인할 수 있다.

[0184] 도 23은 본 발명의 일 실시예에 따른 전자 장치(1000)를 나타내는 블록도이다.

[0185] 도 23을 참조하면, 전자 장치(1000)는 프로세서(1010), 메모리 장치(1020), 스토리지 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 표시 장치(1060)를 포함할 수 있다. 이 때, 표시 장치(1060)는 도 1의 표시 장치일 수 있다. 또한, 전자 장치(1000)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나,

또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

- [0186] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(microprocessor), 중앙 처리 유닛(central processing unit), 어플리케이션 프로세서(application processor) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통해 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(1010)는 주변 구성 요소 상호 연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0187] 상기 프로세서(1010)는 도 1의 상기 구동 제어부(200)에 상기 입력 영상 데이터(IMG) 및 상기 입력 제어 신호(CONT)를 출력할 수 있다.
- [0188] 메모리 장치(1020)는 전자 장치(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 이피롬(Erasable Programmable Read-Only Memory; EPROM) 장치, 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 장치, 플래시 메모리 장치(flash memory device), 피램(Phase Change Random Access Memory; PRAM) 장치, 알램(Resistance Random Access Memory; RRAM) 장치, 엔에프지엠(Nano Floating Gate Memory; NFGM) 장치, 폴리머램(Polymer Random Access Memory; PoRAM) 장치, 엠램(Magnetic Random Access Memory; MRAM), 에프램(Ferroelectric Random Access Memory; FRAM) 장치 등과 같은 비휘발성 메모리 장치 및/또는 디램(Dynamic Random Access Memory; DRAM) 장치, 에스램(Static Random Access Memory; SRAM) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치를 포함할 수 있다.
- [0189] 스토리지 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 표시 장치(1060)가 입출력 장치(1040)에 포함될 수도 있다. 파워 서플라이(1050)는 전자 장치(1000)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(1060)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.
- [0190] 도 24는 도 23의 전자 장치의 일례를 나타내는 블록도이다.
- [0191] 전자 장치(2101)는 운영체제 내에서 표시 모듈(2140)을 통해서 다양한 정보를 출력한다. 프로세서(2110)가 메모리(2120)에 저장된 어플리케이션을 실행시키면, 표시 모듈(2140)은 표시 패널(2141)을 통해 어플리케이션 정보를 사용자에게 제공한다.
- [0192] 프로세서(2110)는 입력 모듈(2130) 또는 센서 모듈(2161)을 통해 외부 입력을 획득하고, 외부 입력에 대응되는 어플리케이션을 실행시킨다. 예를 들어, 사용자가 표시 패널(2141)에 표시된 카메라 아이콘을 선택한 경우, 프로세서(2110)는 입력 센서(2161-2)를 통해서 사용자 입력을 획득하고, 카메라 모듈(2171)을 활성화시킨다. 프로세서(2110)는 카메라 모듈(2171)을 통해 획득한 촬영 이미지에 대응되는 영상 데이터를 표시 모듈(2140)에 전달한다. 표시 모듈(2140)은 촬영 이미지에 대응되는 이미지를 표시 패널(2141)을 통해 표시할 수 있다.
- [0193] 또 다른 예로, 표시 모듈(2140)에서 개인 정보 인증이 실행되는 경우, 지문 센서(2161-1)는 입력된 지문 정보를 입력 데이터로서 획득한다. 프로세서(2110)는 지문 센서(2161-1)를 통해 획득한 입력 데이터를 메모리(2120)에 저장된 인증 데이터와 비교하고, 비교 결과에 따라 어플리케이션을 실행한다. 표시 모듈(2140)은 어플리케이션의 로직에 따라 실행된 정보를 표시 패널(2141)을 통해 표시할 수 있다.
- [0194] 또 다른 예로, 표시 모듈(2140)에 표시된 음악 스트리밍 아이콘이 선택된 경우, 프로세서(2110)는 입력 센서(2161-2)를 통해서 사용자 입력을 획득하고, 메모리(2120)에 저장된 음악 스트리밍 어플리케이션을 활성화시킨다. 음악 스트리밍 어플리케이션에서 음악 실행 명령이 입력되면 프로세서(2110)는 음향 출력 모듈(2163)을 활성화시켜 음악 실행 명령에 부합하는 음향 정보를 사용자에게 제공한다.
- [0195] 이상에서, 전자 장치(2101)의 동작을 간략히 설명하였다. 이하에서 전자 장치(2101)의 구성에 대해 상세히 설명한다. 후술하는 전자 장치(2101)의 구성들 중 일부는 일체화되어 하나의 구성으로 제공될 수 있고, 하나의 구성이 2 이상의 구성으로 분리되어 제공될 수도 있다.
- [0196] 도 24를 참조하면, 전자 장치(2101)는 네트워크(예컨대, 근거리 무선 통신 네트워크 또는 원거리 무선 통신 네트워크)를 통하여 외부 전자 장치(2102)와 통신할 수 있다. 일 실시예에 따르면, 전자 장치(2101)는 프로세서(2110), 메모리(2120), 입력 모듈(2130), 표시 모듈(2140), 전원 모듈(2150), 내장형 모듈(2160), 및 외장형

모듈(2170)을 포함할 수 있다. 일 실시예에 따르면, 전자 장치(2101)는 상술한 구성요소들 중 적어도 하나가 생략되거나, 하나 이상의 다른 구성 요소가 추가될 수 있다. 일 실시예에 따르면, 상술한 구성요소들 중 일부의 구성요소는(예컨대, 센서 모듈(2161), 안테나 모듈(2162), 또는 음향 출력 모듈(2163))은 다른 하나의 구성요소(예컨대, 표시 모듈(2140))에 통합될 수 있다.

[0197] 프로세서(2110)는, 소프트웨어를 실행하여 프로세서(2110)에 연결된 전자 장치(2101)의 적어도 하나의 다른 구성요소(예컨대, 하드웨어 또는 소프트웨어 구성요소)를 제어할 수 있고, 다양한 데이터 처리 또는 연산을 수행할 수 있다. 일 실시예에 따르면, 데이터 처리 또는 연산의 적어도 일부로서, 프로세서(2110)는 다른 구성요소(예컨대, 입력 모듈(2130), 센서 모듈(2161) 또는 통신 모듈(2173))로부터 수신된 명령 또는 데이터를 휘발성 메모리(2121)에 저장하고, 휘발성 메모리(2121)에 저장된 명령 또는 데이터를 처리하고, 결과 데이터는 비휘발성 메모리(2122)에 저장될 수 있다.

[0198] 프로세서(2110)는 메인 프로세서(2111)와 보조 프로세서(2112)를 포함할 수 있다. 메인 프로세서(2111)는 중앙처리장치(2111-1, CPU: central processing unit) 또는 어플리케이션 프로세서(AP: application processor) 중 하나 이상을 포함할 수 있다. 메인 프로세서(2111)는 그래픽처리장치(2111-2, GPU: graphics processing unit), 커뮤니케이션 프로세서(CP: communication processor), 및 이미지 신호 프로세서(ISP: image signal processor) 중 어느 하나 이상을 더 포함할 수도 있다. 메인 프로세서(2111)는 신경망 처리 장치(2111-3, NPU: neural processing unit)를 더 포함할 수도 있다. 신경망 처리 장치(2111-3)는 인공지능 모델의 처리에 특화된 프로세서로, 인공지능 모델은 기계 학습을 통해 생성될 수 있다. 인공지능 모델은 복수의 인공 신경망 레이어들을 포함할 수 있다. 인공 신경망은 심층 신경망(DNN: deep neural network), CNN(convolutional neural network), RNN(recurrent neural network), RBM(restricted boltzmann machine), DBN(deep belief network), BRDNN(bidirectional recurrent deep neural network), 심층 Q-네트워크(deep Q-networks) 또는 상기 중 둘 이상의 조합 중 하나일 수 있으나, 전술한 예에 한정되지 않는다. 인공지능 모델은 하드웨어 구조 이외에, 추가적으로 또는 대체적으로, 소프트웨어 구조를 포함할 수 있다. 상술한 처리 장치(processing unit) 및 프로세서 중 적어도 두 개가 하나의 통합된 구성(예컨대, 단일 칩)으로 구현되거나, 각각이 독립된 구성(예컨대, 복수 개의 칩)으로 구현될 수 있다.

[0199] 보조 프로세서(2112)는 컨트롤러를 포함할 수 있다. 상기 컨트롤러는 인터페이스 변환 회로 및 타이밍 제어 회로를 포함할 수 있다. 상기 컨트롤러는 메인 프로세서(2111)로부터 영상 신호를 수신하고, 표시 모듈(2140)과의 인터페이스 사양에 맞도록 영상 신호의 데이터 포맷을 변환하여 영상 데이터를 출력한다. 상기 컨트롤러는 표시 모듈(2140)의 구동에 필요한 각종 제어 신호를 출력할 수 있다.

[0200] 보조 프로세서(2112)는 데이터 변환회로(2112-2), 감마 보정회로(2112-3), 렌더링 회로(2112-4) 등을 더 포함할 수 있다. 데이터 변환회로(2112-2)는 상기 컨트롤러로부터 영상 데이터를 수신하고, 전자 장치(2101)의 특성 또는 사용자의 설정 등에 따라 원하는 휘도로 영상이 표시되도록 영상 데이터를 보상하거나, 소비 전력의 저감 또는 잔상 보상 등을 위해 영상 데이터를 변환할 수 있다. 감마 보정회로(2112-3)는 전자 장치(2101)에 표시되는 영상이 원하는 감마 특성을 갖도록 영상 데이터 또는 감마 기준 전압 등을 변환할 수 있다. 렌더링 회로(2112-4)는 상기 컨트롤러로부터 영상 데이터를 수신하고, 전자 장치(2101)에 채용된 표시 패널(2141)의 화소 배치 등을 고려하여 영상 데이터를 렌더링할 수 있다. 데이터 변환회로(2112-2), 감마 보정회로(2112-3), 렌더링 회로(2112-4) 중 적어도 하나는 다른 구성요소(예컨대, 메인 프로세서(2111) 또는 상기 컨트롤러)에 통합될 수 있다. 데이터 변환회로(2112-2), 감마 보정회로(2112-3), 렌더링 회로(2112-4) 중 적어도 하나는 후술하는 데이터 구동부(2143)에 통합될 수도 있다. 일 실시예에서, 상기 보조 프로세서(2112)는 상기 예러 값에 기초하여, 보상 전압을 생성할 수 있고, 상기 보상 전압에 기초하여 상기 데이터 신호를 출력할 수 있다. 이에 따라, 상기 데이터 신호의 정확도가 향상될 수 있다.

[0201] 메모리(2120)는 전자 장치(2101)의 적어도 하나의 구성 요소(예컨대, 프로세서(2110) 또는 센서 모듈(2161))에 의해 사용되는 다양한 데이터 및, 이와 관련된 명령에 대한 입력 데이터 또는 출력 데이터를 저장할 수 있다. 메모리(2120)는 휘발성 메모리(2121) 및 비휘발성 메모리(2122) 중 적어도 하나 이상을 포함할 수 있다.

[0202] 입력 모듈(2130)은 전자 장치(2101)의 구성 요소(예컨대, 프로세서(2110), 센서 모듈(2161) 또는 음향 출력 모듈(2163))에 사용될 명령 또는 데이터를 전자 장치(2101)의 외부(예컨대, 사용자 또는 외부의 전자 장치(2102))로부터 수신할 수 있다.

[0203] 입력 모듈(2130)은 사용자로부터 명령 또는 데이터가 입력되는 제1 입력 모듈(2131) 및 외부 전자 장치(2102)로부터 명령 또는 데이터가 입력되는 제2 입력 모듈(2132)을 포함할 수 있다. 제1 입력 모듈(2131)은 마이크, 마

우스, 키보드, 키(예컨대, 버튼) 또는 펜(예컨대, 패시브 펜 또는 액티브 펜)을 포함할 수 있다. 제2 입력 모듈(2132)은 외부 전자 장치(2102)와 유선 또는 무선으로 연결할 수 있는 지정된 프로토콜을 지원할 수 있다. 일 실시예에 따르면, 제2 입력 모듈(2132)은 HDMI(high definition multimedia interface), USB(universal serial bus) 인터페이스, SD카드 인터페이스, 또는 오디오 인터페이스를 포함할 수 있다. 제2 입력 모듈(2132)은 외부 전자 장치(2102)와 물리적으로 연결시킬 수 있는 커넥터, 예를 들면, HDMI 커넥터, USB 커넥터, SD 카드 커넥터, 또는 오디오 커넥터(예컨대, 헤드폰 커넥터)를 포함할 수 있다.

[0204] 표시 모듈(2140)은 사용자에게 시각적으로 정보를 제공한다. 표시 모듈(2140)은 표시 패널(2141), 스캔 구동부(2142), 및 데이터 구동부(2143)를 포함할 수 있다. 표시 모듈(2140)은 표시 패널(2141)을 보호하기 위한 윈도우, 사시, 브라켓을 더 포함할 수 있다. 일 실시예에서, 상기 스캔 구동부(2142)는 상기 게이트 구동부(도 1의 300)을 포함할 수 있다.

[0205] 표시 패널(2141)은 액정 표시 패널, 유기 발광 표시 패널, 또는 무기 발광 표시 패널을 포함할 수 있으며, 표시 패널(2141)의 종류는 특별히 제한되지 않는다. 표시 패널(2141)은 리지드 타입이거나, 롤링이 가능하거나 폴딩이 가능한 플렉서블 타입일 수 있다. 표시 모듈(2140)은 표시 패널(2141)을 지지하는 서포터, 브라켓, 또는 방열부재 등을 더 포함할 수 있다.

[0206] 게이트 구동부(2142)는 구동칩으로써 표시 패널(2141)에 실장될 수 있다. 또한, 게이트 구동부(2142)는 표시 패널(2141)에 집적화될 수 있다. 예컨대, 게이트 구동부(2142)는 표시 패널(2141)에 내제화된 ASG(Amorphous Silicon TFT Gate driver circuit), LTPS(Low Temperature Polycrystalline Silicon) TFT Gate driver circuit 또는 OSG(Oxide Semiconductor TFT Gate driver circuit)을 포함할 수 있다. 게이트 구동부(2142)는 상기 컨트롤러로부터 제어 신호를 수신하고, 제어 신호에 응답하여 표시 패널(2141)에 스캔 게이트 신호들을 출력한다.

[0207] 표시 패널(2141)은 에미션 구동부를 더 포함할 수 있다. 에미션 구동부는 상기 컨트롤러로부터 수신한 제어 신호에 응답하여 표시 패널(2141)에 발광 신호를 출력한다. 에미션 구동부는 게이트 구동부(2142)와 구별되어 형성되거나, 게이트 구동부(2142)에 통합될 수 있다.

[0208] 데이터 구동부(2143)는 상기 컨트롤러로부터 제어 신호를 수신하고, 제어 신호에 응답하여 영상 데이터를 아날로그 전압(예컨대, 데이터 전압)으로 변환한 후 표시 패널(2141)에 데이터 전압들을 출력한다. 일 실시예에서, 도 1의 상기 센싱 구동부가 상기 데이터 구동부(2143)에 포함될 수 있다.

[0209] 데이터 구동부(2143)는 다른 구성요소(예컨대, 상기 컨트롤러)에 통합될 수 있다. 상술한 컨트롤러의 인터페이스 변환 회로 및 타이밍 제어 회로의 기능은 데이터 구동부(2143)에 통합될 수도 있다.

[0210] 표시 모듈(2140)은 에미션 구동부 및 전압 발생 회로 등을 더 포함할 수 있다. 전압 발생 회로는 표시 패널(2141)의 구동에 필요한 각종 전압들을 출력할 수 있다.

[0211] 전원 모듈(2150)은 전자 장치(2101)의 구성 요소에 전력을 공급한다. 전원 모듈(2150)은 전원 전압을 충전하는 배터리를 포함할 수 있다. 배터리는 재충전 불가능한 1차 전지, 재충전 가능한 2차 전지 또는 연료 전지를 포함할 수 있다. 전원 모듈(2150)은 PMIC(power management integrated circuit)를 포함할 수 있다. PMIC는 상술한 모듈 및 후술하는 모듈 각각에 최적화된 전원을 공급한다. 전원 모듈(2150)은 배터리와 전기적으로 연결된 무선 전력 송수신 부재를 포함할 수 있다. 무선 전력 송수신 부재는 코일 형태의 복수의 안테나 방사체를 포함할 수 있다.

[0212] 전자 장치(2101)는 내장형 모듈(2160)과 외장형 모듈(2170)을 더 포함할 수 있다. 내장형 모듈(2160)은 센서 모듈(2161), 안테나 모듈(2162), 및 음향 출력 모듈(2163)을 포함할 수 있다. 외장형 모듈(2170)은 카메라 모듈(2171), 라이트 모듈(2172), 및 통신 모듈(2173)을 포함할 수 있다.

[0213] 센서 모듈(2161)은 사용자의 신체에 의한 입력 또는 제1 입력 모듈(2131) 중 펜에 의한 입력을 감지하고, 상기 입력에 대응되는 전기 신호 또는 데이터 값을 생성할 수 있다. 센서 모듈(2161)은 지문 센서(2161-1), 입력 센서(2161-2), 및 디지타이저(2161-3) 중 적어도 어느 하나 이상을 포함할 수 있다.

[0214] 지문 센서(2161-1)는 사용자의 지문에 대응되는 데이터 값을 생성할 수 있다. 지문 센서(2161-1)는 광 방식 또는 정전 용량 방식의 지문 센서 중 어느 하나를 포함할 수 있다.

[0215] 입력 센서(2161-2)는 사용자의 신체에 의한 입력 또는 펜에 의한 입력의 좌표 정보에 대응되는 데이터 값을 생성할 수 있다. 입력 센서(2161-2)는 입력에 의한 정전용량 변화량을 데이터 값으로 생성한다. 입력 센서(2161-

2)는 패시브 펜에 의한 입력을 감지하거나, 액티브 펜과 데이터를 송수신할 수 있다.

- [0216] 입력 센서(2161-2)는 혈압, 수분, 또는 체지방과 같은 생체 신호를 측정할 수도 있다. 예컨대, 사용자가 센서층 또는 센싱 패널에 신체 일부를 접촉하고 일정한 시간 동안 움직이지 않는 경우, 신체 일부에 의한 전기장(electric field) 변화에 기초하여, 입력 센서(2161-2)는 생체 신호를 감지하여 하여 사용자가 원하는 정보를 표시 모듈(2140)로 출력할 수 있다.
- [0217] 디지털라이저(2161-3)는 펜에 의한 입력의 좌표 정보에 대응되는 데이터 값을 생성할 수 있다. 디지털라이저(2161-3)는 입력에 의한 전자기 변화량을 데이터 값으로 생성한다. 디지털라이저(2161-3)는 패시브 펜에 의한 입력을 감지하거나, 액티브 펜과 데이터를 송수신할 수 있다.
- [0218] 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3) 중 적어도 하나는 연속 공정을 통해 표시 패널(2141) 상에 형성된 센서층으로 구현될 수도 있다. 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3)는 표시 패널(2141)의 상측에 배치될 수 있고, 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3) 중 어느 하나, 예컨대 디지털라이저(2161-3)는 표시 패널(2141)의 하측에 배치될 수 있다.
- [0219] 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3) 중 적어도 2 이상은 동일한 공정을 통해서 하나의 센싱 패널로 일체화되도록 형성될 수 있다. 하나의 센싱 패널로 일체화될 경우, 센싱 패널은 표시 패널(2141)과 표시 패널(2141)의 상측에 배치되는 윈도우 사이에 배치될 수 있다. 일 실시예에 따르면, 센싱 패널은 윈도우 상에 배치될 수도 있으며, 센싱 패널의 위치는 특별히 제한되지 않는다.
- [0220] 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3) 중 적어도 하나는 표시 패널(2141)에 내장될 수 있다. 즉, 표시 패널(2141)에 포함된 소자들(예를 들어, 발광 소자, 트랜지스터 등)을 형성하는 공정을 통해 지문 센서(2161-1), 입력 센서(2161-2), 및 디지털라이저(2161-3) 중 적어도 하나를 동시에 형성할 수 있다.
- [0221] 그밖에 센서 모듈(2161)은 전자 장치(2101)의 내부 상태 또는 외부 상태에 대응되는 전기 신호 또는 데이터 값을 생성할 수 있다. 센서 모듈(2161)은 예를 들어 제스처 센서, 자이로 센서, 기압 센서, 마그네틱 센서, 가속도 센서, 그림 센서, 근접 센서, 컬러 센서, IR(infrared) 센서, 생체 센서, 온도 센서, 습도 센서, 또는 조도 센서를 더 포함할 수 있다.
- [0222] 안테나 모듈(2162)은 신호 또는 전력을 외부로 송신하거나 외부로부터 수신하기 위한 하나 이상의 안테나들을 포함할 수 있다. 일 실시예에 따르면, 통신 모듈(2173)은 통신 방식에 적합한 안테나를 통하여 신호를 외부 전자 장치(2102)로 송신하거나, 외부 전자 장치(2102)로부터 수신할 수 있다. 안테나 모듈(2162)의 안테나 패턴은 표시 모듈(2140)의 하나의 구성(예컨대 표시 패널(2141)) 또는 입력 센서(2161-2) 등에 일체화될 수도 있다.
- [0223] 음향 출력 모듈(2163)은 음향 신호를 전자 장치(2101)의 외부로 출력하기 위한 장치로서, 예를 들면, 멀티미디어 재생 또는 녹음 재생과 같이 일반적인 용도로 사용되는 스피커와 전화 수신 전용으로 사용되는 리시버를 포함할 수 있다. 일 실시예에 따르면, 리시버는 스피커와 일체 또는 별도로 형성될 수 있다. 음향 출력 모듈(2163)의 음향 출력 패턴은 표시 모듈(2140)에 일체화될 수도 있다.
- [0224] 카메라 모듈(2171)은 정지 영상 및 동영상 촬영할 수 있다. 일 실시예에 따르면, 카메라 모듈(2171)은 하나 이상의 렌즈, 이미지 센서, 또는 이미지 시그널 프로세서를 포함할 수 있다. 카메라 모듈(2171)은 사용자의 유무, 사용자의 위치, 사용자의 시선 등을 측정할 수 있는 적외선 카메라를 더 포함할 수 있다.
- [0225] 라이트 모듈(2172)은 광을 제공할 수 있다. 라이트 모듈(2172)은 발광 다이오드 또는 제논 램프(xenon lamp)를 포함할 수 있다. 라이트 모듈(2172)은 카메라 모듈(2171)과 연동하여 동작하거나 독립적으로 동작할 수 있다.
- [0226] 통신 모듈(2173)은 전자 장치(2101)와 외부 전자 장치(2102) 사이의 유선 또는 무선 통신 채널의 수립, 및 수립된 통신 채널을 통한 통신 수행을 지원할 수 있다. 통신 모듈(2173)은 셀룰러 통신 모듈, 근거리 무선 통신 모듈, 또는 GNSS(global navigation satellite system) 통신 모듈과 같은 무선 통신 모듈과 LAN(local area network) 통신 모듈, 또는 전력선 통신 모듈과 같은 유선 통신 모듈 중 어느 하나를 포함하거나 모두 포함할 수 있다. 통신 모듈(2173)은 블루투스, WiFi direct 또는 IrDA(infrared data association) 같은 근거리 통신 네트워크 또는 셀룰러 네트워크, 인터넷, 또는 컴퓨터 네트워크(예컨대, LAN 또는 WAN)와 같은 원거리 통신 네트워크를 통하여 외부 전자 장치(2102)와 통신할 수 있다. 상술한 여러 종류의 통신 모듈(2173)은 하나의 칩으로 구현되거나 또는 각각 별도의 칩으로 구현될 수 있다.
- [0227] 입력 모듈(2130), 센서 모듈(2161), 카메라 모듈(2171) 등은 프로세서(2110)와 연동하여 표시 모듈(2140)의 동

작을 제어하는데 활용될 수 있다.

[0228] 프로세서(2110)는 입력 모듈(2130)로부터 수신된 입력 데이터에 근거하여, 표시 모듈(2140), 음향 출력 모듈(2163), 카메라 모듈(2171), 또는 라이트 모듈(2172)에 명령 또는 데이터를 출력한다. 예컨대, 프로세서(2110)는 마우스 또는 액티브 펜 등을 통해 인가된 입력 데이터에 대응하여 영상 데이터를 생성하여 표시 모듈(2140)에 출력하거나, 입력 데이터에 대응하여 명령 데이터를 생성하여 카메라 모듈(2171) 또는 라이트 모듈(2172)에 출력할 수 있다. 프로세서(2110)는 입력 모듈(2130)로부터 일정 시간 동안 입력 데이터가 수신되지 않을 경우, 전자 장치(2101)의 동작 모드를 저전력 모드 또는 슬립 모드(sleep mode)로 전환시켜 전자 장치(2101)에서 소비되는 전력을 저감시킬 수 있다.

[0229] 프로세서(2110)는 센서 모듈(2161)로부터 수신된 센싱 데이터에 근거하여, 표시 모듈(2140), 음향 출력 모듈(2163), 카메라 모듈(2171), 또는 라이트 모듈(2172)에 명령 또는 데이터를 출력한다. 예컨대, 프로세서(2110)는 지문 센서(2161-1)에 의해 인가된 인증 데이터를 메모리(2120)에 저장된 인증 데이터와 비교한 후, 비교 결과에 따라 어플리케이션을 실행할 수 있다. 프로세서(2110)는 입력 센서(2161-2) 또는 디지털타이저(2161-3)에 의해 감지된 센싱 데이터에 근거하여 명령을 실행하거나 대응되는 영상 데이터를 표시 모듈(2140)에 출력할 수 있다. 센서 모듈(2161)에 온도 센서가 포함되는 경우, 프로세서(2110)는 센서 모듈(2161)로부터 측정된 온도에 대한 온도 데이터를 수신하고, 온도 데이터를 근거로 영상 데이터에 대한 휘도 보정 등을 더 실시할 수 있다.

[0230] 프로세서(2110)는 카메라 모듈(2171)로부터 사용자의 유무, 사용자의 위치, 사용자의 시선 등에 대한 측정 데이터를 수신할 수 있다. 프로세서(2110)는 측정 데이터를 근거로 영상 데이터에 대한 휘도 보정 등을 더 실시할 수 있다. 예컨대, 카메라 모듈(2171)로부터의 입력을 통해 사용자의 유무를 판단한 프로세서(2110)는 데이터 변환회로(2112-2) 또는 감마 보정회로(2112-3)를 통해 휘도가 보정된 영상 데이터를 표시 모듈(2140)에 출력할 수 있다.

[0231] 상기 구성 요소들 중 일부 구성 요소들은 주변 기기들간 통신 방식, 예컨대, 버스, GPIO(general purpose input/output), SPI(serial peripheral interface), MIPI(mobile industry processor interface), 또는 UPI(Ultra path interconnect) 링크를 통해 서로 연결되어 신호(예컨대, 명령 또는 데이터)를 상호간에 교환할 수 있다. 프로세서(2110)는 표시 모듈(2140)과 서로 약속된 인터페이스로 통신할 수 있으며, 예컨대, 상술한 통신 방식 중 어느 하나를 이용할 수 있고, 상술한 통신 방식에 제한되지 않는다.

[0232] 본 문서에 개시된 다양한 실시예들에 따른 전자 장치(2101)는 다양한 형태의 장치가 될 수 있다. 전자 장치(2101)는, 예를 들면, 휴대용 통신 장치(예컨대, 스마트폰), 컴퓨터 장치, 휴대용 멀티미디어 장치, 휴대용 의료 기기, 카메라, 웨어러블 장치, 또는 가전 장치 중 적어도 하나를 포함할 수 있다. 본 문서의 실시예에 따른 전자 장치(2101)는 전술한 기기들에 한정되지 않는다.

### 산업상 이용가능성

[0233] 이상에서 설명한 본 발명에 따른 표시 장치 및 표시 장치의 구동방법에 따르면, 종래의 표시 장치와 달리 기준 픽셀로부터 여러 함수를 생성하여, 액티브 픽셀들의 보상 전압의 신뢰성이 향상될 수 있다.

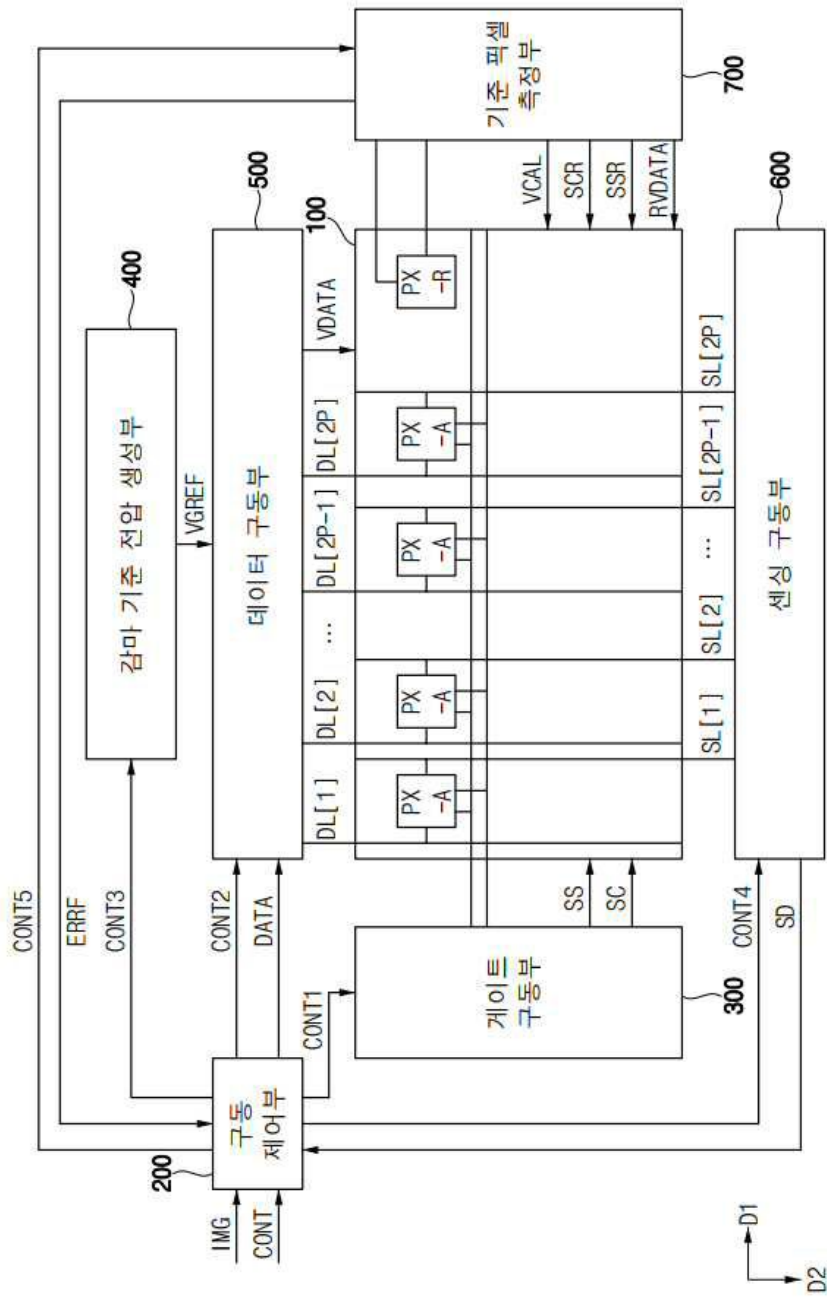
[0234] 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 통상의 기술자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 부호의 설명

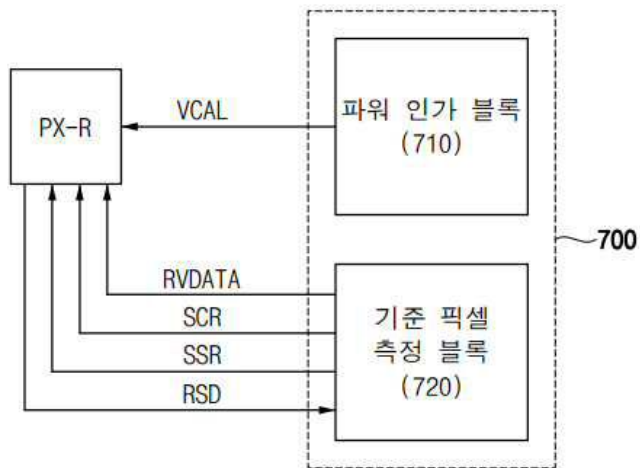
[0235] 100: 표시 패널    200: 구동 제어부  
300: 게이트 구동부    400: 감마 기준 전압 생성부  
500: 데이터 구동부    600: 센싱 구동부  
700: 기준 픽셀 측정부

도면

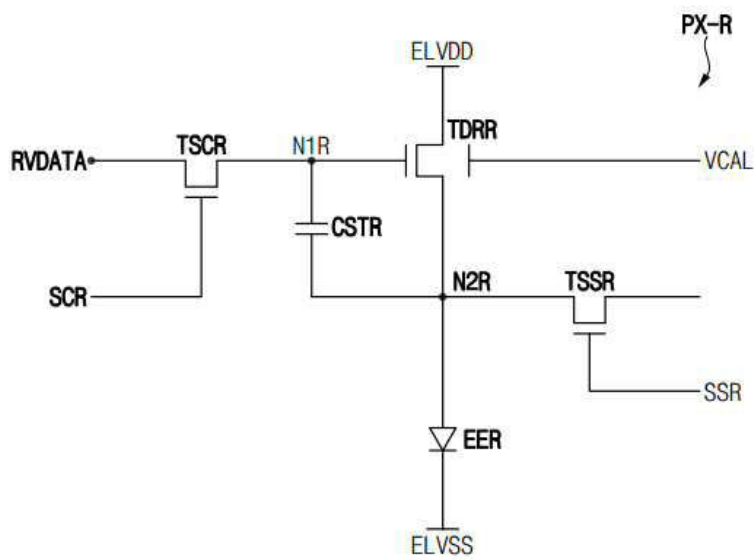
도면1



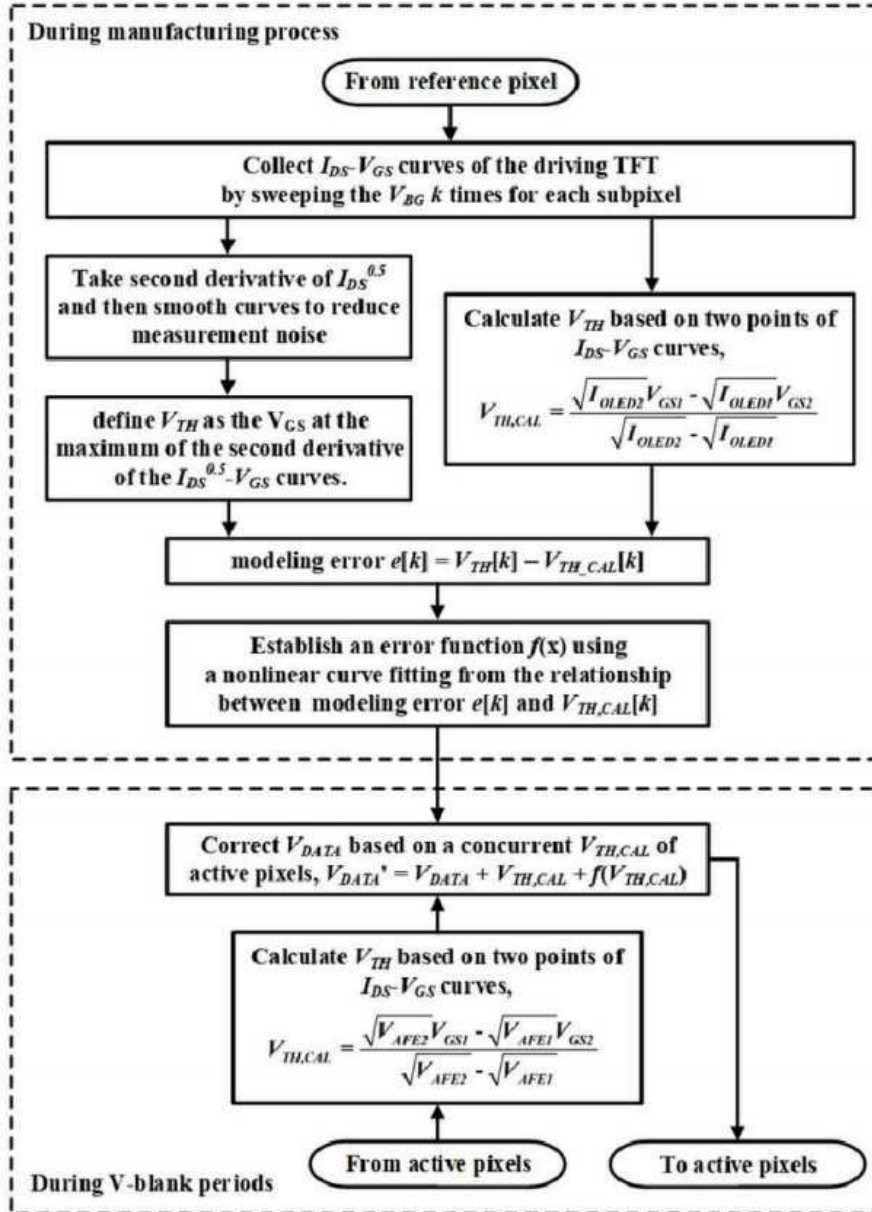
도면2



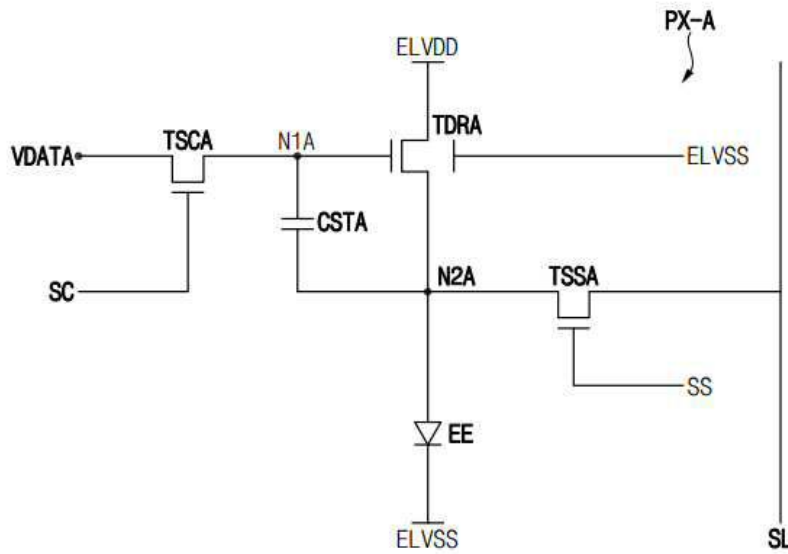
도면3



도면4



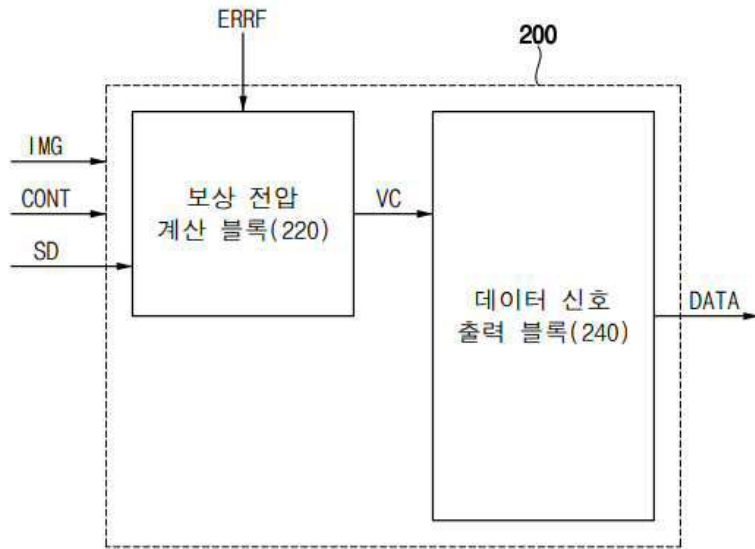
도면5



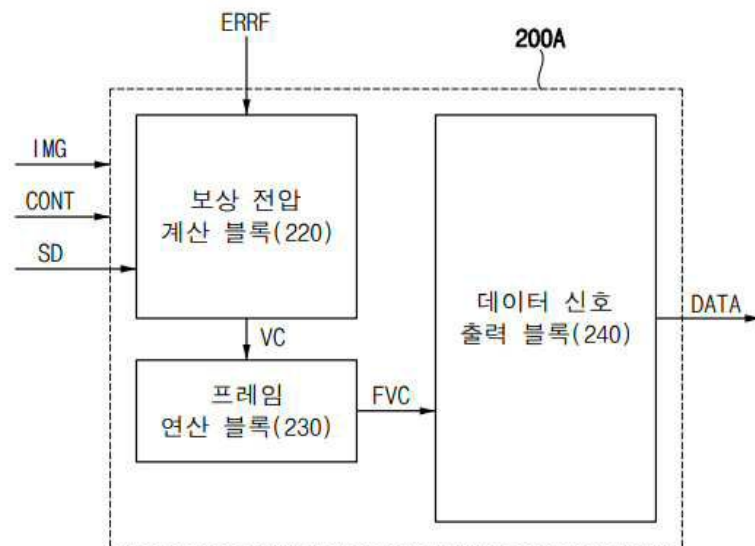
도면6



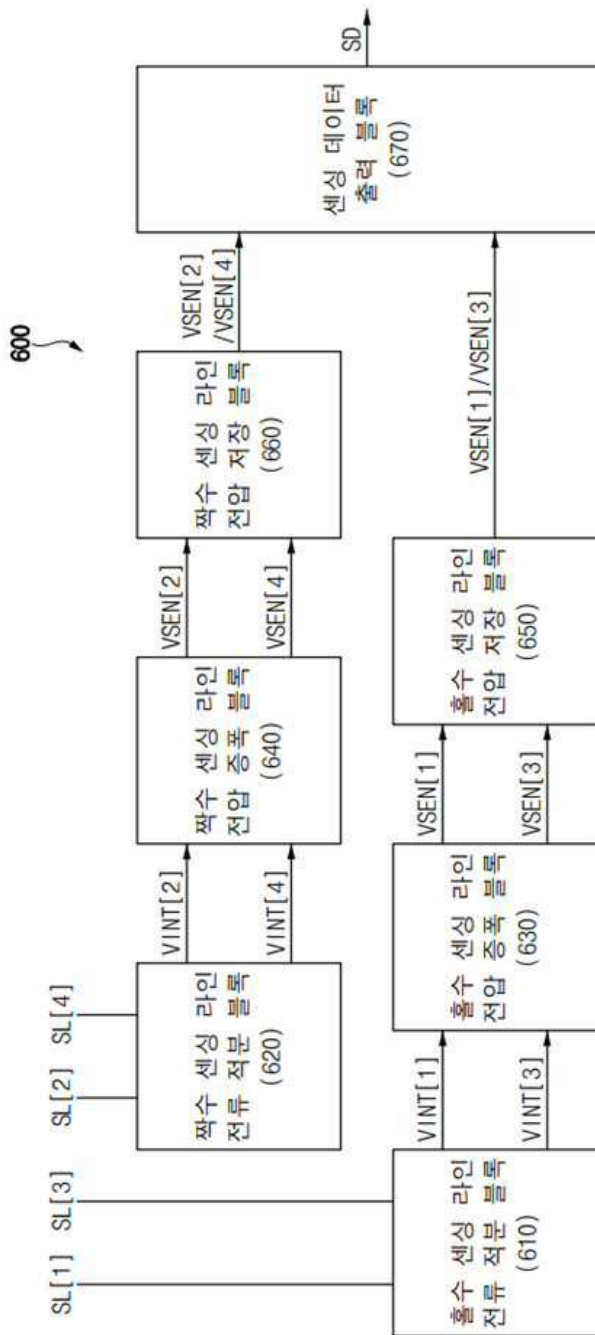
도면7



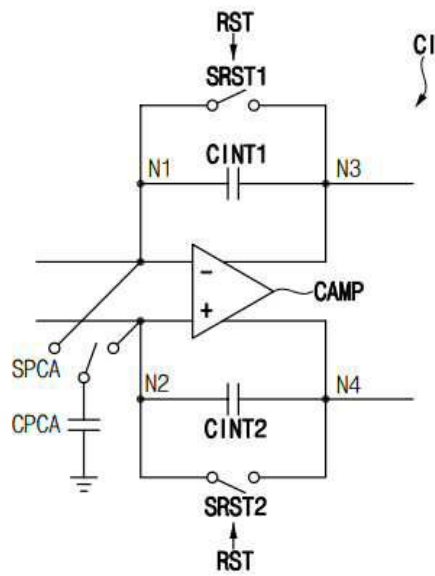
도면8



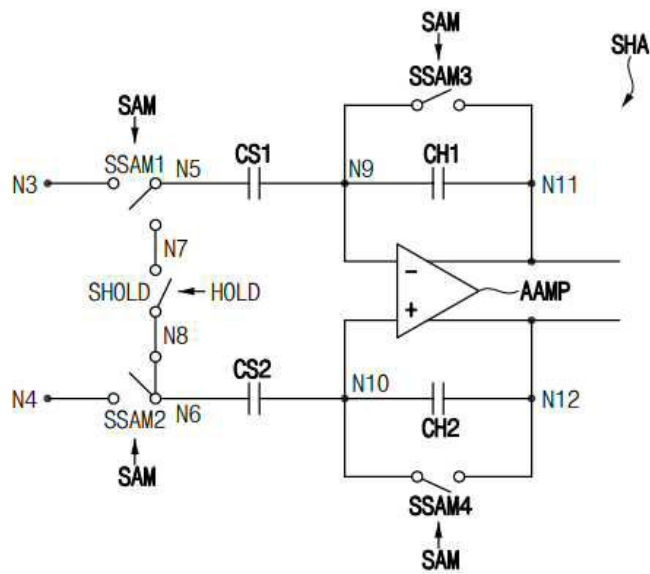
도면9



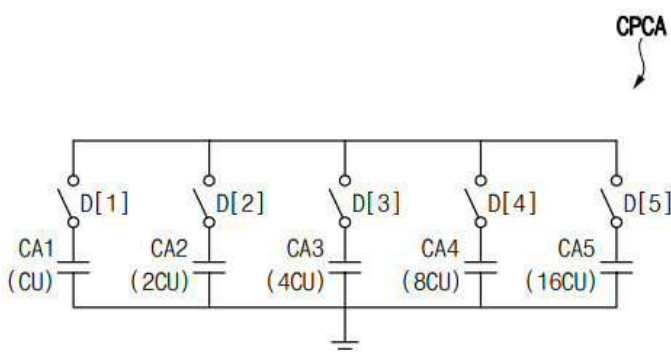
도면10



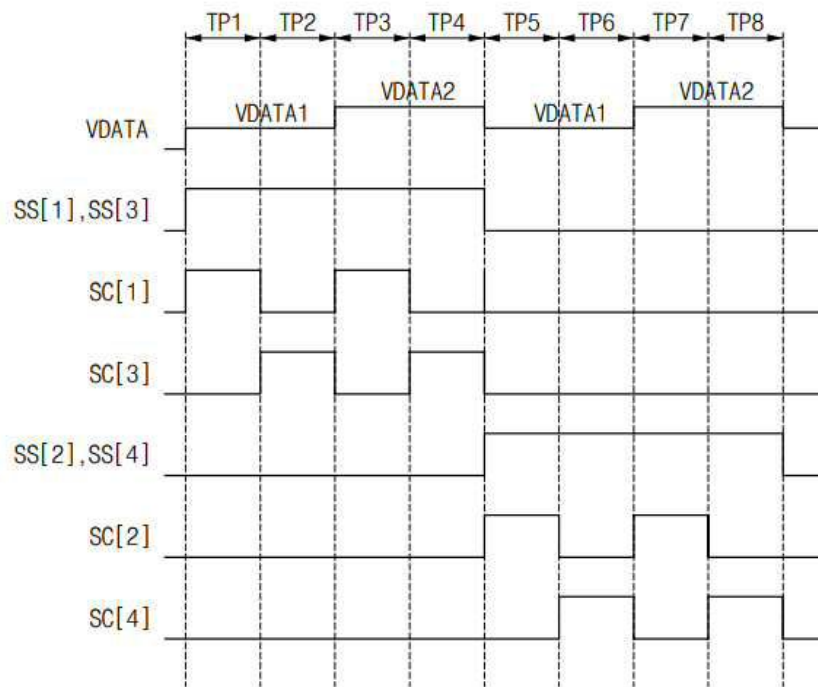
도면11



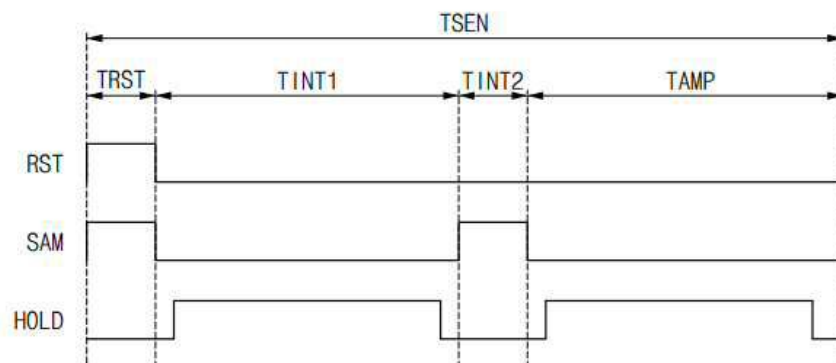
도면12



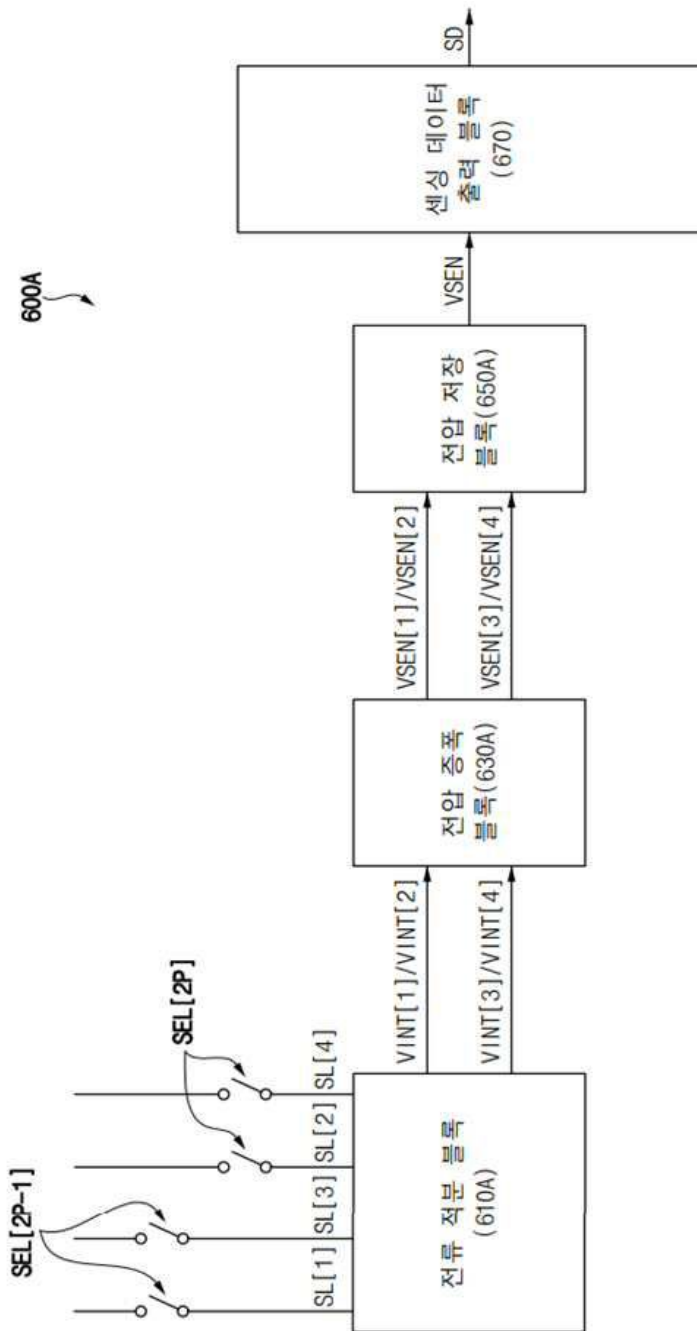
도면13



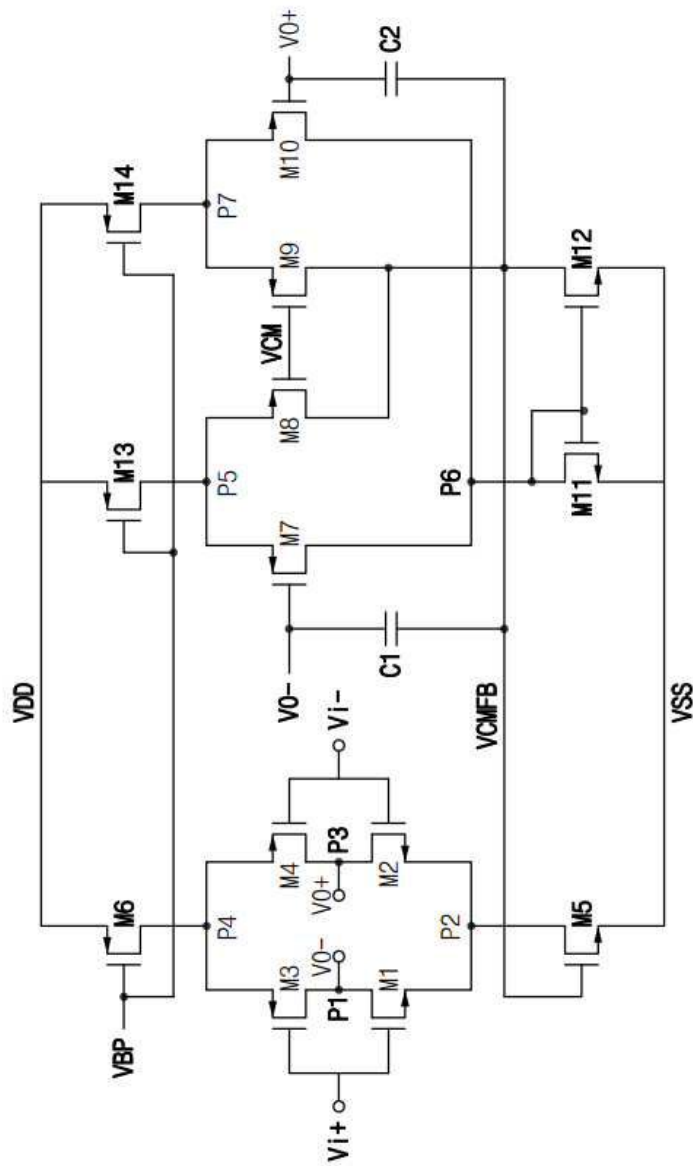
도면14



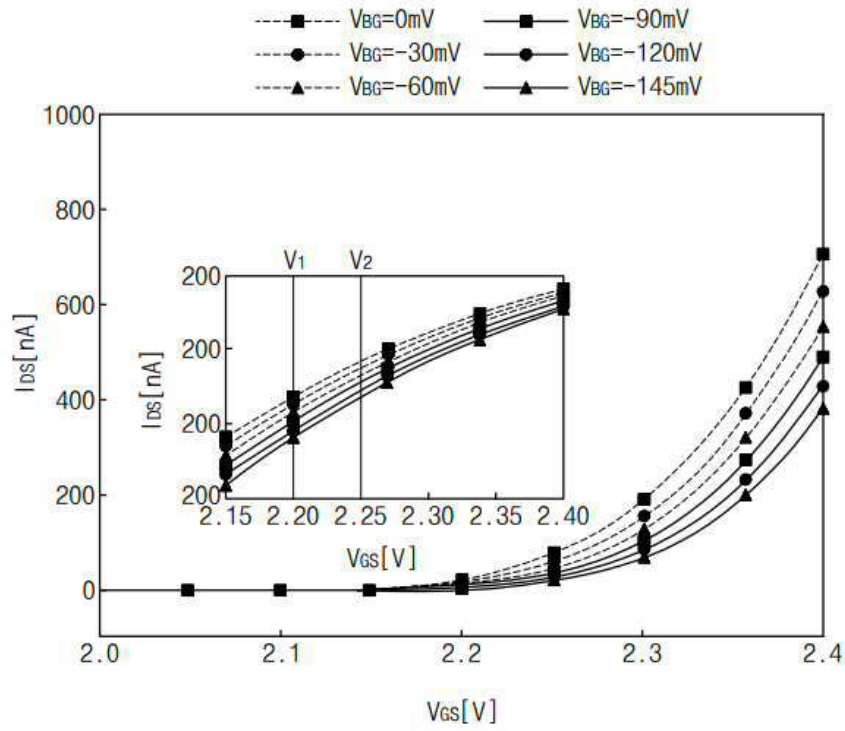
도면15



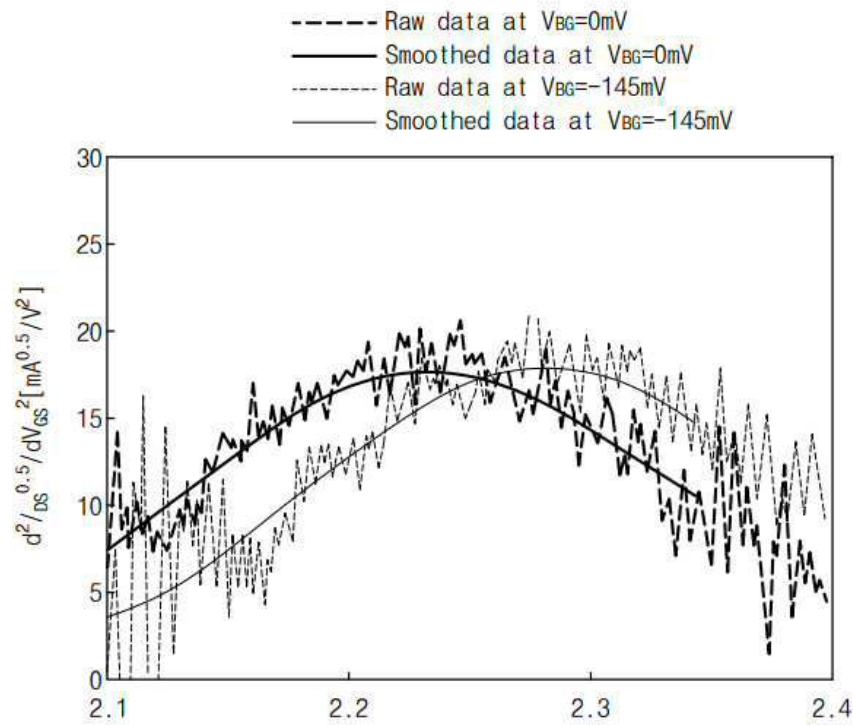
도면16



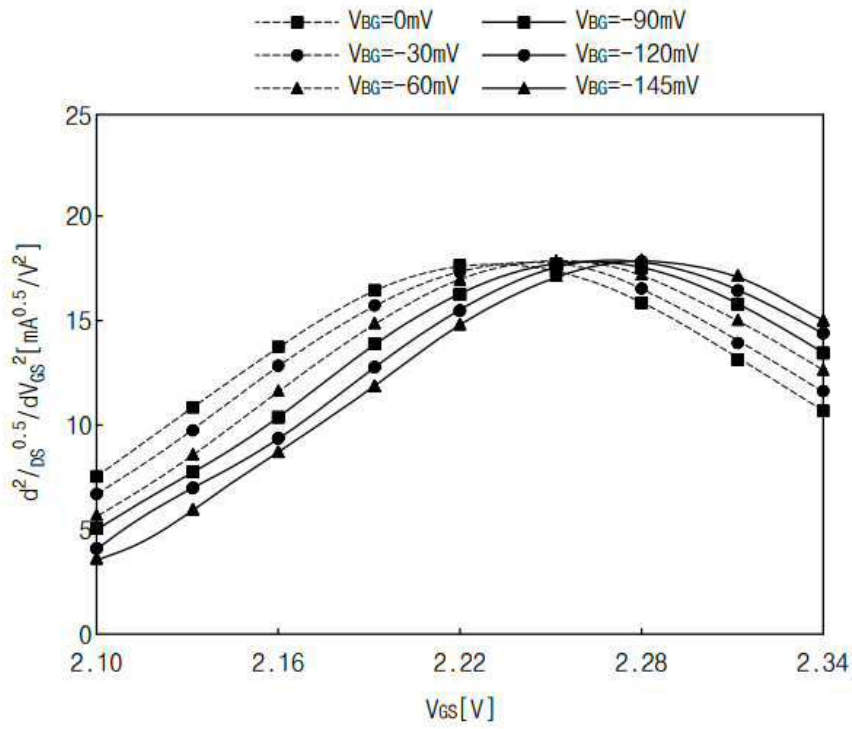
도면17



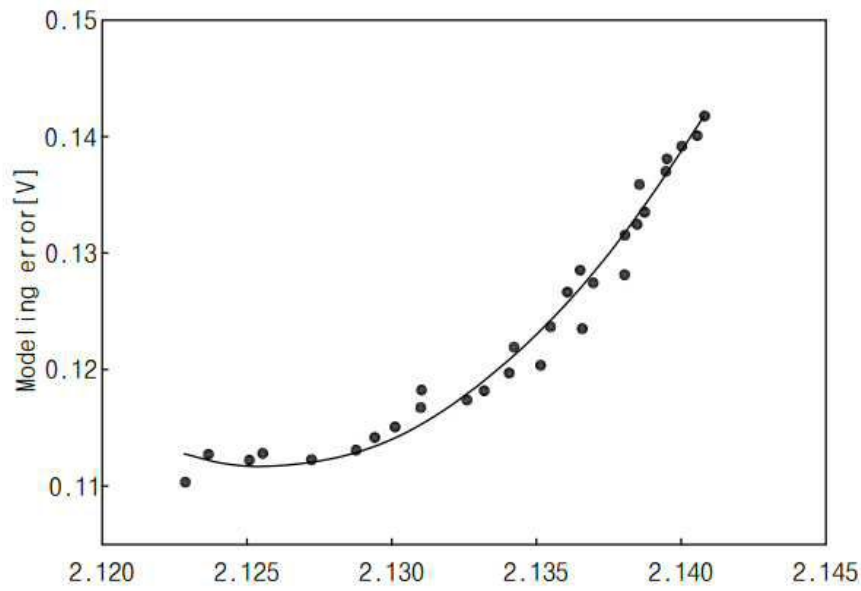
도면18



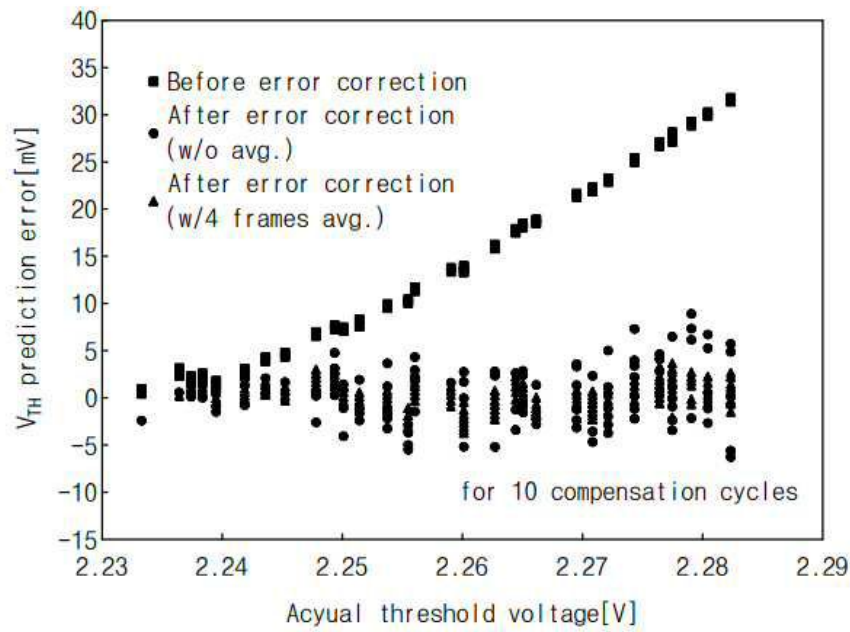
도면19



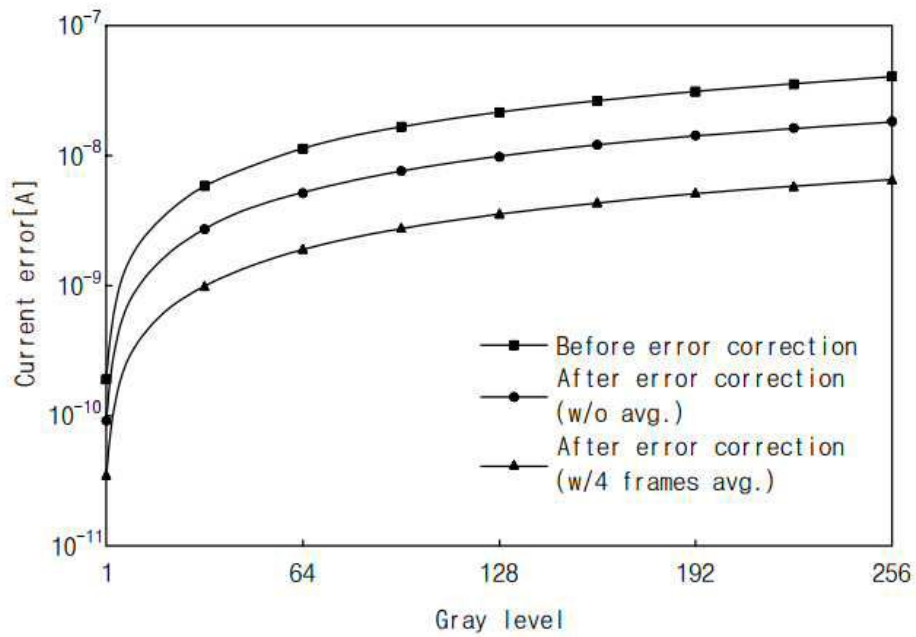
도면20



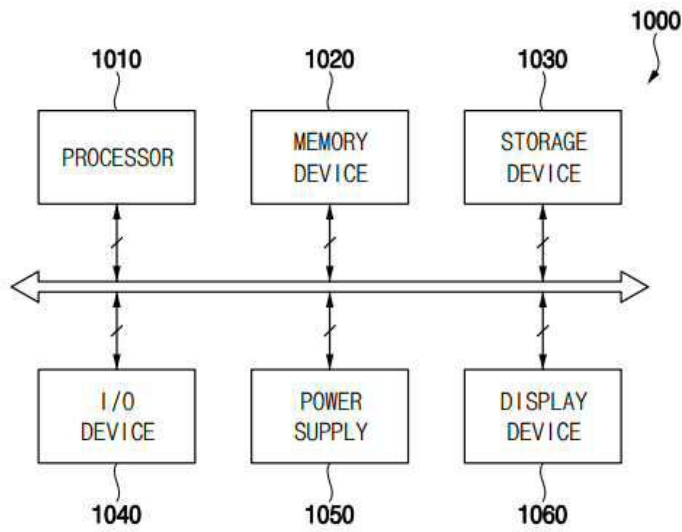
도면21



도면22



도면23



도면24

