



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201722
(11) (B1)

(51) Int. Cl.³
G 11 C 7/00 ✓

(22) Přihlášeno 30 06 78
(21) (PV 4375-78)

(40) Zveřejněno 31 03 80

(45) Vydáno 15 08 82

(75)

Autor vynálezu

BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení pro pětifázové ovládání paměti

Vynález se týká zapojení pro pětifázové čtení a záznam dat do třívodičové koincidenční paměti s jednostranným diodovým výběrem při použití vybíjení parazitních kapacit, přičemž čtení první souřadnice X, čtení druhé souřadnice Y, zápis, blokování a vybíjení se provádí v pěti fázích.

Dosud používaná zapojení řídicích obvodů třívodičových feritových pamětí používají pro záznam a čtení dat pouze dvou signálů. Jeden signál je pro čtení, a to jak první souřadnice X, tak druhé souřadnice Y. Druhý signál je pro zápis a je společný se signálem blokování — inhibit. Při použití pouze těchto signálů dochází u větších matic 8 až 16 kiloslov k prodlužování cyklů a u matic 16 kiloslov k nespolehlivé funkci, a to ze dvou důvodů. První důvod je nabíjení, popřípadě vybíjení parazitních kapacit v době čtení, čímž se posouvají odezvy v čase, a to podle velikosti dodaného nebo odebraného náboje z parazitních kapacit, což znemožňuje správnou funkci matic 8 a 16 kiloslov uvedených typů pamětí. Druhý důvod, který prodlužuje cyklus paměti, je nutnost použití stejných typů spínačů pro inhibitní a zápisové spínače. V současném stavu součástkové základny, tzn. pro třívodičové paměti použít tranzistorové spínače vzhledem k limitním maximálním prou-

dům, pro které nelze použít běžné integrované spínače. Nevýhodou tranzistorových spínačů vůči integrovaným spínačům je větší zotavovací a spínací doba, což prodlužuje cyklus paměti.

Tyto nedostatky odstraňuje zapojení pro pětifázové ovládání paměti, které sestává z paměti, spínačů, kodérů, komparátorů, součtových obvodů, vybíječů a řadiče podle vynálezu. Jeho podstata spočívá v tom, že první jednotkový vstup paměti je spojen s jednotkovým výstupem prvního spínače. Desítkový výstup prvního spínače je spojen s prvním desítkovým vstupem paměti a se součtovým vstupem prvního součtového obvodu. Výstup prvního součtového obvodu je spojen s vybíjecím vstupem prvního vybíječe. Blokovací vstup prvního vybíječe je spojen s vybíjecím výstupem řadiče a s blokovacím vstupem druhého vybíječe. Vybíjecí vstup druhého vybíječe je spojen s výstupem druhého součtového obvodu. Součtový vstup druhého součtového obvodu je spojen s desítkovým výstupem druhého spínače a se druhým desítkovým vstupem paměti. Inhibitní vstup paměti je spojen s výstupem třetího spínače. Řídicí vstup třetího spínače je spojen s inhibitním výstupem řadiče. Blokovací výstup řadiče je spojen s blokovacím vstupem druhého kodéru a s blokovacím vstupem prvního

kodéru. Výstup prvního kodéru je spojen s kódovým vstupem prvního spínače. Čtecí vstup prvního spínače je spojen s prvním čtecím výstupem řadiče. Druhý čtecí výstup řadiče je spojen se čtecím vstupem druhého spínače. Jednotkový výstup druhého spínače je spojen se druhým jednotkovým vstupem paměti. Výstup paměti je spojen se čtecím vstupem komparátoru. Strobovací vstup komparátoru je spojen se strobovacím výstupem řadiče. Zápisový výstup řadiče je spojen se zápisovým vstupem prvního spínače a se zápisovým vstupem druhého spínače. Kódový vstup druhého spínače je spojen s výstupem druhého kodéru.

Výhodou zapojení podle vynálezu je, že zaručuje, aby náboj dodávaný do parazitních kapacit prvním a druhým spínačem v době čtení byl vždy konstantní a odezvy z paměti na výstupu paměti byly stále ve stejném čase. Dále toto zapojení umožňuje použít různých typů spínačů.

Zapojení podle vynálezu je znázorněno na připojených výkresech. Na obr. 1 je zapojení pro pětifázové ovládání paměti v blokovém schématu, na obr. 2 je průběh řídicích signálů na výstupech řadiče 12.

Jednotlivé bloky zapojení jsou vytvořeny takto: Paměť 1 je tvořena z protkané matice jader trívodičovým způsobem s jednostranným diodovým výběrem. První a druhý spínač 2 a 3 jsou stejné integrované spínače opatřené diodovými obvody. Třetí spínač 6 je tvořen tranzistory s galvanicky oddělenými budicími obvody. Řadič 12, první kodér 4 a druhý kodér 5 jsou tvořeny klopnými obvody a hradly. Komparátor 7 je tvořen zachytnými diodami, diferenciálními zesilovači a obvodem pro převod na logickou úroveň. První součtový obvod 8 a druhý součtový obvod 9 jsou vytvořeny z diod. Vybíječe 10 a 11 jsou realizovány tranzistory s galvanicky odděleným budičem.

První jednotkový vstup 13 paměti 1 je spojen s jednotkovým výstupem 17 prvního spínače 2. Desítkový výstup 18 prvního spínače 2 je spojen s prvním desítkovým vstupem 14 paměti 1 a se součtovým vstupem 43 prvního součtového obvodu 8. Výstup 44 prvního součtového obvodu 8 je spojen s vybíjecím vstupem 47 prvního vybíječe 10. Blokovací vstup 49 prvního vybíječe 10 je spojen s vybíjecím výstupem 31 řadiče 12 a s blokovacím vstupem 50 druhého vybíječe 11. Vybíjecí vstup 48 druhého vybíječe 11 je spojen s výstupem 46 druhého součtového obvodu 9. Součtový vstup 45 druhého součtového obvodu 9 je spojen s desítkovým výstupem 20 druhého spínače 3 a se druhým desítkovým vstupem 16 paměti 1. Inhibiční vstup 26 paměti 1 je spojen s výstupem 25 třetího spínače 6. Řídicí vstup 36 třetího spínače 6 je

spojen s inhibičním výstupem 29 řadiče 12. Blokovací výstup 35 řadiče 12 je spojen s blokovacím vstupem 38 druhého kodéru 5 a s blokovacím vstupem 37 prvního kodéru 4. Výstup 23 prvního kodéru 4 je spojen s kódovým vstupem 22 prvního spínače 2. Čtecí vstup 39 prvního spínače 2 je spojen s prvním čtecím výstupem 30 řadiče 12. Druhý čtecí výstup 33 řadiče 12 je spojen se čtecím vstupem 42 druhého spínače 3. Jednotkový výstup 19 druhého spínače 3 je spojen se druhým jednotkovým vstupem 15 paměti 1. Výstup 27 paměti 1 je spojen se čtecím vstupem 28 komparátoru 7. Strobovací vstup 51 komparátoru 7 je spojen se strobovacím výstupem 34 řadiče 12. Zápisový výstup 32 řadiče 12 je spojen se zápisovým vstupem 40 prvního spínače 2 a se zápisovým vstupem 41 druhého spínače 3. Kódový vstup 21 druhého spínače 3 je spojen s výstupem 24 druhého kodéru 5.

Zapojení pracuje tak, že je adresa prvního spínače 2 a druhého spínače 3 vybrána příslušným prvním nebo druhým kodérem 4, 5. Řadič 12 dá čtecí povel čtecím výstupem 30 prvnímu spínači 2, čímž začne první fáze. Zpožděně dá řadič 12 svým druhým čtecím výstupem 33 povel druhému spínači 3, čímž začne druhá fáze. Oba signály na jeho prvním čtecím výstupu 30 i na druhém čtecím výstupu 33 končí současně. V době druhé fáze dá řadič 12 povel svým strobovacím výstupem 34 komparátoru 7, který odstrobuje data z paměti 1. Po ukončení čtení, to znamená, když zmizí signály z obou čtecích výstupů 30 a 33 řadiče 12, vyšle řadič 12 současně dva signály. Jeden signál, který je na zápisovém výstupu 32 řadiče 12, ovládá první spínač 2 a druhý spínač 3. Druhý signál, který je na inhibičním výstupu 29 řadiče 12, ovládá třetí spínač 6. Tento stav se nazývá třetí fáze. Signál na inhibičním výstupu 29 řadiče 12 končí před signálem na zápisovém výstupu 32 řadiče 12. Doba od ukončení inhibičního signálu do ukončení zápisového signálu je čtvrtá fáze. Potom dá řadič 12 povel svým vybíjecím výstupem 31 oběma vybíječům 10 a 11, což je pátá fáze. V této páté fázi začne protékat vybíjecí proud z prvního desítkového vstupu 14 paměti 1 přes první součtový obvod 8 do prvního vybíječe 10 a vybíjecí proud ze druhého desítkového vstupu 16 paměti 1 přes druhý součtový obvod 9 do druhého vybíječe 11. V době, kdy zmizí signál z vybíjecího výstupu 31 řadiče 12 může tento řadič 12 znova zopakovat bezprostředně celý cyklus skládající se z pěti fází, začínající vždy první fází.

Vynálezu se využije při ovládání planárních feritových trívodičových pamětí s jednostranným diodovým výběrem u řídicích počítačů.

PŘEDMĚT VYNÁLEZU

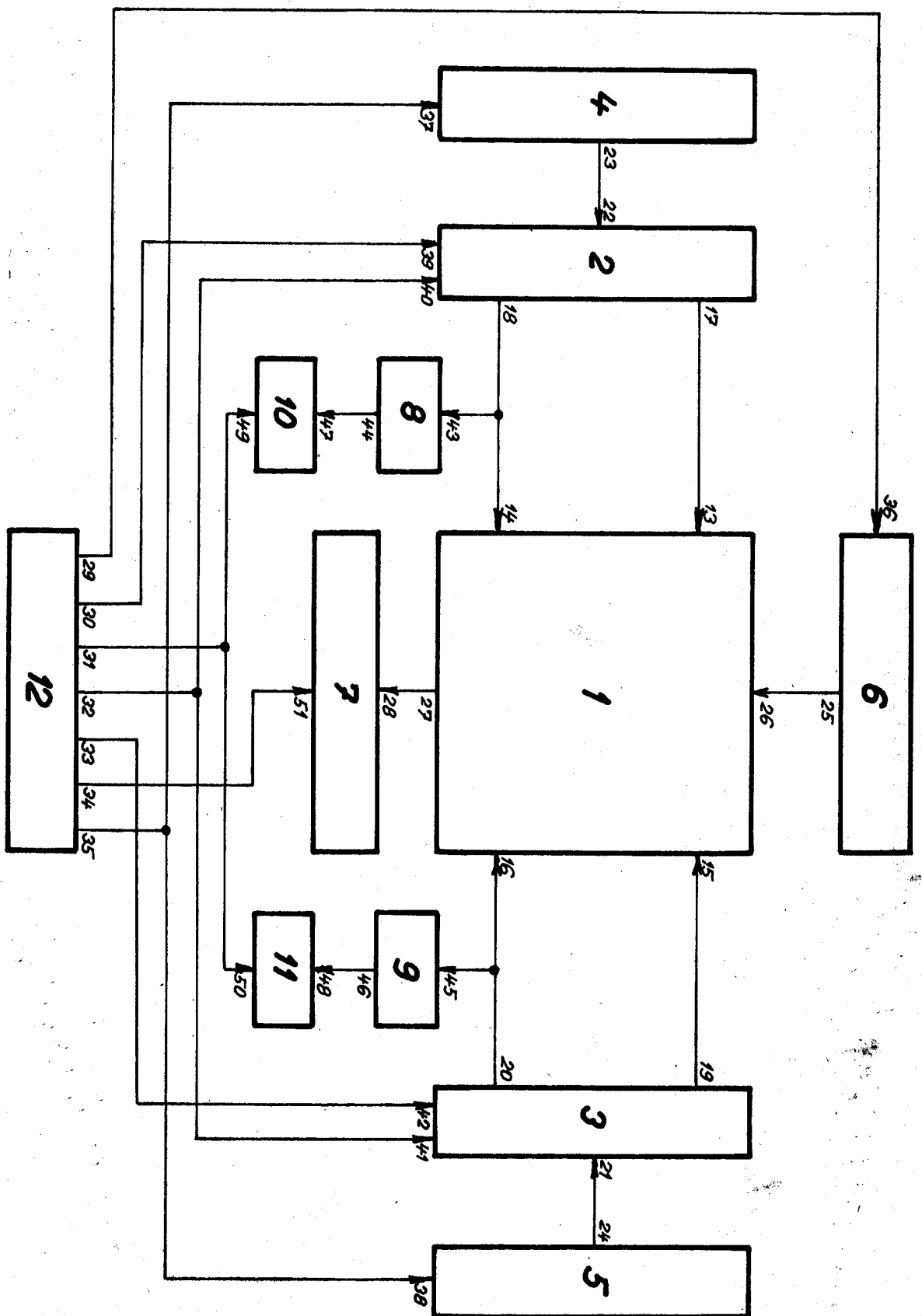
Zapojení pro pětifázové ovládání paměti, vyznačující se tím, že první jednotkový vstup (13) paměti (1) je spojen s jednotkovým vý-

stupem (17) prvního spínače (2), jehož desítkový výstup (18) je spojen s prvním desítkovým vstupem (14) paměti (1) a se součtovým

vstupem (43) prvního součtového obvodu (8) jehož výstup (44) je spojen s vybíjecím vstupem (47) prvního vybíječe (10), jehož blokovací vstup (49) je spojen s vybíjecím výstupem (31) řadiče (12) a s blokovacím vstupem (50) druhého vybíječe (11), jehož vybíjecí vstup (48) je spojen s výstupem (46) druhého součtového obvodu (9), jehož součtový vstup (45) je spojen s desítkovým výstupem (20) druhého spínače (3) a se druhým desítkovým vstupem (16) paměti (1), jejíž inhibiční vstup (26) je spojen s výstupem (25) třetího spínače (6), jehož řídicí vstup (36) je spojen s inhibičním výstupem (29) řadiče (12), jehož blokovací výstup (35) je spojen s blokovacím vstupem (38) druhého kodéru (5) a s bloko-

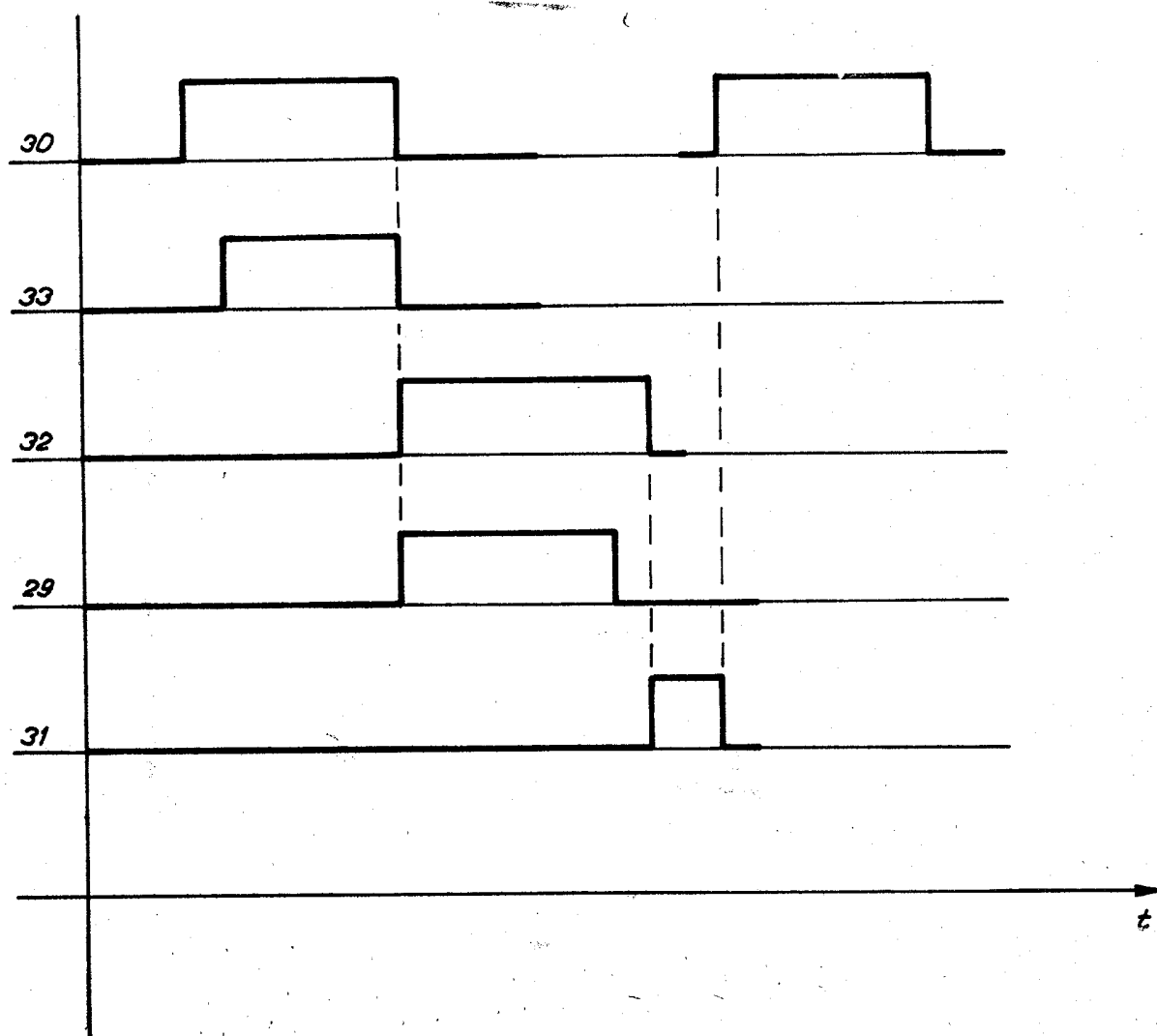
vacím vstupem (37) prvního kodéru (4), jehož výstup (23) je spojen s kódovým vstupem (22) prvního spínače (2), jehož čtecí vstup (39) je spojen s prvním čtecím výstupem (30) řadiče (12), jehož druhý čtecí výstup (33) je spojen se čtecím vstupem (42) druhého spínače (3), jehož jednotkový výstup (19) je spojen se druhým jednotkovým vstupem (15) paměti (1), jejíž výstup (27) je spojen se čtecím vstupem (28) komparátoru (7), jehož strobovací vstup (51) je spojen se strobovacím výstupem (34) řadiče (12), jehož zápisový výstup (32) je spojen se zápisovým vstupem (40) prvního spínače (2) a se zápisovým vstupem (41) druhého spínače (3), jehož kódový vstup (21) je spojen s výstupem (24) druhého kodéru (5).

2 výkresy



Obr. 1

201722



Obr. 2