



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월26일
(11) 등록번호 10-1076636
(24) 등록일자 2011년10월19일

(51) Int. Cl.

H03M 5/08 (2006.01)

(21) 출원번호 10-2005-7017984

(22) 출원일자(국제출원일자) 2004년03월23일

심사청구일자 2009년01월30일

(85) 번역문제출일자 2005년09월23일

(65) 공개번호 10-2006-0005346

(43) 공개일자 2006년01월17일

(86) 국제출원번호 PCT/IB2004/000852

(87) 국제공개번호 WO 2004/086629

국제공개일자 2004년10월07일

(30) 우선권주장

0300780-4 2003년03월24일 스웨덴(SE)

(56) 선행기술조사문헌

JP소화09307447 A

JP2000507759 A

전체 청구항 수 : 총 12 항

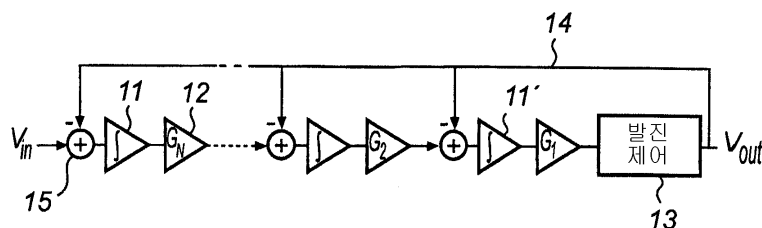
심사관 : 박재학

(54) 디지털 펄스폭 제어 발진 변조기

(57) 요약

본 발명은, 직렬로 배열되고 적분기 이득 (gain) 을 가지는 복수의 적분기, 및 마지막 적분기 (11') 의 출력을 기준값과 비교하여 PWM 신호를 생성하는 비교기 (comparator; 17) 를 구비하고, 디지털 신호를 PWM 신호로 변환하는 펄스폭 변조기 (10) 에 관한 것이다. 또한, 그 변조기는 원하는 스위칭 (switching) 주파수에서 자려-발진을 실현하기 위한 수단 (13), 및 비교기의 하류측 포인트에 연결되고, 상기 적분기들의 각 전단에 위치하는 복수의 합산 포인트 (summing point) 로 이어지는 피드백 경로 (feedback path; 14) 를 가지는데, 여기서, PWM 신호는 변조기의 클럭 주파수에 의해 시간 축 상에서 양자화 되어있고, 적분기의 이득들 (12) 은 임의의 양자화 노이즈를 감소시키도록 채택된다.

대표도 - 도2



특허청구의 범위

청구항 1

디지털 신호를 PWM 신호로 변환하기 위한 클록 주파수를 가지는 펄스폭 변조기 (10)로서,
 상기 PWM 신호는 상기 클록 주파수에 의해 시간축에서 양자화되며,
 상기 펄스폭 변조기 (10)는,
 직렬로 배열되고 적분기 이득을 가지는 복수의 적분기 (11);
 마지막 적분기 (11')의 출력을 기준값과 비교하여 펄스폭 변조 (PWM) 신호를 생성하는 비교기 (17);
 상기 비교기의 하류측 포인트에 연결되어, 상기 적분기 각각에 선행하는 복수의 합산 포인트로 이어지는 피드백 경로 (14); 및
 발진 주파수에서 자려-발진 (self-oscillation)을 실현하기 위한 수단 (13, 13a, 13b)으로서, 상기 변조기의 스위칭 주파수는 상기 발진 주파수에 의해 정의되는, 상기 수단 (13, 13a, 13b)을 구비하고,
 상기 적분기 이득은 임의의 양자화 노이즈를 상기 디지털 신호의 레졸루션 (resolution)에 대응하는 레벨로 감소시키도록 적응되는, 펄스폭 변조기.

청구항 2

제 1 항에 있어서,
 상기 피드백 경로 (14)는 상기 비교기의 출력에 연결된, 펄스폭 변조기.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 적분기 이득은 로우 패스 필터 동작을 얻도록 선택된, 펄스폭 변조기

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 적분기 이득은 $G_n = \frac{G_{n-1}}{2^M}$ 에 따라 선택되며, 여기서, G_n 은 적분기 n 의 이득이고, M 은 $M \in [0, \infty]$ 를 만족하는, 펄스폭 변조기.

청구항 5

제 1 항 또는 제 2 항에 있어서,
 각 적분기 (11) 후단에 신호 진폭 제한기 (19)를 더 구비하는, 펄스폭 변조기.

청구항 6

제 5 항에 있어서,
 상기 펄스폭 변조 신호의 진폭의 제한은 입력 신호의 다이내믹 레인지에 대응하는, 펄스폭 변조기.

청구항 7

제 1 항 또는 제 2 항에 있어서,
 자려-발진을 실현하기 위한 상기 수단 (13a)은 상기 비교기 (17)의 포지티브 피드백 (16)을 포함하는, 펄스폭 변조기.

청구항 8

제 1 항 또는 제 2 항에 있어서,

자려-발진을 실현하기 위한 상기 수단 (13b) 은 비교기 (17) 에 선행하는 필터 (20) 또는 시간 딜레이를 포함하고,

상기 필터 (20) 또는 시간 딜레이는, 원하는 스위칭 주파수에서 시스템에 180° 의 개방 루프 위상 지연을 주도록 배열되는, 펄스폭 변조기.

청구항 9

제 1 항 또는 제 2 항에 기재된 변조기 (10);

발진 제어에 연결되는 스위칭단 (switching stage) (31); 및

상기 스위칭단에 연결되는 출력 필터 (32) 를 구비하는, 전력 변환 시스템.

청구항 10

제 9 항에 있어서,

상기 스위칭단 (31) 의 출력에 피드백 경로 (14) 가 연결되는, 전력 변환 시스템.

청구항 11

제 9 항에 있어서,

상기 출력 필터 (32) 의 출력에 피드백 경로 (14) 가 연결되는, 전력 변환 시스템.

청구항 12

제 9 항에 있어서,

오디오용 또는 전송 라인 구동기를 위한 직류-교류 변환기로서 구현되는, 전력 변환 시스템.

명세서

[0001] 기술 분야

[0002] 본 발명은 일반적으로 디지털 펄스폭 변조기 및 상기 변조기를 구현하는 전력 변환 시스템에 관한 것이다. 보다 구체적으로는, 본 발명은 펄스 코드 변조 (PCM) 신호와 같은, 샘플링된 디지털 신호를 펄스폭 변조 (PWM) 신호로 변환 (PCM-PWM 변환) 하는, 시스템에 관한 것이다.

[0003] 기술 배경

[0004] 종래의 디지털 PWM 변조기는, 나이퀴스트 기준 (Nyquist criteria) 을 만족시키기 위해, 신호 주파수의 적어도 2 배인 캐리어 주파수를 가지는 펄스폭 변조 신호를 생성한다. 이렇게 시스템을 구현하는 목적은, 24 비트 레졸루션 (resolution) 의 샘플링된 오디오 신호 (audio signal) 로 동작할 경우 난제인, 샘플링된 신호의 양자화 노이즈보다 낮은 노이즈 및 왜곡을 얻기 위한 것이다. 그 결과 복잡하고 고가의 시스템이 된다.

[0005] 당업계에서는, 널리 공지된 시스템들이 예를 들어 WO 97/37433 등에 알려져 있다. 그 시스템이 도 1 에 도시되어 있으며, 그 시스템은 샘플링 레이트 변환기 (1), 오버샘플러 (oversampler; 2), 노이즈 셰이퍼 (noise shaper; 4) 및 에러 정정 알고리즘 유닛 (3; error correction algorithm unit) 을 포함한다.

[0006] 이 종래의 방법은 여러 가지의 단점을 가진다.

[0007] 먼저, 캐리어 주파수가 샘플링 주파수에 의존하며, 이는 샘플링 레이트 변환기 (1) 의 사용을 요구한다. 특히, 오디오 미디어가 다수의 상이한 포맷으로 입력되는 경우, 샘플링 레이트 변환은 필수적이 된다. 샘플링 레이트 변환기 (1) 는 고차 (high order) 필터링 때문에 구현하기 복잡할 수 있다. 양자화 노이즈 및 앨리어싱 (aliasing) 이 생겨, 다이내믹 레인지 (dynamic range) 를 감소시킬 수 있다.

- [0008] 또, 다이내믹 레인지를 증가시키기 위해서, 에러 정정 알고리즘 (3) 및 노이즈 셰이퍼 (4) 를 설계에 반드시 포함시켜야하므로, 불필요한 복잡도와 비용을 초래한다.
- [0009] 또, 양자화 노이즈를 억제하기 위한, 최대 루프 이득이 노이즈 셰이핑 루프의 안정도에 의해 제한됨에 따라, 노이즈 셰이퍼 (4) 가 대역폭 제한된다. 따라서, 노이즈 셰이퍼 (4) 는 여전히 만족스러운 다이내믹 레인지를 얻을 수 없다.
- [0010] 또한, 종래의 시스템들 중, 아날로그 입력 신호를 PWM 신호로 변환하는 아날로그 PWM 변조기가 알려져 있다. 안정된 시스템을 얻고, 제어 루프 특성들을 셰이핑하기 위해, 이러한 종래 시스템은 추가적인 지상 (lead), 진상(lag), 지상-진상 및 진상-지상 보상기 중의 하나를 제어 구조에 종종 필요로 한다.
- [0011] 비-발진 트라이앵글러 (triangular) 변조방식에 기초하는 종래의 변조기 시스템들은, 루프를 안정된 상태로 유지시키기 위한 위상-마진 (phase-margin) 의 필수적 요구때문에 루프 이득이 크게 감소된다. 예를들어 WO 02/25357 등에 설명된 자려-발진 (self-oscillating) 시스템은, 위상-마진 (phase margin) 을 필요로 하지 않고, 에러와 노이즈 성분들을 억제하기 위한 더 높은 루프 이득을 가질 것이다. 그러나, 디지털 분야 (domain) 에서는, 자려-발진 변조기가 아직도 성공적으로 구현되지 않고 있다.
- [0012] 발명의 목적
- [0013] 본 발명의 목적은, 상기 문제점들을 극복하거나 적어도 완화시키기 위한 것으로, 샘플링된 디지털 입력 신호를 수신받아 PWM 도메인으로 변환시킬 수 있는 복잡하지 않은 시스템을 제공하는 것이다.
- [0014] 발명의 요약
- [0015] 본 발명의 제 1 양태에 따르면, 이들 및 다른 목적은, 직렬로 배열되고 적분기 이득을 가지는 복수의 적분기; 마지막 적분기의 출력을 기준값과 비교해서 PWM 신호를 생성하는 비교기; 원하는 스위칭 주파수에서 자려-발진을 실현하기 위한 수단; 및 상기 비교기의 하류측 (downstream) 포인트에 연결되고, 상기 각 적분기들에 선행하는 복수의 합산 포인트로 이어지는 피드백 경로를 포함하는 펄스폭 변조기에 의해 달성된다. PWM 신호는 변조기의 클럭 주파수에 의해 시간 축 상에서 양자화되고, 적분기 이득들은 임의의 양자화 노이즈를 감소시키도록 채택된다.
- [0016] 적절한 이득을 각각 가지는 적분기의 수를 적당하게 선택함으로써, 시스템에서 양자화에 의해 생성되는 노이즈가 감소되도록 루프 이득이 설정된다. 동시에, 그 시스템은 스위칭 주파수에 상응하는 향상된 루프 이득 대역폭을 제공할 수 있으므로, 종래의 시스템들에 비해 훨씬 더 넓은 제어 대역폭을 얻을 수 있다. 이것은, 스위칭 주파수와 변조기 대역폭 사이의 비율이 종래의 시스템에 비해 더 작게 할 수 있기 때문에, 변조기 대역폭 내의 노이즈 및 왜곡 성분들을 훨씬 더 높게 억제시킬 수 있다. 이상, 양자화 노이즈를 구체적으로 설명하였지만, 본 발명에 의해 변조기 내부로 들어오는 임의의 노이즈를 감소시킬 수 있다는 것은 명확하다.
- [0017] 본 발명에 따르면, 노이즈를, 일반적으로 24 비트 신호인 디지털 입력 신호의 레졸루션에 상응하는 레벨로 감소시킬 수 있다. 이득을 가진 적분기들 및 복수의 피드백 루프의 효과는, 종래 기술의 노이즈 셰이퍼의 효과와 비슷하지만, 시스템의 자려-발진 특성이, 노이즈 셰이퍼에 의해 획득될 수 있는 것에 비해서 변조기 루프에서 더 큰 루프 이득을 얻을 수 있는 이점을 가진다. 그러므로, 획득가능한 다이내믹 레인지가 종래의 기술에 비해 더 높고, 동시에, 노이즈 셰이퍼의 사용이 제거된다.
- [0018] 또, 자려-발진 특성 때문에, 변조기가 입력 신호의 포맷, 특히, 샘플링 주파수에 독립적이므로, 본 발명에 따른 변조기는 신호원과 동기시킬 필요가 없다. 이것은 커다란 이점으로, 종래 기술의 샘플링 레이트 변환기들과 오버샘플러들의 사용을 제거시킨다.
- [0019] 노이즈 셰이퍼, 샘플링 레이트 변환기 및 오버샘플러의 제거는, 루프 셰이핑을 위해 단지 적분기들만이 사용된다는 사실과 함께, 시스템의 복잡도를 아주 낮게 만든다. 실제로, 메모리 회로를 사용하지 않고도, 본 발명에 따른 완전한 시스템을 구현할 수 있다. 본 발명에 따른 변조기는, 종래 기술의 변조기에서 요구되는 실리콘 면적의 10% 미만의 면적상에 구현할 수 있다. 효율성이 향상되며 비용이 극적으로 감소된다.
- [0020] 또한, 본 발명에 따른 변조기는, 변조 인덱스에 따라 변하는 캐리어 주파수 (스위칭 주파수와 동일함) 를 제공한다. 이러한 가변 캐리어 주파수 펄스폭 변조 (Variable carrier Frequency Pulse Width Modulation;

VFPWM) 는 아날로그 자러-발진 시스템으로부터 알려져 있고, 출력단의 효율, EMI 및 스위칭 컴포넌트 스트레스에 매우 유용하다. 지금까지, 디지털 분야에서는 어떠한 등가의 기술이 채택된 적이 없었다.

[0021] 일 실시형태에 따르면, 피드백 경로가 비교기의 출력에 직접 접속된다. 그 결과, 변조기가 PWM 신호를 공급받는 다른 구성 요소들 또는 임의의 스위칭단 증폭 구성요소로부터 기능적으로 분리된다.

[0022] 적분기 이득은, 시스템 전달 함수가 로우 패스 필터 (low pass filter) 가 되도록 선택할 수 있으며, 여기서, 루프 이득은 컷-오프 주파수 부근에서 미러형 주파수 응답 (mirrored frequency response) 과 같다. 이러한 설계는 오디오 구현에 특히 바람직하다.

[0023] 특히, 시스템 전달 함수는 베셀 (Bessel) 또는 버터워스 (Butterworth) 로우 패스 필터로서 구현될 수 있다. 이들 필터 구현은 아주 적합한 주파수 특성 및 감도 함수 (sensitivity function) 를 제공하여, 안정적이고 매우 로버스트 (robust) 한 시스템을 제공한다. 또한, 전체 시스템 특성들을 셰이핑하는 것이 쉬워진다.

$$G_n = \frac{G_{n-1}}{2^M}$$

[0024] 본 발명의 일 실시형태에 따르면, 적분기 이득이 $G_n = \frac{G_{n-1}}{2^M}$ 에 따라 선택되며, 여기서 G_n 은 적분기 n 의 이득이고, M 은 $M \in [0, \infty]$ 을 만족하며, 따라서, 이득들이 서로 같거나 2 의 승수배 만큼 차이가 나게된다. 그러한 이득들은, 쉬프팅 함수 (shifting function) 로서 쉽게 실현될 수 있어, 복잡도가 크게 감소된다.

[0025] 바람직하게는, 각 적분기 이득 후단에, 입력 신호의 다이내믹 레인지에 상응하는 제한을 가진 신호 진폭 제한기 (signal amplitude limiter) 가 제공될 수 있다. 그 진폭 제한기들은, 매우 적은 수의 적분기들로 고 성능을 달성하도록 구현된 적극적인 루프 (aggressive loop) 를 구현하는 경우에 피드백 루프들을 안정화시키도록 기능한다.

[0026] 자러-발진은 비교기의 포지티브 피드백 (positive feedback) 으로 달성될 수 있다. 이러한 설계는, 시스템에 제어된 발진을 일으켜 변조기 캐리어 신호를 생성하는 히스테리시스 (hysteresis) 루프를 유발한다. 스위칭 주파수는 비교기 바로 전단의 적분기 이득에 의해 결정된다.

[0027] 다른 방법으로는, 자러-발진은, 비교기 전단의 필터 또는 시간 지연 (time delay) 에 의해서도 달성할 수 있으며, 상기 필터 또는 시간 지연은 원하는 스위칭 주파수에서 시스템에 180° 의 개방 루프 위상 지연 (lag) 을 부여하도록 배열된다. 상기 위상 지연은 비-히스테리시스 (non-hysteresis) 발진을 유발하여, 변조기 캐리어 신호를 생성한다.

[0028] 본 발명의 제 2 양태는, 본 발명의 제 1 양태에 따른 변조기, 발진 제어에 연결된 스위칭단 (switching stage), 및 스위칭단에 연결된 출력 필터를 구비하는, 전력 변환 시스템이다.

[0029] 상기 전력 변환기는, 음성 증폭, 모터 또는 일렉트로-다이내믹 트랜스듀서 (electro-dynamic transducer) 구동 애플리케이션, 또는 라인 전송을 위한 라인 구동기 등과 같은, 모든 타입의 정밀 (precision) DC-AC (직류-교류) 변환 애플리케이션에 매우 적합하다.

[0030] 도면의 간단한 설명

[0031] 이하, 본 발명의 이들 및 다른 양태를, 본 발명의 현재의 바람직한 실시형태를 나타낸 첨부 도면들을 참조하여, 더 설명한다.

[0032] 도 1 은 종래 PCM - PWM 변환 시스템의 개략 블록도이다.

[0033] 도 2 는 본 발명의 제 1 바람직한 실시형태에 따른 변조기의 개략 블록도이다.

[0034] 도 3 은 도 2 에 도시된 변조기에의 양자화 노이즈의 도입을 나타낸다.

[0035] 도 4 는 적분기 출력의 전압 제한을 포함하는, 도 2 에 도시된 변조기의 개략 블록도이다.

[0036] 도 5 는 히스테리시스 발진을 포함하는, 도 2 에 도시된 변조기의 개략 블록도이다.

[0037] 도 6 은 비-히스테리시스 발진을 포함하는, 도 2 에 도시된 변조기의 개략 블록도이다.

[0038] 도 7 은 도 5 에 나타낸 변조기의, $N = 2$ 일 때의 디지털 구현을 나타낸 개략 블록도이다.

- [0039] 도 8 은 본 발명의 제 2 바람직한 실시형태에 따른 전력 변환 시스템의 개략 블록도이다.
- [0040] 도 9 는 버터워스 구성으로 된 변조기의 5 차 (N = 5) 까지의 주파수 응답을 나타낸다.
- [0041] 도 10 은 버터워스 구성으로 된 변조기의 5 차 (N = 5) 까지의 감도 응답을 나타낸다.
- [0042] 도 11 은 5 차 (N = 5) 까지의 버터워스 또는 베셀 시스템을 실현하기 위한 정규화된 이득 계수들의 표이다.
- [0043] 도 12 는 본 발명의 또 다른 실시형태에 따른 정규화된 이득 계수들의 표이다.

[0044] 발명의 상세한 설명

- [0045] 도 2 는 본 발명의 제 1 바람직한 실시형태에 따른 변조기 (10) 의 일반적인 블록도이다. 변조기는, 적분기 이득 (12) 과 결합된 적분기 (11) 들이 직렬로 연결된 체인 (chain) 을 포함하는데, 상기 체인의 출력은 발진 제어 (13) 에 연결되어 있다. 적분기 이득 (12) 이 별개의 구성요소로 도시되어 있다. 실제로, 도 7 을 참조하여 후술할 것처럼, 적분기는 고유의 이득을 가지고 있고, 상기 이득의 추가적인 조정이 제공된다. 상기 조정은 당연히 적분기 이득의 감쇠가 될 수 있다.
- [0046] 발진 제어 (13) 는, 변조기의 자려-발진을 유발하도록 정렬되고, 적분기 체인의 마지막 적분기 (11') 의 출력을 기준값과 비교하기 위한 비교기 (17) 를 포함한다 (도 5 및 도 6 참조). 바람직하게는, 비교기 (17) 는 단순 부호 검출기 (sign detector) 이고, 그 경우 기준값은 그라운드 레벨 (ground level)이다. 상기 비교기의 결과가 PWM 신호이고, 도 8 에 도시된 바와 같이, 스위칭 증폭기의 전력단 (power stage) 에 공급될 수 있다. 피드백 경로 (14) 가, 발진 제어의 하류측 포인트에 연결되고, 각 적분기 (11) 의 바로 전단에 제공되는 합산 포인트 (15) 들에 네거티브 피드백 신호를 제공하도록 배열되어 있다.
- [0047] 적분기 이득 (12) 을 적당하게 선택함으로써, 일반적인 N 차 로우 패스 시스템으로 시스템이 구현되는데, 적분기 개수 N 은 시스템의 차수와 같다. 루프를 고의적으로 불안정적 (unstable) 이 되도록 함으로써 출력 캐리어가 생성되고, 결과로 생성된 발진 주파수가 캐리어 주파수이며, 통상적으로 500 kHz 의 영역에 속한다.
- [0048] PWM 신호의 생성은, 통상적으로 100 Mhz 내지 200 Mhz 범위인 디지털 시스템의 클록 주파수에 의해, 시간 축 상에서 양자화되어 있다. 약 500 kHz 의 캐리어 (스위칭) 주파수로서, 약 200 내지 400 의 각 캐리어 사이클, 즉 7 내지 9 비트의 시간 레졸루션을 가져다 준다. 이러한 양자화는 종래 기술의 오버샘플러의 경우와 같은 방식으로 양자화 노이즈를 유발한다. 도 3 은 양자화 노이즈가 어떻게 시스템으로 도입되는지 개략적으로 도시한다.
- [0049] 적분기 이득 (12) 에 의해 루프 함수를 셰이핑 함으로써, 양자화 노이즈가 전체 오디오 대역에 걸쳐 거의 극미한 레벨로 억제될 수 있다.
- [0050] 도 4 에 도시된 바와 같이, 전압 제한기들이 각 적분기 이득 (12) 의 출력에 제공될 수 있다.
- [0051] 도 5 는, 도 2 의 발진 제어 (13) 가 어떻게 히스테리시스 제어 (13a) 로서 구현될 수 있는지 도시한다. 포지티브 피드백 (16) 이 비교기 (17) 의 출력에서, 비교기에 선행하는 합산 포인트 (18) 로 제공된다. 히스테리시스 발진 제어 (13a) 는 자유화된 (liberalized) 전달 함수, $O(s) = 1$ 를 가진다. 전체 시스템 전달 함수의 자유화된 표현은 다음 식같이 나타낼 수 있는데,

[0052] **수학식 1**

$$H(s) = \frac{\prod_{k=1}^N G_k}{\sum_{m=1}^N \left(s^{m-1} \prod_{k=1}^{N+1-m} G_k \right) + s^N}$$

- [0053] 여기서 G_k 는 적분기 k 의 적분기 이득을 나타낸다. 당업자는 전달함수가 일반적인 로우 패스 함수인 것을 알 수 있고, 적분기 이득들을 조정함으로써 폴 (pole) 구성이, 예를들어, 버터워스 또는 베셀 필터 특성을 형성하도록 설정될 수 있다.
- [0054] 히스테리시스 제어 자려-발진의 경우, 도 3 에 도시된 바와 같이, 스위칭 주파수가 첫번째 적분기 (11') 의 이

득 G_1 에 의해 결정되고,

수학식 2

$$F_{sw} = \frac{G_1}{4} [\text{Hz}]$$

[0055]

[0056]

로서 쉽게 계산 될 수 있다.

[0057]

발진 제어 (13a) 에 바로 선행하는 적분기 (11') 의 이득 G_1 이 고정되어 있다는 이러한 제약은, 차수가 높아질 수록 컷-오프 주파수가 더 낮아지게 하는 폴 구성을 유발한다. 만족스러운 다이내믹 레인지를 위해 필요한 차수가, 주파수 응답의 제한이 시작되는 차수보다 한참 낮기 때문에, 실제로, 이것은 문제가 되지 않는다.

[0058]

도 9 는, 차수 $N = 1, 2, 3, 4$ 및 5 차의 버터워스 구성으로 된, 도 5 에서의 시스템의 주파수 응답을 도시한다. 컷-오프 주파수가 오디오 대역보다 한참 높음이 명확하다. 또, 상술한 바와 같이, 차수가 높아질수록 컷-오프 주파수가 낮아지는 것이 명확하다.

[0059]

고 차수의 루프를 구현할 때, 높은 루프 이득이 구현에서 발생하는 에러들을 억제한다. 감도 함수는 다음 식과 같이 나타낼 수 있다.

수학식 3

$$S(s) = \frac{s^N}{\sum_{m=1}^N \left(s^{m-1} \prod_{k=1}^{N+1-m} G_k \right) + s^N}$$

[0060]

[0061]

도 10, 은 차수 $N = 1, 2, 3, 4$ 및 5 차의 버터워스 구성으로 된, 도 5 에서의 시스템의 감도 응답 $S(s)$ 를 나타낸다. 이 도면은, 양자화 노이즈 및 다른 왜곡 성분들의 감소를 도시한다. 예를들어, 5 차 시스템의 경우에는, 임의의 에러가 20 kHz 의 주파수에서 69 dB 까지 감소될 것이다.

[0062]

1 차 내지 5 차에 대해 상이한 필터 계수가 주어진 도 11 의 버터워스 특성을 위한 이득 계수를 사용하여, 도 9 및 도 10 에 도시된 주파수 응답 및 감도 응답이 얻어진다. 도 11 의 이득 계수 K_0 은 G_1 에 대해 정규화 되어 있다. 상기 수학식 2 에서 나타낸 G_1 과 스위칭 주파수 사이의 관계에 의해 적분기 이득 G_1 은 다음 식과 같이 나타내어 진다.

수학식 4

$$G_1 = 4 * F_{sw}$$

[0063]

[0064]

도 6 은, 도 2 의 발진 제어 (13) 가 어떻게 비-히스테리시스 제어 (13b) 로서 구현될 수 있는지 도시한다. 발진 제어 (13b) 는 개방 루프 위상 지연 생성을 위한 제어 블록 (20) 을 포함한다. 원하는 캐리어 주파수에서 180° 의 위상 지연 또는 180° 의 위상 지연에 상응하는 딜레이를 제공함으로써, 자력-발진이 달성될 수 있다. 이 제어 블록 (20) 의 목적은 루프가 발진하는데 필요한 위상 지연을 제공하는 것이고, 이것은 단순 딜레이 (pure delay), 적분 함수 또는 로컬 필터 시스템에 의해 성취될 수 있다.

[0065]

도 6 에서의 제어 블록 (20) 은 일반적인 올 패스 필터 (all pass filter) 타입의 로컬 필터 $O(s)$ 이다. 상기 필터가 절대 이득 1 을 가지기 때문에 상기 필터 타입이 선호되는데, 상기 구현은 히스테리시스 시스템과 동일한 전달 함수 $H(s)$ 를 가지는 것을 의미한다 (수학식 1 참조). P 차 올 패스 필터는, 기본적으로, 이상적인 시간 지연의 페이드 (Pade) 근사이고, 다음과 같은 전달 함수로 표현될 수 있다.

수학식 5

$$O(s) = \frac{s^P - \sum_{m=1}^P \left(s^{m-1} \prod_{k=1}^{P+1-m} G_k \right)}{s^P + \sum_{m=1}^P \left(s^{m-1} \prod_{k=1}^{P+1-m} G_k \right)}, P = \text{차수}$$

[0066]

[0067]

발진 제어 (13a, 13b) 의 서로 다른 구현 (도 5 및 도 6) 이, 동일한 시스템 성능을 가진다. 그러나, 비-히스테리시스 접근의 경우, 동일한 성능을 위해서는, 상기 필터 (20) 를 위한 추가적인 P 개의 적분기가 필요할 것이다. 글로벌 루프의 적분기 개수에 의해, 루프 이득이 결정된다. 비-히스테리시스 제어 (도 4) 의 장점은, 캐리어 주파수 근처에서 매우 가파른 위상 특성을 얻을 수 있어서, 변조 인덱스의 함수로서 캐리어 주파수의 낮은 변동을 달성한다는 데 있다. 이 성질은 일부 애플리케이션에서는 값진 것이 될 수 있다.

[0068]

본 발명의 또 다른 바람직한 실시형태에 따르면, 적분기 이득들은 2 의 배수의 비율을 갖도록 선택된다. 적분기 이득 G_n 은 따라서 다음과 같이 쓸 수 있는데,

$$G_n = \frac{G_{n-1}}{2^M}$$

[0069]

여기서 M 은 $M \in [0, \infty]$ 을 만족한다.

[0070]

이 접근에 따라, 적분기 이득 G_n 은 2 의 인수 (factor) 의 곱이 되고, 쉬프팅 (shifting) 함수에 의해 실현될 수 있어서, 복잡도가 감소 된다. 물론, 시스템 특성은, 필요에 따라 안정된 시스템 또는 선형 위상을 제공하는 조합에 의해 제약된다. 정규화된 이득 계수들 k_n 의 예시가 도 12 의 표에 주어져 있다.

[0071]

[0072]

도 7 은, 이득 (gain) 을 달성하기 위해 상술한 쉬프팅 기술을 이용하는, 도 5 에 따른 2차 구조 변조기의 보다 구체적인 구현을 도시한다.

[0073]

먼저, 도 5 의 합산 포인트 (18) 및 비교기 (17) 가, 부호 비트 출력 (22) 을 가지는 가산기 (21) 에 의해 구현된다. 출력 (22) 은 $\pm V$ 의 신호 레벨을 가지는데, V는 PWM 신호의 피크 값이다. 또, 도 5 의 합산 포인트 (15) 들은 2 개의 가산기 (23a, 23b) 에 의해 구현되고, 도 5 의 적분기 (11) 들은 2 개의 가산기 (24a, 24b) 에 의해 구현된다.

[0074]

마지막으로, 도 5 의 적분기 이득 (12) 은, 부분적으로 가산기 (24a, 24b) 의 이득에 의해, 그리고 부분적으로 2 개의 쉬프팅 레지스터 (25a, 25b) 에 의해 구현된다. 쉬프팅 레지스터 (25a, 25b) 는 원하는 필터링을 얻기 위해 가산기 (24a, 24b) 의 이득을 조정하도록 작동한다. 그 조정은 우향 쉬프팅 (shifting right), 즉 가산기 (24a, 24b) 의 이득의 감쇠에 의해 수행된다. 예를들어, 제 1 적분기 이득 G_1 이 제 2 적분기 이득 G_2 의 2 배가 되도록 하기 위해, 비교기 (21) 에 바로 선행하는 이득인 제 1 쉬프팅 레지스터 (25a) 는 레지스터 (25b) 에 비해 쉬프팅 동작을 한 비트 덜 수행하도록 배열된다. 비슷한 방식으로, 예를 들어 도 12 에 따른 또 다른 이득 계수들이 또 다른 가산기 및 쉬프팅 레지스터에 의해 달성될 수도 있다.

[0075]

또한, 변조기는, 가산기 (21) 의 출력 (22) 에 연결된 피드백 경로 (26) 를 가진다. 이러한 피드백 (26) 은 별개의 2 가지 목적을 가지는데, 첫째, 그 자체에 피드백 (27) 을 제공함으로써 발진 제어를 제공한다. 이것은 도 5 의 히스테리시스 제어 루프 (16) 에 상응한다. 둘째, 출력 (22) 의 피드백 (28) 을 2 개의 가산기 (23a, 23b) 에 제공하는데, 이것은 도 5 의 복수의 피드백 루프 (14) 에 상응한다.

[0076]

직렬 데이터 스트림을 받아서, 가산기 (23b) 에 연결되는 병렬 레지스터 (여기서는 24 비트 병렬 레지스터) 에 샘플을 배열하는 인터페이스 블록 (29) 이 배치된다.

[0077]

위상 동기 루프 (phase lock loops; 30) 를 각 변조기에 적용함으로써, 하나 또는 복수의 변조기의 동기화가 달성될 수 있다. 이에 따라, 동기화는 변조기들의 위상 제어에 의해 얻어진다.

[0078]

본 발명에 따른 전력 변환기의 바람직한 실시형태가 도 8 에 도시되어 있는데, 도 2 에 도시된 변조기 (10) 에 스위칭 출력 전력단 (31) 이 제공된다. 스위칭 신호가 출력 필터 (32) 에서 필터링 되고, 예를 들어 오디오

스피커와 같은 부하 (33) 에 연결된다.

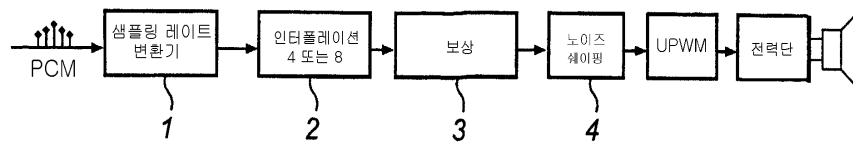
[0079] 도시된 예에서, 피드백 경로 (14) 는 하류측으로 이동되고, 스위칭 출력 전력단 (31) 의 출력에 연결된다. 상기 접근방식의 이점은, 블랭킹 지연 에러 (blanking delay errors) 와 같은, 출력단에 의해 더해지는 에러를 감소시킬 수 있는 점이다. 출력단에 의해 도입되는 THD (total harmonic distortion) 및 노이즈가, 감도 함수에 의해 곱해져 아주 낮은 레벨로 낮아진다.

[0080] 당업자는, 대신에, 출력필터 (32) 의 적어도 $(N - 1)$ 개의 폴의 보상을 추가함으로써, 피드백이 출력필터 (32) 로부터 적용될 수 있음을 알 수 있는데, N 은 상기 필터의 차수이다.

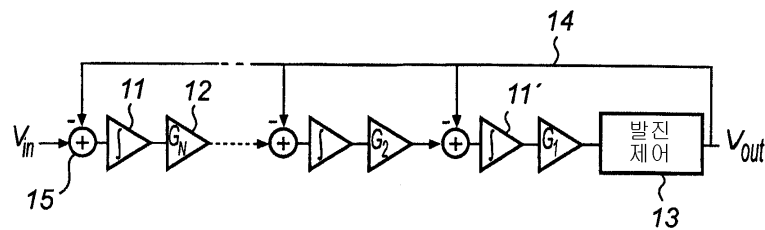
[0081] 본 발명은, 예를 들어, 오디오 시스템과 같이 높은 다이내믹 레인지 및 높은 선형도가 요구되는 디지털 - 아날로그 변환 시스템, 및 오디오용 스위칭 전력 증폭기 또는 임의의 전력 변환 시스템에도 유용하게 사용될 수 있다. 또한, 본 발명은 일반적인 D/A 변환기용으로 사용될 수 있다.

도면

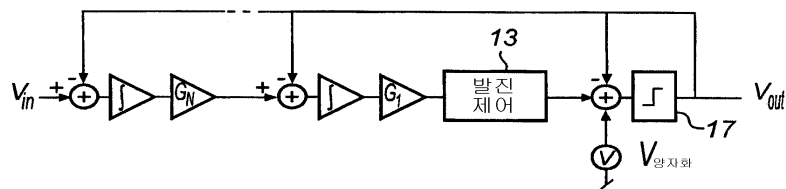
도면1



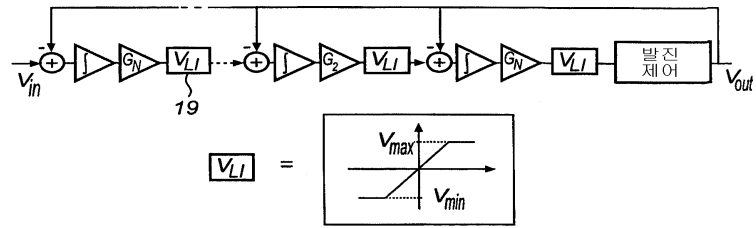
도면2



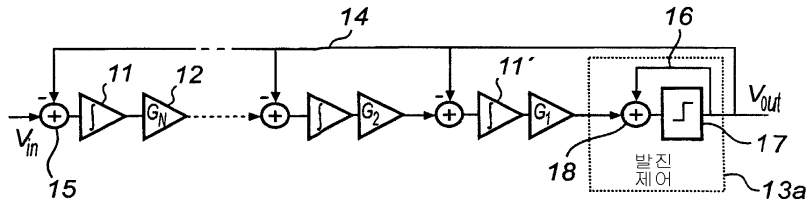
도면3



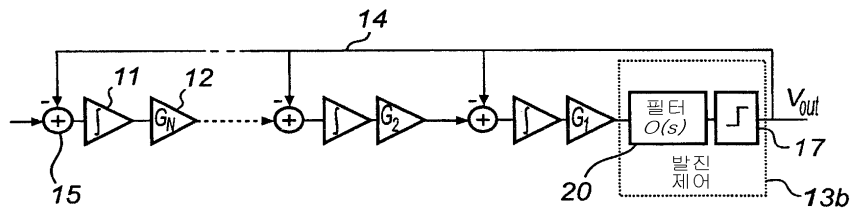
도면4



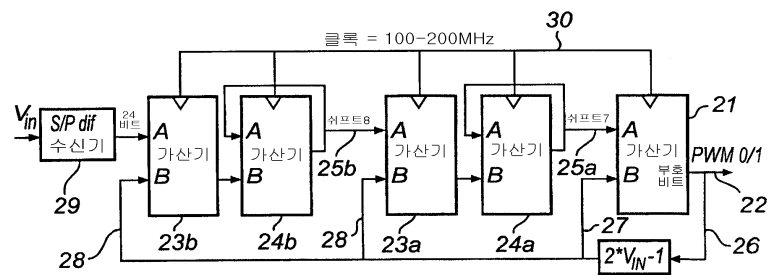
도면5



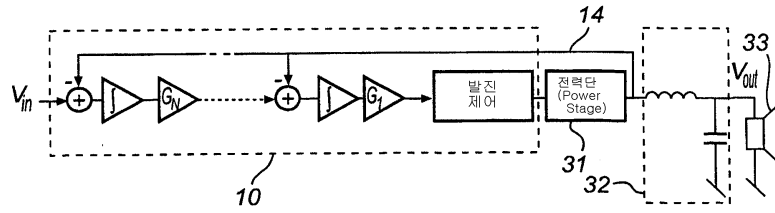
도면6



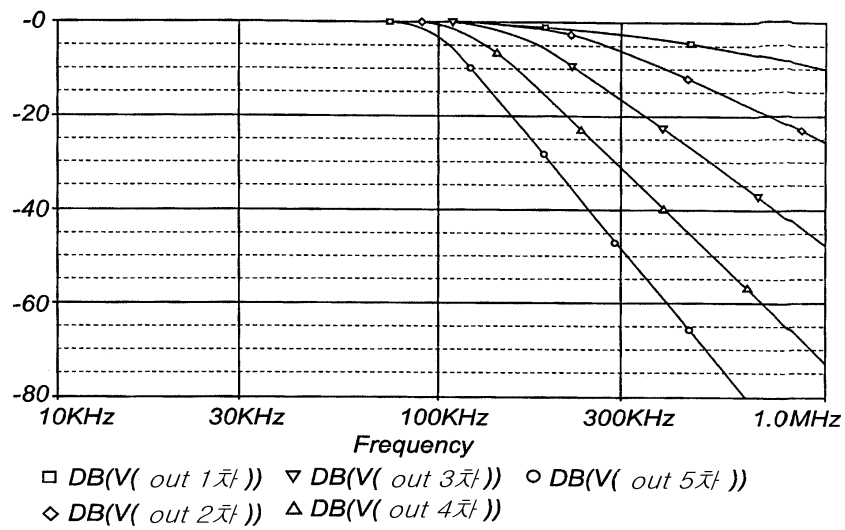
도면7



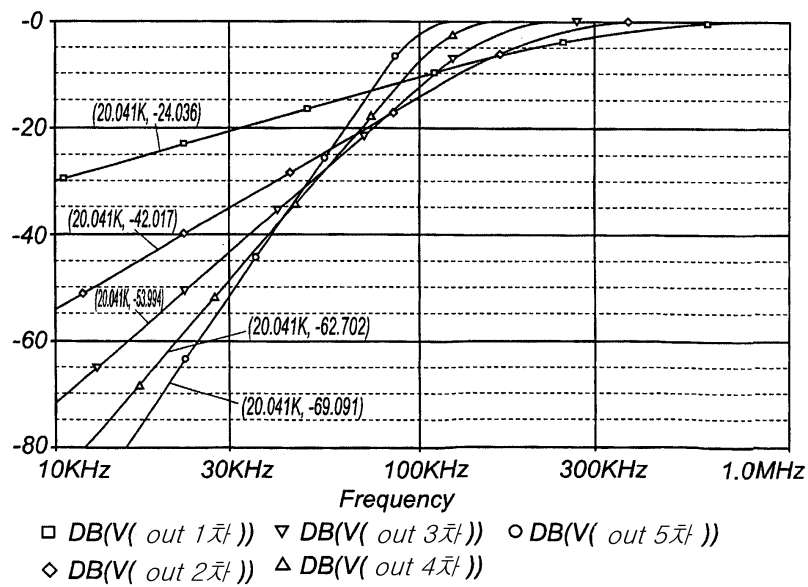
도면8



도면9



도면10



도면11

차수	k_1	k_2	k_3	k_4	k_5
버터워스					
1	1	-	-	-	-
2	1	0.50000	-	-	-
3	1	0.50000	0.25000	-	-
4	1	0.50000	0.29292	0.14645	-
5	1	0.50000	0.30901	0.19099	0.095488
베셀					
1	1	-	-	-	-
2	1	0.33333	-	-	-
3	1	0.41667	0.16667	-	-
4	1	0.45002	0.23333	0.09999	-
5	1	0.46667	0.26667	0.15000	0.066667

도면12

차수	k_1	k_2	k_3	k_4	k_5
2의 배수에 의한 계수 비율					
3	1	0.25	0.25	-	-
3	1	0.5	0.25	-	-
3	1	1	0.25	-	-
4	1	0.50000	0.50000	0.12500	-
4	1	1	0.50000	0.25000	-
4	1	1	0.25000	0.12500	-
4	1	0.50000	0.25000	0.12500	-
5	1	0.50000	0.25000	0.12500	0.12500
5	1	1	0.25000	0.12500	0.12500