

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 2 月 13 日 (2020.2.13)

【公表番号】特表 2019-505906 (P2019-505906A)
 【公表日】平成 31 年 2 月 28 日 (2019.2.28)
 【年通号数】公開・登録公報 2019-008
 【出願番号】特願 2018-534798 (P2018-534798)
 【国際特許分類】

G 0 6 F 11/10 (2006.01)

G 0 1 S 13/34 (2006.01)

G 0 1 S 7/35 (2006.01)

【 F I 】

G 0 6 F 11/10 6 3 2

G 0 1 S 13/34

G 0 1 S 7/35

【手続補正書】

【提出日】令和 1 年 12 月 22 日 (2019.12.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

信号処理システムであって、

前記信号処理システムにより受信される少なくとも 1 つのデジタル信号の信号処理に対応するデータを記憶するように構成されるデータメモリ構成要素と、

前記データメモリ構成要素に関連し、複数のパリティビットを記憶するように構成されるパリティメモリ構成要素であって、前記複数のパリティビットが、前記データメモリ構成要素におけるメモリワードの複数のグループのメモリワードの各グループのためのグループパリティビットのセットを含む、前記パリティメモリ構成要素と、

前記データメモリ構成要素に結合され、前記少なくとも 1 つのデジタル信号を受信可能なプロセッサであって、前記少なくとも 1 つのデジタル信号の前記信号処理を行ない、前記データメモリ構成要素に記憶されるデータにおけるエラーについて前記複数のパリティビットをチェックするように構成される、前記プロセッサと、

前記パリティメモリ構成要素と前記プロセッサとに結合され、前記データメモリ構成要素におけるメモリワードのアドレスと、前記信号処理の間に前記プロセッサによって前記メモリワードから読み出される又は前記メモリワードに書き込まれるデータとを受信可能なパリティ管理構成要素であって、前記データに基づいて、前記メモリワードのアドレスに対応する前記パリティメモリ構成要素に記憶される前記複数のパリティビットにおいてグループパリティビットを更新するように構成される、前記パリティ管理構成要素と、を含む、信号処理システム。

【請求項 2】

請求項 1 に記載の信号処理システムであって、

前記複数のグループが、単一ソフトウェアがグループ毎に 1 つのメモリワードにのみ影響を及ぼし得る、メモリワードの非重複グループである、信号処理システム。

【請求項 3】

請求項 1 に記載の信号処理システムであって、

前記複数のメモリワードの或るメモリワード位置（又はアドレス又は場所）に対するデータの各書き込みに対して、前記メモリワードの或るグループに対応するグループパリティビットが前記データに基づいて更新され、前記メモリワード位置（又はアドレス又は場所）からの前記データの単一読み出しが行なわれ、前記グループパリティビットが前記データに基づいて更新されるように、前記信号処理が、前記データメモリ構成要素の複数のメモリワードの各メモリワードを書き込む及び読み出すように構成される、信号処理システム。

【請求項 4】

請求項 3 に記載の信号処理システムであって、

前記パリティ管理構成要素が、パリティ更新がイネーブルされるかを示すパリティイネーブルフラグを受信するように結合され、

パリティ更新がイネーブルされた状態でのメモリワード位置（又はアドレス又は場所）へのデータの各書き込みに対し、前記メモリワード位置（又はアドレス又は場所）からの前記データの単一読み出しが、パリティ更新がイネーブルされた状態で実施されることを確実にするために、前記信号処理が前記パリティイネーブルフラグの値を管理するように構成される、信号処理システム。

【請求項 5】

請求項 1 に記載の信号処理システムであって、

前記信号処理システムがレーダシステムであり、前記少なくとも 1 つのデジタル信号が、前記レーダシステムの複数の受信チャネルによって生成される複数のデジタル中間周波数（IF）信号であり、各受信チャネルが、チャープのフレームの送信からの反射信号を受信し、前記反射信号のサンプルのデジタル IF 信号を生成するように構成される、信号処理システム。

【請求項 6】

請求項 5 に記載の信号処理システムであって、

前記信号処理が、

前記複数のデジタル IF 信号に対応する第 1 のデータを前記データメモリにおける複数のメモリワード位置（又はアドレス又は場所）に書き込むように構成されて、前記複数のメモリワード位置（又はアドレス又は場所）の各メモリワードに対し、前記パリティ管理構成要素が、前記メモリワード位置（又はアドレス又は場所）において書き込まれた前記第 1 のデータに基づいて前記メモリワードの或るグループに対応する前記複数のパリティビットにおける前記グループパリティビットを更新し、更に、

前記複数のメモリワード位置（又はアドレス又は場所）から前記第 1 のデータを読み出すように構成されて、前記複数のメモリワード位置（又はアドレス又は場所）の各メモリワードに対し、前記パリティ管理構成要素が、前記メモリワード位置（又はアドレス又は場所）から読み出された前記第 1 のデータに基づいて前記メモリワードの前記グループに対応する前記グループパリティビットを更新する、信号処理システム。

【請求項 7】

請求項 6 に記載の信号処理システムであって、

前記信号処理が、

前記複数のデジタル IF 信号に対応する第 2 のデータを前記データメモリにおける前記複数のメモリワード位置（又はアドレス又は場所）に書き込むように構成されて、前記複数のメモリワード位置（又はアドレス又は場所）における各メモリワードに対し、前記メモリワードの前記グループに対応するグループパリティビットが、前記メモリワード位置（又はアドレス又は場所）に書き込まれた前記第 2 のデータに基づいて更新され、

前記複数のメモリワード位置（又はアドレス又は場所）から前記第 2 のデータを読み出すように構成されて、前記複数のメモリワード位置（又はアドレス又は場所）における各メモリワードに対し、前記メモリワードの前記グループに対応する前記グループパリティビットが、前記メモリワード位置（又はアドレス又は場所）から読み出された前記第 2 のデータに基づいて更新され、更に、

前記第 1 のデータ¹を生成するために前記第 2 のデータ²に対して信号処理を行うように構成される、信号処理システム。

【請求項 8】

請求項 1 に記載の信号処理システムであって、

グループパリティビットの各セットが、メモリワードの各ビット位置のためのパリティビットから成る、信号処理システム。

【請求項 9】

請求項 1 に記載の信号処理システムであって、

グループパリティビットの各セットがメモリワードの各ビット位置のための P パリティビットから成り、P の値がグループにおけるワードの数 N に依存し、P と N とが 1 より大きい正の整数である、信号処理システム。

【請求項 10】

請求項 9 に記載の信号処理システムであって、

前記 P の値が、 $N > 2^P - P - 1$ を満たす最小値として選ばれる、信号処理システム。

【請求項 11】

請求項 9 に記載の信号処理システムであって、

前記パリティ管理構成要素が、或るグループにおけるメモリワードの順序性に基づいて、前記グループのメモリワードに対応するグループパリティビットのサブセットを決定するように構成される、信号処理システム。

【請求項 12】

請求項 11 に記載の信号処理システムであって、

前記パリティ管理構成要素が、或るグループのメモリワードに対応するグループパリティビットの前記サブセットを決定するように構成されるパリティ識別回路を含み、

前記パリティ識別回路が、

前記メモリワードの順序性のバイナリ表現を受信するように結合される第 1 の構成要素であって、前記順序性の前記バイナリ表現の最も左の非ゼロビットのインデックスの第 1 のバイナリ表現を出力するように構成される、前記第 1 の構成要素と、

前記第 1 のバイナリ表現を受信するために前記第 1 の構成要素に結合され、前記順序性のバイナリ表現を受信するように結合される第 1 の加算器であって、前記第 1 のバイナリ表現と前記順序性の前記バイナリ表現との和の第 2 のバイナリ表現を出力するように構成される、前記第 1 の加算器と、

前記第 2 のバイナリ表現を受信するために前記第 1 の加算器に結合される第 2 の構成要素であって、前記第 2 のバイナリ表現の最も左の非ゼロビットのインデックスの第 3 のバイナリ表現を出力するように構成される、前記第 2 の構成要素と、

前記第 3 のバイナリ表現を受信するために前記第 2 の構成要素に結合され、前記順序性のバイナリ表現を受信するように結合される第 2 の加算器であって、前記第 3 のバイナリ表現と前記順序性の前記バイナリ表現との和の第 4 のバイナリ表現を出力するように構成される、前記第 2 の加算器と、

を含む、信号処理システム。

【請求項 13】

信号処理システムにおけるデータメモリ保護のための方法であって、

前記信号処理システムのデータメモリのメモリワードを複数のグループに分割することであって、前記データメモリに関連する複数のパリティビットが、前記複数のグループの各グループのためのグループパリティビットのセットを含む、前記分割することと、

前記信号処理システムにより受信される少なくとも 1 つのデジタル信号に対して信号処理を行なうことであって、前記メモリワードの複数のメモリワード位置（又はアドレス又は場所）の或るメモリワードに対するデータ¹の各書き込みに対し、前記メモリワード位置（又はアドレス又は場所）の或るグループに対応するグループパリティビットが前記データ¹に基づいて更新され、前記メモリワードからの前記データ¹の単一読み出しが行なわれて前記グループパリティビットが前記データ¹に基づいて更新されるように、前記データメモ

りの複数のメモリワードの各メモリワードが書き込み及び読み出しされる、前記信号処理を行なうことと、

前記複数のパリティビットに基づいてソフトエラーが生じたか否かを判定することと、を含む、方法。

【請求項 14】

請求項 13 に記載の方法であって、

前記複数のグループが、単一ソフトエラーがグループ毎に 1 つのメモリワードにのみ影響を及ぼし得る、メモリワードにおける非重複グループである、方法。

【請求項 15】

請求項 14 に記載の方法であって、

グループパリティビットの各セットが、メモリワードの各ビット位置のためのパリティビットから成る、方法。

【請求項 16】

請求項 14 に記載の方法であって、

グループパリティビットの各セットがメモリワードの各ビット位置のための P パリティビットから成り、P の値がグループにおけるワードの数 N に依存し、P と N とが 1 より大きい正の整数である、方法。

【請求項 17】

請求項 16 に記載の方法であって、

前記 P の値が、 $N > 2^P - P - 1$ を満たす最小値として選ばれる、方法。

【請求項 18】

請求項 16 に記載の方法であって、

グループのメモリワードに対応するグループパリティビットのサブセットが、前記グループにおける前記メモリワードの順序性に基づいて決定される、方法。

【請求項 19】

請求項 13 に記載の方法であって、

前記信号処理を行なうことが、前記グループパリティビットを変更することなく、前記メモリワード位置（又はアドレス又は場所）からの前記データの読み出しを可能にするために、パリティ更新をディセーブルすることを含む、方法。

【請求項 20】

請求項 13 に記載の方法であって、

前記信号処理システムが、レーダシステムであり、前記少なくとも 1 つのデジタル信号が、前記レーダシステムにおける複数の受信チャネルによって生成される複数のデジタル中間周波数（IF）信号である、方法。

【請求項 21】

請求項 20 に記載の方法であって、

前記信号処理を行なうことが、

前記デジタル IF 信号の信号処理に対応する第 1 のデータを前記複数のメモリワード位置（又はアドレス又は場所）に書き込むことであって、前記複数のメモリワードにおける各メモリワードに対し、前記メモリワードの或るグループに対応するグループパリティビットが更新される、前記書き込むことと、

前記複数のメモリワード位置（又はアドレス又は場所）から前記第 1 のデータを読み出すことであって、前記複数のメモリワードにおける各メモリワードに対し、前記メモリワードの前記グループに対応する前記グループパリティビットが更新される、前記読み出すことと、

を含む、方法。

【請求項 22】

請求項 21 に記載の方法であって、

前記信号処理を行なうことが、

前記デジタル IF 信号の信号処理に対応する第 2 のデータを前記複数のメモリワード位

置（又はアドレス又は場所）に書き込むことであって、前記複数のメモリワード位置（又はアドレス又は場所）における各メモリワードに対し、前記メモリワードの前記グループに対応するグループパリティビットが更新される、前記書き込むことと、

前記複数のメモリワード位置（又はアドレス又は場所）から前記第2のデータを読み出すことであって、前記複数のメモリワード位置（又はアドレス又は場所）における各メモリワードに対し、前記メモリワードの前記グループに対応する前記グループパリティビットが更新される、前記読み出すことと、

前記第1のデータを生成するために前記第2のデータに対して信号処理を行うことと、
を更に含む、方法。