

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)



(10) 国際公開番号

WO 2024/176408 A1

(51) 国際特許分類:

G09F 9/30 (2006.01)

(21) 国際出願番号:

PCT/JP2023/006571

(22) 国際出願日:

2023年2月22日(22.02.2023)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人: シャープディスプレイテクノロジー株式会社(SHARP DISPLAY TECHNOLOGY CORPORATION) [JP/JP]; 〒5190198 三重県亀山市白木町幸川4 6 4 番 Mic (JP).

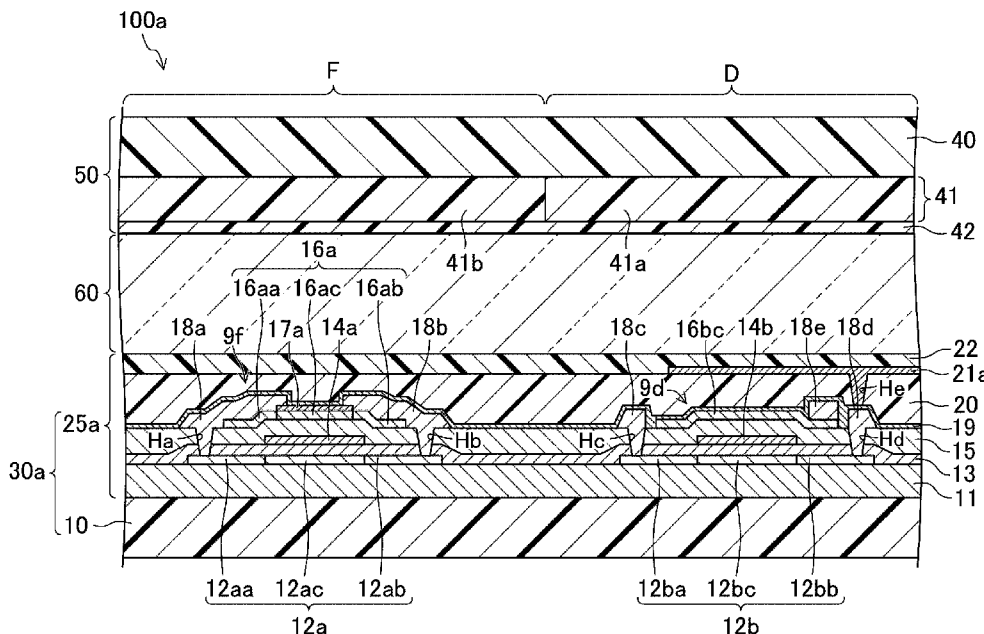
(72) 発明者: 宮本 忠芳(MIYAMOTO Tadayoshi).

(74) 代理人: 弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル2 3階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

layer (12b) composed of an oxide semiconductor is provided with a transparent electrode (16bc) in which the oxide semiconductor has been converted into a conductor.

(57) 要約: 額縁領域 (F) の第1 TFT (9f) は、酸化物半導体からなる第1及び第2半導体層 (12a, 16a) と、第1及び第2半導体層 (12a, 16a) に第1及び第2無機絶縁膜 (13, 15) を介して設けられた第1ゲート電極 (14a) と、第1及び第2ソース領域 (12aa, 16aa) に接続された第1ソース電極 (18a) と、第1及び第2ドレイン領域 (12ab, 16ab) に接続された第1ドレイン電極 (18b) とを備え、酸化物半導体からなる第3半導体層 (12b) を備えた第2 TFT (9d) が設けられたサブ画素には、酸化物半導体を導体化した透明電極 (16bc) が設けられている。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関するものである。

背景技術

[0002] 液晶表示装置や有機エレクトロルミネッセンス (electroluminescence、以下、「EL」とも称する) 表示装置等の表示装置では、画像表示を行う表示領域を構成するサブ画素毎に薄膜トランジスタ (thin film transistor、以下「TFT」とも称する) が設けられている。ここで、TFTを構成する半導体層としては、例えば、移動度が高いポリシリコンからなる半導体層、リーク電流が小さい In-Ga-Zn-O 等の酸化物半導体からなる半導体層等がよく知られている。

[0003] 例えば、特許文献1には、ポリシリコン半導体を用いた第1のTFT、及び酸化物半導体を用いた第2のTFTが基板上にそれぞれ形成されたハイブリッド構造を有する表示装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-17558号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、移動度が高いポリシリコン半導体からなる半導体層を備えたTFTは、表示領域の周囲に設けられたゲートドライバー等の周辺回路用のTFTに適しており、リーク電流が小さい酸化物半導体からなる半導体層を備えたTFTは、各サブ画素のスイッチング用のTFTに適している。ここで、上記特許文献1に開示されたハイブリッド構造を有する表示装置では、周辺回路用のTFT及び各サブ画素のスイッチング用のTFTを同一基板上に形成することができるものの、ポリシリコン半導体からなる半導体層と、酸

化物半導体からなる半導体層とを同一基板上に形成するために、製造プロセスが複雑になるので、改善の余地がある。

[0006] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素のスイッチング及び周辺回路に適したTFTを形成することにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係る表示装置は、ベース基板と、上記ベース基板上に設けられ、酸化物半導体からなる第1半導体膜、第1無機絶縁膜、第1金属膜、第2無機絶縁膜、酸化物半導体からなる第2半導体膜、及び第2金属膜が順に積層された薄膜素子層とを備え、上記薄膜素子層には、上記第1半導体膜により形成された第1半導体層と、上記第2半導体膜により形成された第2半導体層とを有する第1薄膜トランジスタが表示領域の周囲の額縁領域に設けられ、上記第1半導体膜又は上記第2半導体膜により形成された第3半導体層を有する第2薄膜トランジスタが上記表示領域を構成するサブ画素毎に設けられ、上記第1薄膜トランジスタは、互いに離間するように第1ソース領域及び第1ドレイン領域が規定されて該第1ソース領域及び該第1ドレイン領域の間に第1チャネル領域が規定された上記第1半導体層と、互いに離間するように第2ソース領域及び第2ドレイン領域が規定されて該第2ソース領域及び該第2ドレイン領域の間に第2チャネル領域が規定された上記第2半導体層と、上記第1半導体層及び上記第2半導体層に上記第1無機絶縁膜及び上記第2無機絶縁膜を介して設けられ、上記第1金属膜により形成された第1ゲート電極と、上記第2金属膜により設けられ、上記第1ソース領域及び上記第2ソース領域に電氣的に接続された第1ソース電極と、該第1ソース電極と離間するように上記第2金属膜により設けられ、上記第1ドレイン領域及び上記第2ドレイン領域に電氣的に接続された第1ドレイン電極とを備え、上記第2薄膜トランジスタは、互いに離間するように第3ソース領域及び第3ドレイン領域が規定されて該第3ソース

領域及び該第3ドレイン領域の間に第3チャンネル領域が規定された上記第3半導体層と、該第3半導体層に上記第1無機絶縁膜又は上記第2無機絶縁膜を介して設けられ、上記第1金属膜により形成された第2ゲート電極と、互いに離間するように上記第2金属膜により設けられ、上記第3ソース領域及び上記第3ドレイン領域に電氣的にそれぞれ接続された第2ソース電極及び第2ドレイン電極とを備え、上記サブ画素には、上記第1半導体膜又は上記第2半導体膜により形成され、導体化された透明電極が設けられていることを特徴とする。

発明の効果

[0008] 本発明によれば、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素のスイッチング及び周辺回路に適したTFTを形成することができる。

図面の簡単な説明

[0009] [図1]図1は、本発明の第1の実施形態に係る液晶表示装置の概略構成を示す平面図である。

[図2]図2は、本発明の第1の実施形態に係る液晶表示装置の表示領域のサブ画素の概略構成を示す平面図である。

[図3]図3は、図1中のIII-III線に沿った液晶表示装置の断面図である。

[図4]図4は、本発明の第1の実施形態に係る液晶表示装置を構成する周辺TFTの平面図である。

[図5]図5は、本発明の第1の実施形態に係る液晶表示装置を構成するアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図6]図6は、図5に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図7]図7は、図6に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図8]図8は、図7に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図9]図 9 は、図 8 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図10]図 10 は、図 9 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図11]図 11 は、図 10 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図12]図 12 は、図 11 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図13]図 13 は、図 12 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図14]図 14 は、図 13 に続くアクティブマトリクス基板の製造工程の一部を示す断面図である。

[図15]図 15 は、本発明の第 2 の実施形態に係る液晶表示装置を構成するアクティブマトリクス基板の表示領域の断面図である。

[図16]図 16 は、本発明の第 3 の実施形態に係る液晶表示装置を構成するアクティブマトリクス基板の表示領域の断面図である。

[図17]図 17 は、本発明の第 4 の実施形態に係る液晶表示装置を構成するアクティブマトリクス基板の表示領域の断面図である。

発明を実施するための形態

[0010] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0011] 《第 1 の実施形態》

図 1 ～図 14 は、本発明に係る表示装置の第 1 の実施形態を示している。なお、以下の各実施形態では、表示装置として、液晶表示装置を例示する。ここで、図 1 は、本実施形態の液晶表示装置 100a の概略構成を示す平面図である。また、図 2 は、液晶表示装置 100a の表示領域 D のサブ画素 P の概略構成を示す平面図である。また、図 3 は、図 1 中の III－III 線に沿った液晶表示装置 100a の断面図である。また、図 4 は、液晶表示装置 10

0 a を構成する画素外 T F T 9 f の平面図である。

[0012] 液晶表示装置 1 0 0 a は、図 1 に示すように、例えば、矩形状に設けられた画像表示を行う表示領域 D と、表示領域 D の周囲に設けられた額縁領域 F とを備えている。なお、本実施形態では、矩形状の表示領域 D を例示したが、この矩形状には、例えば、辺が円弧状になった形状、角部が円弧状になった形状、辺の一部に切り欠きがある形状等の略矩形状も含まれる。

[0013] 表示領域 D には、複数のサブ画素 P（図 2 参照）がマトリクス状に配列されている。また、表示領域 D では、例えば、赤色の階調表示を行うためのサブ画素 P、緑色の階調表示を行うためのサブ画素 P、及び青色の階調表示を行うためのサブ画素 P が互いに隣り合うように設けられている。なお、表示領域 D では、例えば、赤色、緑色及び青色の階調表示を行うための互いに隣り合う 3 つのサブ画素 P により、1 つの画素が構成されている。

[0014] 額縁領域 F には、図 1 に示すように、表示領域 D の図中の X 方向及び Y 方向に延びる隣り合う 2 辺に沿ってゲートドライバーやソースドライバー等の周辺回路 M が設けられている。

[0015] また、液晶表示装置 1 0 0 a は、図 3 に示すように、アクティブマトリクス基板 3 0 a と、アクティブマトリクス基板 3 0 a に対向するように設けられた対向基板 5 0 と、アクティブマトリクス基板 3 0 a 及び対向基板 5 0 の間に設けられた液晶層 6 0 とを備えている。

[0016] アクティブマトリクス基板 3 0 a は、図 3 に示すように、ベース基板 1 0 と、ベース基板 1 0 上に設けられた薄膜素子層 2 5 a と備えている。

[0017] ベース基板 1 0 及び後述するベース基板 4 0 は、例えば、ポリイミド樹脂製の透明な樹脂基板やガラス基板等により形成されている。

[0018] 薄膜素子層 2 5 a は、図 3 に示すように、ベース基板 1 0 上に設けられたベースコート膜 1 1 と、ベースコート膜 1 1 上に設けられた複数の画素内 T F T 9 d 及び複数の画素外 T F T 9 f と、複数の画素内 T F T 9 d 及び複数の画素外 T F T 9 f 上に順に設けられた保護絶縁膜 1 9 及び平坦化膜 2 0 と、平坦化膜 2 0 上に設けられた複数の画素電極 2 1 a と、複数の画素電極 2

1 a上に設けられた配向膜22とを備えている。また、薄膜素子層25a（アクティブマトリクス基板30a）の表示領域Dには、図2に示すように、図中のX方向に互いに平行に延びるように複数のゲート線14gが設けられている。また、薄膜素子層25a（アクティブマトリクス基板30a）の表示領域Dには、図2に示すように、図中のY方向に互いに平行に延びるように複数のソース線18fが設けられている。ここで、薄膜素子層25a（アクティブマトリクス基板30a）では、図2に示すように、表示領域Dにおいて、ゲート線14g及びソース線18fが交差する部分に、すなわち、サブ画素P毎に画素内TF T9dが設けられている。なお、複数の画素外TF T9fは、図3に示すように、薄膜素子層25aの額縁領域Fに周辺回路Mの一部として設けられている。

[0019] 薄膜素子層25aでは、図3に示すように、ベース基板10上に、ベースコート膜11、第1半導体膜、第1ゲート絶縁膜（第1無機絶縁膜）13、第1金属膜、第2ゲート絶縁膜（第2無機絶縁膜）15、第2半導体膜、第2金属膜、保護絶縁膜19及び平坦化膜20が順に積層されている。ここで、ゲート線14gは、上記第1金属膜により形成されている。また、ソース線18fは、上記第2金属膜により形成されている。

[0020] ベースコート膜11、第1ゲート絶縁膜13、第2ゲート絶縁膜15及び保護絶縁膜19は、例えば、窒化シリコン、酸化シリコン、酸窒化シリコン等の無機絶縁膜の単層膜又は積層膜により構成されている。ここで、ベースコート膜11の後述する第1半導体層12a及び第3半導体層12b側、第1ゲート絶縁膜13の第1半導体層12a及び第3半導体層12b側、第2ゲート絶縁膜15の後述する第2半導体層16a及び透明電極16bc側、並びに後述するエッチストッパー層17aの第2半導体層16a側は、例えば、酸化シリコン膜により構成されている。

[0021] 画素内TF T9dは、図3に示すように、ベースコート膜11上に設けられた第3半導体層12bと、第3半導体層12b上に第1ゲート絶縁膜13を介して設けられた第2ゲート電極14bと、第2ゲート絶縁膜15上に互

いに離間するように設けられた第2ソース電極18c及び第2ドレイン電極18dとを備え、第2TFTとして設けられている。

[0022] 第3半導体層12bは、例えば、 In-Ga-Zn-O 系等の酸化物半導体からなる上記第1半導体膜により形成され、図3に示すように、互いに離間するように規定された第3ソース領域12ba及び第3ドレイン領域12bbと、第3ソース領域12ba及び第3ドレイン領域12bbの間に規定された第3チャネル領域12bcとを備えている。ここで、 In-Ga-Zn-O 系の半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga 及び Zn の割合（組成比）は、特に限定されない。また、 In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。なお、結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。また、 In-Ga-Zn-O 系の半導体の代わりに、他の酸化物半導体を含んでもよい。他の酸化物半導体としては、例えば、 In-Sn-Zn-O 系半導体（例えば、 $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ； InSnZnO ）を含んでもよい。ここで、 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）及び Zn （亜鉛）の三元系酸化物である。また、他の酸化物半導体としては、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体、 In-Ga-Zn-Sn-O 系半導体、 InGaO_3 （ ZnO ）₅、酸化マグネシウム亜鉛（ $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ ）、酸化カドミウム亜鉛（ $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ ）等を含んでもよい。なお、 Zn-O 系半導体としては、1族元素、13族元素、14族元素、15族元素、17族元素等のうち1種又は複数種の不純物元素が添加された ZnO の非晶質（アモル

ファス）状態のもの、多結晶状態のもの、非晶質状態と多結晶状態が混在する微結晶状態のもの、又は何も不純物元素が添加されていないものを用いることができる。

[0023] 第2ゲート電極14bは、図3に示すように、第3半導体層12bの第3チャネル領域12bcに重なるように設けられ、第3半導体層12bの第3ソース領域12ba及び第3ドレイン領域12bbの間の導通を制御するように構成されている。ここで、第2ゲート電極14bは、図2に示すように、ゲート線14gの側方（図中のY方向）に突出した突出部であり、ゲート線14gと同様に、第1金属膜により形成されている。

[0024] 第2ソース電極18c及び第2ドレイン電極18dは、図3に示すように、第1ゲート絶縁膜13及び第2ゲート絶縁膜15の積層膜に形成された第3コンタクトホールHc及び第4コンタクトホールHdを介して第3半導体層12bの第3ソース領域12ba及び第3ドレイン領域12bbに電氣的にそれぞれ接続されている。ここで、第2ソース電極18c及び第2ドレイン電極18dは、ソース線18fと同様に、第2金属膜により形成されている。なお、第2ソース電極18cは、図3に示すように、ソース線18fの側方（図中のX方向）に突出した突出部である。

[0025] 画素外TF T9fは、図3及び図4に示すように、ベースコート膜11上に設けられた第1半導体層12aと、第2ゲート絶縁膜15上に設けられた第2半導体層16aと、第1半導体層12a及び第2半導体層16aに第1ゲート絶縁膜13及び第2ゲート絶縁膜15を介して設けられた第1ゲート電極14aと、第2半導体層16a上に互いに離間するように設けられた第1ソース電極18a及び第1ドレイン電極18bとを備え、周辺回路M（例えば、ゲートドライバ等）を構成する第1TF Tとして設けられている。

[0026] 第1半導体層12aは、第3半導体層12bと同様に、第1半導体膜により形成されている。また、第1半導体層12aは、図3に示すように、互いに離間するように規定された第1ソース領域12aa及び第1ドレイン領域12abと、第1ソース領域12aa及び第1ドレイン領域12abの間に

規定された第1チャネル領域12acとを備えている。

[0027] 第2半導体層16aは、例えば、In-Ga-Zn-O系等の酸化物半導体からなる上記第2半導体膜により形成されている。また、第2半導体層16aは、図3に示すように、互いに離間するように規定された第2ソース領域16aa及び第2ドレイン領域16abと、第2ソース領域16aa及び第2ドレイン領域16abの間に規定された第2チャネル領域16acとを備えている。なお、第2半導体層16aは、第1半導体層12a及び第3半導体層12bと同じ組成の酸化物半導体により構成されていても、第1半導体層12a及び第3半導体層12bと異なる組成の酸化物半導体により構成されていてもよい。

[0028] 第1ゲート電極14aは、図3及び図4に示すように、第1半導体層12aの第1チャネル領域12ac、及び第2半導体層16aの第2チャネル領域16acに重なるように設けられ、第1半導体層12aの第1ソース領域12aa及び第1ドレイン領域12abの間の導通、並びに第2半導体層16aの第2ソース領域16aa及び第2ドレイン領域16abの間の導通を制御するように構成されている。ここで、第1ゲート電極14aは、ゲート線14g及び第2ゲート電極14bと同様に、第1金属膜により形成されている。

[0029] 第1ソース電極18a及び第1ドレイン電極18bは、図3及び図4に示すように、第2ソース領域16aa及び第2ドレイン領域16ab上に積層されて第2半導体層16aの第2ソース領域16aa及び第2ドレイン領域16abに電氣的にそれぞれ接続されていると共に、第1ゲート絶縁膜13及び第2ゲート絶縁膜15の積層膜に形成された第1コンタクトホールHa及び第2コンタクトホールHbを介して第1半導体層12aの第1ソース領域12aa及び第1ドレイン領域12abに電氣的にそれぞれ接続されている。ここで、第1ソース電極18a及び第1ドレイン電極18bは、ソース線18f、第2ソース電極18c及び第2ドレイン電極18dと同様に、第2金属膜により形成されている。また、第1ソース電極18a及び第1ドレ

イン電極 18b と第 2 半導体層 16a の第 2 チャネル領域 16ac との間には、図 3 に示すように、エッチストッパー層 17a が設けられている。

[0030] 平坦化膜 20 は、表示領域 D において、平坦な表面を有し、例えば、ポリイミド樹脂やアクリル樹脂等の透明な有機樹脂材料等により構成されている。

[0031] 複数の画素電極 21a は、図 3 に示すように、表示領域 D の複数のサブ画素 P に対応して、平坦化膜 20 上にマトリクス状に設けられている。ここで、各画素電極 21a は、図 3 に示すように、保護絶縁膜 19 及び平坦化膜 20 の積層膜に形成されたコンタクトホール He を介して、画素内 TFT9d の第 2 ドレイン電極 18d に電氣的に接続されている。また、各画素電極 21a には、図 2 に示すように、液晶層 60 を配向させるためのスリット S が各画素電極 21a を貫通するように設けられている。なお、各画素電極 21a は、例えば、インジウムスズ酸化物 (ITO) やインジウム亜鉛酸化物 (IZO) 等の透明導電膜により構成されている。

[0032] 各サブ画素 P の画素電極 21a のベース基板 10 側には、図 3 に示すように、上記第 2 半導体膜により形成され、導体化された透明電極 16bc が第 3 半導体層 12b と重なるように設けられている。ここで、透明電極 16bc は、図 3 に示すように、透明電極 16bc 上に設けられて上記第 2 金属膜により形成された容量線 18e に電氣的に接続されている。なお、透明電極 16bc は、保護絶縁膜 19 及び平坦化膜 20 を介して設けられた画素電極 21a と共に、補助容量を構成するように設けられている。

[0033] 配向膜 22 及び後述する配向膜 42 は、例えば、ラビング処理が表面に行われたポリイミド樹脂により構成されている。

[0034] 対向基板 50 は、図 3 に示すように、透明な樹脂基板やガラス基板等のベース基板 40 と、ベース基板 40 上に設けられたカラーフィルター層 41 と、カラーフィルター層 41 上に設けられた配向膜 42 とを備えている。ここで、カラーフィルター層 41 は、図 3 に示すように、複数のサブ画素 P に対応して設けられた複数の着色層 41a と、各着色層 41a の間に設けられた

ブラックマトリクス41bとを備えている。なお、赤色、緑色及び青色の階調表示を行う各サブ画素Pには、赤色、緑色及び緑色に着色された着色層41aがそれぞれ設けられている。

[0035] 液晶層60は、例えば、電気光学特性を有するネマチック液晶材料により構成されている。ここで、液晶層60は、アクティブマトリクス基板30a及び対向基板50を額縁領域Fで互いに接着するように枠状に設けられたシール材により、アクティブマトリクス基板30a及び対向基板50の間に封入されている。

[0036] 上記構成の液晶表示装置100aは、画素電極21aと透明電極16bcとの間に配置する液晶層60及び補助容量に所定の電圧を印加して、基板表面に沿う方向、すなわち、横方向に生じる電界によって、液晶層60の配向状態を変えることにより、各サブ画素Pを透過する光の透過率を調整して、画像表示を行うようになっている。

[0037] 次に、本実施形態の液晶表示装置100aの製造方法について、アクティブマトリクス基板30aの製造方法を中心に説明する。ここで、図5～図14は、アクティブマトリクス基板30aの製造工程の一部を連続的に示す断面図である。

[0038] <アクティブマトリクス基板製造工程>

まず、樹脂基板等のベース基板10上に、例えば、プラズマCVD (Chemical Vapor Deposition) 法により、窒化シリコン膜（厚さ50nm程度）及び酸化シリコン膜（厚さ250nm程度）を順に成膜することにより、ベースコート膜11を形成する。

[0039] 続いて、ベースコート膜11が形成された基板表面に、例えば、スパッタリング法により、 InGaZnO_4 膜（厚さ30nm程度）等の酸化物半導体からなる第1半導体膜を成膜した後に、その第1半導体膜をパターニングすることにより、図5に示すように、第1半導体層12a及び第3半導体層12b等を形成する。

[0040] その後、第1半導体層12a等が形成された基板表面に、例えば、プラズ

マCVD法により、酸化シリコン膜（厚さ100nm程度）を成膜することにより、図6に示すように、第1ゲート絶縁膜13を形成する。

[0041] さらに、第1ゲート絶縁膜13が形成された基板表面に、例えば、スパッタリング法により、モリブデン膜（厚さ100nm程度）等の第1金属膜を成膜した後に、その第1金属膜をパターニングすることにより、図7に示すように、第1ゲート電極14a、第2ゲート電極14b（及びゲート線14g）等を形成する。

[0042] 続いて、第1ゲート電極14a等が形成された基板表面に、例えば、プラズマCVD法により、窒化シリコン膜（厚さ150nm程度）及び酸化シリコン膜（厚さ100nm程度）を順に成膜することにより、図8に示すように、第2ゲート絶縁膜15を形成する。なお、第2ゲート絶縁膜15を形成した後の熱処理により、第1半導体層12aの一部を導体化して、第1半導体層12aに第1ソース領域12aa、第1ドレイン領域12ab及び第1チャネル領域12acが形成されると共に、第3半導体層12bの一部を導体化して、第3半導体層12bに第3ソース領域12ba、第3ドレイン領域12bb及び第3チャネル領域12bcが形成される。

[0043] その後、第2ゲート絶縁膜15が形成された基板表面に、例えば、スパッタリング法により、 InGaZnO_4 膜（厚さ30nm程度）等の酸化物半導体からなる第2半導体膜を成膜した後に、その第2半導体膜をパターニングすることにより、図9に示すように、第2半導体層16a及び第4半導体層16b等を形成する。

[0044] さらに、第2半導体層16a等が形成された基板表面に、例えば、プラズマCVD法により、酸化シリコン膜（厚さ100nm程度）を成膜した後に、その酸化シリコン膜、第1ゲート絶縁膜13及び第2ゲート絶縁膜15をパターニングすることにより、図10に示すように、エッチストッパー層17a、第1コンタクトホールHa、第2コンタクトホールHb、第3コンタクトホールHc及び第4コンタクトホールHd等を形成する。

[0045] 続いて、エッチストッパー層17a等が形成された基板表面に、例えば、

スパッタリング法により、チタン膜（厚さ50nm程度）、アルミニウム膜（厚さ400nm程度）及びチタン膜（厚さ200nm程度）等を順に成膜して第2金属膜を形成した後に、その第2金属膜をパターニングすることにより、図11に示すように、第1ソース電極18a、第1ドレイン電極18b、第2ソース電極18c、第2ドレイン電極18d（、ソース線18f及び容量線18e）等を形成する。

[0046] その後、第1ソース電極18a等が形成された基板表面に、例えば、プラズマCVD法により、窒化シリコン膜（厚さ300nm程度）を成膜して、保護絶縁膜19を形成し、さらに、例えば、スピコート法やスリットコート法により、アクリル系の感光性樹脂膜（厚さ2μm程度）を塗布した後に、その塗布膜に対して、プリベーク、露光、現像及びポストベークを行うことにより、図12に示すように、コンタクトホールを有する平坦化膜20を形成する。なお、第4半導体層16bは、その表面に保護絶縁膜19として成膜された窒化シリコン膜によって、酸化物半導体が還元されることにより、図12に示すように、導体化された透明電極16bcとなる。また、第2半導体層16aは、保護絶縁膜19を形成した後の熱処理により、その一部が導体化されて、第2半導体層16aに第2ソース領域16aa、第2ドレイン領域16ab及び第2チャネル領域16acが形成される。

[0047] 続いて、平坦化膜20のコンタクトホールから露出する保護絶縁膜19を除去することにより、図13に示すように、そのコンタクトホールを画素内TFT9dの第2ドレイン電極18dに到達させて、コンタクトホールHeを形成する。

[0048] さらに、コンタクトホールHeが形成された基板表面に、例えば、スパッタリング法により、ITO膜（厚さ100nm程度）等の透明導電膜を成膜した後に、その透明導電膜をパターニングすることにより、図9に示すように、画素電極21a等を形成する。

[0049] 最後に、画素電極21a等が形成された基板表面に、例えば、印刷法により、ポリイミドの樹脂膜を塗布した後に、その樹脂膜に対して、ベーキング

及びラビング処理を行うことにより、配向膜 22 を形成する。

[0050] 以上のようにして、本実施形態のアクティブマトリクス基板 30 a を製造することができる。

[0051] <対向基板製造工程>

まず、樹脂基板等のベース基板 40 上に、例えば、スピンコート法又はスリットコート法により、黒色顔料を含有する感光性樹脂を塗布し、その塗布された感光性樹脂を部分的に露光した後に、現像することによりパターンニングして、ブラックマトリクス 41 b を形成する。

[0052] 続いて、ブラックマトリクス 41 b が形成された基板表面に、例えば、赤、緑又は青に着色されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂を部分的に露光した後に、現像することによりパターンニングして、選択した色の着色層（例えば、赤色層） 41 a を形成する。さらに、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層（例えば、緑色層及び青色層） 41 a を形成して、カラーフィルター層 41 を形成する。

[0053] その後、カラーフィルター層 41 が形成された基板表面に、例えば、印刷法により、ポリイミドの樹脂膜を塗布した後に、その樹脂膜に対して、ベーキング及びラビング処理を行うことにより、配向膜 42 を形成する。

[0054] 以上のようにして、本実施形態の対向基板 50 を製造することができる。

[0055] さらに、上記のように製造されたアクティブマトリクス基板 30 a と対向基板 50 とをシール材を介して貼り合わせ、アクティブマトリクス基板 30 a 及び対向基板 50 の間に液晶材料を封入することにより、液晶層 60 を形成することにより、液晶表示装置 100 a を製造することができる。

[0056] 以上説明したように、本実施形態の液晶表示装置 100 a によれば、表示領域 D の各サブ画素 P の画素内 TFT 9 d が、リーク電流の小さい酸化物半導体からなる第 1 半導体膜により形成された第 3 半導体層 12 b と、第 3 半導体層 12 b 上に第 1 ゲート絶縁膜 13 を介して設けられた第 2 ゲート電極 14 b と、第 2 ゲート絶縁膜 15 上に互いに離間するように設けられた第 2 ソース電極 18 c 及び第 2 ドレイン電極 18 d とを備えている。ここで、第

2ソース電極18c及び第2ドレイン電極18dは、第3半導体層12bの第3ソース領域12ba及び第3ドレイン領域12bbに電氣的にそれぞれ接続されている。また、各サブ画素Pには、酸化物半導体からなる第2半導体膜により形成され、導体化された透明電極16bcが設けられている。そのため、各サブ画素Pでは、画素電極21aと透明電極16bcとの間に補助容量を形成すると共に、画素電極21a及び透明電極16bcを介して液晶層60に横電界を印加することができる。これにより、各サブ画素Pにおいて、リーク電流の小さい画素内TF T 9 dを介してソース線18fから入力されるソース信号に基づいて、画素電極21aと透明電極16bcとの間に配置する液晶層60及び補助容量に所定の電圧を印加して、液晶層60の配向状態を変えることにより、各サブ画素Pを透過する光の透過率を調整して、画像表示を確実に行うことができる。また、額縁領域Fに設けられた画素外TF T 9 fが、酸化物半導体からなる第1半導体膜により形成された第1半導体層12aと、酸化物半導体からなる第2半導体膜により形成された第2半導体層16aと、第1半導体層12a及び第2半導体層16aに第1ゲート絶縁膜13及び第2ゲート絶縁膜15を介して設けられた第1ゲート電極14aと、第2半導体層16a上に互いに離間するように設けられた第1ソース電極18a及び第1ドレイン電極18bとを備えている。ここで、第1ソース電極18aは、第1半導体層12aの第1ソース領域12aa及び第2半導体層16aの第2ソース領域16aaに電氣的に接続されている。また、第1ドレイン電極18bは、第1半導体層12aの第1ドレイン領域12ab及び第2半導体層16aの第2ドレイン領域16abに電氣的に接続されている。これにより、画素外TF T 9 fがオン状態になると、第1半導体層12aの第1チャネル領域12acと第2半導体層16aの第2チャネル領域16acとの双方にチャネル電流が流れるので、オン電流を向上させることができる。したがって、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素Pのスイッチング及び周辺回路Mに適した画素内TF T 9 d及び画素外TF T 9 fをそれ

ぞれ形成することができる。

[0057] また、本実施形態の液晶表示装置 100a によれば、画素外 TFT9f において、第 2 半導体層 16a と第 1 ソース電極 18a 及び第 1 ドレイン電極 18b との間には、酸化シリコン膜により形成されたエッチストッパー層 17a が設けられているので、エッチストッパー層 17a 上に窒化シリコン膜からなる保護絶縁膜 19 が積層されても、第 2 半導体層 16a の第 2 チャンネル領域 16ac が導体化されない。これに対して、画素内 TFT9d では、第 4 半導体層 16b 上に窒化シリコン膜からなる保護絶縁膜 19 が積層されるので、第 4 半導体層 16b が導体化されて透明電極 16bc が形成される。これにより、酸化物半導体からなる第 2 半導体膜を用いて、第 2 半導体層 16a と、導体化された透明電極 16bc とを容易に作り分けることができる。

[0058] 《第 2 の実施形態》

図 15 は、本発明に係る表示装置の第 2 の実施形態を示している。ここで、図 15 は、本実施形態の液晶表示装置を構成するアクティブマトリクス基板 30b の表示領域 D の断面図である。なお、以下の各実施形態において、図 1 ～ 図 14 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0059] 上記第 1 の実施形態では、画素内 TFT9d の第 3 半導体層 12b と透明電極 16bc とを縦方向（基板厚さ方向）に配置させたアクティブマトリクス基板 30a を備えた液晶表示装置 100a を例示したが、本実施形態では、画素内 TFT9db の第 3 半導体層 16c と透明電極 16d とを横方向（基板表面に沿う方向）に配置させたアクティブマトリクス基板 30b を備えた液晶表示装置を例示する。

[0060] 本実施形態の液晶表示装置は、上記第 1 の実施形態の液晶表示装置 100a と同様に、例えば、矩形状に設けられた画像表示を行う表示領域 D と、表示領域 D の周囲に設けられた額縁領域 F とを備えている。

[0061] また、本実施形態の液晶表示装置は、アクティブマトリクス基板 30b（

図15参照)と、アクティブマトリクス基板30bに対向するように設けられた対向基板50と、アクティブマトリクス基板30b及び対向基板50の間に設けられた液晶層60とを備えている。

[0062] アクティブマトリクス基板30bは、図15に示すように、ベース基板10と、ベース基板10上に設けられた薄膜素子層25bと備えている。

[0063] 薄膜素子層25bは、図15に示すように、ベース基板10上に設けられたベースコート膜11と、ベースコート膜11上に設けられた複数の画素内TF T 9 d b及び複数の画素外TF T 9 f (図3参照)と、複数の画素内TF T 9 d b及び複数の画素外TF T 9 f上に順に設けられた保護絶縁膜19及び平坦化膜20と、平坦化膜20上に設けられた複数の画素電極21bと、複数の画素電極21b上に設けられた配向膜22とを備えている。また、薄膜素子層25bの表示領域Dには、上記第1の実施形態の薄膜素子層25aと同様に、複数のゲート線14g及び複数のソース線18fが設けられている。ここで、薄膜素子層25bでは、表示領域Dにおいて、ゲート線14g及びソース線18fが交差する部分毎に画素内TF T 9 d bが設けられ、額縁領域Fにおいて、画素外TF T 9 fが設けられている。

[0064] 薄膜素子層25bでは、上記第1の実施形態の薄膜素子層25aと同様に、図15に示すように、ベース基板10上に、ベースコート膜11、第1半導体膜、第1ゲート絶縁膜(第1無機絶縁膜)13、第1金属膜、第2ゲート絶縁膜(第2無機絶縁膜)15、第2半導体膜、第2金属膜、保護絶縁膜19及び平坦化膜20が順に積層されている。

[0065] 画素内TF T 9 d bは、図15に示すように、第1ゲート絶縁膜13上に設けられた第2ゲート電極14bと、第2ゲート電極14b上に第2ゲート絶縁膜15を介して設けられた第3半導体層16cと、第3半導体層16c上に互いに離間するように設けられた第2ソース電極18cb及び第2ドレイン電極18dbとを備え、第2TF Tとして設けられている。

[0066] 第3半導体層16cは、例えば、In-Ga-Zn-O系等の酸化物半導体からなる上記第2半導体膜により形成され、図15に示すように、互いに

離間するように規定された第3ソース領域16ca及び第3ドレイン領域16cbと、第3ソース領域16ca及び第3ドレイン領域16cbの間に規定された第3チャネル領域16ccとを備えている。

[0067] 第2ゲート電極14bは、図15に示すように、第3半導体層16cの第3チャネル領域16ccに重なるように設けられ、第3半導体層16cの第3ソース領域16ca及び第3ドレイン領域16cbの間の導通を制御するように構成されている。

[0068] 第2ソース電極18cb及び第2ドレイン電極18dbは、図15に示すように、第3ソース領域16ca及び第3ドレイン領域16cb上に積層されて第3半導体層16cの第3ソース領域16ca及び第3ドレイン領域16cbに電氣的にそれぞれ接続されている。ここで、第2ソース電極18cb及び第2ドレイン電極18dbは、ソース線18fと同様に、第2金属膜により形成されている。また、第3半導体層16cと第2ソース電極18cb及び第2ドレイン電極18dbとの間には、エッチストッパー層17bが設けられている。なお、第2ソース電極18cbは、ソース線18fの側方に突出した突出部である。

[0069] 複数の画素電極21bは、図15に示すように、表示領域Dの複数のサブ画素Pに対応して、平坦化膜20上にマトリクス状に設けられている。ここで、各画素電極21bは、図15に示すように、保護絶縁膜19及び平坦化膜20の積層膜に形成されたコンタクトホールHeを介して、画素内TF9dの第2ドレイン電極18dbに電氣的に接続されている。また、各画素電極21bには、上記第1の実施形態の画素電極21aと同様に、液晶層60を配向させるためのスリットSが各画素電極21bを貫通するように設けられている。なお、各画素電極21bは、例えば、インジウムスズ酸化物（ITO）やインジウム亜鉛酸化物（IZO）等の透明導電膜により構成されている。

[0070] 各サブ画素Pの画素電極21bのベース基板10側には、図15に示すように、上記第2半導体膜により形成され、導体化された透明電極16dが第

3半導体層16cと重ならないように設けられている。ここで、透明電極16dは、図15に示すように、透明電極16d上に設けられて上記第2金属膜により形成された容量線18ebに電氣的に接続されている。なお、透明電極16dは、保護絶縁膜19及び平坦化膜20を介して設けられた画素電極21bと共に、補助容量を構成するように設けられている。

[0071] 本実施形態の液晶表示装置は、画素電極21bと透明電極16dとの間に配置する液晶層60及び補助容量に所定の電圧を印加して、横方向に生じる電界によって、液晶層60の配向状態を変えることにより、各サブ画素Pを透過する光の透過率を調整して、画像表示を行うように構成されている。

[0072] 本実施形態の液晶表示装置は、上記第1の実施形態のアクティブマトリクス基板製造工程において、第1半導体層12aを形成する際に第3半導体層12bを形成せず、第2半導体層16aを形成する際に、第3半導体層16c、及び透明電極16dとなる第4半導体層をも形成し、エッチストッパー層17aを形成する際にエッチストッパー層17bをも形成し、その他のパターン形状を適宜変更することにより、製造することができる。

[0073] 以上説明したように、本実施形態のアクティブマトリクス基板30bを備えた液晶表示装置によれば、表示領域Dの各サブ画素Pの画素内TF T9dbが、リーク電流の小さい酸化物半導体からなる第2半導体膜により形成された第3半導体層16cと、第3半導体層16cに第2ゲート絶縁膜15を介して設けられた第2ゲート電極14bと、第3半導体層16c上に互いに離間するように設けられた第2ソース電極18cb及び第2ドレイン電極18dbとを備えている。ここで、第2ソース電極18cb及び第2ドレイン電極18dbは、第3半導体層16cの第3ソース領域16ca及び第3ドレイン領域16cbに電氣的にそれぞれ接続されている。また、各サブ画素Pには、酸化物半導体からなる第2半導体膜により形成され、導体化された透明電極16dが設けられている。そのため、各サブ画素Pでは、画素電極21bと透明電極16dとの間に補助容量を形成すると共に、画素電極21b及び透明電極16dを介して液晶層60に横電界を印加することができる。

。これにより、各サブ画素Pにおいて、リーク電流の小さい画素内TF T 9 d bを介してソース線1 8 fから入力されるソース信号に基づいて、画素電極2 1 bと透明電極1 6 dとの間に配置する液晶層6 0及び補助容量に所定の電圧を印加して、液晶層6 0の配向状態を変えることにより、各サブ画素Pを透過する光の透過率を調整して、画像表示を確実に行うことができる。

また、額縁領域Fに設けられた画素外TF T 9 fが、酸化物半導体からなる第1半導体膜により形成された第1半導体層1 2 aと、酸化物半導体からなる第2半導体膜により形成された第2半導体層1 6 aと、第1半導体層1 2 a及び第2半導体層1 6 aに第1ゲート絶縁膜1 3及び第2ゲート絶縁膜1 5を介して設けられた第1ゲート電極1 4 aと、第2半導体層1 6 a上に互いに離間するように設けられた第1ソース電極1 8 a及び第1ドレイン電極1 8 bとを備えている。ここで、第1ソース電極1 8 aは、第1半導体層1 2 aの第1ソース領域1 2 a a及び第2半導体層1 6 aの第2ソース領域1 6 a aに電氣的に接続されている。また、第1ドレイン電極1 8 bは、第1半導体層1 2 aの第1ドレイン領域1 2 a b及び第2半導体層1 6 aの第2ドレイン領域1 6 a bに電氣的に接続されている。これにより、画素外TF T 9 fがオン状態になると、第1半導体層1 2 aの第1チャネル領域1 2 a cと第2半導体層1 6 aの第2チャネル領域1 6 a cとの双方にチャネル電流が流れるので、オン電流を向上させることができる。したがって、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素Pのスイッチング及び周辺回路Mに適した画素内TF T 9 d b及び画素外TF T 9 fをそれぞれ形成することができる。

[0074] また、本実施形態のアクティブマトリクス基板3 0 bを備えた液晶表示装置によれば、画素外TF T 9 fにおいて、第2半導体層1 6 aと第1ソース電極1 8 a及び第1ドレイン電極1 8 bとの間には、酸化シリコン膜により形成されたエッチストッパー層1 7 aが設けられているので、エッチストッパー層1 7 a上に窒化シリコン膜からなる保護絶縁膜1 9が積層されても、第2半導体層1 6 aの第2チャネル領域1 6 a cが導体化されない。また、

画素内 T F T 9 d b において、第 3 半導体層 1 6 c と第 2 ソース電極 1 8 c b 及び第 2 ドレイン電極 1 8 d b との間には、エッチストッパー層 1 7 b が設けられているので、エッチストッパー層 1 7 b 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されても、第 3 半導体層 1 6 c の第 3 チャネル領域 1 6 c c が導体化されない。これに対して、各サブ画素 P では、透明電極 1 6 d 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されるので、第 4 半導体層が導体化されて透明電極 1 6 d が形成される。これにより、酸化物半導体からなる第 2 半導体膜を用いて、第 2 半導体層 1 6 a 及び第 3 半導体層 1 6 c と、導体化された透明電極 1 6 d とを容易に作り分けることができる。

[0075] 《第 3 の実施形態》

図 1 6 は、本発明に係る表示装置の第 3 の実施形態を示している。ここで、図 1 6 は、本実施形態の液晶表示装置を構成するアクティブマトリクス基板 3 0 c の表示領域 D の断面図である。

[0076] 上記第 1 の実施形態では、画素内 T F T 9 d の第 3 半導体層 1 2 b と透明電極 1 6 b c とを縦方向に配置させたアクティブマトリクス基板 3 0 a を備えた液晶表示装置 1 0 0 a を例示したが、本実施形態では、画素内 T F T 9 d b の第 3 半導体層 1 6 c と透明電極 1 2 t とを横方向に配置させたアクティブマトリクス基板 3 0 c を備えた液晶表示装置を例示する。

[0077] 本実施形態の液晶表示装置は、上記第 1 の実施形態の液晶表示装置 1 0 0 a と同様に、例えば、矩形状に設けられた画像表示を行う表示領域 D と、表示領域 D の周囲に設けられた額縁領域 F とを備えている。

[0078] また、本実施形態の液晶表示装置は、アクティブマトリクス基板 3 0 c (図 1 6 参照) と、アクティブマトリクス基板 3 0 c に対向するように設けられた対向基板 5 0 と、アクティブマトリクス基板 3 0 c 及び対向基板 5 0 の間に設けられた液晶層 6 0 とを備えている。

[0079] アクティブマトリクス基板 3 0 c は、図 1 6 に示すように、ベース基板 1 0 と、ベース基板 1 0 上に設けられた薄膜素子層 2 5 c と備えている。

[0080] 薄膜素子層 25 c は、図 16 に示すように、ベース基板 10 上に設けられたベースコート膜 11 と、ベースコート膜 11 上に設けられた複数の画素内 TFT 9 d b 及び複数の画素外 TFT 9 f（図 3 参照）と、複数の画素内 TFT 9 d b 及び複数の画素外 TFT 9 f 上に順に設けられた保護絶縁膜 19 及び平坦化膜 20 と、平坦化膜 20 上に設けられた複数の画素電極 21 b と、複数の画素電極 21 b 上に設けられた配向膜 22 とを備えている。また、薄膜素子層 25 c の表示領域 D には、上記第 1 の実施形態の薄膜素子層 25 a と同様に、複数のゲート線 14 g 及び複数のソース線 18 f が設けられている。ここで、薄膜素子層 25 c では、表示領域 D において、ゲート線 14 g 及びソース線 18 f が交差する部分毎に画素内 TFT 9 d b が設けられ、額縁領域 F において、画素外 TFT 9 f が設けられている。

[0081] 薄膜素子層 25 c では、上記第 1 の実施形態の薄膜素子層 25 a と同様に、図 16 に示すように、ベース基板 10 上に、ベースコート膜 11、第 1 半導体膜、第 1 ゲート絶縁膜（第 1 無機絶縁膜）13、第 1 金属膜、第 2 ゲート絶縁膜（第 2 無機絶縁膜）15、第 2 半導体膜、第 2 金属膜、保護絶縁膜 19 及び平坦化膜 20 が順に積層されている。

[0082] 各サブ画素 P の画素電極 21 b のベース基板 10 側には、図 16 に示すように、上記第 1 半導体膜により形成され、導体化された透明電極 12 t が第 3 半導体層 16 c と重ならないように設けられている。ここで、透明電極 12 t は、図 16 に示すように、第 4 半導体層 12 d の第 1 ゲート絶縁膜 13 から露出する部分である。また、透明電極 12 t は、図 16 に示すように、透明電極 12 t 上に設けられて上記第 2 金属膜により形成された容量線 18 e b に電氣的に接続されている。なお、透明電極 12 t は、保護絶縁膜 19 及び平坦化膜 20 を介して設けられた画素電極 21 b と共に、補助容量を構成するように設けられている。

[0083] 本実施形態の液晶表示装置は、画素電極 21 b と透明電極 12 t との間に配置する液晶層 60 及び補助容量に所定の電圧を印加して、横方向に生じる電界によって、液晶層 60 の配向状態を変えることにより、各サブ画素 P を

透過する光の透過率を調整して、画像表示を行うように構成されている。

[0084] 本実施形態の液晶表示装置は、上記第1の実施形態のアクティブマトリクス基板製造工程において、第1半導体層12aを形成する際に（透明電極12tとなる）第4半導体層12dをも形成し、第2半導体層16aを形成する際に、第3半導体層16cをも形成し、エッチストッパー層17aを形成する際にエッチストッパー層17bをも形成し、その他のパターン形状を適宜変更することにより、製造することができる。

[0085] 以上説明したように、本実施形態のアクティブマトリクス基板30cを備えた液晶表示装置によれば、表示領域Dの各サブ画素Pの画素内TF T9dbが、リーク電流の小さい酸化物半導体からなる第2半導体膜により形成された第3半導体層16cと、第3半導体層16cに第2ゲート絶縁膜15を介して設けられた第2ゲート電極14bと、第3半導体層16c上に互いに離間するように設けられた第2ソース電極18cb及び第2ドレイン電極18dbとを備えている。ここで、第2ソース電極18cb及び第2ドレイン電極18dbは、第3半導体層16cの第3ソース領域16ca及び第3ドレイン領域16cbに電氣的にそれぞれ接続されている。また、各サブ画素Pには、酸化物半導体からなる第1半導体膜により形成され、導体化された透明電極12tが設けられている。そのため、各サブ画素Pでは、画素電極21bと透明電極12tとの間に補助容量を形成すると共に、画素電極21b及び透明電極12tを介して液晶層60に横電界を印加することができる。これにより、各サブ画素Pにおいて、リーク電流の小さい画素内TF T9dbを介してソース線18fから入力されるソース信号に基づいて、画素電極21bと透明電極12tとの間に配置する液晶層60及び補助容量に所定の電圧を印加して、液晶層60の配向状態を変えることにより、各サブ画素Pを透過する光の透過率を調整して、画像表示を確実に行うことができる。また、額縁領域Fに設けられた画素外TF T9fが、酸化物半導体からなる第1半導体膜により形成された第1半導体層12aと、酸化物半導体からなる第2半導体膜により形成された第2半導体層16aと、第1半導体層12

a 及び第2半導体層 1 6 a に第1ゲート絶縁膜 1 3 及び第2ゲート絶縁膜 1 5 を介して設けられた第1ゲート電極 1 4 a と、第2半導体層 1 6 a 上に互いに離間するように設けられた第1ソース電極 1 8 a 及び第1ドレイン電極 1 8 b とを備えている。ここで、第1ソース電極 1 8 a は、第1半導体層 1 2 a の第1ソース領域 1 2 a a 及び第2半導体層 1 6 a の第2ソース領域 1 6 a a に電氣的に接続されている。また、第1ドレイン電極 1 8 b は、第1半導体層 1 2 a の第1ドレイン領域 1 2 a b 及び第2半導体層 1 6 a の第2ドレイン領域 1 6 a b に電氣的に接続されている。これにより、画素外 T F T 9 f がオン状態になると、第1半導体層 1 2 a の第1チャネル領域 1 2 a c と第2半導体層 1 6 a の第2チャネル領域 1 6 a c との双方にチャネル電流が流れるので、オン電流を向上させることができる。したがって、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素 P のスイッチング及び周辺回路 M に適した画素内 T F T 9 d b 及び画素外 T F T 9 f をそれぞれ形成することができる。

[0086] また、本実施形態のアクティブマトリクス基板 3 0 c を備えた液晶表示装置によれば、画素外 T F T 9 f において、第2半導体層 1 6 a と第1ソース電極 1 8 a 及び第1ドレイン電極 1 8 b との間には、酸化シリコン膜により形成されたエッチストッパー層 1 7 a が設けられているので、エッチストッパー層 1 7 a 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されても、第2半導体層 1 6 a の第2チャネル領域 1 6 a c が導体化されない。また、画素内 T F T 9 d b において、第3半導体層 1 6 c と第2ソース電極 1 8 c b 及び第2ドレイン電極 1 8 d b との間には、エッチストッパー層 1 7 b が設けられているので、エッチストッパー層 1 7 b 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されても、第3半導体層 1 6 c の第3チャネル領域 1 6 c c が導体化されない。これに対して、各サブ画素 P では、透明電極 1 2 t 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されるので、第4半導体層 1 2 d の大部分が導体化されて透明電極 1 2 t が形成される。これにより、酸化物半導体からなる第1半導体膜及び第2半導体膜を用いて、第2

半導体層 1 6 a 及び第 3 半導体層 1 6 c と、導体化された透明電極 1 2 t とを容易に作り分けることができる。

[0087] 《第 4 の実施形態》

図 1 7 は、本発明に係る表示装置の第 4 の実施形態を示している。ここで、図 1 7 は、本実施形態の液晶表示装置を構成するアクティブマトリクス基板 3 0 d の表示領域 D の断面図である。

[0088] 上記第 1 の実施形態では、画素内 T F T 9 d の第 3 半導体層 1 2 b と透明電極 1 6 b c とを縦方向に配置させたアクティブマトリクス基板 3 0 a を備えた液晶表示装置 1 0 0 a を例示したが、本実施形態では、画素内 T F T 9 d の第 3 半導体層 1 2 b と透明電極 1 2 t とを横方向に配置させたアクティブマトリクス基板 3 0 d を備えた液晶表示装置を例示する。

[0089] 本実施形態の液晶表示装置は、上記第 1 の実施形態の液晶表示装置 1 0 0 a と同様に、例えば、矩形状に設けられた画像表示を行う表示領域 D と、表示領域 D の周囲に設けられた額縁領域 F とを備えている。

[0090] また、本実施形態の液晶表示装置は、アクティブマトリクス基板 3 0 d (図 1 7 参照) と、アクティブマトリクス基板 3 0 d に対向するように設けられた対向基板 5 0 と、アクティブマトリクス基板 3 0 d 及び対向基板 5 0 の間に設けられた液晶層 6 0 とを備えている。

[0091] アクティブマトリクス基板 3 0 d は、図 1 7 に示すように、ベース基板 1 0 と、ベース基板 1 0 上に設けられた薄膜素子層 2 5 d と備えている。

[0092] 薄膜素子層 2 5 d は、図 1 7 に示すように、ベース基板 1 0 上に設けられたベースコート膜 1 1 と、ベースコート膜 1 1 上に設けられた複数の画素内 T F T 9 d 及び複数の画素外 T F T 9 f (図 3 参照) と、複数の画素内 T F T 9 d 及び複数の画素外 T F T 9 f 上に順に設けられた保護絶縁膜 1 9 及び平坦化膜 2 0 と、平坦化膜 2 0 上に設けられた複数の画素電極 2 1 b と、複数の画素電極 2 1 b 上に設けられた配向膜 2 2 とを備えている。また、薄膜素子層 2 5 d の表示領域 D には、上記第 1 の実施形態の薄膜素子層 2 5 a と同様に、複数のゲート線 1 4 g 及び複数のソース線 1 8 f が設けられている

。ここで、薄膜素子層 25 d では、表示領域 D において、ゲート線 14 g 及びソース線 18 f が交差する部分毎に画素内 TFT 9 d が設けられ、額縁領域 F において、画素外 TFT 9 f が設けられている。

[0093] 薄膜素子層 25 d では、上記第 1 の実施形態の薄膜素子層 25 a と同様に、図 17 に示すように、ベース基板 10 上に、ベースコート膜 11、第 1 半導体膜、第 1 ゲート絶縁膜（第 1 無機絶縁膜）13、第 1 金属膜、第 2 ゲート絶縁膜（第 2 無機絶縁膜）15、第 2 半導体膜、第 2 金属膜、保護絶縁膜 19 及び平坦化膜 20 が順に積層されている。

[0094] 各サブ画素 P の画素電極 21 b のベース基板 10 側には、図 17 に示すように、上記第 1 半導体膜により形成され、導体化された透明電極 12 t が第 3 半導体層 12 b と重ならないように設けられている。

[0095] 本実施形態の液晶表示装置は、画素電極 21 b と透明電極 12 t との間に配置する液晶層 60 及び補助容量に所定の電圧を印加して、横方向に生じる電界によって、液晶層 60 の配向状態を変えることにより、各サブ画素 P を透過する光の透過率を調整して、画像表示を行うように構成されている。

[0096] 本実施形態の液晶表示装置は、上記第 1 の実施形態のアクティブマトリクス基板製造工程において、第 1 半導体層 12 a を形成する際に（透明電極 12 t となる）第 4 半導体層 12 d をも形成し、第 2 半導体層 16 a を形成する際に、第 4 半導体層 16 b を形成せず、その他のパターン形状を適宜変更することにより、製造することができる。

[0097] 以上説明したように、本実施形態のアクティブマトリクス基板 30 d を備えた液晶表示装置によれば、表示領域 D の各サブ画素 P の画素内 TFT 9 d が、リーク電流の小さい酸化物半導体からなる第 1 半導体膜により形成された第 3 半導体層 12 b と、第 3 半導体層 12 b 上に第 1 ゲート絶縁膜 13 を介して設けられた第 2 ゲート電極 14 b と、第 2 ゲート絶縁膜 15 上に互いに離間するように設けられた第 2 ソース電極 18 c 及び第 2 ドレイン電極 18 d とを備えている。ここで、第 2 ソース電極 18 c 及び第 2 ドレイン電極 18 d は、第 3 半導体層 12 b の第 3 ソース領域 12 b a 及び第 3 ドレイン

領域 1 2 b b に電氣的にそれぞれ接続されている。また、各サブ画素 P には、酸化物半導体からなる第 1 半導体膜により形成され、導体化された透明電極 1 2 t が設けられている。そのため、各サブ画素 P では、画素電極 2 1 b と透明電極 1 2 t との間に補助容量を形成すると共に、画素電極 2 1 b 及び透明電極 1 2 t を介して液晶層 6 0 に横電界を印加することができる。これにより、各サブ画素 P において、リーク電流の小さい画素内 T F T 9 d を介してソース線 1 8 f から入力されるソース信号に基づいて、画素電極 2 1 b と透明電極 1 2 t との間に配置する液晶層 6 0 及び補助容量に所定の電圧を印加して、液晶層 6 0 の配向状態を変えることにより、各サブ画素 P を透過する光の透過率を調整して、画像表示を確実に行うことができる。また、額縁領域 F に設けられた画素外 T F T 9 f が、酸化物半導体からなる第 1 半導体膜により形成された第 1 半導体層 1 2 a と、酸化物半導体からなる第 2 半導体膜により形成された第 2 半導体層 1 6 a と、第 1 半導体層 1 2 a 及び第 2 半導体層 1 6 a に第 1 ゲート絶縁膜 1 3 及び第 2 ゲート絶縁膜 1 5 を介して設けられた第 1 ゲート電極 1 4 a と、第 2 半導体層 1 6 a 上に互いに離間するように設けられた第 1 ソース電極 1 8 a 及び第 1 ドレイン電極 1 8 b とを備えている。ここで、第 1 ソース電極 1 8 a は、第 1 半導体層 1 2 a の第 1 ソース領域 1 2 a a 及び第 2 半導体層 1 6 a の第 2 ソース領域 1 6 a a に電氣的に接続されている。また、第 1 ドレイン電極 1 8 b は、第 1 半導体層 1 2 a の第 1 ドレイン領域 1 2 a b 及び第 2 半導体層 1 6 a の第 2 ドレイン領域 1 6 a b に電氣的に接続されている。これにより、画素外 T F T 9 f がオン状態になると、第 1 半導体層 1 2 a の第 1 チャネル領域 1 2 a c と第 2 半導体層 1 6 a の第 2 チャネル領域 1 6 a c との双方にチャネル電流が流れるので、オン電流を向上させることができる。したがって、ポリシリコン半導体からなる半導体層を用いずに酸化物半導体からなる半導体層を用いて、各サブ画素 P のスイッチング及び周辺回路 M に適した画素内 T F T 9 d 及び画素外 T F T 9 f をそれぞれ形成することができる。

[0098] また、本実施形態のアクティブマトリクス基板 3 0 d を備えた液晶表示装

置によれば、画素外 T F T 9 f において、第 2 半導体層 1 6 a と第 1 ソース電極 1 8 a 及び第 1 ドレイン電極 1 8 b との間には、酸化シリコン膜により形成されたエッチストッパー層 1 7 a が設けられているので、エッチストッパー層 1 7 a 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されても、第 2 半導体層 1 6 a の第 2 チャネル領域 1 6 a c が導体化されない。これに対して、各サブ画素 P では、透明電極 1 2 t 上に窒化シリコン膜からなる保護絶縁膜 1 9 が積層されるので、第 4 半導体層 1 2 d の大部分が導体化されて透明電極 1 2 t が形成される。これにより、酸化物半導体からなる第 1 半導体膜及び第 2 半導体膜を用いて、第 2 半導体層 1 6 a と、導体化された透明電極 1 2 t とを容易に作り分けることができる。

[0099] 《その他の実施形態》

上記各実施形態では、画素電極に接続された T F T の電極をドレイン電極とした表示装置を例示したが、本発明は、画素電極に接続された T F T の電極をソース電極と呼ぶ表示装置にも適用することができる。

[0100] また、上記各実施形態では、表示装置として液晶表示装置を例に挙げて説明したが、本発明は、例えば、各サブ画素の透明電極を陽極とすることにより、電流によって駆動される複数の発光素子を備えた表示装置に適用することができ、例えば、量子ドット含有層を用いた発光素子である Q L E D (Quantum-dot light emitting diode) を備えた表示装置に適用することができる。

産業上の利用可能性

[0101] 以上説明したように、本発明は、フレキシブルな表示装置について有用である。

符号の説明

[0102] D	表示領域
F	額縁領域
H a	第 1 コンタクトホール
H b	第 2 コンタクトホール

P	サブ画素
9 d, 9 d b, 9 d d	画素内 T F T (第 2 薄膜トランジスタ)
9 f	画素外 T F T (第 1 薄膜トランジスタ)
1 0	樹脂基板 (ベース基板)
1 2 a	第 1 半導体層
1 2 a a	第 1 ソース領域
1 2 a b	第 1 ドレイン領域
1 2 a c	第 1 チャネル領域
1 2 b	第 3 半導体層
1 2 b a	第 3 ソース領域
1 2 b b	第 3 ドレイン領域
1 2 b c	第 3 チャネル領域
1 2 d	第 4 半導体層)
1 2 t	透明電極
1 3	第 1 ゲート絶縁膜
1 4 a	第 1 ゲート電極
1 4 b	第 2 ゲート電極
1 5	第 2 ゲート絶縁膜
1 6 a	第 2 半導体層
1 6 a a	第 2 ソース領域
1 6 a b	第 2 ドレイン領域
1 6 a c	第 2 チャネル領域
1 6 b	第 4 半導体層
1 6 b c	透明電極
1 6 c	第 3 半導体層
1 6 c a	第 3 ソース領域
1 6 c b	第 3 ドレイン領域
1 6 c c	第 3 チャネル領域

17a	エッチストップパー層
18a	第1ソース電極
18b	第1ドレイン電極
18c, 18cb	第2ソース電極
18d, 18db	第2ドレイン電極
18e	容量線
21a, 21b, 21c, 21d	画素電極
25a, 25b, 25c, 25d	薄膜素子層
50	対向基板
60	液晶層
100a	液晶表示装置

請求の範囲

[請求項1]

ベース基板と、

上記ベース基板上に設けられ、酸化物半導体からなる第1半導体膜、第1無機絶縁膜、第1金属膜、第2無機絶縁膜、酸化物半導体からなる第2半導体膜、及び第2金属膜が順に積層された薄膜素子層とを備え、

上記薄膜素子層には、上記第1半導体膜により形成された第1半導体層と、上記第2半導体膜により形成された第2半導体層とを有する第1薄膜トランジスタが表示領域の周囲の額縁領域に設けられ、上記第1半導体膜又は上記第2半導体膜により形成された第3半導体層を有する第2薄膜トランジスタが上記表示領域を構成するサブ画素毎に設けられ、

上記第1薄膜トランジスタは、互いに離間するように第1ソース領域及び第1ドレイン領域が規定されて該第1ソース領域及び該第1ドレイン領域の間に第1チャネル領域が規定された上記第1半導体層と、互いに離間するように第2ソース領域及び第2ドレイン領域が規定されて該第2ソース領域及び該第2ドレイン領域の間に第2チャネル領域が規定された上記第2半導体層と、上記第1半導体層及び上記第2半導体層に上記第1無機絶縁膜及び上記第2無機絶縁膜を介して設けられ、上記第1金属膜により形成された第1ゲート電極と、上記第2金属膜により設けられ、上記第1ソース領域及び上記第2ソース領域に電氣的に接続された第1ソース電極と、該第1ソース電極と離間するように上記第2金属膜により設けられ、上記第1ドレイン領域及び上記第2ドレイン領域に電氣的に接続された第1ドレイン電極とを備え、

上記第2薄膜トランジスタは、互いに離間するように第3ソース領域及び第3ドレイン領域が規定されて該第3ソース領域及び該第3ドレイン領域の間に第3チャネル領域が規定された上記第3半導体層と

、該第3半導体層に上記第1無機絶縁膜又は上記第2無機絶縁膜を介して設けられ、上記第1金属膜により形成された第2ゲート電極と、互いに離間するように上記第2金属膜により設けられ、上記第3ソース領域及び上記第3ドレイン領域に電氣的にそれぞれ接続された第2ソース電極及び第2ドレイン電極とを備え、

上記サブ画素には、上記第1半導体膜又は上記第2半導体膜により形成され、導体化された透明電極が設けられていることを特徴とする表示装置。

[請求項2] 請求項1に記載された表示装置において、

上記第1薄膜トランジスタは、上記第2半導体層と上記第1ソース電極及び上記第1ドレイン電極との間に設けられたエッチストッパー層を備えていることを特徴とする表示装置。

[請求項3] 請求項2に記載された表示装置において、

上記エッチストッパー層の少なくとも上記第2半導体層側は、酸化シリコン膜により形成されていることを特徴とする表示装置。

[請求項4] 請求項1～3の何れか1つに記載された表示装置において、

上記第1ソース電極は、上記第1無機絶縁膜及び上記第2無機絶縁膜の積層膜に形成された第1コンタクトホールを介して上記第1ソース領域に電氣的に接続されていると共に、上記第2ソース領域上に積層されて該第2ソース領域に電氣的に接続され、

上記第1ドレイン電極は、上記第1無機絶縁膜及び上記第2無機絶縁膜の積層膜に形成された第2コンタクトホールを介して上記第1ドレイン領域に電氣的に接続されていると共に、上記第2ドレイン領域上に積層されて該第2ドレイン領域に電氣的に接続されていることを特徴とする表示装置。

[請求項5] 請求項1～4の何れか1つに記載された表示装置において、

上記ベース基板の上記薄膜素子層側に該ベース基板と対向するように設けられた対向基板と、

上記ベース基板及び上記対向基板の間に設けられた液晶層とを備え、

上記薄膜素子層は、上記サブ画素において、上記液晶層側に設けられて上記第2ドレイン電極に電氣的に接続された画素電極を備え、

上記画素電極及び上記透明電極を介して上記液晶層に電界を印加するように構成されていることを特徴とする表示装置。

[請求項6] 請求項5に記載された表示装置において、

上記透明電極には、上記第2金属膜により形成された容量線が電氣的に接続されていることを特徴とする表示装置。

[請求項7] 請求項1～6の何れか1つに記載された表示装置において、

上記第3半導体層は、上記第1半導体膜により形成され、

上記透明電極は、上記第2半導体膜により構成され、

上記透明電極は、上記第3半導体層と重なるように設けられていることを特徴とする表示装置。

[請求項8] 請求項1～6の何れか1つに記載された表示装置において、

上記第3半導体層及び上記透明電極は、上記第2半導体膜により構成され、

上記透明電極は、上記第3半導体層と重ならないように設けられていることを特徴とする表示装置。

[請求項9] 請求項1～6の何れか1つに記載された表示装置において、

上記第3半導体層は、上記第2半導体膜により形成され、

上記透明電極は、上記第1半導体膜により構成され、

上記透明電極は、上記第3半導体層と重ならないように設けられていることを特徴とする表示装置。

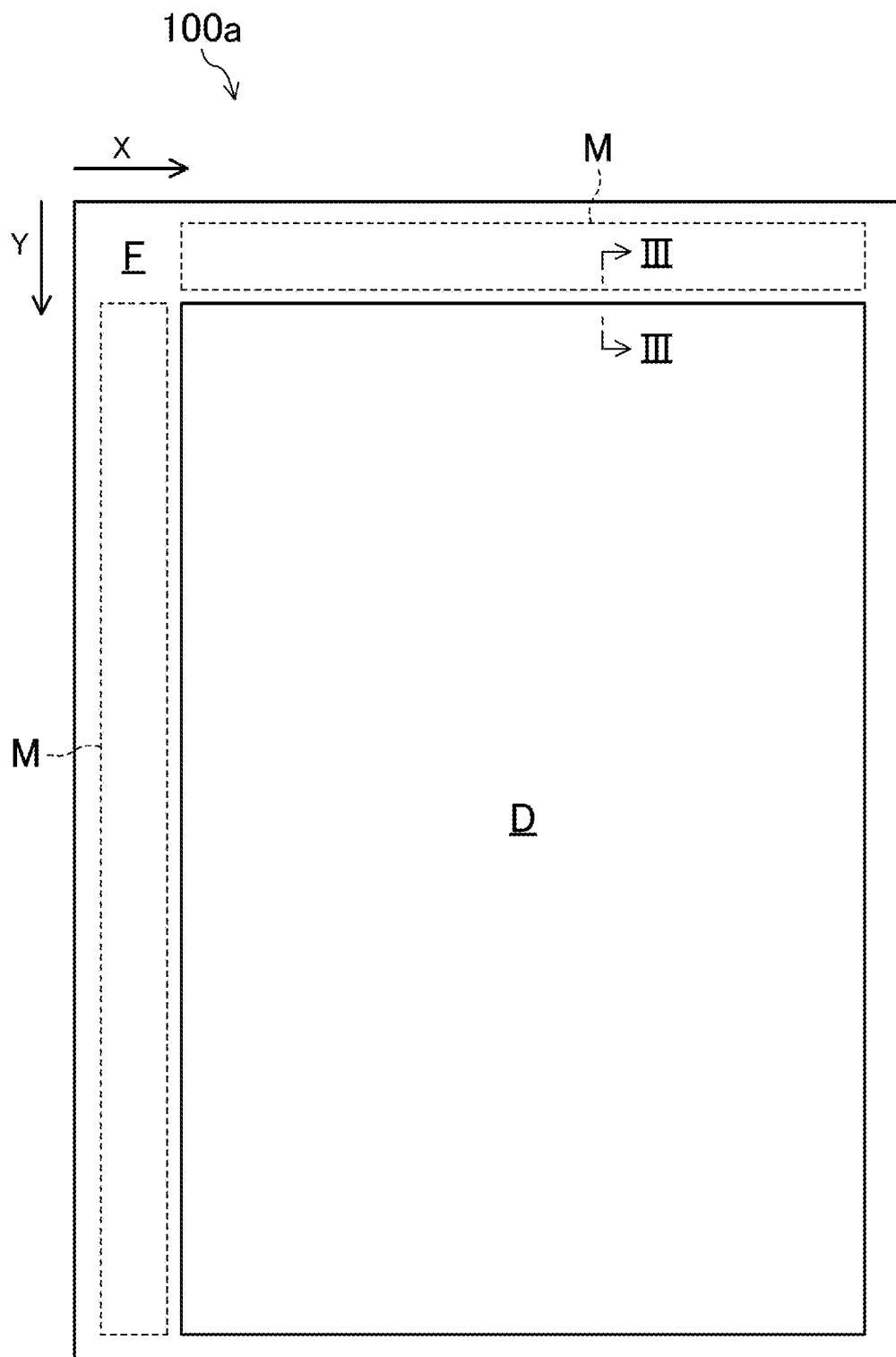
[請求項10] 請求項1～6の何れか1つに記載された表示装置において、

上記第3半導体層及び上記透明電極は、上記第1半導体膜により構成され、

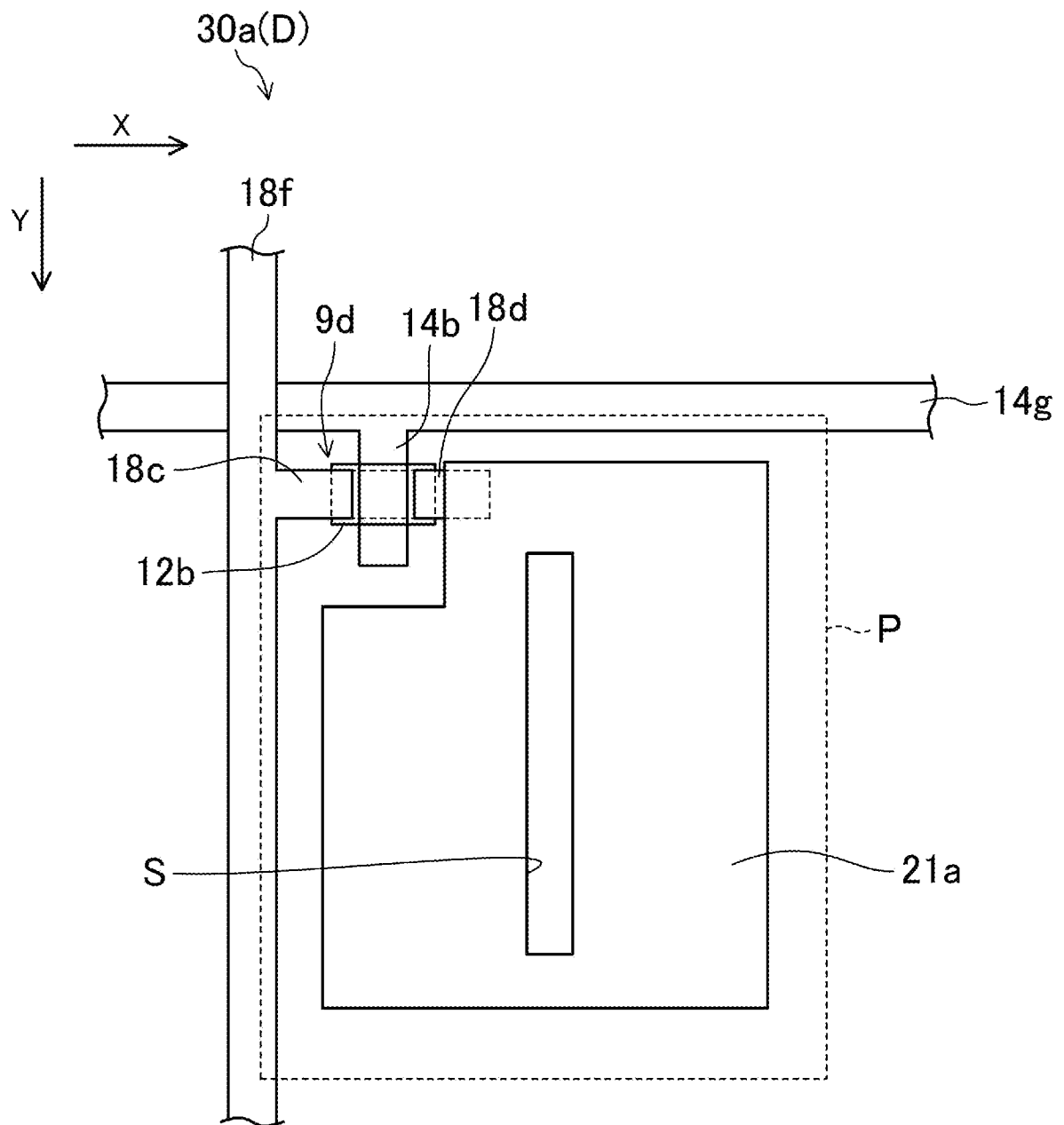
上記透明電極は、上記第3半導体層と重ならないように設けられて

いることを特徴とする表示装置。

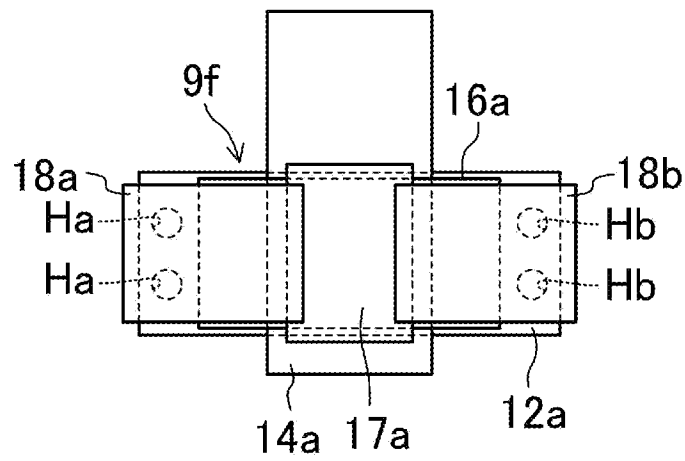
[図1]



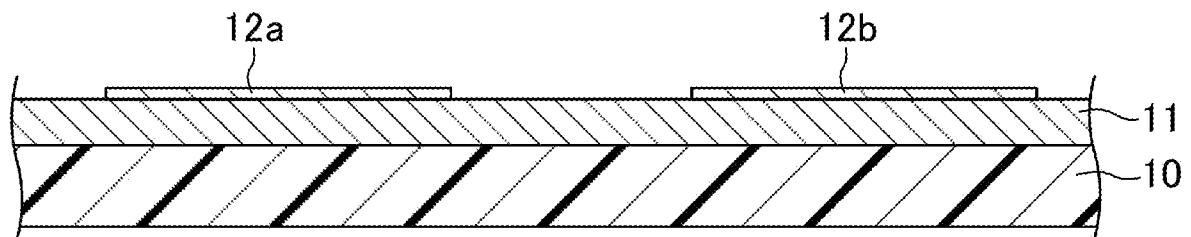
[図2]



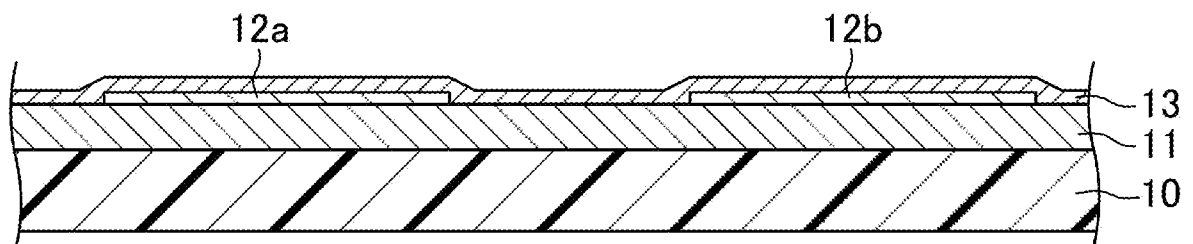
[図4]



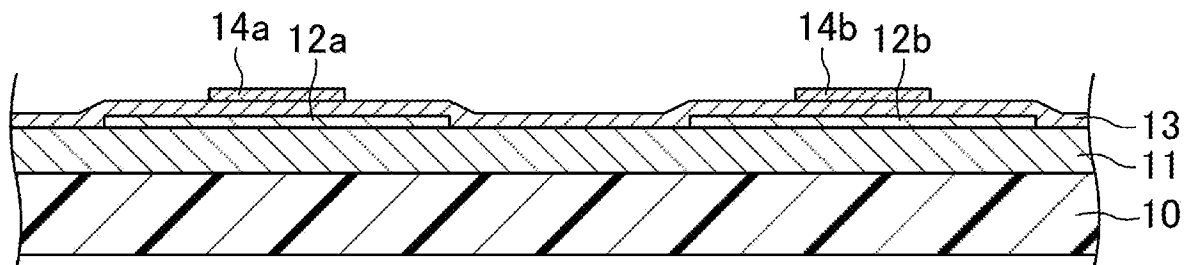
[図5]



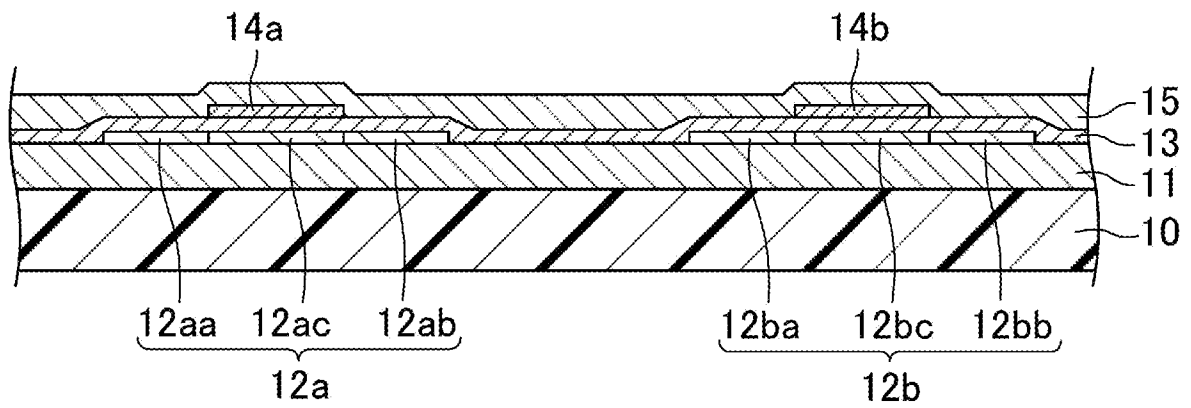
[図6]



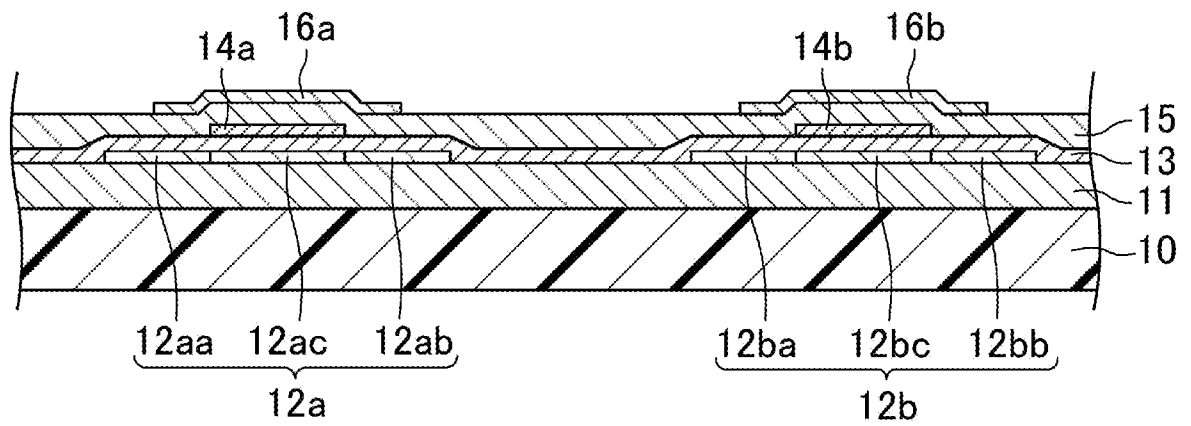
[図7]



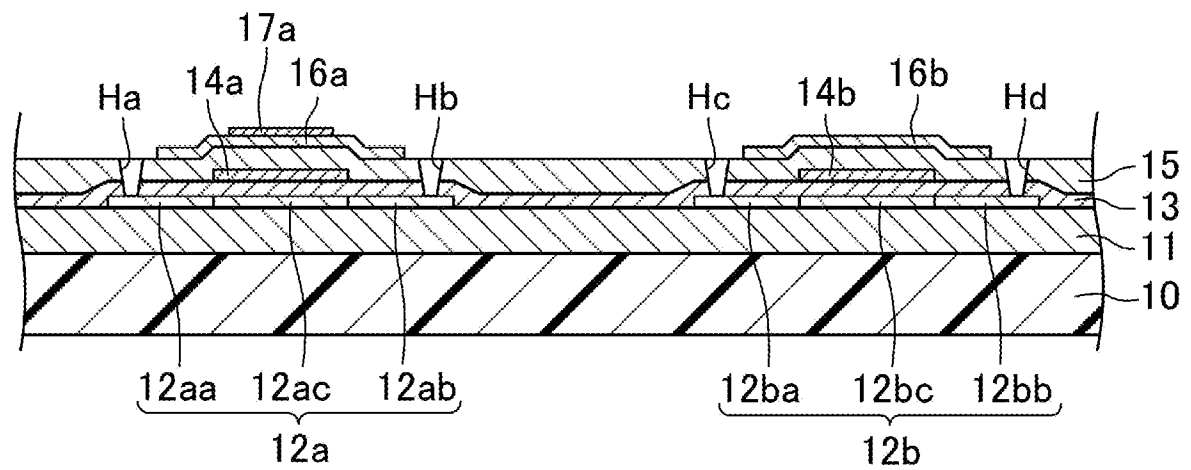
[図8]



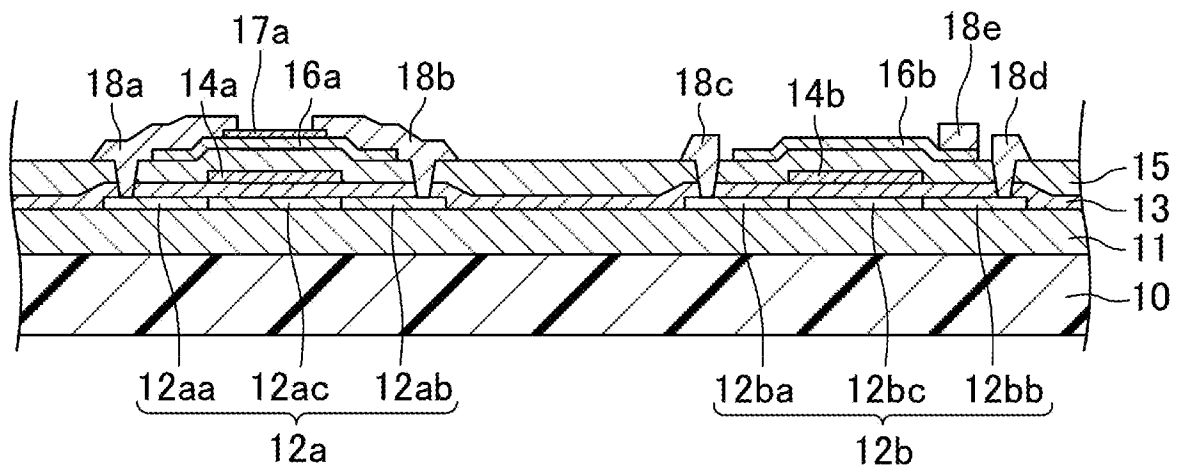
[図9]



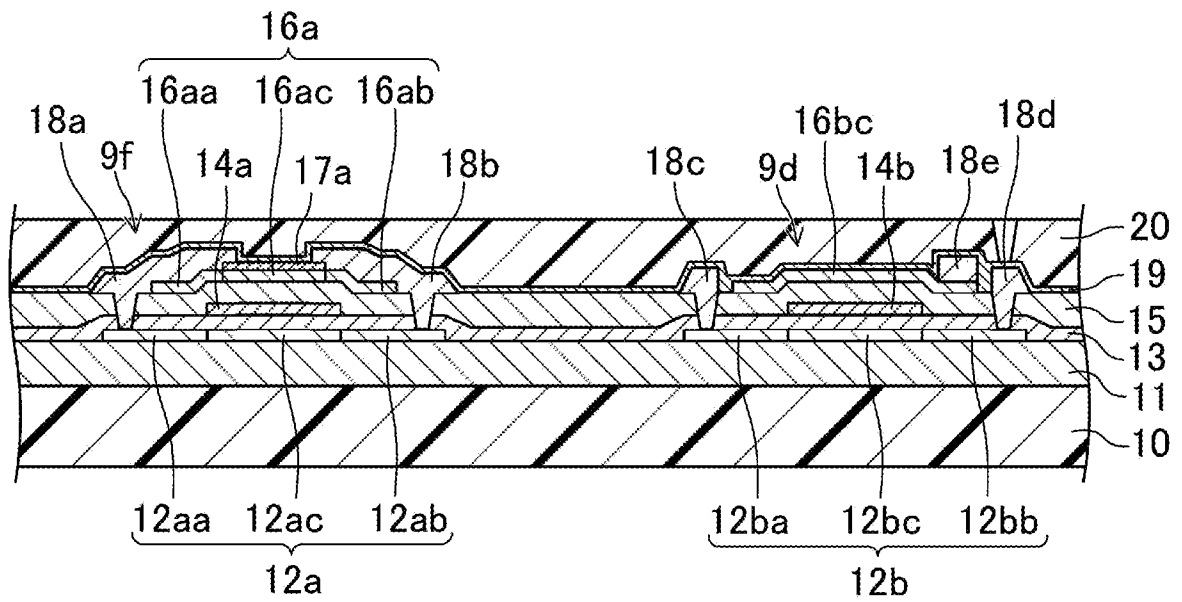
[図10]



[図11]



[図12]



A detailed cross-sectional view of a semiconductor device. The device is built on a substrate 10, which is divided into two main regions, 12a and 12b, separated by a vertical interface. Region 12a contains sub-regions 12aa, 12ac, and 12ab. Region 12b contains sub-regions 12ba, 12bc, and 12bb. Above the substrate, there are several layers: a base layer 11, a layer 13, a layer 15, and a top layer 19. A patterned layer 20 is on top of layer 19. Various features are labeled with reference numerals: 9f and 9d are openings or recesses; 14a and 14b are structures within the recesses; 16a, 16aa, 16ac, 16ab, 16bc, and 16c are top surface features; 17a is a structure between 16aa and 16ab; 18a, 18b, 18c, 18d, 18e, and 18f are side wall features; and He is a label near feature 18e. The layers 10, 11, 13, and 15 are indicated by different hatching patterns.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006571

A. CLASSIFICATION OF SUBJECT MATTER**G09F 9/30**(2006.01)i

FI: G09F9/30 338

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46; G02F1/133; G02F1/1343-1-1345; G02F1/135; H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00;

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-43252 A (MITSUBISHI ELECTRIC CORPORATION) 19 March 2020 (2020-03-19) paragraphs [0022]-[0298]	1-10
Y	JP 2017-11173 A (NATIONAL INSTITUTE FOR MATERIALS SCIENCE) 12 January 2017 (2017-01-12) paragraphs [0017]-[0075]	1-10
Y	JP 2012-60091 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 March 2012 (2012-03-22) paragraphs [0031]-[0160]	1-10
A	US 2021/0118968 A1 (SAMSUNG DISPLAY CO., LTD.) 22 April 2021 (2021-04-22) entire text	1-10
A	US 2020/0395426 A1 (SAMSUNG DISPLAY CO., LTD.) 17 December 2020 (2020-12-17) entire text	1-10
A	US 2016/0197196 A1 (SAMSUNG DISPLAY CO., LTD.) 07 July 2016 (2016-07-07) entire text	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 April 2023

Date of mailing of the international search report

16 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915****Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006571

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-43252	A	19 March 2020	US 2020/0083257 A1 paragraphs [0054]-[0343]	
JP	2017-11173	A	12 January 2017	(Family: none)	
JP	2012-60091	A	22 March 2012	(Family: none)	
US	2021/0118968	A1	22 April 2021	KR 10-2021-0048005 A CN 112701141 A	
US	2020/0395426	A1	17 December 2020	KR 10-2020-0143562 A	
US	2016/0197196	A1	07 July 2016	KR 10-2016-0085402 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/30(2006.01)i FI: G09F9/30 338		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09F9/00-9/46; G02F1/133; G02F1/1343-1-1345; G02F1/135; H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00;		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2020-43252 A（三菱電機株式会社）19.03.2020（2020-03-19） 段落0022-0298	1-10
Y	JP 2017-11173 A（国立研究開発法人物質・材料研究機構）12.01.2017（2017-01-12） 段落0017-0075	1-10
Y	JP 2012-60091 A（株式会社半導体エネルギー研究所）22.03.2012（2012-03-22） 段落0031-0160	1-10
A	US 2021/0118968 A1（SAMSUNG DISPLAY CO., LTD.）22.04.2021（2021-04-22） 全文	1-10
A	US 2020/0395426 A1（SAMSUNG DISPLAY CO., LTD.）17.12.2020（2020-12-17） 全文	1-10
A	US 2016/0197196 A1（SAMSUNG DISPLAY CO., LTD.）07.07.2016（2016-07-07） 全文	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.04.2023		国際調査報告の発送日 16.05.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 中村 直行 21 9214 電話番号 03-3581-1101 内線 3272

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006571

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-43252	A	19.03.2020	US 2020/0083257 A1 段落0054-0343	
JP	2017-11173	A	12.01.2017	(ファミリーなし)	
JP	2012-60091	A	22.03.2012	(ファミリーなし)	
US	2021/0118968	A1	22.04.2021	KR 10-2021-0048005 A CN 112701141 A	
US	2020/0395426	A1	17.12.2020	KR 10-2020-0143562 A	
US	2016/0197196	A1	07.07.2016	KR 10-2016-0085402 A	