(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 15/02

(45) 공고일자 1999년05월15일
(11) 등록번호 10-0184931
(24) 등록일자 1998년12월22일

(21) 출원번호	10-1995-0035528	(65) 공개번호	특1996-0015272
(22) 출원일자	1995년10월14일	(43) 공개일자	1996년05월22일
(30) 우선권주장	94-249315 1994년10월14일 일본(JP)		

(73) 특허권자 가부시끼가이샤 세가 엔터프라이지즈 이리마지리 쇼우이찌로
일본국 도꾜도 오따구 하네다 1쪼메 2방 12고
(72) 발명자 니시기따 스스무
일본국 도꾜도 144 오따구 하네다 1쪼메 2방 12고 가부시끼가이샤 세가 엔터프라이지즈 내
(74) 대리인 장수길, 구영창

심사관 : 안철흥

(54) 데이타 처리 시스템, 그 방법 및 메모리 카세트

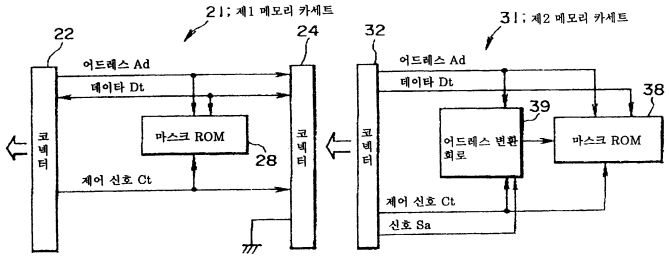
요약

본 발명은 다양한 처리를 실현할 수 있는 데이타 처리 시스템을 제공하는 것을 목적으로 한다.

제2메모리 카세트(31)는 제1메모리 카세트(21) 혹은 처리 장치 본체 양자에 결합될 수 있는 코넥터(32), 코넥터의 접속 상태에 따라 제1메모리 카세트(21)에 상기 코넥터가 접속되어 있는지를 판단하여 어드레스 변환 신호를 출력하는 어드레스 변환 회로(39), 및 상기 어드레스 변환 신호 및 코넥터(32)로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리(38)를 포함한다. 제1메모리 카세트(21)는 마스크 ROM(28), 상기 처리 장치 본체와 접속 가능한 코넥터(22), 및 상기 제2메모리 카세트(31)와 접속될 수 있는 코넥터(24)를 포함한다. 코넥터(24)의 소정의 핀은 접지에 접속된다.

제1메모리 카세트(21)가 제2메모리 카세트(31)와 접속될 때는 신호 Sa가 레벨 L로 되어 어드레스 변환 회로(39)가 ROM(38)의 메모리 할당을 변경시킨다.

대표도



명세서

[발명의 명칭]

데이타 처리 시스템, 그 방법 및 메모리 카세트

[도면의 간단한 설명]

제1도는 본 발명에 따른 데이타 처리 시스템의 일실시예의 구조와 이 시스템에 사용되는 메모리 카세트를 나타낸 사시도.

제2도는 상기 실시예에 사용되는 제1메모리 카세트 및 제2메모리 카세트의 회로를 나타내는 블럭도.

제3도는 상기 실시예의 어드레스 변환 회로의 블럭도.

제4도는 상기 실시예에 따라 제1 및 제2메모리 카세트의 어드레스 값들 간의 관계, 및 양 카세트가 서로 결합되었을 때의 어드레스 값을 설명하는 도면.

제5도는 상기 실시예에 따른 게임기 본체의 작동을 설명하는 플로우챠트.

제6도는 상기 실시예에 따라 양 카세트가 서로 결합되었을 때의 메모리 맵을 설명하는 도면.

제7도는 상기 실시예에 따른 제1 및 제2메모리 카세트의 다른 구성을 나타내는 도면.

제8도는 상기 실시예에 따라 양 카세트를 서로 결합시켰을 때의 메모리 맵을 설명하는 도면.

제9도는 상기 실시예에 따른 제1 및 제2메모리 카세트를 설명하는 도면.

제10도는 상기 실시예에 따른 디코더 회로의 블럭도.

제11도는 상기 실시예에 따른 메모리 카세트 각각의 메모리 맵을 설명하는 도면.

제12도는 본 발명에 따른 실시예의 작동을 설명하는 도면.

* 도면의 주요부분에 대한 부호의 설명

11 : 게임기 본체 13 : 스위치

21 : 제1메모리 카세트 12, 22, 24 : 코넥터

23 : 하우징 28 : 마스크 ROM

31 : 제2메모리 카세트 39 : 어드레스 변환 회로

[발명의 상세한 설명]

본 발명은 프로그램과 데이타가 내장된 메모리 카세트를 설치함으로 인해 프로그램의 실행 및 데이타의 사용과 같은 정보 처리를 행할 수 있는 처리 장치를 포함하는 데이타 처리 시스템과, 이 시스템에 사용되는 메모리 카세트 구조 및 이 시스템의 데이타 처리 방법에 관한 것이다.

이들 형태의 데이타 처리 시스템은 프로그램 및 데이타가 내장된 메모리 카세트,및 이 메모리 카세트와의 접속을 위한 코넥터를 가진 오퍼레이터(처리 장치)를 포함하고 있으며, 상기 메모리 카세트와 이러한 코넥터의 접속에 의해 카세트 프로그램을 실행하는 것으로서 알려져 있다. 이러한 형태의 일반적인 데이타 처리 시스템은 게임기용 시스템이다. 알려져 있는 바와 같이, 게임기는 여러가지 게임을 위해 내장되는 프로그램 및 데이타가 들어 있는 메모리 카세트를 설치함으로써 게임 프로그램을 실행한다. 일반적으로 제공되는 게임기는 상기한 데이타의 사용을 위한 게임기 본체와, 게임기 본체에 여러가지 작동 명령(작동 신호)를 제공하여 게임기 본체 내부에서 처리된 사항을 텔레비젼 수신기 등에 표시할 수 있게 해주는 제어기를 더 포함하고 있다.

이들 형태의 메모리 카세트는 박스형 카세트 본체의 일면에 코넥터를 갖고 카세트 본체의 내부에 ROM 및 그 주변 회로를 포함하도록 구성되어 있다. 이런 형태의 구조를 한 메모리 카세트는 실질적으로 일정한 카세트 본체 볼륨(volume)을 갖고 있기 때문에, ROM의 저장 능력이 결정되어 버린다. 이것은 ROM에 저장될 수 있는 프로그램의 용량을 결정 지우므로 프로그램 용량을 크게할 필요가 있다.

따라서, 메모리 카세트의 본체에 제공되는 소형 코넥터가 이러한 소형 코넥터가 딸린 새로운 소형 ROM 카세트의 설치가 가능한 게임기를 제공한다. 이 게임기는 게임기 본체에 소형 코넥터가 제공되는 메모리 카세트를 설치할 수 있도록 구성되었다. 메모리 카세트의 소형 코넥터에 소형 ROM을 설치함으로써 게임기 본체에서 소형 ROM에 저장된 데이타를 사용할 수 있다.

그러나, 이들 게임기들을 게임 그 자체의 개발에 어떤 변화 없이 소형 ROM 카세트 내의 데이타 만을 사용하고 있으므로 다양한 게임 개발에 대한 욕구를 완전하게 충족시키지 못하고 있다.

다양한 게임의 개발과 다른 여러 가지 처리의 실행을 위해서는 다량의 프로그램과 다량의 프로그램을 저장할 수 있는 대형 메모리 용량이 필요하다. 그러나, 종래의 게임기는 카세트 본체의 메모리 용량이 운반, 처리 또는 가격의 면에서 제한되는 불리함이 있다.

또한, 종래의 게임기들은 새로운 게임 프로그램내에서는 과거에 개발된 게임을 재사용할 수 없게 되어 있기 때문에, 이러한 구 프로그램의 재사용 불가로 인해 이러한 프로그램의 개발에 드는 공정, ROM 및 다른 자원의 낭비를 초래한다.

따라서, 본 발명의 목적은 다양한 처리를 실현할 수 있고 효과적으로 자원을 활용할 수 있는 데이타 처리 시스템을 제공함으로써 이러한 문제들을 해소하기 위한 것이다. 또다른 목적은 이러한 시스템과 함께 사용할 수 있는 신규한 메모리 카세트 구조를 제공하기 위한 것이다.

이러한 문제를 해소하기 위한 특허 청구 범위 제1항에 따른 본 발명의 데이타 처리 시스템은, 메모리 카세트의 저장된 내용에 따라 처리를 수행하는 처리 장치 본체, 상기 처리 장치 본체에 접속 가능한 제1메모리 카세트, 및 상기 제1메모리 카세트 또는 상기 처리 장치 본체 중 어느 하나에 접속 가능한 제2메모리 카세트를 포함하며, 상기 제1메모리 카세트 또는 상기 제2메모리 카세트 중 어느 하나가 처리 장치 본체에 접속될 때 제1어드레스 범위 내에서 상기 메모리 카세트로부터 데이타를 판독하고, 처리 장치 본체가 제1메모리 카세트에 접속되고 이 메모리 카세트에 제2메모리 카세트가 접속될 때, 제1어드레스 범위와 중첩되지 않는 제2어드레스 범위를 포함하는 보다 넓은 어드레스 범위에서 데이타를 판독할 수 있게 구성한 것이다.

특허 청구 범위 제2항에 따른 메모리 카세트는 청구항 제1항에 따른 상기 데이타 처리 시스템에 사용되는 제2메모리 카세트이며, 상기 제1메모리 카세트의 코넥터 또는 상기 처리 장치 본체에 전기적으로 접속 가능한 코넥터, 상기 코넥터가 제1메모리 카세트에 접속되었는지의 여부에 대하여 코넥터의 접속 상태를 통하여 판단하여 상기한 접속 상태에 대응하는 어드레스 변환 신호를 출력하는 접속 상태 판단 회로, 및 상기 접속 상태 판단 회로로부터 공급된 어드레스 변환 신호와 상기 코넥터로부터 공급된 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 구비하는 것을 특징으로 한다.

청구항 3항에 따른 메모리 카세트는 청구항 2항에 따른 메모리 카세트이며, 상기 접속 상태 판단 회로가 상기 코넥터가 상기 제1메모리 카세트에 접속된 것으로 판단할 때, 상기 접속 상태 판단 회로는 메모리로부터 데이타를 판독하는 어드레스 범위를 제1메모리 카세트의 메모리로부터 데이타를 판독하는 상기 제1어드레스 범위와 중첩되지 않는 상기 제2어드레스 범위로 변환하기 위해 상기 어드레스 변환 신호를 출력

하는 것을 특징으로 한다.

청구항 4항에 따른 메모리 카세트는 제2항에 따른 메모리 카세트이며, 상기 코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀의 신호 논리가 소정의 신호 논리가 될 때 상기 접속 상태 판단 회로가 상기 코넥터가 다른 메모리 카세트에 접속된 것으로 판단하는 것을 특징으로 한다.

청구항 5항에 따른 메모리 카세트는 청구항 1항에 따른 상기 데이타 처리 시스템에 사용되는 상기 제1메모리 카세트이며, 상기 제2메모리 카세트로서 청구항 2, 3, 및 4에 따른 메모리 카세트에 접속될 수 있고, 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, 제1코넥터를 통해 처리 장치 본체에 접속될 때 처리 장치 본체로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리, 및 제2메모리 카세트에 접속 가능하며 제1코넥터를 통해 처리 장치 본체로부터 공급되는 어드레스 신호가 전달될 수 있도록 제공되는 제2코넥터를 포함하며, 제2코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀은 소정의 신호 논리로 유지되는 것을 특징으로 한다.

청구항 6에 따른 메모리 카세트는 청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제2메모리 카세트이며, 상기 제1메모리 카세트의 코넥터에 전기적으로 접속 가능한 코넥터, 상기 코넥터로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하며, 상기 코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀은 소정의 신호 논리로 유지되는 것을 특징으로 한다.

청구항 7에 따른 메모리 카세트는 청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제1메모리 카세트이며, 상기 제2메모리 카세트로서 청구항 6에 따른 상기 메모리 카세트에 접속 가능하고, 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, 제2메모리 카세트에 접속 가능하며 제1코넥터를 통해 처리 장치 본체로부터 공급되는 어드레스 신호가 전달될 수 있도록 제공되는 제2코넥터, 제2메모리 카세트가 제2코넥터에 접속되었는지의 여부를 제2코넥터의 접속 상태에 의해 판단하여 이러한 접속 상태에 대응하는 어드레스 변환 신호를 출력하는 접속 상태 판단 회로, 및 접속 상태 판단 회로로부터 공급되는 어드레스 변환신호와 제1코넥터로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하는 것을 특징으로 한다.

청구항 8에 따른 메모리 카세트는 청구항 7에 따른 메모리 카세트이며, 상기 접속 상태 판단 회로가 상기 제2코넥터가 상기 제2메모리 카세트에 접속된 것으로 판단할 때, 상기 접속 상태 판단 회로가 상기 제1메모리 카세트의 메모리로부터 데이타를 판독하는 어드레스 범위를 제2메모리 카세트의 메모리로부터 데이타를 판독하는 상기 제1어드레스 범위와 중첩되지 않는 상기 제2어드레스 범위로 변환하기 위해 상기 어드레스 변환 신호를 출력하는 것을 특징으로 한다.

청구항 9에 따른 메모리 카세트는 청구항 7에 따른 메모리 카세트이며, 상기 제2코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀의 신호 논리가 소정의 신호논리가 될 때, 상기 접속 상태 판단 회로는 코넥터가 상기 제2메모리 카세트에 접속된 것으로 판단하는 것을 특징으로 한다.

청구항 10에 따른 메모리 카세트는 청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제2메모리 카세트이며, 상기 제1코넥터에 전기적으로 접속 가능한 코넥터, 상기 코넥터로부터 공급되는 상기 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하고, 코넥터를 구성하고 있는 다수의 핀 중 하나의 소정의 핀으로부터 연장되는 리드는 상기 메모리의 칩 선택 터미널에 접속되어 있는 것을 특징으로 한다.

청구항 11에 따른 메모리 카세트는 청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제1메모리 카세트이며, 상기 제2메모리 카세트로서 청구항 10에 따른 메모리 카세트에 접속 가능하며, 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, 상기 제2메모리 카세트에 접속 가능하며 상기 처리 장치 본체로부터 제1코넥터를 통해 공급된 상기 어드레스 신호가 전달될 수 있도록 제공되는 제2코넥터, 상기 제1코넥터로부터 공급된 특정한 어드레스 신호에 따라, 어드레스 신호가 상기 제1어드레스 범위 내에 있으면 유효한 제1칩 선택 신호를 출력하고, 어드레스 신호가 제2어드레스 범위 내에 있으면 유효한 제2칩 선택 신호를 제2코넥터의 소정의 핀으로 출력하는 접속 상태 판단 회로, 및 접속 상태 판단 회로로부터 공급된 제1칩 선택 신호 및 제1코넥터로부터 공급된 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하는 것을 특징으로 한다.

청구항 12에 따른 메모리 카세트는 청구항 5, 7, 8, 9 또는 11중 어느 하나의 항에 따른 메모리 카세트이며, 2개의 대향 면을 가진 3차원 구조를 하고 있으며, 그 대향면에 각각 상기 제1코넥터 및 상기 제2코넥터가 제공되어 있는 것을 특징으로 한다.

청구항 13에 따른 데이타 처리 방법은 메모리 카세트의 저장된 내용에 따라 처리를 행하는 처리 장치 본체, 상기 처리 장치 본체에 접속 가능한 제1메모리 카세트, 및 상기 제1메모리 카세트 혹은 처리 장치 본체 중 어느 하나에 접속될 수 있는 제2메모리 카세트를 사용하는 데이타 처리 방법으로서, 제1메모리 카세트 또는 제2메모리 카세트 중 어느 하나가 처리 장치 본체에 접속된 것으로 판단될 때 상기 제1어드레스 범위 내에서 상기 메모리 카세트로부터 데이타를 판독하고, 처리 장치 본체가 제1메모리 카세트에 접속되고, 이 카세트에 제2메모리 카세트가 접속된 것으로 판단될 때 제1어드레스 범위와 중첩되지 않은 상기 제2어드레스 범위를 포함하는 보다 넓은 어드레스 범위에서 데이타를 판독하는 것을 특징으로 한다.

따라서, 본 발명은 제1 및 제2메모리 카세트를 단독 혹은 결합하여 사용할 수 있기 때문에 다양한 게임 개발에 대한 욕구를 만족시킬 수 있다. 또, 2개의 메모리 카세트의 사용에 의해 대용량의 메모리를 사용한 프로그램을 사용할 수 있다. 또한, 구 게임을 재사용할 수 있기 때문에, 이러한 게임에 대한 개발 공정, ROM 및 다른 자원을 효과적으로 이용할 수 있는 효과가 있다.

이제부터, 본 발명의 실시예들에 대하여 도면을 참조하여 설명하도록 하겠다.

제1도는 본 발명에 따른 데이타 처리 시스템의 일시예와 이 시스템에 사용되는 메모리 카세트 구조를 도시한 사시도이다.

제1도에 도시한 데이타 처리 시스템은 그 구성 요소로서 게임기 본체(11), 제1메모리 카세트(21) 및 제2메모리 카세트(31)를 갖는다. 게임기 본체(11)의 코넥터(12)상에, 화살표 X로 표시한 바와 같이 제1카세

트(21)의 코넥터(22)가 설치되고, 화살표 Y로 도시한 바와 같이 제2카세트(31)의 코넥터(32)가 설치될 수 있다.

또한, 코넥터(22)에 대향하는 제1메모리 카세트(21)의 본체(23)의 면(상부면으로 도시)에, 게임기 본체(11)에 제공된 코넥터(12)와 동일한 코넥터(24)가 설치되어 있어서 화살표 Z로 표시한 바와 같이 코넥터(24) 상에 제2카세트(31)의 코넥터(32)가 배치될 수 있다.

제1메모리 카세트(21)의 코넥터(22)가 화살표 X로 표시한 바와 같이 게임기 본체(11)의 코넥터(12)에 설치되고, 제2메모리 카세트(31)의 코넥터(32)가 화살표 Z로 표시한 바와 같이 제1카세트(21)의 코넥터(24)에 설치될 때, 게임기 본체(11)는 제1카세트(21) 및 제2카세트(31) 양자의 게임 프로그램을 사용할 수 있는 상태로 된다.

게임기 본체(11)에서 양 메모리 카세트(21,31)의 프로그램을 사용할 수 있도록 하기 위해, 상기 제1메모리 카세트(21) 또는 제2메모리 카세트(31)의 내부에 어드레스를 분할하는 구조가 제공된다. 이 구조는 제1카세트(21)의 코넥터(22)가 상기 게임기 본체(11)의 코넥터(12)에 설치되고, 제2카세트(31)의 코넥터(32)가 제1카세트(21)의 코넥터(24)에 설치될 때는 작동되게 된다. 이렇게 하여, 메모리 카세트(21,31)의 메모리 어드레스 범위 중 하나의 어드레스가 변환되어 사용된다.

이제부터, 상기한 데이타 처리 시스템의 각 구성 요소를 상세히 설명한다. 도면에 도시한 바와 같이, 본 실시예의 게임기 본체(11)는 길이가 폭 보다 좀 작고 높이는 대략 길이의 1/20 정도인 평행 사변형 형태를 취하고 있다. 코넥터(12)는 3차원 본체의 상부면에 제공되며, 스위치(13)는 도시한 바와 같이 상부면의 좌하부면에 제공된다.

제1메모리 카세트(21)는 얇은 평행 사변형 하우징(23)을 포함한다. 코넥터(22)는 하우징(23)의 하부면(26)에 제공되며, 하우징(23)의 상부면(27)(상기 하부면에 대향한 면)에는 게임기 본체(11)의 코넥터(12)가 제공되는 것과 동일한 구조를 갖고 있는 코넥터(24)가 제공된다.

또한, 제2카세트(31)는 얇은 평행 사변형 하우징(35)을 포함하고 있으며, 코넥터(32)는 이 하우징(35)의 하부면(36)에 제공된다. 이 구조는 게임기 본체(11)의 코넥터(12) 및 제1카세트(21)의 코넥터(24)에도 역시 제2카세트(31)의 코넥터(32)를 설치할 수 있게 되어 있다.

제2도는 본 발멩에 관련한 시스템의 일실시예에 사용되는 제1 및 제2메모리 카세트의 회로 블록도이다.

제2도에서, 제1메모리 카세트(21)의 회로 시스템은 코넥터(22), 코넥터(24) 및 마스크 ROM(28)을 포함한다. 동일한 핀수를 갖고 있는 이들 코넥터(22) 및 코넥터(24)는 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct용 신호 배선으로 서로 접속된다. 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct용 배선은 마스크 ROM(28)에 접속되도록 구성된다.

또, 제1메모리 카세트(21)에, 소정 핀수의 코넥터(24)가 접지 전극에 접속된다. 제2카세트(31)의 코넥터(32)가 제1카세트(21)의 코넥터(24)와 접속될 때, 이것은 코넥터(24)의 접지 전극과 접촉하게 된다. 코넥터(24) 내부의 핀은 접지되어 있다. 따라서, 이 코넥터(24)의 핀으로부터 취해지는 신호들은 제2카세트(31)가 제1카세트(21)에 접속되어 있음을 나타내는 신호 Sa이다.

또한, 제2카세트(31)의 회로 시스템에서, 접속 상태 판단 수단으로서의 코넥터(32), 마스크 ROM(38) 및 어드레스 변환 회로(39)가 설치된다. 소정의 핀수의 코넥터(32)의 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct 각각은 마스크 ROM(38)의 소정의 핀에 접속되고, 어드레스 Ad 및 제어 신호 Ct 및 신호 Sa는 어드레스 변환회로(39)의 소정의 전극에 접속된다. 어드레스 변환 회로(39)에 의해 발생되는 어드레스 변환 신호는 마스크 ROM(38)의 어드레스 변화 입력 터미널에 공급된다.

제3도는 상기한 어드레스 변환 회로(39)의 구조의 일례를 나타내는 회로도이다.

제3도에서, 어드레스 변환 회로(39)는 특정한 메모리 어드레스 Ad 및 특정 메모리 제어 신호 Ct에 따라 제1칩 선택 신호 CSa 또는 제2칩 선택 신호 CSa를 형성하는 디코더(391), 및 디코더(391)로부터의 칩선택 신호 CSa, CSb와, 제1카세트(21)와 제2카세트(31)의 접속을 나타내는 신호 Sa에 따라 메모리 어드레스를 변환하는 신호를 발생하는 셀렉터 회로(392)를 구비하고 있으며 다음과 같이 구성된다.

디코더(391)에서, 어드레스 Ad 및 제어 신호 Ct가 디코더에 공급되게끔 하는 배선이 배열된다. 이 배선은 디코더(391)에 의해 발생된 칩 선택 신호 CSa, CSb가 셀렉터 회로(392)의 A·B 터미널로 공급되게 한다. 또한, 신호 Sa가 셀렉터 회로(392)의 선택 터미널 A/B로 공급되게 하는 배선이 배열된다. 또, 셀렉터 회로(392)의 출력 터미널 Y는 마스크 ROM(38)의 어드레스 변환 터미널에 접속된다.

이제부터, 상기한 실시예의 동작을 제1도 내지 제3도에 기초한 제4도 내지 제6도를 참조하여 설명한다. 제4도는 제1 및 제2메모리 카세트를 서로 결합했을 때의 동작을 나타내며, 제1 및 제2메모리 카세트의 개개의 어드레스 값 간의 관계 및 양 카세트를 결합시켰을 때의 어드레스 값을 설명한다. 제5(a)도는 제2메모리 카세트 만이 게임기 본체에 접속되었을 때의 작동 흐름을 나타내는 플로우챠트이고, 제5(b)도는 제1메모리 카세트만이 게임기 본체에 접속되었을 때의 작동의 흐름을 나타내는 플로우챠트이며, 제6도는 양 카세트를 서로 결합시켰을 때의 메모리 맵을 설명한다.

먼저, 제4c도에 도시한 바와 같이, 제1메모리 카세트(21)는 어드레스 000000H(H는 헥사데시멀 시스템 표시)부터 1FFFFFH까지 그 프로그램 데이타 B를 저장한다. 동일한 방식으로, 제4b도에 도시한 바와 같이, 제2메모리 카세트(31)는 어드레스 000000H부터 1FFFFFH까지 그 프로그램 데이타 A를 저장한다.

화살표 X로 표시한 바와 같이 게임기 본체(11) 내에 제1메모리 카세트(21)만을 설치하면 게임기 본체(11) 및 제1메모리 카세트(21)가 코넥터(12) 및 코넥터(22)를 통해 전기적으로 접속된 상태로 된다. 이 상태에서, 게임기 본체(11)의 스위치(13)를 턴온시켜 전원을 투입하면, 게임기 본체(11)가 주로 어드레스 000000H에서 개시되어 필요한 프로그램 데이타 등을 처리하고(제5(b)도 단계 200), 즉시 어드레스 200000H에서 및 후에서 임의의 프로그램 데이타 등의 존재 유무를 판단한다(단계 201). 이러한 판단은 다음과 같이 행해진다. 어드레스 Ad의 게임기 본체(11)의 출력이 200000H이고 소정의 제어 신호 Ct가 출력

된다고 가정하면, 임의의 정보가 데이타 Dt로서 얻어질 수 있는지의 여부를 판단할 필요성만 남는다.

이러한 경우에, 상술한 바와 같이 어드레스 Ad 및 제어 신호 Ct가 마스크 ROM(28)에 입력된다해도 마스크 ROM(28)으로부터 데이타 Dt로 어떤 데이타도 출력되지 않는다. 따라서, 게임기 본체(11)는 어드레스 200000H에서 및 그 후에 프로그램 데이타가 존재하지 않음을 판단하며(제5(b)도 단계 201: 아니오), 제1 메모리 카세트(21)의 어드레스 000000H로부터 어드레스 1FFFFFH까지 저장된 프로그램 데이타 B만을 사용하여 동작되게 된다(제5(b)도의 단계 202).

동일하게, 화살표 Y(제1도)로 표시한 바와 같이, 게임기 본체(11)에 제2카세트(31)만을 설치한 경우, 게임기 본체(11)와 제2카세트(31)가 코넥터(12) 및 코넥터(32)를 통해 전기적으로 접속된 상태를 제공한다. 이 상태에서, 게임기 본체(11)의 스위치(13)를 턴온시켜 전류가 흐르도록 하는 경우(제5(a)도의 단계 101), 게임기 본체(11)는 제2카세트(31)의 000000H로부터 1FFFFFH까지 저장된 프로그램 데이타 A만으로 동작되게 된다(제5(a)도 단계 102).

이어서, 제1도의 화살표 X로 도시한 바와 같이 게임기 본체(11)에 제1메모리 카세트(21)를 설치하고, 아울러 화살표 Z로 표시한 바와 같이 제1메모리 카세트(21)에 제2메모리 카세트(31)를 설치한다. 이때에는 게임기 본체(11) 및 제1메모리 카세트(21)가 코넥터(12) 및 코넥터(22)를 통해 전기적으로 접속되고, 제1 메모리 카세트(21) 및 제2메모리 카세트(31)가 코넥터(24) 및 코넥터(32)를 통해 전기적으로 접속된다.

한편, 게임기 본체(11)의 스위치(13)가 스위치 온되어 전류가 흐르게 되는 경우, 접속 상태를 나타내는 신호 Sa가 L로되어 코넥터(24) 및 코넥터(32)를 통해 제2메모리 카세트(31)의 어드레스 변환 회로(39)로 제공된다. 이때 게임기 본체(11)는 어드레스 000000H로부터 기본적으로 실행을 개시하면서 필요한 프로그램 데이타(벡터)를 처리한다(단계 200).

이에 의해, 게임기 본체(11)는 어드레스 200000H 이후 임의의 프로그램 데이타가 있는지의 여부를 판정한다(단계 201). 따라서, 게임기 본체(11)는 200000H로부터 개시되는 어드레스에 대한 어드레스 Ad를 형성하고 제어 신호 Ct를 제공하며, 데이타 Dt로서 임의의 정보가 있는 지를 판단한다.

어드레스 Ad 및 제어 신호 Ct가 어드레스 변환 회로(39)에 입력되면, 어드레스 변환 회로(39)는 어드레스 Ad 및 제어 신호 Ct에 따라 디코더(391)에 칩 선택신호 CSb를 형성한다. 이 칩선택 신호 CSb는 접속 상태를 표시하는 신호 Sa가 L을 표시할 때 선택 회로(392)를 통해 마스크 ROM(38)에 제공된다.

이에 의하여, 마스크 ROM(38)의 어드레스가 그 200000H로부터 2FFFFFFH까지 변환된다. 이어서, 제1메모리 카세트(21) 및 제2메모리 카세트(31)를 서로 결하시키면, 제1메모리 카세트(21)의 마스크 ROM(28)의 어드레스가 제4a도 및 제6도에 도시한 바와 같이 000000H로부터 1FFFFFH까지 되지만, 제2메모리 카세트(31)의 마스크 ROM(38)의 어드레스는 200000H로부터 2FFFFFH까지 할당된다.

제2메모리 카세트(31)의 어드레스가 상술한 바와 같이 변환되면, 게임기 본체(11)에 의해 200000H이후로의 어드레스의 지정(designation)이 마스크 ROM(38)으로부터 데이타 배선까지 상기 어드레스의 정보의 출력이 된다.

다시 말해서, 게임기 본체(11)가 지정된 어드레스에서 몇몇 종류의 정보를 찾아내면(단계 201), 어드레스 200000H이후에 프로그램 데이타가 존재하는지를 판정한다(단계 201; 예), 그리고, 그 후에 게임기 본체(11)는 제1메모리 카세트(21)에서 어드레스 000000H로부터 1FFFFFH에 저장된 프로그램 데이타 B 및 제2메모리 카세트(31)에서 어드레스 200000H 내지 3FFFFFH에 저장된 프로그램 데이타 A에 의해 동작된다(단계 203).

즉, 게임기 본체(11)가 제1메모리 카세트(21) 및 제2메모리 카세트(31)가 서로 결합되어 있는 것으로 판단할 때, 상술한 바와 같이 이들을 자유롭게 억세스 할 수 있다.

또, 제1메모리 카세트(21)와 제2메모리 카세트(31)가 서로 결합되어 있는 상태에서는 제6도에 도시한 바와 같이 제1메모리 카세트에서는 프로그램 영역은 000000H부터 XXXXXXH까지 존재하고 데이타 영역은 XXXXXXH 내지 1FFFFFH까지 존재한다. 제6도에 도시한 바와 같이, 제2메모리 카세트(31)에서는 프로그램 영역은 200000H에서 XXXXXH까지 그리고 데이타 영역은 XXXXXXH 내지 3FFFFFH까지 존재한다.

상술한 실시예에 따르면, 제1메모리 카세트(21) 및 제2메모리 카세트(31)를 단독 혹은 서로 결합(접속)하여 사용할 수 있으므로, 다양한 게임의 개발의 여러 요구를 수용할 수 있다. 또, 2개의 메모리 카세트를 동시에 사용할 수 있으므로, 대용량의 프로그램 용량을 사용할 수 있다. 더우기, 제1메모리 카세트에 제2 메모리 카세트를 설치함으로 인해 구게임을 다시 사용할 수 있어서, 게임에 대한 개발 공정, ROM 및 다른 자원을 효과적으로 사용할 수 있는 잇점이 있다.

제7도는 본 발명의 실시예에 사용되는 제1 및 제2메모리 카세트의 다른 실시예의 구성을 나타내는 도면이다. 제7도에서 제2도와 동일한 구성 요소에는 동일한 도면 참조 부호를 병기하였다.

제1메모리 카세트(21)의 회로 시스템은 접속 상태를 판단하는 회로로서 코넥터(22), 코넥터(24), 마스크 ROM(28) 및 어드레스 변환 회로(29)를 포함하며, 코넥터(22,24)에서 동일한 핀수를 가진 배선이 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct용의 신호 배선으로서 접속된다. 이러한 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct용 배선을 마스크 ROM(28)에 접속되도록 구성 하였다.

또, 어드레스 Ad 및 제어 신호 Ct 그리고 신호 Sa는 어드레스 변환 회로(29)의 소정의 전극에 접속되며, 이 어드레스 변환 회로(29)에 의해 발생되는 어드레스 변환 신호는 마스크 ROM(28)의 어드레스 변경 입력 터미널에 공급된다. 어드레스 변환 회로(29)는 제3도에 도시한 어드레스 변환 회로(39)와 동일한 회로 구성을 갖고 있다.

또한, 제2메모리 카세트의 회로 시스템은 코넥터(32) 및 마스크 ROM(38)을 포함한다. 마스크 ROM(38)의 소정의 핀에 접속되는 코넥터(32)의 소정의 핀수를 갖는 소정 핀수의 코넥터(32)의 어드레스 Ad, 데이타 Dt 및 제어 신호 Ct는 접지전극에 접속되도록 구성된다.

제1도, 제3도 및 제7도를 기초로하여 제5도 및 제8도를 참조로하여 이 실시예의 동작을 설명한다. 제8도

는 양 카세트를 결합시켰을 때의 메모리 맵을 설명한다.

먼저, 제1메모리 카세트(21) 및 제2메모리 카세트(31)는 상술한 바와 같이 개별적으로 어드레스 000000H 내지 1FFFFFH까지 프로그램 데이타 B 및 A를 저장한다.

이어서, 화살표 Y(제1도)로 도시한 바와 같이, 게임기 본체(11)에 제2메모리 카세트(31)만이 설치되면, 상술한 바와 같이, 게임기 본체(11)는 제2메모리 카세트(31)의 000000H 내지 1FFFFFH까지 저장된 프로그램 데이타 A에 만에 따라 동작된다(제5도 단계 101,102).

동일하게, 화살포 X(제1도)로 표시한 바와 같이 게임기 본체(11)에 제1메모리 카세트(21)만이 설치되면, 상술한 바와 같이 게임기 본체는 000000H로부터 동작을 개시하여 필요한 프로그램 데이타를 처리하고(단계 200), 어드레스 200000H 이후에 프로그램 데이타가 존재하는지를 즉시 판정하고(단계 201), 어드레스 000000H 내지 1FFFFFH까지 저장된 프로그램 B에 만에 따라 동작된다(단계 202).

이어서, 화살표 X방향에 따라 게임기 본체(11) 내에 제1메모리 카세트(21)가 설치되고, 화살표 Z에 따라 제1메모리 카세트(21) 상에 제2메모리 카세트(31)가 설치된다. 이때에는, 게임기 본체(11) 및 제1메모리 카세트(21)가 코넥터(12) 및 코넥터(22)를 통해 전기적으로 접속되고, 또한 제1메모리 카세트(21) 및 제2메모리 카세트(31)는 코넥터(24) 및 코넥터(32)를 통해 전기적으로 접속된다. 이 상태에서, 게임기 본체(11)의 스위치(13)를 온 시킴에 의해 전류가 흐르고, 접속상태를 나타내는 신호 Sa가 L로 되고, 이 신호 Sa는 코넥터(32) 및 코넥터(24)를 통해 제1메모리 카세트(21)의 어드레스 변환 회로(29)에 제공된다.

따라서, 게임기 본체(11)가 어드레스 200000H이후에 어드레스 Ad를 사용하여 제어 신호 Ct를 출력할 때, 어드레스 변환 신호는 어드레스 변환 회로(29)로부터 마스크 ROM(28)으로 출력된다. 이러한 어드레스 변환 신호를 통해, 마스크 ROM(28)의 어드레스가 변환되고, 마스크 ROM(28)의 어드레스가 제8도에 도시한 바와 같이 200000H 내지 3FFFFFH까지 이동한다. 이때, 게임기 본체(11)는 기본적으로 000000H로부터 동작을 개시하되 제1메모리 카세트(21)의 벡터를 제2메모리 카세트(31)의 어드레스 000000H로 강제적으로 변환시킴에 의해 필요한 프로그램 데이타(벡터)를 처리한다. 따라서 제2메모리 카세트(31)의 프로그램 A를 계속적으로 동작시킬 수 있다.

이어서, 게임기 본체(11)는 어드레스 200000H이후에 프로그램이 존재하는지 판단한다(단계 201; 예). 이러한 판단은 어드레스 200000H 이후로부터 어드레스 Ad가 출력되고 제어 신호 Ct가 출력될 때 정보가 데이타 Dt에 출력되는지를 판단함으로써 이루어진다. 이러한 어드레스 Ad 및 제어 신호 Ct가 어드레스 변환 회로(29)로 입력될 때, 어드레스 변환 회로(29)는 어드레스 Ad 및 제어 신호 Ct에 따라 칩 선택 신호를 발생시키고, 이들 칩 선택 신호로부터 어드레스 변환 신호 및 접속 상태(L)를 나타내는 신호 Sa를 발생시켜 이것을 마스크 ROM(28)에 제공한다.

이에 따라, 마스크 ROM(28)에 할당된 어드레스가 200000H 내지 3FFFFFH까지 변환될 때, 제1메모리 카세트(21)와 제2메모리 카세트(31)를 서로 결합시키면 제8도에 표시한 바와 같이 제1메모리 카세트(21)의 마스크 ROM(28)의 어드레스가 200000H로부터 3FFFFFH까지 변환되고 제2메모리 카세트(31)의 마스크 ROM(38)의 어드레스는 000000H로부터 1FFFFFH까지 변환된다. 제1메모리 카세트(21)의 어드레스가 상기한 바와 같이 변환됨으로, 게임기 본체(11)에 의한 200000H 이후의 어드레스의 지정, 즉 상기 어드레스의 정보가 마스크 ROM(28)에서 데이타 Dt로 출력된다.

따라서, 게임기 본체(11)에서, 상술한 바와 같이 정보가 특정 어드레스에서 얻어지면, 200000H 이후에 프로그램 데이타가 있는 것으로 판정하고(단계 201; 예), 그 후에 게임기 본체(11)는 제1메모리 카세트(21)에서 어드레스 200000H로부터 3FFFFFH까지 저장된 프로그램 데이타 B 및 제2메모리 카세트(31)에서 어드레스 200000H로부터 3FFFFFH까지 저장된 프로그램 데이타 A 양자를 사용하여 동작되게 된다(단계 203). 다시 말해서, 게임기 본체(11)는 상술한 바와 같이 제1메모리 카세트(21) 및 제2메모리 카세트(31) 양자가 설치된 것이 판단될 때 자유롭게 양카세트를 억세스할 수 있다.

또한, 제1메모리 카세트(21) 및 제2메모리 카세트(31)가 상기와 같이 설치된 상태에서, 제1메모리 카세트(21)는, 제8도에 도시한 바와 같이 어드레스 200000H에서 XXXXXXH까지 그 프로그램 영역을 갖고 XXXXXXH에서 3FFFFFH까지 그 데이타 영역을 갖는다. 제2메모리 카세트(31)는 제8도에 도시한 바와 같이 000000H에서 XXXXXXH까지의 그 프로그램 영역을 갖고, XXXXXXH에서 1FFFFFH까지의 그 데이타 영역을 갖는다.

제9도는 본 발명에 사용된 제1 및 제2메모리 카세트의 다른 실시예이다. 제9도의 실시예가 제7도의 실시예와 다른점은 칩 선택 신호 *CS(*는 CS의 역 표시)가 코넥터(22)를 통해 게임기 본체(11)로부터 디코더(40)로 공급되고, 소정의 어드레스가 디코더(40)로 공급된다는 점이다. 제7도의 실시예와의 다른 차이점은 칩선택 신호 CSa 및 칩선택 신호 CSb가 디코더(40)에 의해 발생되고, 전기 배선이 상기 칩 선택 신호 CSa가 마스크 ROM(28)에 공급되고 칩 선택 신호 CSb가 코넥터(24)의 소정의 핀 수 부분 및 코넥터(32)의 동일한 핀수 부분을 통해 제2메모리 카세트(31)의 마스크 ROM(38)에 공급되도록 배치되는 점이다. 다른 구성은 제7도와 동일하다. 제9도 및 제7도에서 동일한 부분들에는 동일한 도면 참조 번호를 병기하였다.

제10도는 디코더의 구체적인 구성의 일례를 나타내는 회로도이다. 제10도에 도시한 바와 같이, 디코더(40)는 2개의 NAND 회로(401,402) 및 2개의 인버터 회로(403,404)로 이루어지고 다음의 접속 상태를 갖는다. 전기 접속은 어드레스 *ax(*는 ax는 역을 표시함)가 인버터 회로(403)를 통해 NAND 회로(401)의 하나의 입력 터미널과 NAND 회로(402)의 하나의 입력 터미널에 직접 제공되도록 한다. 또, 전기 접속는 제1메모리 카세트(21)의 코넥터(12) 및 코넥터(22)를 통해 게임기 본체(11)로부터 송출된 칩 선택 신호 *CS가 인버터 회로(404)를 통해 NAND 회로(401)의 출력 통해 NAND 회로(401,402)의 다른 입력 단자로 입력되게 한다.

칩 선택 신호 CSa는 NAND 회로(401)의 출력 터미널로부터, 칩 선택 신호 CSb는 NAND 회로(402)의 출력 터미널로부터 각각 출력된다.

이 실시예는 제1메모리 카세트(21) 및 제2메모리 카세트(31)를 개별적 사용 또는 결합하여 사용할 수 있으므로 다양한 게임 개발에 대한 요구를 만족시킬 수 있다. 또한 2개의 메모리 카세트를 사용함으로써 다량의 프로그램 용량을 사용할 수 있다. 또, 구 게임을 재사용할 수 있으므로 개발 공정, 상기 게임의 ROM

및 다른 자원을 효과적으로 사용할 수 있는 잇점이 있다.

이 실시예에 대하여 제9도, 제10도, 제11도 및 제12도를 참조하여 상세히 설명한다. 제11도는 제9도의 실시예에 따라 배열된 메모리 맵을 설명하고 있다. 제12도는 상기 실시예의 동작을 사용하는 설명이다.

게임기 본체(11)는 제1메모리 카세트(21) 또는 제2메모리 카세트(31)의 스위칭을 위해 사용되는 어드레스 *ax를 출력할 수 있으며, 동시에 칩 선택 신호 *CS를 출력할 수 있다.

이 상태에서, 제12도에 도시한 바와 같이, 어드레스 *ax가 L(0)이고, 게임기 본체(11)로부터 출력된 칩 선택 신호 *cs가 L(0)이면, NAND 회로(401)의 양입력 터미널이 H(1)가 되어 NAND 회로(401)의 출력이 L(0)이 된다. NAND 회로(402)의 하나의 입력 터미널이 L(0)이므로 NAND 회로(402)의 출력은 H(1)가 된다.

즉, 칩 선택 신호 CSa가 디코더(40)로부터 출력되게 되면, 이에 의해 게임기 본체(11)가 제1메모리 카세트(21)내에 저장된 프로그램 등을 사용할 수 있게 된다. 이로 인해 제11도에 도시한 바와 같이 제1메모리 카세트(21)에서 어드레스 000000H 내지 1FFFFFH를 사용할 수 있다. 이때에는 게임기 본체(11) 내에 제1메모리 카세트(21)만이 설치되거나 혹은 게임기 본체(11)에 설치된 제1메모리 카세트(21) 상에 제2메모리 카세트(31)가 설치되든(서로 결합된 상태) 관계 없이 게임기 본체(11)는 제1메모리 카세트(21)의 프로그램을 사용하게 된다.

한편, 제12도에 도시한 바와 같이, 특정한 어드레스 *ax(이 경우에는, 예를 들면 200000H에서 6번째 데이타 Dt사용)가 H(1)이고, 게임기 본체(11)로부터 출력된 칩 선택 신호 *cs가 L(0)이면, NAND 회로(402)의 양 입력 터미널이 H(1)이 되어 NAND 회로(402)의 출력이 L(0)이 된다. 또한, NAND 회로(401)의 하나의 입력 터미널이 L(0)이므로, NAND 회로(401)의 출력이 H(1)이 된다. 이어서, 칩 선택 신호 CSb가 디코더(40)로부터 출력되게 된다.

결국, 게임기 본체(11)는 제1메모리 카세트(21)와 억세스할 수 없게되고, 제2메모리 카세트(31)와만 억세스할 수 있다. 따라서, 어드레스 Ad는 200000H로부터 3FFFFFH이므로 게임기 본체(11)는 제2메모리 카세트(31)에 저장된 프로그램 등을 사용할 수 있다. 따라서, 제11도에 도시한 바와 같이, 200000H로부터 3FFFFFH까지 변환되는 제2메모리 카세트(31)가 사용된다.

또한, 칩 선택 신호 *CS가 H가(1)이면 디코더(40)의 NAND 회로(401,402)의 출력 터미널은 어드레스값 *ax 값에 관계 없이 H(1)를 출력하게 되어 제1메모리 카세트(21) 및 제2메모리 카세트(31)가 억세스 불가능하게 된다.

또, 게임기 본체(11)에 제2메모리 카세트(31)만을 설치하면, 칩선택 신호 *cs가 제2메모리 카세트(31)의 마스크 ROM(38)으로 직접 입력되게 되어 제2메모리 카세트(31)가 000000H 내지 1FFFFFH 어드레스를 사용할 수 있다.

이 실시예에 따르면, 제1메모리 카세트(21) 및 제2메모리 카세트(31)가 개별적으로 혹은 결합되어 사용될 수 있어서, 게임 개발의 다양화에 대한 요구를 만족시킬 수 있다. 또, 2개의 메모리 카세트가 사용될 수 있으므로, 대용량 프로그램 용량을 사용할 수 있다. 또한, 구 게임을 재 사용할 수 있으므로, 게임의 개발 공정, ROM 및 다른 자원을 효과적으로 사용할 수 있는 이점이 있다.

또한, 본 발명의 실시예에서, 접속 상태를 판단하는 회로는 게임 본체, 즉 처리 장치 본체의 측면에 제공될 수 있다.

(57) 청구의 범위

청구항 1

a) 메모리 카세트의 저장된 내용에 따라 처리를 실행하는 처리 장치 본체, b) 상기 처리 장치 본체에 접속될 수 있는 제1메모리 카세트, 및 c) 상기 제1메모리 카세트 또는 상기 처리 장치 본체에 접속될 수 있는 제2메모리 카세트를 포함하고, 상기 제1메모리 카세트 또는 상기 제2메모리 카세트가 상기 처리 장치 본체에 접속될 때 제1어드레스 범위에서 상기 메모리 카세트로부터 데이타를 판독하고, 상기 처리 장치 본체가 상기 제1메모리 카세트에 접속되고 이 메모리 카세트에 제2메모리 카세트가 접속될 때, 제1어드레스 범위와 중첩되지 않는 제2어드레스를 포함하는 보다 넓은 어드레스 범위에서 데이터를 판독하는 것을 특징으로 하는 데이타 처리 시스템.

청구항 2

청구항 1에 따른 데이타 처리 시스템에 사용되는 상기 제2메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 제1메모리 카세트의 코넥터 또는 상기 처리 장치 본체에 전기적으로 접속 가능한 코넥터, b) 상기 코넥터가 상기 제1메모리 카세트에 접속되어 있는지를, 상기 코넥터의 접속 상태에 의해 판단하여 상기 접속 상태에 대응하는 어드레스 변환 신호를 출력하는 접속 상태 판단 회로, 및 c) 상기 접속 상태 판단 회로로부터 공급된 어드레스 변환 신호와 상기 코넥터로부터 공급된 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하는 것을 특징으로 하는 메모리 카세트.

청구항 3

제2항에 있어서, 상기 코넥터가 상기 제1메모리 카세트에 접속되어 있는 것으로 상기 접속 상태 판단 회로가 판단하면, 상기 접속 상태 판단 회로는 메모리로부터 데이타를 판독하는 어드레스 범위를 상기 제1메모리 카세트의 메모리로부터 데이타를 판독하는 상기 제1 어드레스 범위와 중첩되지 않는 상기 제2 어드레스 범위로 변환시키기 위해 상기 어드레스 변환 신호를 출력하는 것을 특징으로하는 메모리 카세트.

청구항 4

제2항에 있어서, 상기 코넥터를 구성하는 다수의 핀 중 하나의 특정한 핀의 신호 논리가 소정의 신호 논리일 때 상기 접속 상태 판단 회로는 상기 코넥터가 다른 메모리 카세트에 접속되어 있는 것으로 판단하

는 것을 특징으로 하는 메모리 카세트.

청구항 5

청구항 1에 따른 상기 데이타 처리 시스템에 사용되며 상기 제2메모리 카세트로서 청구항 2, 3 및 4에 따른 메모리 카세트에 접속 가능한 상기 제1메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, b) 상기 제1코넥터를 통하여 상기 처리 장치 본체에 접속될 때 상기 처리 장치 본체로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리, 및 c) 상기 제2메모리 카세트에 접속 가능하며 상기 제1코넥터를 통해 상기 처리 장치 본체로부터 공급된 어드레스 신호가 전달될 수 있도록 제공되는 제2코넥터를 구비하고, 상기 제2코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀은 소정의 신호 논리로 유지되는 것을 특징으로 하는 메모리 카세트.

청구항 6

청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제2메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 제1메모리 카세트의 코넥터에 전기적으로 접속 가능한 코넥터, 및 b) 상기 코넥터로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 구비하며, 상기 코넥터를 구성하는 다수의 핀 중 하나의 특정한 핀은 소정의 신호 논리로 유지되는 것을 특징으로 하는 메모리 카세트.

청구항 7

청구항 1에 따른 상기 데이타 처리 시스템에 사용되며, 상기 제2메모리 카세트로서 청구항 6에 따른 상기 메모리 카세트에 접속 가능한 상기 제1메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, b) 상기 제2메모리 카세트에 접속 가능하며 상기 제1코넥터를 통해 상기 처리 장치 본체로부터 공급되는 어드레스 신호가 전달되도록 제공되는 제2코넥터, c) 제2메모리 카세트가 제2코넥터에 접속되어 있는지에 대하여 제2코넥터의 접속 상태에 의해 판단하여 이러한 접속 상태에 대응하는 어드레스 변환 신호를 출력하는 접속 상태 판단 회로, 및 d) 상기 접속 상태 판단 회로로부터 공급되는 어드레스 변화 신호와 상기 제1코넥터로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하는 것을 특징으로 하는 메모리 카세트.

청구항 8

제7항에 있어서, 상기 제2코넥터가 상기 제2메모리 카세트에 접속되어 있는 것으로 상기 접속 상태 판단 회로가 판단할 때, 상기 접속 상태 판단 회로는 상기 제1메모리 카세트의 메모리로부터 데이타를 판독하는 어드레스 범위를 상기 제2메모리 카세트의 메모리로부터 데이타를 판독하는 상기 제1어드레스 범위와 중첩되지 않는 상기 제2어드레스 범위로 변환시키기 위해 상기 어드레스 변환 신호를 출력하는 것을 특징으로 하는 메모리 카세트.

청구항 9

제7항에 있어서, 상기 제2코넥터를 구성하는 다수의 핀 중 하나의 소정의 핀의 신호 논리가 소정의 신호 논리일 때, 상기 접속 상태 판단 회로는 상기 코넥터가 상기 제2메모리 카세트에 접속되어 있는 것으로 판단하는 것을 특징으로 하는 메모리 카세트.

청구항 10

청구항 1에 따른 상기 데이타 처리 시스템에 사용되는 상기 제2메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 제1코넥터에 전기적으로 접속 가능한 코넥터, 및 b) 상기 코넥터로부터 공급되는 상기 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하며, 상기 코넥터를 구성하는 다수의 핀 중 하나의 특정한 핀으로부터 연장하는 리드는 메모리의 칩 선택 터미널에 접속되는 것을 특징으로 하는 메모리 카세트.

청구항 11

청구항 1에 따른 상기 데이타 처리 시스템에 사용되며, 상기 제2메모리 카세트로서 청구항 10에 따른 메모리 카세트에 접속 가능한 상기 제1메모리 카세트로서의 메모리 카세트에 있어서, a) 상기 처리 장치 본체에 전기적으로 접속 가능한 제1코넥터, b) 상기 제2메모리 카세트에 접속 가능하며, 상기 제1코넥터를 통해 상기 처리 장치 본체로부터 공급되는 상기 어드레스 신호가 전달되도록 제공되는 제2코넥터. c) 상기 제1 코넥터로부터 공급되는 특정한 어드레스 신호에 따라, 어드레스 신호가 상기 제1 어드레스 범위 내에 있을 때 유효한 제1칩 선택 신호를 출력하고, 어드레스 신호가 상기 제2어드레스 범위 내에 있을 때 유효한 제2칩 선택 신호를 상기 제2코넥터의 소정의 핀에 출력하는 접속 상태 판단 회로.

d) 상기 접속 상태 판단 회로로부터 공급되는 제1칩 선택 신호와 상기 제1코넥터로부터 공급되는 어드레스 신호에 대응하는 데이타를 출력하는 메모리를 포함하는 것을 특징으로 하는 메모리 카세트.

청구항 12

제5항에 있어서, 상기 메모리 카세트는 2개의 대향면을 포함하는 제3차원 구성을 갖고, 상기 제1코넥터 및 상기 제2코넥터는 상기 대향면에 각각 제공되는 것을 특징으로 하는 메모리 카세트.

청구항 13

메모리 카세트의 저장된 내용에 따라 처리를 실행하는 처리 장치 본체, 상기 처리 장치 본체에 접속 가능한 제1메모리 카세트, 및 상기 제1메모리 카세트 또는 상기 처리 장치 본체에 접속 가능한 제2메모리 카세트를 사용하는 데이타 처리 방법에 있어서, 상기 제1메모리 카세트 또는 상기 제2메모리 카세트가 상기 처리 장치 본체에 접속된 것으로 판단될 때, 제1어드레스 범위에서 상기 메모리 카세트로부터 데이타를 판독하는 단계, 및 상기 처리 장치 본체가 상기 제1메모리 카세트에 접속되고, 이 메모리 카세트에 상기 제2메모리 카세트가 접속된 것으로 판단될 때, 상기 제1어드레스 범위와 중첩되지 않는 상기 제2어드레스

범위를 포함하는 보다 넓은 어드레스 범위에서 데이타를 판독하는 단계를 포함하는 것을 특징으로 하는 데이타 처리 방법.

청구항 14

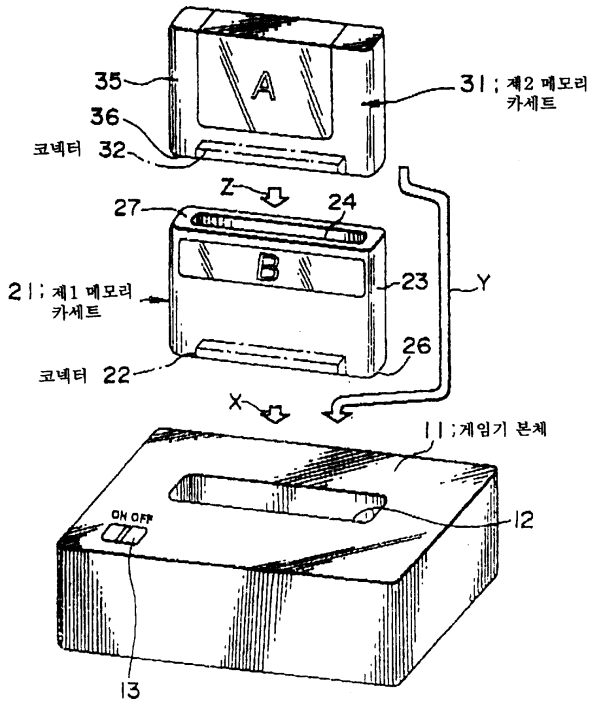
제7항 내지 제9항 중 어느 하나의 항에 있어서, 상기 메모리 카세트는 2개의 대향면을 포함하는 3차원 구성을 갖고, 상기 제1코넥터 및 상기 제2코넥터는 상기 대향면에 각각 제공되는 것을 특징으로 하는 메모리 카세트.

청구항 15

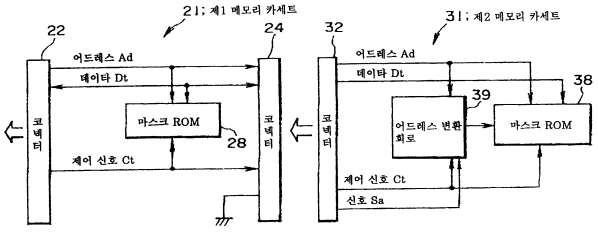
제11항에 있어서, 상기 메모리 카세트는 2개의 대향면을 포함하는 3차원 구성을 갖고, 상기 제1코넥터 및 상기 제2코넥터는 상기 대향면에 각각 제공되는 것을 특징으로 하는 메모리 카세트.

도면

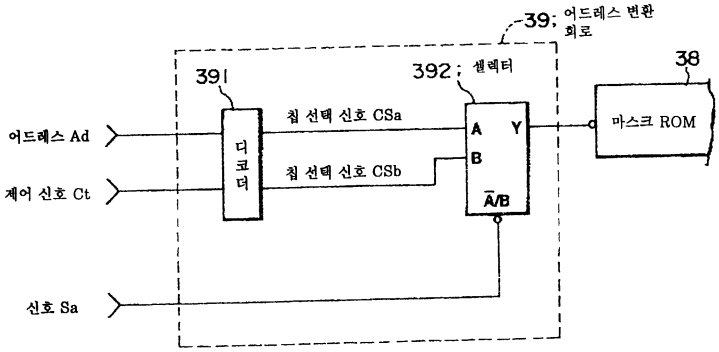
도면1



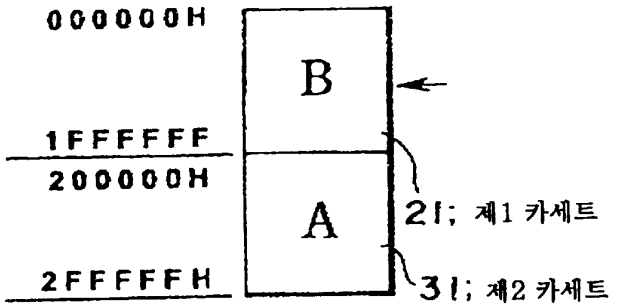
도면2



도면3

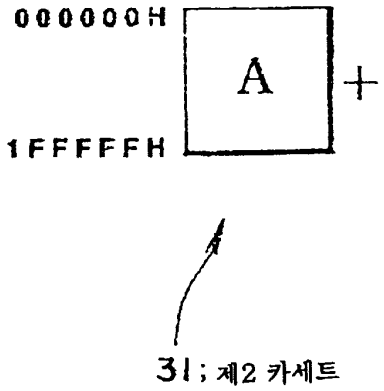


도면4a

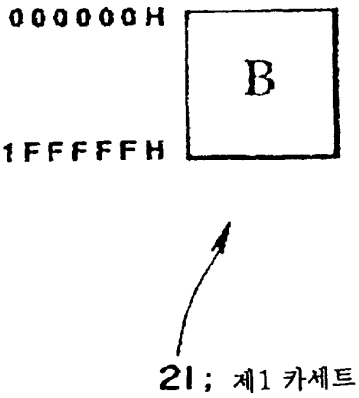


결합

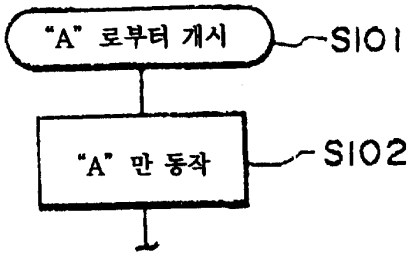
도면4b



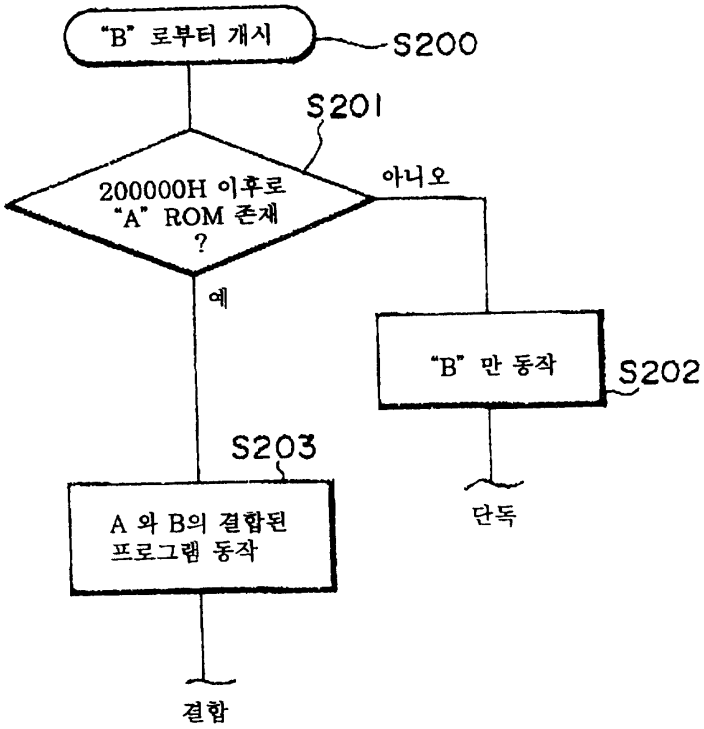
도면4c



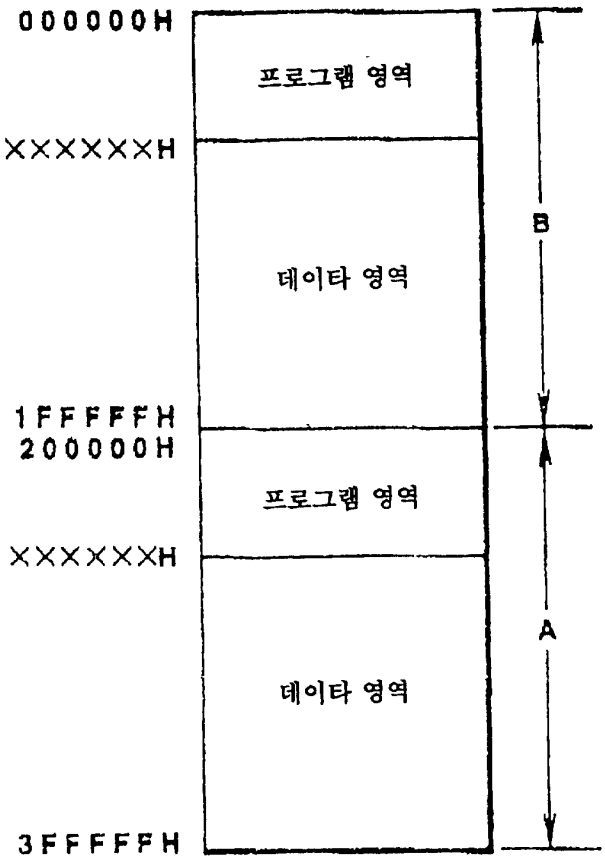
도면5a



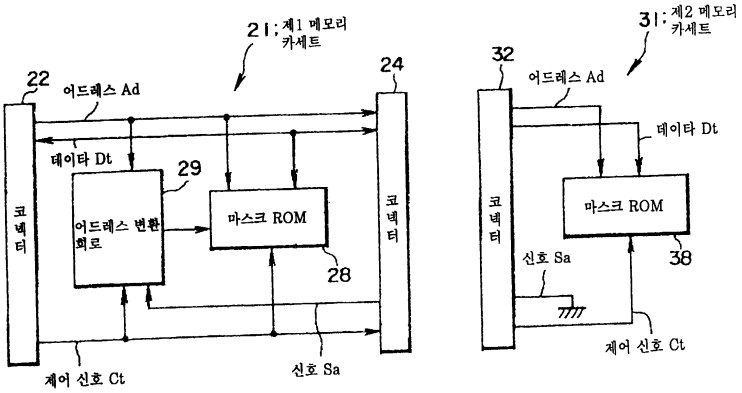
도면5b



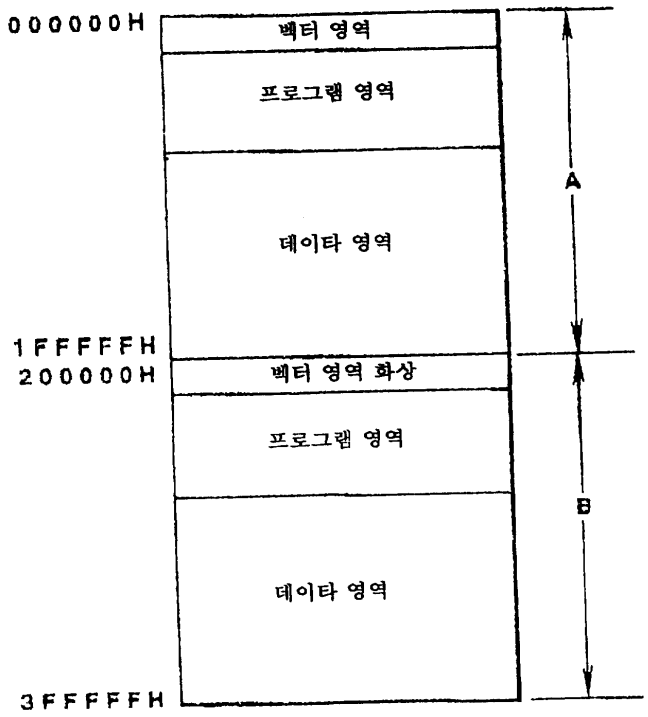
도면6


000000H
프로그램 영역
XXXXXXH
데이타 영역
B
1FFFFFH
200000H
프로그램 영역
XXXXXXH
데이타 영역
A
3FFFFFH

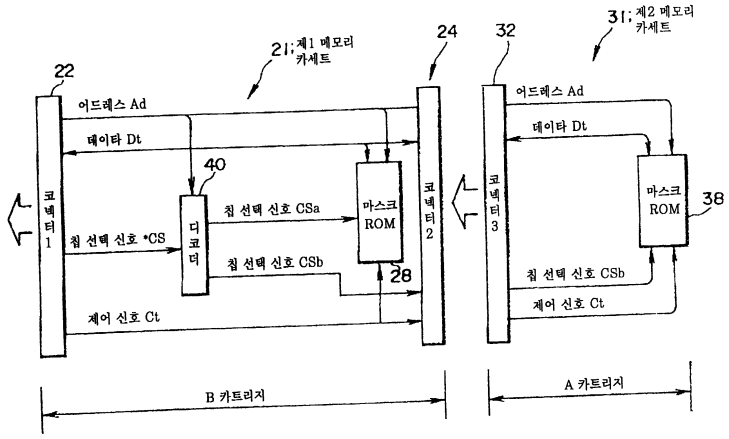
도면7


21; 제1 메모리 카세트
22
어드레스 Ad
24
데이타 Dt
29
코넥터
어드레스 변환 회로
마스크 ROM
28
코넥터
제어 신호 Ct
신호 Sa
31; 제2 메모리 카세트
32
어드레스 Ad
데이타 Dt
코넥터
마스크 ROM
신호 Sa
38
제어 신호 Ct

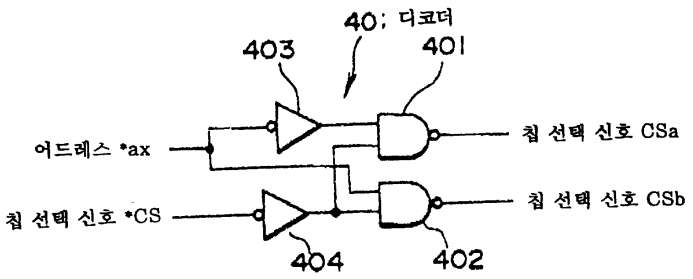
도면8


000000H
벡터 영역
프로그램 영역
데이타 영역
A
1FFFFFH
200000H
벡터 영역 확장
프로그램 영역
데이타 영역
B
3FFFFFH

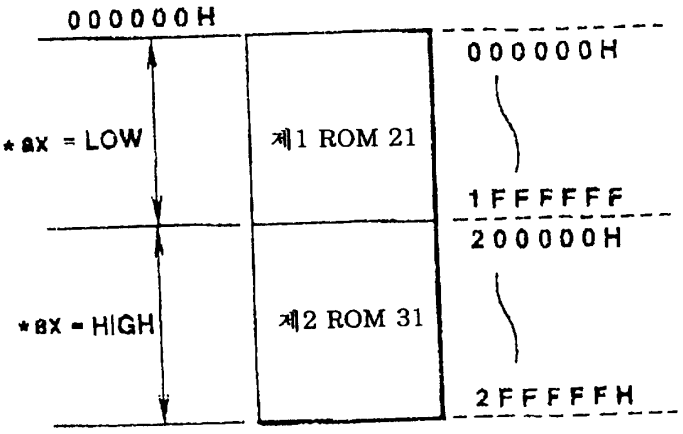
도면9


22
21; 제1 메모리 카세트
24
32
31; 제2 메모리 카세트
어드레스 Ad
데이타 Dt
40
칩 선택 신호 CSa
칩 선택 신호 CSb
칩 선택 신호 *CS
제어 신호 Ct
디코더
마스크 ROM
28
38
코넥터 1
코넥터 2
코넥터 3
B 카트리지
A 카트리지

도면10


40; 디코더
403
401
어드레스 *ax
칩 선택 신호 CSa
칩 선택 신호 CSb
칩 선택 신호 *CS
404
402

도면11



도면12

칩 선택 신호 *CS	어드레스 * ax	칩 선택 신호 CSa	칩 선택 신호 CSb
"0"	"0"	"0"	"1"
"0"	"1"	"1"	"0"
"1"	X	"1"	"1"