

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4702425号
(P4702425)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int. Cl. F I
HO4N 7/08 (2006.01) HO4N 7/08 Z
HO4N 7/081 (2006.01) HO4J 3/00 M
HO4J 3/00 (2006.01)

請求項の数 6 (全 27 頁)

<p>(21) 出願番号 特願2008-263243 (P2008-263243) (22) 出願日 平成20年10月9日 (2008.10.9) (65) 公開番号 特開2010-93658 (P2010-93658A) (43) 公開日 平成22年4月22日 (2010.4.22) 審査請求日 平成21年11月11日 (2009.11.11)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100122884 弁理士 角田 芳末 (74) 代理人 100133824 弁理士 伊藤 仁恭 (72) 発明者 山下 重行 東京都港区港南1丁目7番1号 ソニー株式会社社内 審査官 西谷 憲人</p>
--	--

最終頁に続く

(54) 【発明の名称】 信号送信装置及び信号送信方法

(57) 【特許請求の範囲】

【請求項1】

所定の伝送規格に従ってマッピングされた Link A である CH1, CH3, CH5, CH7 及び Link B である CH2, CH4, CH6, CH8 の HD-SDI フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換するシリアル/パラレル変換部と、

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換え、タイミング基準信号 SAV 内の最後のワードである XYZ の下位 2 ビットをチャンネル毎に変えて、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみ自己同期型スクランブルを掛け、タイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 CRC に続く少なくとも数ビットまでのデータを出力するスクランブラと、

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link B の各水平ラインのデータのうち、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみから RGB のビットを抜き出す抜き出し部と、

前記抜き出し部によって抜き出された Link B の RGB のビットを 8 ビット/10 ビットエンコーディングする 8 ビット/10 ビットエンコーダと、

10

20

前記スクランブラによって自己同期型スクランブルを掛けられた L i n k A のパラレル・デジタルデータと、前記 8 ビット / 10 ビットエンコーダによって 8 ビット / 10 ビットエンコーディングされた L i n k B のパラレル・デジタルデータとを多重する多重部と、

前記多重部によって多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成するシリアル・デジタルデータ生成部とを備える信号送信装置。

【請求項 2】

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 0 , L N 1 , L N 1 の順に書き換える信号送信装置。

10

【請求項 3】

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V をランダムな数値に書き換える信号送信装置。

【請求項 4】

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、0 0 0 h , 0 0 0 h 及び L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 の順に書き換える信号送信装置。

20

【請求項 5】

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 及び 0 0 0 h , 0 0 0 h の順に書き換える信号送信装置。

30

【請求項 6】

所定の伝送規格に従ってマッピングされた L i n k A である C H 1 , C H 3 , C H 5 , C H 7 及び L i n k B である C H 2 , C H 4 , C H 6 , C H 8 の H D - S D I フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル / パラレル変換する第 1 のステップと、

前記第 1 のステップでシリアル / パラレル変換した L i n k A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を所定の値に書き換え、タイミング基準信号 S A V 内の最後のワードである X Y Z の下位 2 ビットをチャンネル毎に変えて、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみに自己同期型スクランブルを掛けるステップであって、タイミング基準信号 S A V の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 C R C に続く少なくとも数ビットまでのデータを出力する第 2 のステップと、

40

前記第 1 のステップでシリアル / パラレル変換した L i n k B の各水平ラインのデータのうち、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみから R G B のビットを抜き出す第 3 のステップと、

前記第 3 のステップで抜き出した L i n k B の R G B のビットを 8 ビット / 10 ビットエンコーディングする第 4 のステップと、

前記第 2 のステップで自己同期型スクランブルを掛けた L i n k A のパラレル・デジタ

50

ルデータと、前記第4のステップで8ビット/10ビットエンコーディングしたLink Bの平行・デジタルデータとを多重する第5のステップと、

前記第5のステップで多重した平行・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成する第6のステップと、を有する

信号送信方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$ ビット信号をビットレート10Gbps以上でシリアル伝送する場合に適用して好適な信号送信装置及び信号送信方法に関する。 10

【背景技術】

【0002】

本出願人は、 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$ ビット信号を、ビットレート10Gbps以上でシリアル伝送する技術を既に開示済みである。 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$ ビット信号は、 $4k \times 2k$ 信号(4kサンプル×2kラインの超高解像度信号)の一種である。

【特許文献1】特開2008-99189号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0003】

ところで、特許文献1に開示された技術を用いて、 $4k \times 2k$ 信号のシリアル伝送を行う場合、単一色のみからなる画面(フラットフィールド)を構成する映像信号の生成が行えなくなることが判明した。この点について図20を参照して説明する。

【0004】

図20は、従来のベーシックストリームの伝送例を示す。

図20Aは、ベーシックストリームCH1, 3, 5, 7を伝送する場合におけるデータ構造の例を示す。

従来、ベーシックストリームCH1, 3, 5, 7のEAVに続くフィールド101には、(LN0, LN0, LN1, LN1)が含まれる。CH1, 3, 5, 7のSAV内における(3FFh, 3FFh, 000h, 000h, 000h, 000h, XYZ, ZYZh)のフィールド102で示される(000h, 000h, 000h, 000h)はそのままスクランブルが掛けられる。このとき、CXYZhの下位2ビットを、CH1, 3, 5, 7でそれぞれ、(0, 0), (0, 1), (1, 0), (1, 1)に書き換える。 30

【0005】

図20Bは、ベーシックストリームCH2, 4, 6, 8を伝送する場合におけるデータ構造の例を示す。

ベーシックストリームCH2, 4, 6, 8は、それぞれSAVとアクティブビデオとEAVによって構成される映像信号に変換される。ただし、この映像信号は、8B/10B変換される。 40

【0006】

図20Cは、10ビット8ワードのデータ構造の例を示す。

図20Aにおけるフィールド103と、図20Bにおけるフィールド104は、それぞれ、10ビット8ワードのデータに挿入される。

【0007】

ここで、フィールド103は元データをスクランブルしたデータであるため、K28.5信号に相当する8B/10B符号のワード同期信号を誤って生成することがある。例えば、単一色の映像信号をスクランブルした場合に、K28.5信号に相当する8B/10B符号のワード同期信号を生成すると、この8B/10B符号のワード同期信号が1フィ 50

ールドの同じ水平位置に出力されてしまう。映像信号の出力は、ステートマシンによって制御されており、この8B/10B符号のワード同期信号が1フィールドの同じ水平位置に連続して出力されると、映像信号の出力のワード区切りを誤ってしまい、フラットフィールドの映像信号を出力できなくなる。

【0008】

本発明はこのような状況に鑑みて成されたものであり、フラットフィールドの映像信号を好適に出力することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明は、所定の伝送規格に従ってマッピングされたCH1～CH8のHD-SDIフォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する。ここで、CH1～CH8は、Link AであるCH1, CH3, CH5, CH7及びLink BであるCH2, CH4, CH6, CH8である。

次に、シリアル/パラレル変換されたLink Aの各水平ラインのデータのうち、0000h, 0000h, 0000h, 0000hで規定されるタイミング基準信号SAVを所定の値に書き換え、タイミング基準信号SAV内の最後のワードであるXYZの下位2ビットをチャンネル毎に変える。

次に、スクランブラによって、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみ自己同期型スクランブルを掛ける。

次に、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードし、誤り検出符号CRCに続く少なくとも数ビットまでのデータを出力する。

次に、シリアル/パラレル変換されたLink Bの各水平ラインのデータのうち、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみからRGBのビットを抜き出す。

次に、抜き出されたLink BのRGBのビットを8ビット/10ビットエンコーディングする。

次に、自己同期型スクランブルを掛けられたLink Aのパラレル・デジタルデータと、8ビット/10ビットエンコーディングされたLink Bのパラレル・デジタルデータとを多重する。

そして、多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成する。

【0010】

これにより、伝送規格に従ってマッピングされたCH1～CH8のHD-SDIフォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する。Link Aについては、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみ自己同期型スクランブルを掛ける。一方、水平ブランキング期間のデータには自己同期型スクランブルを掛けない。そして、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードし、誤り検出符号CRCに続く少なくとも数ビットまでのデータを出力する。

【0011】

Link Bについては、各水平ラインのデータのうち、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみからRGBのビットが抜き出される。このRGBのビットが8ビット/10ビットエンコーディングされる。そして、自己同期型スクランブルを掛けられたLink Aのデータと、8ビット/10ビットエンコーディングされたLink Bのデータとが多重される。その多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータが生成される。

10

20

30

40

50

【発明の効果】

【0012】

本発明によれば、シリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換える。このデータがスクランブルされた結果、フラットフィールドの映像信号であっても、タイミング基準信号 SAV の値は異なる値となる。このため、あるデータがスクランブルされたことによって 8B / 10B 符号のワード同期信号を示すデータに変換されたとしても、この 8B / 10B 符号のワード同期信号を示すデータは連続しない。これにより、フィールドの映像信号を好適に出力できるという効果がある。

【発明を実施するための最良の形態】

10

【0013】

以下、発明を実施するための最良の形態（以下実施の形態とする。）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（スクランブル制御：SAVへのデータ書換え処理の例）

2. 変形例

【0014】

< 1. 第1の実施の形態 >

[伝送システムの例]

図1は、本発明を適用したテレビジョン放送局用のカメラ伝送システムの全体構成を示す図である。このカメラ伝送システムは、複数台の放送用カメラ1とCCU（カメラコントロールユニット）2とで構成されており各放送用カメラ1が光ファイバケーブル3でCCU2に接続されている。

20

【0015】

各放送用カメラ1は、同一構成のものであり、3840×2160/24P, 24/1.001P, 25P, 30P, 30/1.001P（以下単に24P, 25P, 30Pと記載する）/4:4:4/12ビット信号を生成するカメラである。この信号は、4k×2k信号（4kサンプル×2kラインの超高解像度信号）として用いられる。

【0016】

CCU2は、各放送用カメラ1を制御したり、各放送用カメラ1から映像信号を受信したり、各放送用カメラ1のモニタに他の放送用カメラ1で撮影中の映像を表示させるための映像信号（リターンビデオ）送信するユニットである。

30

【0017】

[放送用カメラの内部構成例]

図2は、放送用カメラ1の回路構成のうち、本発明に関連する部分を示すブロック図である。放送用カメラ1内の撮像部及び映像信号処理部（図示略）によって生成された3840×2160/24P, 25P, 30P/4:4:4/12ビット信号が、マッピング部11に送られる。

【0018】

図3は、この3840×2160/24P, 25P, 30P/4:4:4/12ビット信号のフォーマットを示す図である。3840×2160/24P, 25P, 30P/4:4:4/12ビット信号は、ワード長が12ビットずつのGデータ系列, Bデータ系列, Rデータ系列の同期を取って並列配置した、36ビット幅の信号である。1フレーム期間は1/24秒, 1/25秒, 1/30秒のうちのいずれかであり、1フレーム期間内に2160の有効ライン期間が含まれている。

40

【0019】

各有効ライン期間には、タイミング基準信号EAV（End of Active Video）と、ライン番号LNと、誤り検出符号CRCが配置される。また、水平ブランキング期間（補助データ/未定義ワードデータの区間）と、タイミング基準信号SAV（Start of Active Video）と、映像データの区間であるアクティブラインとが配置される。アクティブラインのサンプル数は3840であり、Gデータ系列, Bデータ系列, Rデータ系列のアクティ

50

ラインには、それぞれG, B, Rの映像データが配置される。

【0020】

図2のマッピング部11は、この3840×2160/24P, 25P, 30P/4:4:4/12ビット信号を、SMPTE 435Mに従ってCH1~CH8の8チャンネルのHD-SDI信号にマッピングする回路である。CH1~CH8は、Link AであるCH1, CH3, CH5, CH7及びLink BであるCH2, CH4, CH6, CH8である。そして、8チャンネルのHD-SDI信号は、ビットレート1.485 Gbpsまたは1.485 Gbps/1.001(以下単に1.485 Gbpsと記載する)である。

【0021】

SMPTE 435Mは、10Gインタフェースの規格である。この規格は、複数チャンネルのHD-SDI信号を、2サンプル(40ビット)単位で8B/10Bエンコーディングして50ビットに変換することを定める。また、チャンネル毎に多重してビットレート10.692 Gbpsまたは10.692 Gbps/1.001(以下単に10.692 Gbpsと記載する)でシリアル伝送することを定める。4k×2k信号をHD-SDI信号にマッピングする方法は、SMPTE 435M Part 1の5.4 Octalink 1.5 Gbps ClassのFigure 3及びFigure 4に示されており、図4はその概略を示す図である。4k×2k信号の1フレーム分のデータが、画面の上下左右に4分割した4つのサブイメージ1~4に分割される。そして、各サブイメージ1, 2, 3, 4から、SMPTE 372M(Dual Link)によるCH1(Link A)及びCH2(Link B), CH3(Link A)及びCH4(Link B)がそれぞれ形成される。また、CH5(Link A)及びCH6(Link B), CH7(Link A)及びCH8(Link B)がそれぞれ形成される。

【0022】

Link A, Link Bのデータ構造は、SMPTE 372MのTable 2及びFigure 6に示されており、図5はその概略を示す図である。図5(a)に示すように、Link Aは、1サンプルが20ビットであり、全てのビットがRGBの値を表している。Link Bも、図5(a)に示すように1サンプルが20ビットである。しかし、図5(b)に示すように、Link BのYchは10ビットのR'G'B'n:0-1のうち、ビットナンバー2~7の6ビットのみがRGBの値を表しており、したがって1サンプル中でRGBの値を表しているビット数は16ビットである。

【0023】

マッピング部11によってこのようにマッピングされたCH1~CH8のHD-SDI信号は、図2に示すようにS/P・スクランブル・8B/10B部12に送られる。

【0024】

[S/P・スクランブル・8B/10B部の内部構成例]

図6は、S/P・スクランブル・8B/10B部12の構成を示すブロック図である。S/P・スクランブル・8B/10B部12は、各CH1~CH8に一対一に対応した8個のブロック12-1~12-8から成っている。

【0025】

Link AであるCH1, CH3, CH5, CH7用のブロック12-1, 12-3, 12-5, 12-7は、ブロック12-1だけがブロック12-3, 12-5, 12-7と構成が相違する。一方、ブロック12-3, 12-5, 12-7は同一構成である(図ではブロック12-3について構成を記載し、12-5, 12-7の構成の記載は省略している)。Link BであるCH2, CH4, CH6, CH8用のブロック12-2, 12-4, 12-6, 12-8は、全て同一構成である(図ではブロック12-2について構成を記載し、12-4, 12-6, 12-8の構成の記載は省略している)。また、各ブロックにおいて同一の処理を行う部分には同一符号を付している。

【0026】

最初に、Link A用のブロック12-1, 12-3, 12-5, 12-7について説

10

20

30

40

50

明する。ブロック 12 - 1, 12 - 3, 12 - 5, 12 - 7では、入力したCH1, CH3, CH5, CH7のHD - SDI信号が、S/P(シリアル/パラレル)変換部21に送られる。S/P変換部21は、このHD - SDI信号をビットレート74.25Mbpsまたは74.25Mbps/1.001(以下単に74.25Mbpsと記載する)の20ビット幅のパラレル・デジタルデータにシリアル/パラレル変換する。そして、74.25MHzのクロックを抽出する。

【0027】

S/P変換部21によってシリアル/パラレル変換されたパラレル・デジタルデータは、TRS検出部22に送られる。S/P変換部21によって抽出された74.25MHzのクロックは、FIFOメモリ23に書き込みクロックとして送られる。また、ブロック12 - 1内のS/P変換部21によって抽出された74.25MHzのクロックは、図2に示すPLL13にも送られる。

10

【0028】

TRS検出部22は、S/P変換部21から送られたパラレル・デジタルビデオ信号からタイミング基準信号SAV及びEAVを検出し、その検出結果に基づいてワード同期を確立する。

【0029】

TRS検出部22の処理を経たパラレル・デジタルデータは、FIFOメモリ23に送られて、S/P変換部21からの74.25MHzのクロックによってFIFOメモリ23に書き込まれる。

20

【0030】

図2のPLL13は、ブロック12 - 1内のS/P変換部21からの74.25MHzのクロックを1/2に分周した37.125MHzのクロックを、各ブロック12 - 1 ~ 12 - 8内のFIFOメモリ23に読出しクロックとして送る。そして、各ブロック12 - 1 ~ 12 - 8内のFIFOメモリ26及びブロック12 - 1内のFIFOメモリ27に書き込みクロックとして送る。

【0031】

またPLL13は、ブロック12 - 1内のS/P変換部21からの74.25MHzのクロックの周波数を9/8倍した83.5312MHzのクロックを、各ブロック12 - 1 ~ 12 - 8内のFIFOメモリ26に読出しクロックとして送る。また、ブロック12 - 1内のFIFOメモリ27にも読出しクロックとして送る。そして、図2のFIFOメモリ16に書き込みクロックとして送る。

30

【0032】

またPLL13は、ブロック12 - 1内のS/P変換部21からの74.25MHzのクロックの周波数を9/4倍した167.0625MHzのクロックを、図2のFIFOメモリ16に読出しクロックとして送る。

【0033】

またPLL13は、ブロック12 - 1内のS/P変換部21からの74.25MHzのクロックの周波数を9倍した668.25MHzのクロックを、図2の多チャンネルデータ形成部17に読出しクロックとして送る。

40

【0034】

図6に示すように、FIFOメモリ23からは、S/P変換部21からの74.25MHzのクロックによって書き込まれた20ビット幅のパラレル・デジタルデータが読出される。このとき、図2のPLL13からの37.125MHzのクロックにより、2サンプルを単位とした40ビット幅のパラレル・デジタルデータとして読み出されて、スクランブラ24に送られる。また、ブロック12 - 1では、FIFOメモリ23から読み出されたこの40ビット幅のパラレル・デジタルデータが、8B/10Bエンコーダ25にも送られる。

【0035】

スクランブラ24は、自己同期型のスクランブラである。自己同期型スクランブル方式

50

は、S M P T E 2 9 2 Mで採用されているスクランブル方式である。スクランブラ 2 4 は、送信側が、入力したシリアル信号を多項式とみなして9次の原始多項式

$$X^9 + X^4 + 1$$

で順次割り算する。そして、割り算した結果である商を伝送することにより、統計的に伝送データのマーク率(1と0の割合)を平均1/2にする。このスクランブルは、原始多項式による信号の暗号化という意味も併せ持っている。この商をさらに $X + 1$ で割ることによって極性フリー(データとその反転データで同じ情報を持つこと)のデータにして送信する。受信側では、受信したシリアル信号に $X + 1$ を掛け、さらに上記原始多項式 $X^9 + X^4 + 1$ を掛ける処理(デスクランブル)により、元のシリアル信号を再生する。

【0036】

まず、スクランブラ 2 4 は、シリアル/パラレル変換部によってシリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000hで規定されるタイミング基準信号SAVを所定の値に書き換える。本例では、000h, 000h, 000h, 000hで規定されるタイミング基準信号SAVを、Link Aに含まれるタイミング基準信号EAVに続く、ライン番号LN0, LN0, LN1, LN1の順に書き換える。この処理については、図11を参照して後述する。

【0037】

そして、スクランブラ 2 4 は、各水平ラインの全てのデータにスクランブルを掛けるのではなく、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみスクランブルを掛ける。一方、水平ブランキング期間のデータにはスクランブルを掛けない。そして、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードし、誤り検出符号CRCに続く10ビットまでのデータを出力する。

【0038】

スクランブラ 2 4 でこうした処理を行うのは、次のような理由による。従来の自己同期型スクランブル方式では各水平ラインの全てのデータを途切れることなく送信するが、本発明では、自己同期型スクランブルを掛けた水平ブランキング期間のデータを送信しない。そのための方法としては、水平ブランキング期間も含めて各水平ラインの全てのデータにスクランブルを掛けるが水平ブランキング期間のデータだけは送信しない、という方法もある。しかし、その方法では、送信のスクランブラと受信のデスクランブラとでデータの連続性が保存されないので、受信側のデスクランブラでデータを再生する時にCRCの最後の数ビットで桁上がりの計算間違いを起こし、正確に誤り検出符号CRCが再生されない。また、データを送信しない水平ブランキング期間でスクランブラのクロックを止めることによって正確にCRCを再生できるようにするという方式もある。しかし、その方法を採用すると、CRCの計算時に次のタイミング基準信号SAVが必要となり、タイミング制御が困難になる等の問題が発生する。

【0039】

そこで、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみスクランブルを掛ける。また、タイミング基準信号SAVの直前でスクランブラ 2 4 内のレジスタの値を全て0にセットしてエンコードする。そして、誤り検出符号CRCに続く少なくとも数ビット(一例として10ビットとする)までのデータを出力するようにした。

【0040】

こうすることにより、受信側の装置では、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてデコードを開始できる。また、誤り検出符号CRCに続く少なくとも数ビットのデータにもデスクランブルを掛けることにより、掛け算回路であるデスクランブラの桁上がりを考慮した正確な計算を行って元のデータを再生できる。

【0041】

さらに、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0に

10

20

30

40

50

セットすると、スクランブルデータにパソロジカルパターンが発生しないことが計算によって判明した。パソロジカルパターンとは、自己同期型スクランブルを掛けた際に、シリアル伝送路上に、1水平ラインに亘り、所定のビット数で‘H’または‘L’が連続するパターン信号が発生するものである。例えば、図7(a)には、1ビットの‘H’に続いて19ビットの‘L’が続くパターン(あるいはその反転パターン)の信号が示される。また、図7(b)には、20ビットの‘H’が連続した後20ビットの‘L’が連続するパターン(あるいはその反転パターン)の信号が示される。

【0042】

図7(a)のパターンやその反転パターンは、直流成分の多いパターンである。そして、10Gbpsというような高速な伝送レートを実現するためにはAC結合の伝送系を用いることが一般的である。しかし、AC結合の伝送系では、直流成分が多い場合に図8に示すようなベースラインのうねりを起こしてしまうので、受信側の装置で直流成分を再生することが必要になってしまう。

10

【0043】

図7(b)のパターンやその反転パターンは、0から1への遷移や1から0への遷移が少ないパターンなので、受信装置の側でシリアル信号からクロックを再生することが困難になってしまう。

【0044】

これに対し、前述のように、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットすることにより、こうしたパソロジカルパターンが発生しないことが計算によって判明したので、伝送符号として良好な信号であるといえる。

20

【0045】

また、図9に示すように、タイミング基準信号SAV内の最後のワードであるXYZ(同一フレームの第1フィールド/第2フィールドを識別したり、SAVとEAVとを識別するためのワード)の下位2ビットは(0,0)になっている。しかし、例えば、ブロック12-1内のスクランブラ24ではこの下位2ビットを(0,0)にしたままスクランブルを掛ける。次に、ブロック12-3内のスクランブラ24ではこの下位2ビットを(0,1)に書き換えた後スクランブルを掛ける。次に、ブロック12-5内のスクランブラ24ではこの下位2ビットを(1,0)に書き換えた後スクランブルを掛ける。そして、ブロック12-7内のスクランブラ24ではこの下位2ビットを(1,1)に書き換えた後スクランブルを掛ける。このように、CH1, CH3, CH5, CH7のチャンネル毎にこの下位2ビットの値を変えてスクランブルを掛ける。

30

【0046】

このような処理を行うのは、次のような理由による。3840×2160/24P, 25P, 30P/4:4:4/12ビット信号がフラットな(画面全体でRGBの値がほぼ同じ)信号である場合を想定する。この場合、CH1, CH3, CH5, CH7とCH2, CH4, CH6, CH8とでデータ値が均一になると、EMI(電磁放射)等が発生して好ましくない。これに対し、SAV内のXYZの下位2ビットの値をCH1, CH3, CH5, CH7のチャンネル毎に変えてスクランブルを掛ける場合を想定する。この場合、スクランブル後のデータは、XYZの下位2ビットを(0,0)にしたデータに加えて、(0,1), (1,0), (1,1)を生成多項式で割った結果を伝送することになる。このため、データの均一性を回避することが可能になる。

40

【0047】

さらに、このようにXYZの下位2ビットの値をチャンネル毎に変えても、前述のようにタイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットすると、パソロジカルパターンが発生しないことが計算によって判明した。

【0048】

このようにしてスクランブラ24でスクランブルを掛けられた40ビット幅の平行・デジタルデータは、図2のPLL13からの37.125MHzのクロックによってFIFOメモリ26に書き込まれる。その後、PLL13からの83.5312MHzのク

50

ロックによって40ビット幅のままFIFOメモリ26から読み出されて、図2に示す多重部14に送られる。

【0049】

ブロック12-1内の8B/10Bエンコーダ25は、FIFOメモリ23から読み出された40ビット幅の平行・デジタルデータのうち、水平ブランキング期間のデータのみを8ビット/10ビットエンコーディングする。

【0050】

8B/10Bエンコーダ25によって8ビット/10ビットエンコーディングされた50ビットのビット幅の平行・デジタルデータは、図2のPLL13からの37.125MHzのクロックによってFIFOメモリ27に書き込まれる。その後、PLL13からの83.5312MHzのクロックによって50ビット幅のままFIFOメモリ27から読み出されて、図2に示す多重部14に送られる。

10

【0051】

なお、ブロック12-1からのみ(すなわちCH1についてのみ)水平ブランキング期間のデータを多重部14に送る。ブロック12-3, 12-5, 12-7からは(CH3, CH5, CH7については)水平ブランキング期間のデータを多重部14に送らない。このようにするのは、データ量の制約上の理由からである。

【0052】

次に、LinkB用のブロック12-2, 12-4, 12-6, 12-8について説明する。このブロックでは、入力したCH2, CH4, CH6, CH8のHD-SDI信号が、S/P変換部21及びTRS検出部22によってブロック12-1, 12-3, 12-5, 12-7におけるのと同じの処理を施された後、抜き出し部28に送られる。

20

【0053】

抜き出し部28は、LinkBの各水平ラインのデータから、RGBのビット(図5に示したLinkBの1サンプルの20ビットのうちの、RGBの値を表している16ビット)を抜き出す回路である。このとき、抜き出し部28は、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみからRGBのビットを抜き出す。

【0054】

抜き出し部28によって抜き出された16ビット幅の平行・デジタルデータは、S/P変換部21からの74.25MHzのクロックによってFIFOメモリ23に書き込まれる。その後、図2のPLL13からの37.125MHzのクロックにより、2サンプルを単位とした32ビット幅の平行・デジタルデータとして読み出されて、K28.5挿入部29に送られる。

30

【0055】

K28.5挿入部29は、タイミング基準信号SAVまたはEAVの先頭部分に、2個の8ビットワードデータを挿入する。この8ビットワードデータは、8ビット/10ビットエンコーディングした際に、映像信号を表すワードデータとしては用いられない10ビットワードデータ(K28.5というコードネームで呼ばれるもの)に変換されるものである。

40

【0056】

K28.5挿入部29の処理を経た32ビット幅の平行・デジタルデータは、8B/10Bエンコーダ30に送られる。8B/10Bエンコーダ30は、この32ビット幅の平行・デジタルデータを8ビット/10ビットエンコーディングして出力する。

【0057】

2サンプルを単位とした32ビット幅の平行・デジタルデータを8B/10Bエンコーダ30で8ビット/10ビットエンコーディングさせるのは、次の理由による。つまり、10Gインタフェース規格であるSMPTE 435Mにおける50ビットのContent IDの上位の40ビットとの互換をとるためである。

【0058】

50

8 B / 10 B エンコーダ 30 によって 8 ビット / 10 ビット エンコーディングされた 40 ビット幅の平行・デジタルデータは、図 2 の PLL 13 からの 37.125 MHz のクロックによって FIFO メモリ 26 に書き込まれる。その後、PLL 13 からの 83.5312 MHz のクロックによって 40 ビット幅のまま FIFO メモリ 26 から読み出されて、図 2 に示す多重部 14 に送られる。

【 0059 】

図 2 の多重部 14 は、S / P ・スクランブル・8 B / 10 B 部 12 の各ブロック 12 - 1 ~ 12 - 8 内の FIFO メモリ 26 から読み出された CH 1 ~ CH 8 の 40 ビット幅の平行・デジタルデータを、40 ビット単位で、順に 320 ビット幅に多重する。この様子は図 10 (a) に示される。40 ビット幅の平行・デジタルデータとは、タイミング基準信号 SAV , アクティブライン , タイミング基準信号 EAV , ライン番号 LN 及び誤り検出符号 CRC のみのデータである。320 ビット幅に多重する順は、CH 2 , CH 1 , CH 4 , CH 3 , CH 6 , CH 5 , CH 8 , CH 7 である。CH 2 , CH 4 , CH 6 , CH 8 は、8 ビット / 10 ビット エンコーディングしたチャンネルである。CH 1 , CH 3 , CH 5 , CH 7 は、自己同期型スクランブルを掛けたチャンネルである。

10

【 0060 】

このように、8 ビット / 10 ビット エンコーディングしたデータを、自己同期型スクランブルを掛けたデータに 40 ビット毎にはさむことによって、パソロジカルパターンの発生を防止できる。このとき、スクランブル方式によるマーク率 (0 と 1 の割合) 変動や、0 - 1、1 - 0 の遷移の不安定さを解消できる。

20

【 0061 】

また、多重部 14 は、S / P ・スクランブル・8 B / 10 B 部 12 のブロック 12 - 1 内の FIFO メモリ 27 から読み出された CH 1 の水平ランキング期間のみの 50 ビット幅の平行・デジタルデータを、4 サンプル分多重して 200 ビット幅にする。この様子は、図 10 (b) に示す。

【 0062 】

多重部 14 によって多重されたこの 320 ビット幅の平行・デジタルデータと 200 ビット幅の平行・デジタルデータとは、データ長変換部 15 に送られる。データ長変換部 15 は、シフトレジスタを用いて構成されている。この 320 ビット幅の平行・デジタルデータを 256 ビット幅に変換したデータと、この 200 ビット幅の平行・デジタルデータを 256 ビット幅に変換したデータとを用いて、256 ビット幅の平行・デジタルデータを形成する。そして、この 256 ビット幅の平行・デジタルデータをさらに 128 ビット幅に変換する。

30

【 0063 】

図 11 は、本実施の形態に係るベーシックストリームの伝送例を示す。

図 11 A は、ベーシックストリーム CH 1 , 3 , 5 , 7 を伝送する場合におけるデータ構造の例を示す。

フラットフィールドに対する安定性を向上させるために以下の処理を行う。すなわち、スクランブラ 24 は、スクランブルを掛ける前に、CH 1 , 3 , 5 , 7 の SAV (3 F F h , 3 F F h , 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h , X Y Z h , X Y Z h) の (0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h) を、所定の値に書き換える。本例において、スクランブラ 24 は、フィールド 51 に含まれるライン番号 (LN 0 , LN 0 , LN 1 , LN 1) の内容を、フィールド 52 に含まれる SAV (0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h) の内容と書き換える処理を行う。つまり、CH 1 , 3 , 5 , 7 の SAV が多重してある同じラインの EAV に続く (LN 0 , LN 0 , LN 1 , LN 1) に書き換えた後、スクランブルを掛ける。この処理によって、ベーシックストリーム CH 1 , 3 , 5 , 7 は、それぞれ SAV とアクティブビデオと EAV によって構成される映像信号に変換される。このとき、C X Y Z h の下位 2 ビットを、CH 1 , 3 , 5 , 7 でそれぞれ、(0 , 0) , (0 , 1) , (1 , 0) , (1 , 1) に書き換える。

40

【 0064 】

50

図 1 1 B は、ベーシックストリーム CH 2, 4, 6, 8 を伝送する場合におけるデータ構造の例を示す。

ベーシックストリーム CH 2, 4, 6, 8 は、それぞれ SAV とアクティブビデオと EAV によって構成される HD - SDI フォーマット信号に変換される。ただし、この HD - SDI フォーマット信号は、8 B / 10 B 変換される。

【 0 0 6 5 】

図 1 1 C は、10 ビット 8 ワードのデータ構造の例を示す。

図 1 1 A におけるフィールド 5 3 と、図 1 1 B におけるフィールド 5 4 は、それぞれ、10 ビット 8 ワードのデータに挿入される。

【 0 0 6 6 】

このように、CH 1, 3, 5, 7 は タイミング基準信号 SAV とタイミング基準信号 EAV とアクティブビデオのみスクランブルして多重される。このとき、SAV の直前でスクランブラのレジスタ値を全て 0 にセットしてエンコードし、タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC に続く 10 ビットまでのデータを送る。一方、受信側の後述するデスクランブラ 4 1 は、レジスタ値を SAV の直前で全て 0 にセットしてデコードを開始する。そして、10 ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブラの桁上りを計算して元のデータを正確に再生できる。

【 0 0 6 7 】

また、4 k 画面がフラットフィールドである場合、CH 1, 3, 5, 7 と CH 2, 4, 6, 8 のデータ値が同じになり、EMI 等で好ましくない。このため、スクランブル時に SAV 内の 0 0 0 h, 0 0 0 h, 0 0 0 h, 0 0 0 h を、入力 HD - SDI の同一ライン内の EAV に続く CLN 0, YLN 0, CLN 1, YLN 1 に書き換える。そして、XYZ 下位 2 ビット (リザーブ 0) をチャンネル毎に変えてスクランブルする。これによりデータの均一性を回避できる。XYZ 下位 2 ビットは、受信側で元の 0 0 に戻すように処理すればよい。

【 0 0 6 8 】

図 1 2 ~ 図 1 4 は、データ長変換部 1 5 によって形成される 2 5 6 ビット幅の平行・デジタルデータの構造を示す図である。

図 1 2 は 3 0 P の場合の 1 ライン分のデータ構造を示す。

図 1 3 は 2 5 P の場合の 1 ライン分のデータ構造を示す。

図 1 4 は 2 4 P の場合の 4 ライン分のデータ構造を示す。

ただし、2 4 P の場合には、4 ライン周期で最後のワードのビット数が 1 2 8 ビットになるので、4 ライン分を描いている。

SMPTE 4 3 5 M では、フレームレート及びライン数が、CH 1 の HD - SDI 信号と同じにされる。そして、S / P ・スクランブル・8 B / 10 B 部 1 2 では、スクランブルと 8 B / 10 B エンコーディングとを併用しているが、CH 1 にはスクランブル (SMPTE 2 9 2 M で採用されているもの) を掛けている。したがって、図 1 2 ~ 図 1 4 に示したデータ構造は、基本的には HD - SDI 信号と同じになっている。

【 0 0 6 9 】

図 1 2 ~ 図 1 4 に示すように、1 ライン分のデータは、次の 3 つの領域で構成されている。

- ・斜線を付した領域：CH 2, CH 1, CH 4, CH 3, CH 6, CH 5, CH 8, CH 7 の順に 40 ビット単位で多重された各 CH 1 ~ CH 8 のタイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータの領域

- ・白地の領域：8 B / 10 B エンコーディングされた CH 1 の 50 ビットずつの水平ブランキング期間のデータの領域

- ・ドット模様を付した領域：データ量調整のための付加データの領域

【 0 0 7 0 】

10

20

30

40

50

図2に示すように、データ長変換部15によって128ビット幅に変換されたパラレル・デジタルデータは、FIFOメモリ16に送られて、PLL13からの83.5312MHzのクロックによってFIFOメモリ16に書き込まれる。

【0071】

FIFOメモリ16に書き込まれたこの128ビット幅のパラレル・デジタルデータは、図2のPLL13からの167.0625MHzのクロックにより、64ビット幅のパラレル・デジタルデータとしてFIFOメモリ16から読み出される。その後、多チャンネルデータ形成部17に送られる。

【0072】

多チャンネルデータ形成部17は、例えばX S B I (Ten gigabit Sixteen Bit Interface: 10ギガビットイーサネット(登録商標)のシステムで使用される16ビットインタフェース)である。多チャンネルデータ形成部17は、FIFOメモリ16からの64ビット幅のパラレル・デジタルデータから、各々がビットレート668.25Mbpsを有する16チャンネル分のシリアル・デジタルデータを形成する。このとき、多チャンネルデータ形成部17は、PLL13からの668.25MHzのクロックを用いる。多チャンネルデータ形成部17によって形成された16チャンネルのシリアル・デジタルデータは、多重・P/S変換部18に送られる。

【0073】

多重・P/S変換部18は、多チャンネルデータ形成部17からの16チャンネルのシリアル・デジタルデータを多重し、その多重したパラレル・デジタルデータをパラレル/シリアル変換する。これにより、 $668.25\text{Mbps} \times 16 = 10.692\text{Gbps}$ のシリアル・デジタルデータを生成する。

【0074】

図15は、この10.692Gbpsのシリアル・デジタルデータの1ライン分のデータ構造を示す図であり、図15(a)は24Pの場合の構造、図15(b)は25Pの場合の構造、図15(c)は30Pの場合の構造である。この図では、ライン番号LN及び誤り検出符号CRCを含めたものをSAV、アクティブライン及びEAVとして示すとともに、図12~図14に示した付加データの領域を含めたものを水平ブランキング期間として示している。

【0075】

24P, 25P, 30Pの場合の1ラインのビット数は、それぞれ下記式によって求められる。

$$10.692\text{Gbps} \div 24\text{フレーム/秒} \div 1125\text{ライン/フレーム} = 396000\text{ビット}$$

$$10.692\text{Gbps} \div 25\text{フレーム/秒} \div 1125\text{ライン/フレーム} = 380160\text{ビット}$$

$$10.692\text{Gbps} \div 30\text{フレーム/秒} \div 1125\text{ライン/フレーム} = 316800\text{ビット}$$

【0076】

タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのビット数は、下記式によって求められる。

$$(1920T + 12T) \times 36\text{ビット} \times 4\text{ch} \times 40/36 = 309120\text{ビット}$$

【0077】

24P, 25P, 30Pの場合の水平ブランキング期間のビット数は、それぞれ下記式によって求められる。

$$(1) 24Pの場合: 396000\text{ビット} - 309120\text{ビット} = 86880\text{ビット}$$

$$(2750T - 1920T - 12T(SAV + EAV + LN + CRC)) \times 20\text{ビット} \times 10/8 = 20450\text{ビット}$$

$$86880\text{ビット} > 20450\text{ビット}$$

$$(2) 25Pの場合: 380160\text{ビット} - 309120\text{ビット} = 71040\text{ビット}$$

$$(2640T - 1920T - 12T(SAV + EAV + LN + CRC)) \times 20\text{ビット} \times 10/8 = 17700\text{ビット}$$

$$71040\text{ビット} > 17700\text{ビット}$$

10

20

30

40

50

(3) 30Pの場合：316800ビット - 309120ビット = 7680ビット
 (22T - 1920T - 12T(SAV + EAV + LN + CRC)) × 20ビット × 10/8 = 6700ビット

7680ビット > 6700ビット

【0078】

上記式に示したように、

24Pの場合、SMPTE 435Mによる水平ブランキング期間のビット数である86880ビットの方が、20450ビットより大きい。

25Pの場合、SMPTE 435Mによる水平ブランキング期間のビット数である71040ビットの方が、17700ビットより大きい。

30Pの場合、SMPTE 435Mによる水平ブランキング期間のビット数である76800ビットの方が、6700ビットより大きい。

ここで、24Pの場合における20450ビットは、CH1の{水平ブランキング期間のデータ - (タイミング基準信号SAV, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータ)}のビット数である。以下、25Pの場合における17700ビット、30Pの場合における6700ビットも同様である。

このため、CH1の水平ブランキング期間のデータを多重することが可能である。

【0079】

図2に示すように、多重・P/S変換部18によって生成されたビットレート10.692Gbpsのシリアル・デジタルデータは、光電変換部19に送られる。そして、光電変換部19によって光信号に変換されたビットレート10.692Gbpsのシリアル・デジタルデータが、放送用カメラ1から図1の光ファイバケーブル3経由でCCU2に伝送される。

【0080】

[CCUの内部構成例]

図16は、CCU2の回路構成のうち、本発明に関連する部分を示すブロック図である。CCU2には、図16に示すような回路が、各放送用カメラ1に一対一に対応して複数組設けられている。

【0081】

放送用カメラ1から光ファイバケーブル3経由で伝送されたビットレート10.692Gbpsのシリアル・デジタルデータは、光電変換部31によって電気信号に変換された後、S/P変換・多チャンネルデータ形成部32に送られる。S/P変換・多チャンネルデータ形成部32は、例えば前述したXSB Iである。

【0082】

S/P変換・多チャンネルデータ形成部32は、ビットレート10.692Gbpsのシリアル・デジタルデータをシリアル/パラレル変換する。そして、シリアル/パラレル変換したパラレル・デジタルデータから、各々がビットレート668.25Mbpsを有する16チャンネル分のシリアル・デジタルデータを形成する。そして、668.25MHzのクロックを抽出する。

【0083】

S/P変換・多チャンネルデータ形成部32によって形成された16チャンネルのパラレル・デジタルデータは、多重部33に送られる。また、S/P変換・多チャンネルデータ形成部32によって抽出された668.25MHzのクロックは、PLL34に送られる。

【0084】

多重部33は、S/P変換・多チャンネルデータ形成部32からの16チャンネルのシリアル・デジタルデータを多重して、64ビット幅のパラレル・デジタルデータをFI F Oメモリ35に送る。

【0085】

PLL34は、S/P変換・多チャンネルデータ形成部32からの668.25MHz

10

20

30

40

50

のクロックを4分の1に分周した167.0625MHzのクロックをFIFOメモリ35に書き込みクロックとして送る。

【0086】

またPLL34は、S/P変換・多チャンネルデータ形成部32からの668.25MHzのクロックを8分の1に分周した83.5312MHzのクロックを、FIFOメモリ35に読み出しクロックとして送る。そして、後述するデスクランブル・8B/10B・P/S部38内のFIFOメモリ44に書き込みクロックとして送る。

【0087】

またPLL34は、S/P変換・多チャンネルデータ形成部32からの668.25MHzのクロックを18分の1に分周した37.125MHzのクロックを、デスクランブル・8B/10B・P/S部38内のFIFOメモリ44に読み出しクロックとして送る。そして、デスクランブル・8B/10B・P/S部38内のFIFOメモリ45に書き込みクロックとして送る。

【0088】

またPLL34は、S/P変換・多チャンネルデータ形成部32からの668.25MHzのクロックを9分の1に分周した74.25MHzのクロックを、デスクランブル・8B/10B・P/S部38内のFIFOメモリ45に読み出しクロックとして送る。

【0089】

FIFOメモリ35では、多重部33からの64ビット幅の平行・デジタルデータが、PLL34からの167.0625MHzのクロックによって書き込まれる。FIFOメモリ35に書き込まれた平行・デジタルデータは、PLL34からの83.5312MHzのクロックによって128ビット幅の平行・デジタルデータとして読み出されて、データ長変換部36に送られる。

【0090】

データ長変換部36は、シフトレジスタを用いて構成されており、この128ビット幅の平行・デジタルデータを、256ビット幅(図12~図14に示した構造のデータ)に変換する。次に、タイミング基準信号SAVまたはEAVに挿入されているK28.5を検出することによって各ライン期間を判別する。次に、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータを320ビット幅に変換する。そして、水平ブランキング期間のデータ(前述のように、8B/10BエンコーディングされたCH1の水平ブランキング期間のデータ)を200ビット幅に変換する。図12~図14に示した付加データは破棄する。

【0091】

データ長変換部36によってデータ長を変換された320ビット幅の平行・デジタルデータと200ビット幅の平行・デジタルデータとは、分離部37に送られる。

【0092】

分離部37は、データ長変換部36からのこの320ビット幅の平行・デジタルデータを、放送用カメラ1内の多重部14(図2)によって多重される前の40ビットずつのCH1~CH8のデータ(図10参照)に分離する。320ビット幅の平行・デジタルデータとは、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータである。そして、各CH1~CH8の40ビット幅の平行・デジタルデータを、デスクランブル・8B/10B・P/S部38に送る。

【0093】

また分離部37は、データ長変換部36からのこの200ビット幅の平行・デジタルデータを、多重部14によって多重される前の50ビットずつのデータ(図10参照)に分離する。200ビット幅の平行・デジタルデータとは、8B/10BエンコーディングされたCH1の水平ブランキング期間のデータである。そして、この50ビット幅の平行・デジタルデータを、デスクランブル・8B/10B・P/S部38に送る。

【0094】

10

20

30

40

50

[デスクランブル・8B / 10B・P / S部の内部構成例]

図17は、デスクランブル・8B / 10B・P / S部38の構成を示すブロック図である。デスクランブル・8B / 10B・P / S部38は、各CH1 ~ CH8に一对一に対応した8個のブロック38-1 ~ 38-8から成っている。

【0095】

Link AであるCH1, CH3, CH5, CH7用のブロック38-1, 38-3, 38-5, 38-7は、ブロック38-1だけがブロック38-3, 38-5, 38-7と構成が相違する。そして、ブロック38-3, 38-5, 38-7は同一構成である。図17ではブロック38-3について構成を記載し、38-5, 38-7の構成の記載は省略している。Link BであるCH2, CH4, CH6, CH8用のブロック38-2, 38-4, 38-6, 38-8は、全て同一構成である。図17ではブロック38-2について構成を記載し、38-4, 38-6, 38-8の構成の記載は省略している。また、各ブロックにおいて同一の処理を行う部分には同一符号を付している。

10

【0096】

最初に、Link A用のブロック38-1, 38-3, 38-5, 38-7について説明する。ブロック38-1, 38-3, 38-5, 38-7では、入力したCH1, CH3, CH5, CH7の40ビット幅の平行・デジタルデータが、デスクランブラ41に送られる。40ビット幅の平行・デジタルデータとは、自己同期型スクランブルを掛けられたタイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータである。

20

【0097】

デスクランブラ41は、自己同期型のデスクランブラである。デスクランブラ41は、送られた平行・デジタルデータにデスクランブルを掛けるが、タイミング基準信号SAVの直前でデスクランブラ41内のレジスタの値を全て0にセットしてデコードを開始する。そして、10ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブラの桁上りを計算して元のデータを正確に再生できる。また、誤り検出符号CRCに続く10ビットのデータにも自己同期型デスクランブルを掛ける。

【0098】

これにより、自己同期型スクランブルを掛けた水平ブランピング期間のデータが送信されないにもかかわらず、掛け算回路であるデスクランブラ41の桁上りを考慮した正確な計算を行って元のデータを再生できる。このことは、放送用カメラ1内のスクランブラ24(図6)の箇所でも説明している。

30

【0099】

またデスクランブラ41は、自己同期型スクランブルを掛けた後、CH1, CH3, CH5, CH7のチャンネル毎に値を変えてスクランブルを掛けられたビットの値を、元の値である(0, 0)(図9参照)に変更する。このことは、タイミング基準信号SAV内のXYZの下位2ビットの値を元の値である(0, 0)に変更する。この下位2ビットについては、上述したスクランブラ24の箇所でも説明済みである。

【0100】

ブロック38-1内のデスクランブラ41でデスクランブルを掛けられた40ビット幅の平行・デジタルデータは、セクタ43に送られる。ブロック38-1では、入力した50ビット幅の平行・デジタルデータ(8B / 10BエンコーディングされたCH1の水平ブランピング期間のデータ)が、8B / 10Bデコーダ42に送られる。8B / 10Bデコーダ42は、この平行・デジタルデータを8ビット / 10ビットデコーディングする。8B / 10Bデコーダ42によって8ビット / 10ビットデコーディングされた40ビット幅の平行・デジタルデータが、セクタ43に送られる。

40

【0101】

セクタ43は、デスクランブラ41からの平行・デジタルデータと8B / 10Bデコーダ42からの平行・デジタルデータとを交互に選択する。これにより、各水平

50

ラインの全てのデータを一本化した40ビット幅の平行・デジタルデータを形成して、この40ビット幅の平行・デジタルデータをFIFOメモリ44に送る。

【0102】

他方、ブロック38-3, 38-5, 38-7では、50ビット幅の平行・デジタルデータは入力しないので8B/10Bデコーダ42及びセレクタ43は設けられていない。デスクランブラ41でデスクランブルを掛けられた40ビット幅の平行・デジタルデータは、そのままFIFOメモリ44に送られる。

【0103】

FIFOメモリ44に送られた40ビット幅の平行・デジタルデータは、PLL34(図16)からの83.5312MHzのクロックによってFIFOメモリ44に書き込まれる。その後、PLL34からの37.125MHzのクロックによって40ビット幅のままFIFOメモリ44から読み出されて、FIFOメモリ45に送られる。

10

【0104】

FIFOメモリ45に送られた40ビット幅の平行・デジタルデータは、PLL34(図16)からの37.125MHzのクロックによってFIFOメモリ45に書き込まれる。その後、PLL34からの74.25MHzのクロックによって20ビット幅(図5に示したLinkAの1サンプル分ずつ)の平行・デジタルデータとしてFIFOメモリ45から読み出されて、P/S(平行/シリアル)変換部46に送られる。

【0105】

P/S変換部46は、この平行・デジタルデータをビットレート1.485GbpsのHD-SDI信号に平行/シリアル変換して、HD-SDI信号を再生する。各ブロック38-1, 38-3, 38-5, 38-7で再生されたCH1, CH3, CH5, CH7のHD-SDI信号は、図16の4kx2k再生部39に送られる。

20

【0106】

次に、LinkB用のブロック38-2, 38-4, 38-6, 38-8について説明する。ブロック38-2, 38-4, 38-6, 38-8では、入力したCH2, CH4, CH6, CH8の40ビット幅の平行・デジタルデータが、8B/10Bデコーダ47に送られる。40ビット幅の平行・デジタルデータとは、8B/10Bエンコーディングされたタイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータである。

30

【0107】

8B/10Bデコーダ47は、この平行・デジタルデータを8ビット/10ビットデコーディングする。8B/10Bデコーダ47によって8ビット/10ビットデコーディングされた32ビット幅の平行・デジタルデータは、FIFOメモリ44に送られる。

【0108】

FIFOメモリ44に送られた32ビット幅の平行・デジタルデータは、PLL34(図16)からの83.5312MHzのクロックによってFIFOメモリ44に書き込まれる。その後、PLL34からの37.125MHzのクロックによって32ビット幅のままFIFOメモリ44から読み出されて、FIFOメモリ45に送られる。

40

【0109】

FIFOメモリ45に送られた32ビット幅の平行・デジタルデータは、PLL34(図16)からの37.125MHzのクロックによってFIFOメモリ45に書き込まれる。その後、PLL34からの74.25MHzのクロックによって16ビット幅(図5に示したLinkBの1サンプル分ずつのRGBのビット)の平行・デジタルデータとしてFIFOメモリ45から読み出されて、サンプルデータ形成部48に送られる。

【0110】

サンプルデータ形成部48は、このLinkBのRGBのビットから、図5に示したR'G'B'n:0-1のビットナンバー0, 1, 8及び9の4ビットを付加したLink

50

Bの20ビットずつの各サンプルのデータを形成する。このようにして形成された20ビット幅の平行・デジタルデータは、サンプルデータ形成部48からP/S変換部46に送られる。

【0111】

P/S変換部46は、この平行・デジタルデータをビットレート1.485 GbpsのHD-SDI信号に平行/シリアル変換して、HD-SDI信号を再生する。各ブロック38-2, 38-4, 38-6, 38-8で再生されたCH2, CH4, CH6, CH8のHD-SDI信号は、図16の4k×2k再生部39に送られる。

【0112】

図16の4k×2k再生部39は、デスクランブル・8B/10B・P/S部38から送られたCH1~CH8(Link A及びLink B)のHD-SDI信号に、所定の処理を施す回路である。この処理は、SMPTE 435Mに従って放送用カメラ1内のマッピング部11(図2)の処理(図4)と逆の処理を施すことにより、3840×2160/24P, 25P, 30P/4:4:4/12ビット信号を再生できる。

【0113】

4k×2k再生部39によって再生された3840×2160/24P, 25P, 30P/4:4:4/12ビット信号は、CCU2から出力されて、例えばVTR等(図示略)に送られる。

【0114】

なお、このようにして各放送用カメラ1からCCU2に3840×2160/24P, 25P, 30P/4:4:4/12ビット信号に伝送されるだけでなく、CCU2からも前述のリターンビデオが光ファイバケーブル3経由で各放送用カメラ1に伝送される。リターンビデオとは、他の放送用カメラ1で撮影中の映像を表示させるための映像信号である。リターンビデオは周知の技術を用いて生成されるので、そのための回路構成の説明は省略する。例えば、2チャンネル分のHD-SDI信号を、それぞれ8ビット/10ビットエンコーディングした後、多重してシリアル・デジタルデータに変換する処理によって、リターンビデオが生成される。

【0115】

図18, 図19は、以上に説明した3840×2160/24P, 25P, 30P/4:4:4/12ビット信号の伝送のための放送用カメラ1, CCU2の処理の概要をそれぞれ示す図である。

【0116】

[放送用カメラの処理例]

図18に示すように、放送用カメラ1では、3840×2160/24P, 25P, 30P/4:4:4/12ビット信号が、CH1~CH8のHD-SDI信号にマッピングされる(ステップS1)。CH1~CH8は、Link AであるCH1, CH3, CH5, CH7及びLink BであるCH2, CH4, CH6, CH8である。放送用カメラ1のマッピングは、SMPTE 435M Part 1の5.4 Octa Link 1.5 Gbps Classに従って行われる。このステップS1は、図2のマッピング部11の処理である。

【0117】

続いて、これらのHD-SDI信号をシリアル/平行変換する(ステップS2)。そして、Link Aについては、2サンプルを単位とした40ビット幅のデータにし(ステップS3)、その後自己同期型スクランブルを掛ける。このとき、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみ自己同期型スクランブルを掛ける。そして、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードする。誤り検出符号CRCに続く10ビットまでのデータを出力する。また、タイミング基準信号SAV内のXYZの下位2ビットの値をチャンネル毎に変えて自己同期型スクランブルを掛ける。そして、各ラインの000h, 000h, 000h, 000hで規定されるタイ

10

20

30

40

50

ミング基準信号 S A V を所定の値に書き換え、ライン毎に異なるデータを入れる。(ステップ S 4)。

【 0 1 1 8 】

また、C H 1 については、水平ブランキング期間のデータを 8 ビット / 1 0 ビットエンコーディングする (ステップ S 5)。

【 0 1 1 9 】

他方、L i n k B については、各サンプルのデータから R G B のビットを抜き出す (ステップ S 6)。そして、この R G B のビットを、2 サンプルを単位とした 3 2 ビット幅のデータにする (ステップ S 7)。そして、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみを 8 B / 1 0 B エンコーディングする (ステップ S 8)。このステップ S 2 ~ ステップ S 8 は、 10

【 0 1 2 0 】

このようにして自己同期型スクランブルを掛けた L i n k A のデータと、このようにして 8 B / 1 0 B エンコーディングした L i n k B のデータとを多重する (ステップ S 9)。この多重したパラレル・デジタルデータから、ビットレート 1 0 . 6 9 2 G b p s のシリアル・デジタルデータを生成する (ステップ S 1 0)。このステップ S 9 は、 20

【 0 1 2 1 】

[C C U の処理例]

30

【 0 1 2 2 】

続いて、L i n k A については自己同期型デスクランブルを掛ける。ここでは、タイミング基準信号 S A V の直前でデスクランブラ内のレジスタの値を全て 0 にセットしてデコードを開始するとともに、誤り検出符号 C R C に続く 1 0 ビットのデータにも自己同期型デスクランブルを掛ける。また、自己同期型スクランブルを掛けた後、タイミング基準信号 S A V 内の X Y Z の下位 2 ビットの値を (0 , 0) に戻す。そして、異なるデータが入れられた各ラインの S A V のデータを元に戻す (ステップ S 1 3)。

【 0 1 2 3 】

また、C H 1 については、水平ブランキング期間のデータを 8 B / 1 0 B デコーディングする (ステップ S 1 4)。

【 0 1 2 4 】

そして、1 サンプル分ずつのデータを分離し (ステップ S 1 5)、分離したパラレル・デジタルデータをパラレル / シリアル変換して、L i n k A の H D - S D I 信号を再生する (ステップ S 1 6)。

【 0 1 2 5 】

他方、L i n k B については、8 B / 1 0 B デコーディングし (ステップ S 1 7)、1 サンプル分ずつの R G B のビットを分離する (ステップ S 1 8)。続いて、この R G B のビットから、L i n k B の各サンプルのデータを形成する (ステップ S 1 9)。そして、このようにして形成したパラレル・デジタルデータをパラレル / シリアル変換して、L i n k B の H D - S D I 信号を再生する (ステップ S 2 0)。このステップ S 1 3 ~ S 2 0 は、 40

【 0 1 2 6 】

そして、再生した L i n k A , L i n k B の H D - S D I 信号から、3 8 4 0 x 2 1 6 50

0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を再生する (ステップ S 2 1)。このステップ S 2 1 は、図 1 6 の 4 k × 2 k 再生部 3 9 の処理である。

【 0 1 2 7 】

以上に説明したように、このカメラ伝送システムでは、シリアル/パラレル変換された Link A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 SAV を所定の値に書き換える。このデータがスクランブルされた結果、フラットフィールドの映像信号であっても、タイミング基準信号 SAV の値は異なる値となる。このため、あるデータがスクランブルされたことによってエラー信号を示すデータに変換されたとしても、このエラー信号を示すデータは連続しない。これにより、フラットフィールドの映像信号を好適に出力できるという効果がある。

10

【 0 1 2 8 】

また、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を、所定の伝送規格に従って、CH 1 ~ CH 8 (Link A 及び Link B) の HD - SD I 信号にマッピングする。本例における伝送規格は、S M P T E 4 3 5 M P a r t 1 の 5 . 4 O c t a L i n k 1 . 5 G b p s C l a s s である。これにより、ビットレート 1 0 . 6 9 2 G b p s のシリアル・デジタルデータに変換して伝送できる。このとき、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 b i t 信号がフラットなデータの場合に、第 1 , 3 , 5 , 7 c h と第 2 , 4 , 6 , 8 c h のデータ値が同じになり、E M I 等好ましくない。このため、スクランブル時に SAV 内の 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h を、入力 HD - SD I の同一ライン内の E A V に続く C L N 0 , Y L N 0 , C L N 1 , Y L N 1 に書き換える。また、X Y Z 下位 2 ビット (リザーブ 0) をチャンネル毎に変えてスクランブルする。これにより、C h 1 , 3 , 5 , 7 毎だけではなく、フラットフィールドに対しても C h 1 , 3 , 5 , 7 のデータの均一性を回避できる。

20

【 0 1 2 9 】

また、送信側である放送用カメラ 1 では、タイミング基準信号 SAV の直前でスクランブラ 2 4 内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 CRC に続く 1 0 ビットまでのデータを出力する。受信側である CCU 2 では、タイミング基準信号 SAV の直前でデスクランブラ 4 1 内のレジスタの値を全て 0 にセットしてデコードを開始するとともに、誤り検出符号 CRC に続く 1 0 ビットのデータにもデスクランブルを掛ける。このため、自己同期型スクランブルを掛けた水平ランキング期間のデータを送信しないにもかかわらず、受信側である CCU 2 で正確に元のデータを再生できる。

30

【 0 1 3 0 】

< 2 . 変形例 >

なお、以上の例ではカメラ伝送システムに本発明を適用しているが、本発明は、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を伝送するあらゆるシステムに適用してよい。

【 0 1 3 1 】

また、SAV 中の (0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h) の書き換える数値として、上述した実施の形態以外の数値を用いてもよい。例えば、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 SAV をランダムな数値に書き換えてもよい。また、0 0 0 h , 0 0 0 h 及び Link A に含まれる前記タイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 の順に書き換えてもよい。また、Link A に含まれる前記タイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 及び 0 0 0 h , 0 0 0 h の順に書き換えてもよい。

40

【 図面の簡単な説明 】

【 0 1 3 2 】

【 図 1 】本発明を適用したテレビジョン放送局用のカメラ伝送システムの全体構成を示す図である。

【 図 2 】図 1 の放送用カメラの回路構成のうち、本発明に関連する部分を示すブロック図である。

50

【図3】3840×2160/24P, 25P, 30P/4:4:4/12ビット信号のフォーマットを示す図である。

【図4】SMPTE 435M Part 1の5.4 Octa Link 1.5 Gbps Classによる、4k×2k信号のHD-SDI信号へのマッピング方法の概略を示す図である。

【図5】SMPTE 372MによるLink A, Link Bのデータ構造の概略を示す図である。

【図6】S/P・スクランブル・8B/10B部の構成を示すブロック図である。

【図7】パソロジカルパターンを示す図である。

【図8】AC結合の伝送系におけるベースラインのうねりを示す図である。

10

【図9】タイミング基準信号SAV内のXYZのコードを示す図である。

【図10】多重部での多重の様子を示す図である。

【図11】ベーシックストリームのフォーマットの例を示す図である。

【図12】データ長変換部によって形成されるデータの構造を示す図である。

【図13】データ長変換部によって形成されるデータの構造を示す図である。

【図14】データ長変換部によって形成されるデータの構造を示す図である。

【図15】多重・P/S変換部によって生成される10.692Gbpsのシリアル・デジタルデータの1ライン分の構造を示す図である。

【図16】図1のCCUの回路構成のうち、本発明に関連する部分を示すブロック図である。

20

【図17】S/P・スクランブル・8B/10B部の構成を示すブロック図である。

【図18】放送用カメラの処理の概要を示す図である。

【図19】CCUの処理の概要を示す図である。

【図20】従来のベーシックストリームのフォーマットの例を示す図である。

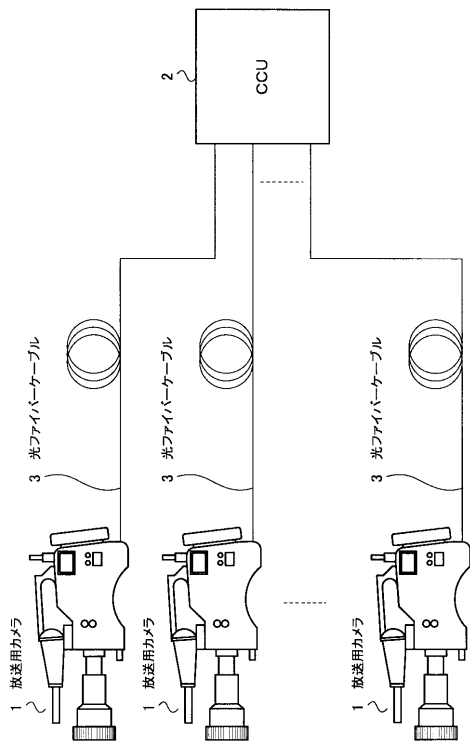
【符号の説明】

【0133】

1...放送用カメラ、2...CCU、3...光ファイバーケーブル、11...マッピング部、12...S/P・スクランブル・8B/10B部、13...PLL、14...多重部、15...データ長変換部、16...FIFOメモリ、17...多チャンネルデータ形成部、18...多重・P/S変換部、19...光電変換部、21...S/P変換部、22...TRS検出部、23...FIFOメモリ、24...スクランブラ、25...8B/10Bエンコーダ、26...FIFOメモリ、27...FIFOメモリ、28...抜き出し部、30...8B/10Bエンコーダ、31...光電変換部、32...S/P変換・多チャンネルデータ形成部、33...多重部、34...PLL、35...FIFOメモリ、36...データ長変換部、37...分離部、38...デスクランブル・8B/10B・P/S部、39...2k再生部、41...デスクランブラ、42...8B/10Bデコーダ、43...セレクタ、44...FIFOメモリ、45...FIFOメモリ、46...P/S変換部、47...8B/10Bデコーダ、48...サンプルデータ形成部

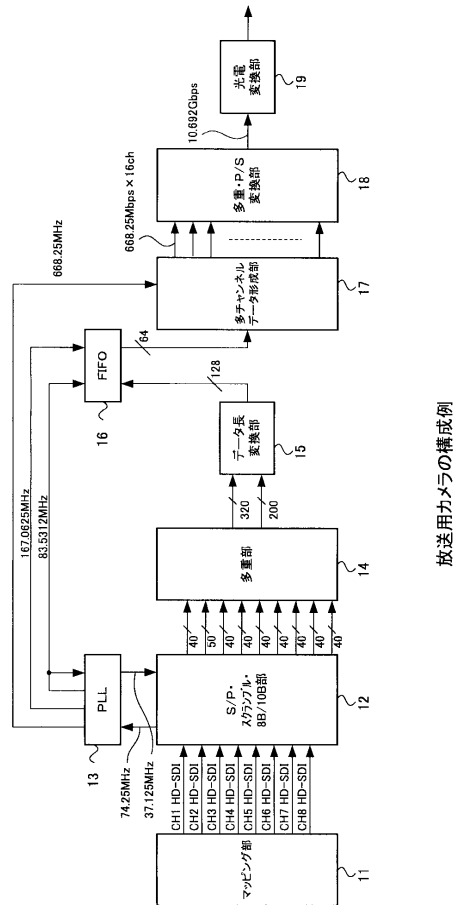
30

【図1】



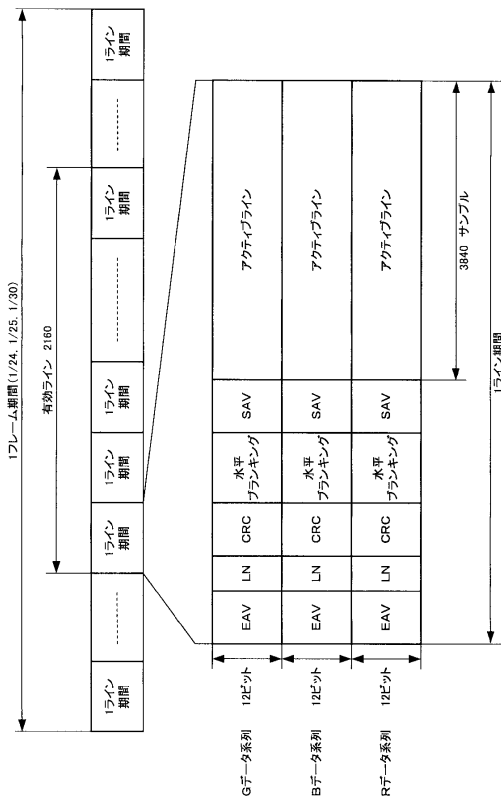
【図2】

本発明を適用した伝送システムの例



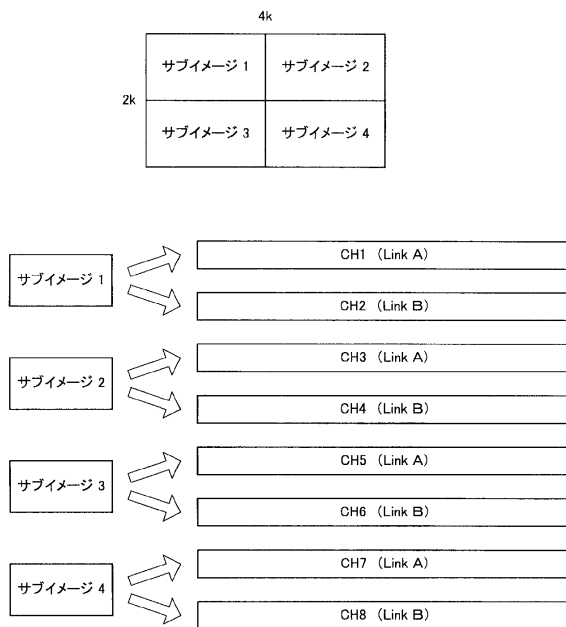
放送用カメラの構成例

【図3】



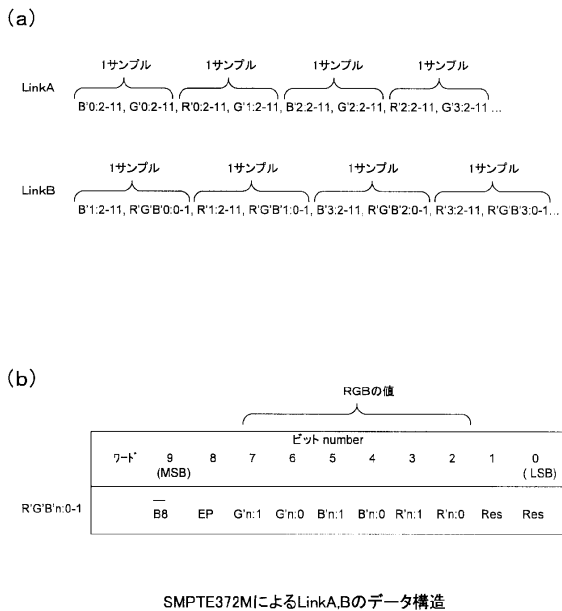
【図4】

3840×2160/24P/25P/30P/4:4:4/12ビット信号のフォーマットの例

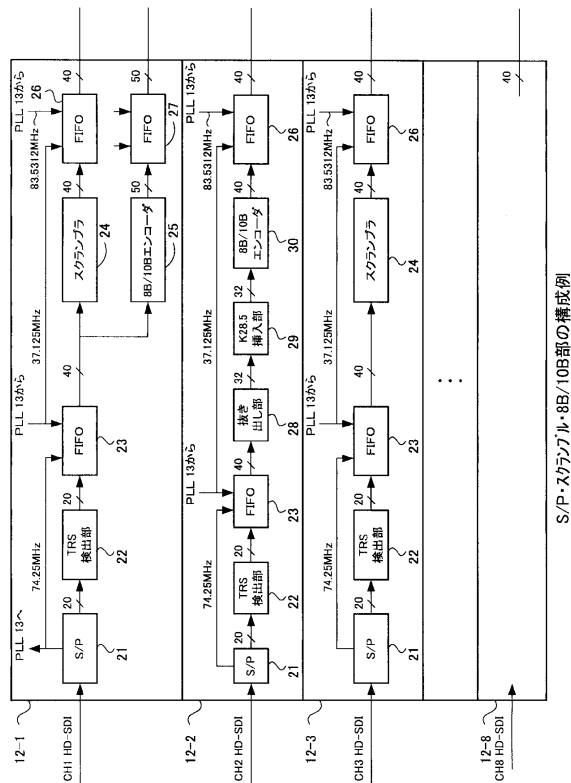


SMPTE435Mによる4k×2k信号のHD-SDI信号へのマッピングの例

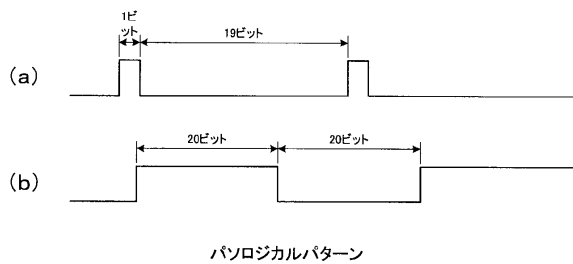
【図5】



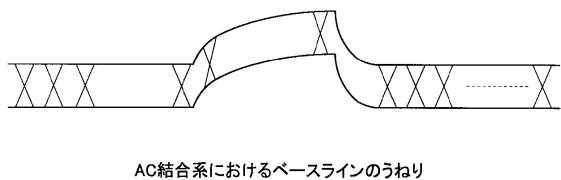
【図6】



【図7】



【図8】

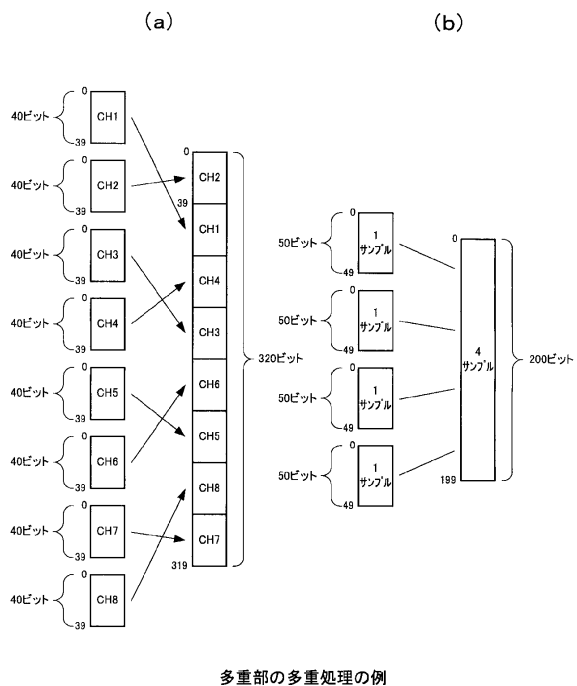


【図9】

ワード	9 (MSB)	8	7	6	5	4	3	2	1	0 (LSB)
XYZ	1	F	V	H	P3	P2	P1	P0	0	0

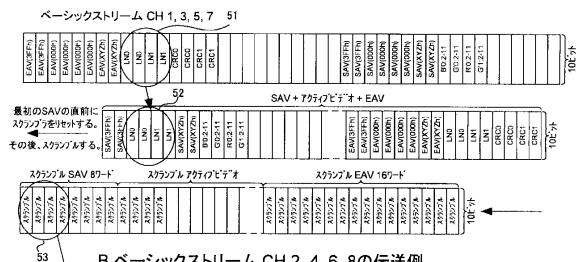
SAV内のXYZのコード

【図10】

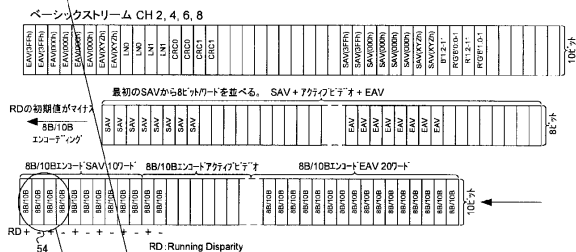


【図 1 1】

A ベーシックストリーム CH 1, 3, 5, 7 の伝送例



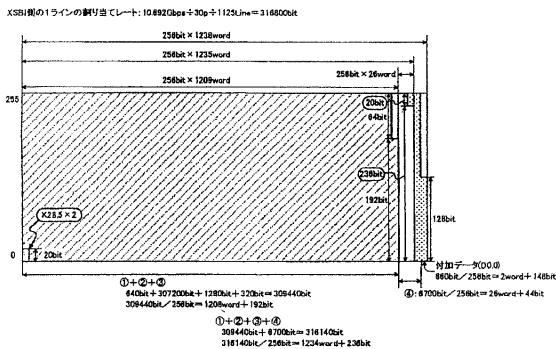
B ベーシックストリーム CH 2, 4, 6, 8 の伝送例



C 10ビット8ワードの構成例

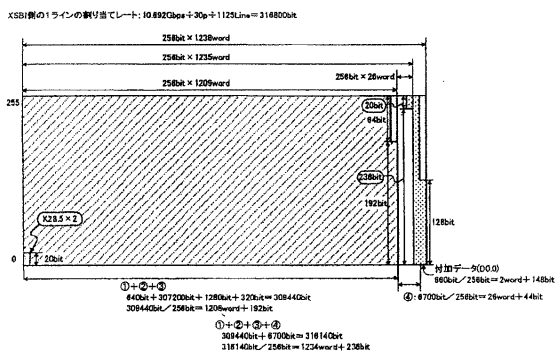
ベーシックストリームのフォーマットの例

【図 1 2】



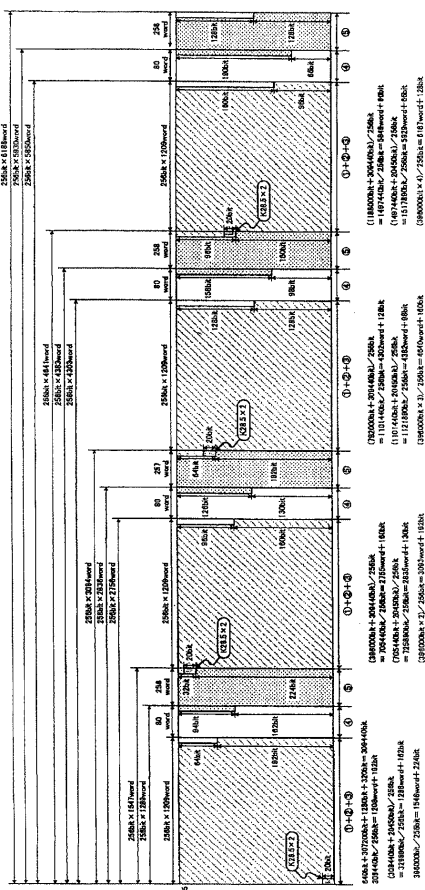
30Pの場合にデータ長変換部で形成される1ライン分のデータ構造の例

【図 1 3】



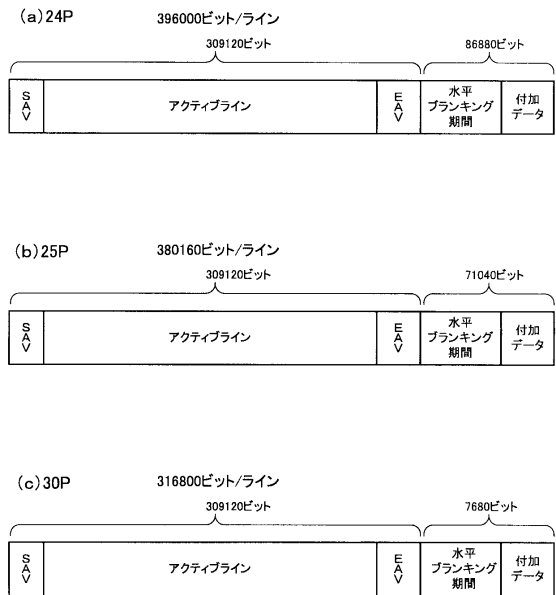
25Pの場合にデータ長変換部で形成される1ライン分データ構造の例

【図 1 4】



24Pの場合にデータ長変換部で形成される4ライン分のデータ構造の例

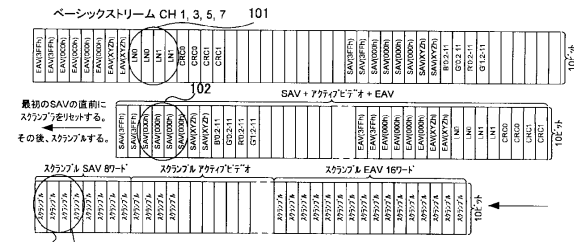
【図 1 5】



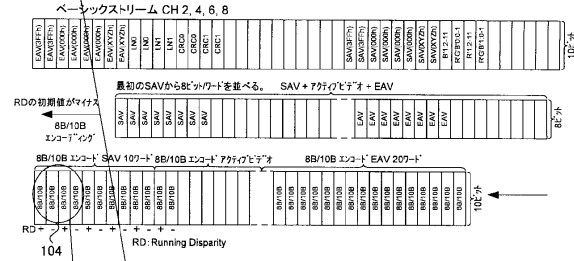
10.692Gbpsのシリアルデータの1ライン分の構造例

【 図 20 】

A ベーシックストリーム CH 1, 3, 5, 7の伝送例

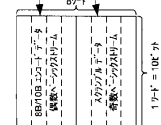


B ベーシックストリーム CH 2, 4, 6, 8の伝送例



C 10ビット8ワードの構成例

従来のベーシックストリームのフォーマットの例



フロントページの続き

- (56)参考文献 特開2008-099189(JP,A)
特開2008-042408(JP,A)
特開2008-028651(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	7/025 - 7/088
H04N	7/173
H04J	3/00