(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/115 (2006.01)

(45) 공고일자 2006년10월27일
(11) 등록번호 10-0638772
(24) 등록일자 2006년10월19일

(21) 출원번호 10-1999-7008723
(22) 출원일자 1999년09월22일
번역문 제출일자 1999년09월22일
(86) 국제출원번호 PCT/JP1999/000313
국제출원일자 1999년01월26일

(65) 공개번호 10-2001-0005655
(43) 공개일자 2001년01월15일
(87) 국제공개번호 WO 1999/38213
국제공개일자 1999년07월29일

(81) 지정국 국내특허 : 중국, 대한민국, 미국,

EP 유럽특허 : 독일, 프랑스, 영국,

(30) 우선권주장 1998-027747 1998년01월26일 일본(JP)
1998-321377 1998년10월28일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 고세인,다람팔
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

노모또,가즈마사
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

웨스트워터,조나단
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

나까고에,미야꼬
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

우스이,세쯔오
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

노구찌,다까시
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

모리,요시후미
일본141-0001도꾜도시나가와꾸기따시나가와6쪼메7-35소니가부시끼가이샤내

(74) 대리인 장수길
구영창

심사관 : 김기현

(54) 메모리 소자 및 그 제조 방법, 및 집적 회로 및 반도체 장치의 제조 방법

요약

축적 영역(15)을, 분산된 다수의 미립자(도트)(15a)에 의해 구성함과 함께, 미립자(15a)의 면밀도를 터널 절연막(14a)에 생긴 구조적인 구멍(핀홀)의 면 밀도 보다 크게 한다. 또는, 축적 영역(15)에서의 미립자(15a)의 수를 5 개 이상으로 한다. 또한, 전도 영역(13c)을 표면의 조악도가 0.1㎚ 이상 100㎚ 이하인 다결정 실리콘층(13)으로 형성함과 함께, 축적 영역(15)의 미립자(15a)의 수가 전도 영역(13c)에서의 결정 입자수보다 많아지도록 한다. 터널 절연막(14a)에 핀홀 등의 결함이 발생하고, 일부의 미립자에 축적된 전하가 리크되어도, 결함이 존재하지 않는 영역에 형성된 미립자에 축적된 전하는 리크되지 않는다. 이 때문에 장시간에 걸쳐 정보를 유지할 수 있다.

대표도

도 1

색인어

축적 영역, 터널 절연막, 미립자, 전도 영역, 불순물 영역,

명세서

기술분야

본 발명은 전도 영역으로부터 천이된 전하를 축적 영역에 축적함으로써 정보를 유지하는 메모리 소자, 및 그 제조 방법, 및 메모리 소자를 집적화한 집적 회로 및 반도체 장치의 제조 방법에 관한 것으로, 특히, 축적 영역이 복수의 미립자(양자 도트)로 이루어진 메모리 소자 및 그 제조 방법, 및 집적 회로 및 반도체 장치의 제조 방법에 관한 것이다.

배경기술

EEPROM (Electric Erasable-Programmable Read Only Memory)에 대표되는 불휘발성 메모리에 있어서는, 단결정 실리콘 기판의 표면에 형성된 전도 영역 상에 절연막을 거쳐 축적 영역이 형성되어 있고, 이 축적 영역에 전도 영역으로부터 절연막을 터널하여 천이한 전하를 축적함으로써 정보를 유지하도록 되어 있다. 종래, 이 축적 영역은 2차원적인 확장을 갖는 연속 반도체막으로 형성되어 있다. 또, 종래의 불휘발성 메모리에서는, 이 축적 영역에 축적된 전하를 장시간 유지하기 위해서, 전도 영역과 축적 영역 사이의 절연막으로서, 절연성이 우수한 실리콘 열산화막을 이용하고 있다. 이 열산화막은 산소 분위기 중에서, 단결정 실리콘 기판의 온도를 800~1000℃의 고온으로 상승함으로써 형성된다. 또, 실리콘 기판은 그 정도의 온도에서는 변형이나 용해되는 일은 없다. 또, 단결정 실리콘 기판 상에 형성된 열산화막의 절연성은 극히 우수하기 때문에, 이차원적으로 연속한 축적 영역으로부터는 전하가 리크되는 일 없이 안정되게 유지된다.

상술한 바와 같이, 종래의 메모리 소자에서는, 전도 영역과 축적 영역 간에 열산화막을 이용하는 경우에는, 기판 온도를 800~1000℃의 온도로 상승시킬 수 있다. 그러나, 기판이 단결정 실리콘이 아니라, 글래스 또는 플라스틱(가소성 물질)제인 경우에는, 이와 같은 고온의 열처리는 할 수 없다. 예를 들면 글래스 기판의 변형 온도는 500℃이고, 또, 플라스틱 기판의 변형 온도는 내열성이 있는 재료로 형성된 경우에도, 기껏해야 200℃이다. 따라서, 기판이 글래스나 플라스틱에 의해 형성되어 있는 경우에는, 전도 영역과 축적 영역 사이의 절연막은 500℃ 이하의 저온의 조건에서 형성될 수 있다.

그러나, 500℃ 이하의 저온에서 산화막을 형성한 경우에는, 이 산화막 중에는 결함 즉 다수의 구조적인 구멍(핀 홀)이 발생한다. 이 때문에, 이차원적인 확장을 갖는 축적 영역에 축적된 전하는 단기간 중에 전도 영역에 리크되어 버려, 정보를 장시간 유지할 수 없다고 하는 문제가 있었다.

또, 예를 들어, 실리콘 기판 상의 실리콘 산화막(SiO_2)과 같이 고온에서의 내열성이 있어도, 산화막 상의 전도 영역은 다결정 실리콘이고, 그 표면에는 요철이 존재한다. 이 다결정 실리콘의 요철에 의해, 그 위의 절연막 중에 전계 집중이 생기고, 이차원적으로 연속한 축적 영역 중의 전하는 그 장소로부터도 리크하여 버린다고 하는 문제가 있었다.

<발명의 개시>

본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은 글래스나 플라스틱 제의 기판 상에 저온에서 제작할 수 있음과 동시에, 정보를 장시간에 걸쳐 유지할 수 있는 메모리 소자 및 그 제조 방법, 및 집적 회로 및 반도체 장치의 제조 방법을 제공하는 데에 있다.

본 발명에 의한 메모리 소자는 반도체로 이루어진 전도 영역과, 이 전도 영역에 인접하여 설치된 제1 불순물 영역과, 이 제1 불순물 영역과 이간하며 또한 전도 영역에 인접하여 설치된 제2 불순물 영역과, 분산된 복수의 미립자로 이루어지며 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과, 축적 영역과 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과, 축적 영역의 전하량과 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과, 제어용 전극과 축적 영역 사이에 설치된 제어용 절연막을 구비하고, 축적 영역에서의 미립자의 면밀도는, 터널 절연막에 생긴 구조적인 구멍(핀홀)의 면밀도 보다 크도록 구성된 것이다.

본 발명에 의한 다른 메모리 소자는, 반도체로 이루어진 전도 영역과, 전도 영역에 인접하여 설치된 제1 불순물 영역과, 제1 불순물 영역과 이간되며, 또한 전도 영역에 인접하여 설치된 제2 불순물 영역과, 분산된 복수의 미립자로 이루어지며, 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과, 이 축적 영역과 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과, 축적 영역의 전하량 및 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과, 이 제어용 전극과 축적 영역 사이에 설치된 제어용 절연막을 구비하고, 축적 영역에서의 미립자의 수가 5개 이상이도록 구성된 것이다.

본 발명에 의한 또 다른 메모리 소자는, 반도체로 이루어진 전도 영역과, 전도 영역에 인접하여 설치된 제1 불순물 영역과, 제1 불순물 영역과 이간되며, 또한 전도 영역에 인접하여 설치된 제2 불순물 영역과, 분산된 복수의 미립자로 이루어지며, 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과, 이 축적 영역과 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과, 축적 영역의 전하량 및 메모리용 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과, 이 제어용 전극과 축적 영역 사이에 설치된 제어용 절연막을 구비하고, 전도 영역은, 표면의 조악도가 0.1㎚ 이상 100㎚ 이하의 다결정 실리콘막에 의해 형성됨과 동시에, 축적 영역의 미립자의 수가 전도 영역에서의 결정 입자수보다 많도록 구성된 것이다.

본 발명에 의한 집적 회로는, 복수의 메모리 소자를 구비하고, 각 메모리 소자는, 반도체로 이루어진 전도 영역과, 전도 영역에 인접하여 설치된 소스 영역과, 이 소스 영역과 이간되며 또한 전도 영역에 인접하여 설치된 드레인 영역과, 분산된 복수의 미립자로 이루어지며 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과, 이 축적 영역과 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과, 축적 영역의 전하량 및 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과, 이 제어용 전극과 축적 영역 사이에 설치된 제어용 절연막을 구비하고, 축적 영역에서의 미립자의 면밀도는 터널 절연막에 생긴 구조적인 구멍(핀홀)의 면밀도 보다 큰 구성을 갖고, 또한 각 메모리 소자의 제어용 전극이 워드선에 접속됨과 동시에, 각 메모리 소자의 소스, 드레인 경로가 각각 비트선과 소스선 사이에 접속되어 있는 구성을 갖고 있다.

본 발명에 의한 메모리 소자의 제조 방법은, 절연체로 이루어진 하지부 상에 반도체막으로 이루어진 전도 영역을 형성하는 공정과, 전도 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 분산된 복수의 미립자로 이루어지며, 또한 이 미립자의 면밀도가 터널 절연막의 구조적인 구멍(핀홀)의 면밀도 보다 큰 축적 영역을 형성하는 공정과, 축적 영역 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에 제어용 전극을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역 및 제1 불순물 영역과 이간하며, 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함한 것이다.

본 발명에 의한 다른 메모리 소자의 제조 방법은, 절연체로 이루어진 하지부 상에 다결정 반도체 막으로 이루어진 전도 영역을 형성하는 공정과, 전도 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 분산된 5 개 이상의 수의 미립자

로 이루어진 축적 영역을 형성하는 공정과, 축적 영역 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에 제어용 전극을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역 및 제1 불순물 영역과 이간하며, 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함하는 것이다.

본 발명에 의한 또 다른 메모리 소자의 제조 방법은, 절연체로 이루어진 하지부 상에 표면의 조악도가 0.1㎚ 이상 100㎚ 이하의 다결정 실리콘막으로 이루어진 전도 영역을 형성하는 공정과, 전도 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 전도 영역의 결정 입자수 보다 많게 분산된 미립자로 이루어진 축적 영역을 형성하는 공정과, 축적 영역 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에 제어용 전극을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역 및 제1 불순물 영역과 이간되며, 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함하는 것이다.

본 발명에 의한 또 다른 메모리 소자의 제조 방법은, 절연체로 이루어진 하지부 상에 제어용 전극을 형성하는 공정과, 제어용 전극 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에, 분산된 복수의 미립자로 이루어지며 또한 이 미립자의 면밀도가 터널 절연막의 구조적인 구멍(핀홀)의 면밀도 보다 큰 축적 영역을 형성하는 공정과, 축적 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 반도체로 이루어진 전도 영역을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역, 및 제1 불순물 영역과 이간되며 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함하는 것이다.

본 발명에 의한 또 다른 메모리 소자의 제조 방법은, 절연체로 이루어진 하지부 상에 제어용 전극을 형성하는 공정과, 제어용 전극 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에 분산된 5개 이상의 수의 미립자로 이루어진 축적 영역을 형성하는 공정과, 축적 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 반도체로 이루어진 전도 영역을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역, 및 제1 불순물 영역과 이간되며 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함하는 것이다.

본 발명에 의한 또 다른 메모리 소자의 제조 방법은 절연체로 이루어진 하지부 상에 제어용 전극을 형성하는 공정과, 제어용 전극 상에 제어용 절연막을 형성하는 공정과, 제어용 절연막 상에 분산된 복수의 미립자로 이루어진 축적 영역을 형성하는 공정과, 축적 영역 상에 터널 절연막을 형성하는 공정과, 터널 절연막 상에 반도체로 이루어진 전도 영역을 형성하는 공정과, 전도 영역에 인접하는 제1 불순물 영역, 및 제1 불순물 영역과 이간되며 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정을 포함하고, 전도 영역을 표면의 조악도가 0.1㎚ 이상 100㎚ 이하의 다결정 실리콘막으로 형성함과 동시에, 축적 영역의 미립자의 수를 전도 영역에서의 결정 입자수 보다 많게 하는 것이다.

본 발명에 의한 반도체 장치의 제조 방법은, 기판 상에 반도체막을 형성한 후, 이 반도체막 상에 반도체 원소를 과다하게 포함하는 비화학양론적 조성의 축적 영역 형성용 막을 형성하는 공정과, 가열 처리를 실시함으로써, 축적 영역 형성용 막 중에 반도체의 미립자를 분산시켜 축적 영역을 형성하는 공정을 포함하는 것이다. 또, 「비화학양론적 조성」이라고 하는 것은, 화학양론적 조성에서 제외된 성분비의 조성을 말하고, 본 발명에서는, 화학양론적 조성의 경우보다 반도체를 과다하게 포함하도록 성분비가 벗어나 있는 경우를 말한다. 축적 영역을 구성하는 미립자는 크기가 1㎚～10㎚의 범위의 미립자이고, 일 예로서 실리콘(Si) 또는 게르마늄(Ge) 등을 들 수 있다.

본 발명에 의한 메모리 조사 및 그 제조 방법에서는, 축적 영역에서의 미립자의 면밀도가 터널 절연막에 생긴 구조적인 구멍(핀홀)의 면밀도 보다 큰 구성, 또는 축적 영역에서의 미립자의 수가 5개 이상인 구성, 또는 전도 영역이 표면의 조악도가 0.1㎚이상 100㎚ 이하인 다결정 실리콘막으로 형성됨과 동시에, 축적 영역의 미립자의 수가 전도 영역에서의 결정 입자수 보다 많은 구성을 갖고 있기 때문에, 터널 절연막에 존재하는 핀홀 등의 결함에 의해 일부의 미립자에 축적된 전하가 리크되어도, 결함이 존재하지 않는 영역에 형성된 미립자에 축적된 전하는 리크되는 일이 없다. 이 때문에, 장시간에 걸쳐 정보가 축적된다.

또, 본 발명에 의한 반도체 장치의 제조 방법에서는, 반도체를 과다하게 포함하는 비화학양론적 조성의 축적 영역 형성용 막에 대해 에너지 빔 조사 등의 가열 처리가 실시됨으로써, 축적 영역 형성용 막 중에 반도체의 미립자가 분산되어, 축적 영역이 형성된다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 관한 메모리 소자의 구성을 나타내는 단면도이다.

도 2는 본 발명의 제2 실시예에 관한 메모리 소자의 구성을 나타내는 단면도이다.

도 3은 본 발명의 메모리 소자의 제1 집적화 방법의 일예를 설명하기 위한 회로도이다.

도 4는 본 발명의 메모리 소자의 제1 집적화 방법의 다른 예를 설명하기 위한 회로도이다.

도 5는 본 발명의 메모리 소자의 제2 집적화 방법을 설명하기 위한 회로도이다.

도 6a 및 도 6b는 제1 실시예에 관한 메모리 소자의 제1 제조 방법을 설명하기 위한 단면도 및 평면도이다.

도 7a 및 도 7b는 제6a 및 도 6b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 8a 및 도 8b는 도 7a 및 도 7b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 9a 및 도 9b는 도 8a 및 도 8b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 10a 및 도 10b는 도 9a 및 도 9b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 11a 및 도 11b는 본 발명의 제1 실시예에 관한 메모리 소자의 제2 제조 방법을 설명하기 위한 단면도 및 평면도이다.

도 12a 및 도 12b는 도 11a 및 도 11b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 13a 및 도 13b는 도 12a 및 도 12b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 14a 및 도 14b는 도 13a 및 도 13b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 15는 제1 실시예에 관한 메모리 소자의 게이트 전압과 드레인 전류의 관계를 나타내는 특성도이다.

도 16a 및 도 16b는 제1 실시예에 관한 메모리 소자의 제3 제조 방법을 설명하기 위한 단면도 및 평면도이다.

도 17a 및 도 17b는 도 16a 및 도 16b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 18a 및 도 18b는 도 17a 및 도 17b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 19a 및 도 19b는 도 18a 및 도 18b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 20a 및 도 20b는 도 19a 및 도 19b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 21a 및 도 21b는 본 발명의 제2 실시예에 관한 메모리 소자의 제조 공정을 설명하기 위한 단면도 및 평면도이다.

도 22a 및 도 22b는 도 21a 및 도 21b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 23a 및 도 23b는 도 22a 및 도 22b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 24a 및 도 24b는 도 23a 및 도 23b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 25a 및 도 25b는 도 24a 및 도 24b에 연속되는 공정을 설명하기 위한 단면도 및 평면도이다.

도 26은 본 발명의 제3 실시예에 관한 메모리 장치의 구성을 나타내는 평면도이다.

도 27은 제26도의 η-η선을 따른 단면도이다.

도 28은 본 발명의 제4 실시예에 관한 메모리 장치의 단면도이다.

도 29는 본 발명의 제5 실시예에 관한 메모리 장치의 구성을 나타내는 평면도이다.

도 30은 도 29의 κ-κ선을 따른 단면도이다.

도 31은 보톰 게이트 구조의 소자로 이루어진 메모리 장치의 단면도이다.

도 32는 본 발명의 제6 실시예에 관한 메모리 장치의 구성을 나타내는 평면도이다.

도 33은 도 32의 1-1선을 따른 단면도이다.

도 34는 보톰 게이트 구조의 소자로 이루어진 장치의 단면도이다.

도 35는 본 발명의 제7 실시예에 관한 메모리 장치의 제조 공정을 설명하기 위한 단면도이다.

도 36은 도 35에 연속되는 공정을 설명하기 위한 단면도이다.

도 37은 도 36에 연속되는 공정을 설명하기 위한 단면도이다.

도 38은 도 37에 연속되는 공정을 설명하기 위한 단면도이다.

도 39는 도 38에 연속되는 공정을 설명하기 위한 단면도이다.

도 40은 본 발명의 제8 실시예에 관한 메모리 장치의 제조 공정을 설명하기 위한 단면도이다.

도 41은 도 40에 연속되는 공정을 설명하기 위한 단면도이다.

도 42는 도 41에 연속되는 공정을 설명하기 위한 단면도이다.

도 43은 도 42에 연속되는 공정을 설명하기 위한 단면도이다.

도 44는 도 43에 연속되는 공정을 설명하기 위한 단면도이다.

도 45는 도 44에 연속되는 공정을 설명하기 위한 단면도이다.

도 46은 본 발명의 제9 실시예에 관한 메모리 장치의 제조 공정을 설명하기 위한 단면도이다.

도 47은 도 46에 연속되는 공정을 설명하기 위한 단면도이다.

도 48는 도 47에 연속되는 공정을 설명하기 위한 단면도이다.

도 49는 도 48에 연속되는 공정을 설명하기 위한 단면도이다.

도 50은 도 49에 연속되는 공정을 설명하기 위한 단면도이다.

도 51은 도 50에 연속되는 공정을 설명하기 위한 단면도이다.

도 52는 도 51에 연속되는 공정을 설명하기 위한 단면도이다.

도 53a 내지 도 53c는 본 발명의 실시예를 설명하기 위한 공정 마다의 단면도이다.

도 54는 실리콘 도트(미립자)의 형성 상태를 설명하기 위한 SEM 사진이다.

도 55a 내지 도 55d는 실리콘 도트 메모리의 제조 프로세스를 설명하기 위한 공정 마다의 단면도이다.

도 56a 및 도 56b는 도 55d에 연속되는 공정 마다의 단면도이다.

실시예

이하, 본 발명의 실시예에 대해 도면을 참조하여 상세하게 설명한다.

<제1 실시예>

도 1은 본 발명의 제1 실시예에 관한 메모리 소자의 기본적인 구성을 나타내는 것이다. 또, 이하의 설명에서는, 예로서 전하로 전자를 이용한 경우에 대해 설명한다. 전하로서 정공을 이용한 경우에는, 전하의 부호를 반대로 하여 생각하면 된다.

본 실시예에 관한 메모리 소자는 예를 들면 석영, 글래스, 플라스틱 등의 비실리콘 재료로 이루어진 기판(11) 상에 형성된 버퍼층(12) 상에 전도 영역(13c)과, 이 전도 영역(13c)의 양 측에 각각 인접하여 형성된 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)을 구비한 구성을 갖고 있다. 버퍼층(12)은 SiO_2 또는 Si_3N_4 등의 절연막에 의해 구성되어 있다.

제1 불순물 영역(13a), 제2 불순물 영역(13b) 및 전도 영역(13c)은, 각각 예를 들면 막 두께가 수십 ㎚ 정도인 다결정 실리콘층(13)에 의해 구성되어 있다. 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)는 각각 다결정 실리콘층(13)에 예를 들면 n형 불순물로서 인(P) 등의 Ⅴ족 원소, 또는 p형 불순물로서 붕소(B) 등의 Ⅲ족 원소를 첨가함으로써 구성되어 있다. 또, 이들 제1 불순물 영역(13a), 제2 불순물 영역(13b) 및 전도 영역(13c)은 단결정 반도체 이외의 반도체 (비단결정 반도체)이어도 좋고, 예를 들면 비정질 Si_xGe_{1-x} $(0\leq x\leq 1)$ 또는 다결정 Si_xGe_{1-x} $(0\leq x\leq 1)$에 의해 구성될 수 있다.

전도 영역(13c)의 맨 위에 대응하는 위치에는, 절연막(14)이 설치되어 있다. 절연막(14)은 터널 절연막(14a)과, 이 터널 절연막(14a) 상에 적층된 제어용 절연막(14b)에 의해 구성되어 있다. 이들 터널 절연막(14a) 및 제어용 절연막(14b)은 각각 SiO_2, Si_3N_4 또는 SiN_kO_1(k, 1≠0) 등에 의해 형성되어 있다. 터널 절연막(14a)과 제어용 절연막(14b) 사이에는, 전하(여기에서는 전자)를 유지하기 위한 축적 영역(15)이 설치되어 있다. 터널 절연막(14a)의 막 두께는 양자 역학적 터널 효과에 의해 전자가 터널 절연막(14a) 내를 축적 영역(15)으로 천이할 수 있는 크기 (예를 들면 5㎚ 미만)로 되어 있다.

축적 영역(15)은 이산적으로 배치된 복수의 미립자 (양자 도트)(15a)로 구성되어 있다. 이 미립자(15a)는 Si_yGe_{1-y} $(0\leq y\leq 1)$, $SiFe_2$, Ⅱ-Ⅵ, Ⅲ-Ⅴ족 화합물 등의 반도체 입자, Au, Sb, Sn 등의 금속 미립자, 또는 SiN_z, (z≠0) 등의 절연체 입자에 의해 형성되어 있다.

본 실시예의 축적 영역(15)에서는, 미립자(15a)의 수 (면밀도)는 제조 과정에서 터널 절연막(14a)에 생긴 구조적인 구멍(핀홀)의 면밀도 보다 크게 되어 있고, 구체적으로는, 5개 이상이다. 또, 통상, 다결정 실리콘층(13)의 표면에는 요철이 있지만, 본 실시예에서 그 조악도는 0.1㎚ 이상 100㎚ 이하의 범위이고, 또한 축적 영역(15)에서의 미립자(15a)의 수는 전도 영역(13c) 내의 결정 입자수에 비해 많아져 있는 것이 바람직하다.

절연막(14) 위, 즉 축적 영역(15)을 중심으로 하여 전도 영역(13c)의 반대측 위치에는 제어용 전극(16)이 형성되어 있다. 제어용 전극(16)은 예를 들면 알루미늄(Al) 등의 금속, 또는 불순물이 도핑된 저저항의 다결정 실리콘층에 의해 구성되어 있다. 이 제어용 전극(16)에 의해 전도 영역(13c)과 축적 영역(15) 사이에 전장이 인가되고, 전도 영역(13c)의 전도도 및 축적 영역(15) 내의 전자수가 제어되도록 되어 있다. 제어용 전극(16)과 축적 전극(15) 사이의 제어용 절연막(14b)의 막 두께는 양자 역학적 터널 효과에 의해 전자가 제어용 절연막(14b) 내를 천이할 수 없는 정도의 크기 (예를 들면 50㎚ 이상)로 되어 있다.

다음에, 이와 같은 구성을 갖는 메모리 소자의 작용, 즉 정보(데이터)의 기입법 및 소거법, 및 정보의 유지법 및 판독법에 대해 각각 설명한다. 또, 이하의 설명에서, 제1 불순물 영역(13a)은 접지 (전위 = 0V)되어 있는 것으로 한다.

이 메모리 소자에서는, 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)이 n형인 경우에는, 제2 불순물 영역(13b)을 제1 불순물 영역(13a)과 동전위(0V)로 한다. 또 제2 불순물 영역(13a) 보다 높은 전위 (예를 들면 10V)를 인가함과 동시에, 제어용 전극(16)에 제1 불순물 영역(13a)의 전위 보다 높은 전위 (예를 들면 20V)를 인가함으로써, 전도 영역(13c)의 전하(전자)가 전도 영역-축적 영역 간의 터널 절연막(14a)을 양자역학적 터널 효과에 의해 천이되어, 축적 영역(15)의 분산된 복수의 미립자(15a)에 축적된다. 이에 의해 정보가 기입된다.

또, 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)이 p형인 경우에는 제2 불순물 영역(13b)을 제1 불순물 영역(13a)과 동전위(0V)로 하고, 또는 제1 불순물 영역(13a) 보다 낮은 (예를 들면 -10V) 전위를 인가함과 동시에, 제어용 전극(16)에 제1 불순물 영역(13a)의 전위 보다 낮은 전위(예를 들면 -20V)를 인가함으로써, 전도 영역(13c)의 전하(정공)가 전도 영역-축적 영역 간의 터널 절연막(14a)을 양자역학적 터널 효과에 의해 천이되어, 축적 영역(15)의 분산된 복수의 미립자(15a)에 축적된다. 이에 의해 정보가 기입된다. 이와 같이 기입된 정보는 모든 전극의 전위를 동전위 또는 부유 상태로 함으로써 유지된다.

이와 같이, 본 실시예의 메모리 소자에는 축적 영역(15)이 분산된 5 개 이상의 미립자(15a)에 의해 구성되어 있기 때문에, 터널 절연막(14a)에 존재하는 구성적인 결함에 의해 일부의 미립자(15a)에 축적된 전하가 리크되어도, 터널 절연막(14a) 내 결함이 존재하지 않는 영역에 형성된 미립자(15a)에 축적된 전하는 리크되지 않는다. 따라서, 본 실시예에서는, 축적 영역(15)에 축적된 정보는 장시간에 걸쳐 유지된다. 이것은 다결정 실리콘층(13)의 표면의 조악도가 0.1㎚ 이상 100㎚ 이하의 범위이고, 또한 축적 영역(15)에서의 미립자(15a)의 수가 전도 영역(13c) 중의 결정 입자수에 비해 많아지고 있는 경우도 동일하다. 즉, 다결정 실리콘층(13)의 요철 부분에 전계가 집중하여도, 그 이외의 영역에도 미립자(15a)가 존재하기 때문에, 전하가 리크되지 않고, 장시간, 전하를 보유할 수 있다. 다라서, 본 실시예에서는, 저온 프로세서에 의해 터널 절연막을 형성할 수 있으며, 기판으로서 글래스나 플라스틱 등의 저렴한 재질의 것을 사용하는 것이 가능하게 된다.

또, 기입된 정보는 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)이 n형인 경우에는 제2 불순물 영역(13b)을 제1 불순물 영역(13a)과 동전위로 함과 동시에, 제어용 전극(16)에 제1 불순물 영역(13a)의 전위 보다 낮은 전위 (예를 들면 -20V)를 인가함으로써, 축적 영역(15)에 유지된 전하(전자)가 전도 영역-축적 영역 간의 터널 절연막(14a)을 천이하여 전도 영역(13c)으로 인출되어 소거된다.

또, 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)이 p형 반도체인 경우에는, 제2 불순물 영역(13b)을 제1 불순물 영역(13a)과 동전위로 하는 동시에, 제어용 전극(16)에 제1 불순물 영역(13a)의 전위 보다 높은 전위 (예를 들면 20V)를 인가한다. 이에 의해, 축적 영역(15)의 미립자(15a)에 유지된 전하(정공)가 전도 영역-축적 영역 간의 터널 절연막(14a)을 천이하여 전도 영역(13c)에 인출되어 정보가 소거된다.

또한, 기입된 정보는 제어용 전극(16)의 전위에 대한 전도 영역(13c)의 전도도 또는 전류치를 측정함으로써, 축적 영역(15) 내의 전류량의 변화가 검출되어 판독된다.

<제2 실시 형태>

도 2는 본 발명의 제2 실시예에 관한 메모리 소자의 구성을 나타낸 것이다. 이 메모리 소자(20)는 예를 들면 석영으로 이루어진 기판(21) 상에 SiO_2 또는 Si_3N_4 등의 절연막으로 이루어진 버퍼층(22)을 사이에 두고 제어용 전극(제어용 전극; 26)을 구비하고 있다.

버퍼층(22) 및 제어용 전극(26) 상에는 절연막(24)이 형성되어 있다. 절연층(24)은 제어용 절연막(24b)과, 이 제어용 절연막(24b) 상에 적층된 터널 절연막(24a)으로 구성되어 있다. 터널 절연막(24a)과 제어용 절연막(24b) 사이에는, 복수의 이산적으로 배치된 미립자(25a)로 이루어진 축적 영역(25)이 설치되어 있다. 절연막(24) 상에는, 전도 영역(23c)과, 이 전도 영역(23a)의 양측에 각각 인접하여 설치된 제1 불순물 영역(23a) 및 제2 불순물 영역(23b)이 설치되어 있다. 이들 제1 불순물 영역(23a), 제2 불순물 영역(23b) 및 전도 영역(23c)은 다결정 실리콘층(23) 내에 형성되어 있다.

본 실시예의 메모리 소자는, 제1 실시예의 메모리 소자가 소위 톱 게이트 형인 데에 반하여 보톰 게이트형인 것을 제외하고, 그 외 구성 및 작용 (정보의 기입법 또는 소거법, 및 정보의 유지법 및 판독법) 및 효과는 실질적으로 제1 실시예와 동일하므로, 그 설명은 생략한다.

도 3 및 도 4는 각각 상기 메모리 소자의 제1 집적화 방법을 설명하기 위한 회로 구성도이다. 이 제1 방법은 각 메모리 소자의 게이트 전극을 워드선과 접속함과 동시에, 소스-드레인 경로를 각각 비트선과 소스선 사이에 접속하고, 이들 메모리 소자를 복수 병렬로 배열한 것이다. 또, 도 5는 동일하게 상기 메모리 소자를 제2 방법에 의해 집적화한 경우의 회로 구성을 나타낸 것이다. 제2 방법에서는, 각 메모리 소자의 게이트 전극을 워드선과 접속함과 동시에, 소스-드레인 경로를 각각 비트선과 소스선 사이에 접속하여, 이들 메모리 소자를 복수 직렬로 배열한다. 또, 이들 방법에 의해 집적화한 메모리 장치의 작용에 대한 설명을 후술한다.

<제1 실시예에 관한 제조 방법>

다음에, 도 6a, 도 6b 내지 도 10a, 도 10b을 참조하여, 상기 제1 실시예의 메모리 소자의 제1 제조 방법에 대해 설명한다. 여기에서 각 도에서 b도는 평면도를 나타내고, a도는 b도의 α-α선을 따른 단면도를 나타내고 있다.

(제1 방법)

먼저, 도 6a 및 도 6b에서 나타낸 바와 같이, 절연 기판, 예를 들면 석영, 글래스, 플라스틱 등의 기판(11) 상에, 예를 들면 CVD (Chemical Vapor Deposition: 화학적 기상 성장)법 또는 스퍼터링법에 의해, 예를 들면 100㎚ 정도의 두께의 Si_3N_4층 또는 SiO_2층으로 이루어진 버퍼층(12)을 형성한다. 그 후, 기판 온도를 600~700℃로 하고, 예를 들면 CVD법 또는 스퍼터링법에 의해, 수 10㎚ 정도의 막 두께의 다결정 실리콘층(13)을 형성한 후, 에칭에 의해 소자 분리를 행한다. 또, 이 때 다결정 실리콘층(13)에는, 통상 구멍(핀홀; 10)으로 이루어진 결함이 발생한다.

이어서, 도 7a 및 도 7b에서 나타낸 바와 가이, 열산화법에 의해 또는 교류 전기장 내에 산소를 도입함으로써 생성된 산소 전리 기체에, 기판 표면을 노출시켜 산화하는 방법에 의해 다결정 실리콘층(13) (전도 영역 Ch1)의 표면을 10㎚ 전후의 두께 만큼 산화하여, 터널 절연막(14a)을 형성한다. 이 때, 도시하지는 않았지만, 터널 절연막(14a)에는 다결정 실리콘층(13) 내의 구멍(10)에 기인하여 전술한 바와 같이 다수의 구멍(핀 홀)이 발생한다.

다음에, 도 8a 및 도 8b에서 나타낸 바와 같이, 실란, 지실란 등 실리콘 원자를 포함하는 가스와, 게르만 등 게르마늄 원자를 포함하는 가스를 원료로 한 화학 기상 성장법, 또는 실리콘 또는 게르마늄 또는 금속을 원료로 한 스퍼터링법에 의해 Si_xGe_{1-x}($0 \leq x \leq 1$)을 터널 절연막(14a) 상에 성막하고, 다수의 미립자(15a)로 이루어진 축적 영역(15)을 형성한다. 이 때 미립자(15a)의 수는 터널 절연막(14a)의 표면의 피복율이 1 보다 작아지도록 되어 있다. 또, 이 미립자의 수는 터널 절연막(14a)에 생긴 결함 보다 면밀도가 높고, 그 수는 5 이상으로 한다.

다음에, 도 9a 및 도 9b에서 나타낸 바와 같이, SiH_4(실란), Si_2H_6(지실란) 등 실리콘 원자를 포함하는 가스 및 N_2O(아산화 질소), O_2(산소) 등 산소 원자를 포함하는 가스에 의한 화학 기상 성장법, 또는 N_2O, O_2 등 산소 원자를 포함하는 가스의 전리 기체 분위기 중에서의 실리콘의 스퍼터링에 의해, 막 두께가 약 100㎚인 제어용 절연막(14b)을 형성한다. 계속하여, 다결정 실리콘 또는 Al(알루미늄), Cu(동), W(텅스텐) 등의 금속에 의해 제어용 절연막(14b) 상의 전도 영역(13c; 다결정 실리콘층(13))에 대향하는 위치에, 제어용 전극 (게이트 전극; 16)을 형성한다. 그 후, 제어용 전극(16)을 마스크로 하여, 전도 영역 (다결정 실리콘층(13))의 표면 까지 CF_4(사불화 탄소) 및 H_2(수소)의 혼합 가스를 이용한 RIE (Reactive Ion Etching; 반응성 이온 에칭)에 의해 제어용 절연막(14b)의 선택 에칭을 행한다.

다음에, 도 10a 및 또 10b에서 나타낸 바와 같이, 제어용 전극(16)을 마스크로 하여 이온 주입을 행하고, 다결정 실리콘층(13)에 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)을 형성한다. 이온 주입은 전도 전하를 전자로 하면 Ⅴ족 원자, 예를 들어 인(P) 원자, 전도 전하를 정공으로 하면 Ⅲ족, 예를 들면 붕소(B) 원자를 이온 주입한다. 또는, 전도 전하를 원자로 하면 Ⅴ족 원자를 포함하는 전리 기체, 예를 들면 PH_3의 전리 기체, 전도 전하를 정공으로 하면 Ⅲ족 원자를 포함하는 전리 기체, 예를 들면 B_2H_6의 전리 기체를 제어용 전극(16)을 마스크로 하여 다결정 실리콘층(13)에 조사함으로써 제1 불순물 영역(13a) 또는 제2 불순물 영역(13b)을 형성할 수도 있다. 그 후, 전기로 또는 엑시머 레이저를 이용하여 소자를 가열하고, 주입한 불순물을 활성화시킨다.

그 후, 도시하지 않았지만, 예를 들어 CVD법 또는 스퍼터링법에 의해 이와 같이 하여 형성된 메모리 소자의 표면에 Si_3N_4 또는 SiO_2로 이루어진 보호막을 형성한다.

(제2 방법)

다음에, 도 11a, 도 11b 내지 도 14a, 도 14b를 참조하여, 상기 제1 실시예의 메모리 소자의 제2 제조 방법에 대해 설명한다. 여기에서, 각 도면에 있어서, B도는 평면도, a도는 b도의 β-β선을 따른 단면도를 각각 나타내고 있다.

먼저, 도 11a 및 도 11b에서 나타낸 바와 같이, 석영 등의 기판(11) 상에, CVD 또는 스퍼터링법에 의해 예를 들면 막 두께 100㎚ 정도의 Si_3N_4층 또는 SiO_2층으로 이루어진 버퍼층(12)을 형성한다. 계속하여, 플라즈마 CVD (Plasma Enhanced Chemical Vapor Deposition; PECVD)법 또는 스퍼터링법에 의해 막 두께가 수 10㎚ 정도인 비정질 실리콘층(13')을 기판(11)에 변형이 생기지 않을 정도의 온도에서 형성한 후, 에칭에 의해 소자 분리를 행한다.

다음에, 도 12a 및 도 12b에서 나타낸 바와 같이, 플라즈마 산화법에 의해 비정질 실리콘층(13')의 표면을 산화하고, 그 상부에 PECVD법에 의해 막 두께가 수 10㎚인 SiO_x층 (x<2)으로 이루어진 터널 절연막(14a)을 형성하고, 그 후, XeCl 엑시머 레이저를 150~300mJ/㎠ 정도 조사함으로써, 비정질 실리콘층(13')을 결정화하여, 다결정 실리콘층(13)으로 한다. 이때, SiO_x 중의 과다한 실리콘이 석출되고, 다수의 미립자(15a)로 이루어진 축적 영역(15)이 형성된다. 또, SiO_x층 (x<2)으로 이루어진 터널 절연막(14a)을 형성하는 대신에, 제1 방법과 동일하게 실란, 지실란 등 실리콘 원자를 포함하는 가스와 게르만 등 게르마늄 원자를 포함하는 가스를 원료로 한 화학 기상 성장법, 또는 실리콘 또는 게르마늄 또는 금속을 원료로 한 스퍼터링법에 의해 피복율이 1 보다 작아지도록 하여 축적 영역(15)을 형성하여도 좋다.

다음에, 도 13a 및 도 13b에서 나타낸 바와 같이, 실란, 지실란 등 실리콘 원자를 포함하는 가스 및 N_2O, O_2 등 산소 원자를 포함하는 가스에 의한 화학 기상 성장법, 또는 N_2O, O_2 등 산소 원자를 포함하는 가스의 전리 기체 분위기 중에서의 실리콘의 스퍼터링에 의해, 막 두께가 약 100㎚인 제어용 절연막(14b)을 형성한다. 계속해서, 다결정 실리콘 또는 Al, Cu, W 등의 금속에 의해 제어용 절연막(14b) 상의 다결정 실리콘층(13)의 전도 영역(13c)에 대향하는 위치에, 제어용 전극(16)을 형성한다. 그 후, 제어용 전극(16)을 마스크로 하여, 전도 영역 (다결정 실리콘층(13))의 표면 까지 CF_4 및 H_2의 혼합 가스를 이용한 RIE에 의해 제어용 절연막(14b)의 선택 에칭을 행한다.

다음에, 도14a 및 도 14b에서 나타낸 바와 같이, 제어용 전극(16)을 마스크로 하여 이온 주입을 행하고, 다결정 실리콘층(13)에 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)을 형성한다. 이온 주입은 제1 방법과 동일하게, 전도 전하를 전자로 하면 Ⅴ족 원자, 예를 들면 인(P) 원자, 전도 전하를 정공으로 하면 Ⅲ족, 예를 들면 붕소(B) 원자를 이온 주입한다. 또는 전도 전하를 전자로 하면 Ⅴ족 원자를 포함하는 전리 기체, 예를 들면 PH_3의 전리 기체, 전도 전하를 정공으로 하면 Ⅲ족 원자를 포함하는 전리 기체, 예를 들어 B_2H_6의 전리 기체를 제어용 전극(16)을 마스크로 하여 다결정 실리콘층(13)에 조사함으로써 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)을 형성할 수 있다. 그 후, 전기로 및 엑시머 레이저를 이용하여 소자를 가열하여, 주입한 불순물을 활성화시킨다. 그 후, 도시하지 않았지만, 예를 들면 CVD 법 또는 스퍼터링법에 의해 이와 같이 하여 형성된 메모리 소자의 표면에 Si_3N_4 또는 SiO_2로 이루어진 보호막을 형성한다.

도 15는 상기 실시예에 의해 제작된 메모리 소자의, 게이트 전압-드레인 전류 특성(메모리 효과)을 나타내고 있다. 또, 드레인 전압은 5V이다. 이 메모리 소자는, PECVD 법에 의해 $SiO_{0.5}$층을 형성하고, 그 후 에너지 밀도 260mJ/㎠의 XeCl 엑시머 레이저를 조사함으로써 $SiO_{0.5}$층 중에 Si 도트로 이루어진 축적 영역을 형성하고, 계속해서, PH_3의 플라즈마 소자에 의해 인(P)의 이온 주입을 행하고, 제1 불순물 영역 및 제2 불순물 영역을 형성하고, 또한 XeCl 엑시머 레이저 (210mJ/㎠)에 의한 어닐링을 행하고, 주입한 불순물의 활성화를 행한다.

(제3 방법)

다음에, 도 16a, 도 16b 내지 제20a, 도 20b를 참조하여, 상기 제1 실시예의 메모리 소자의 제3 제조 방법에 대해 설명한다. 여기에서도, 각 도에서 b도는 평면도, a도는 b도의 ɣ-ɣ선을 따른 단면도를 각각 나타내고 있다.

먼저, 도 16a 및 도 16b에서 나타낸 바와 같이, 석영 등의 기판(11) 상에, CVD 또는 스퍼터링법에 의해, 예를 들면 막 두께 100㎚ 정도의 Si_3N_4층 또는 SiO_2층으로 이루어진 버퍼층(12)을 형성한다. 계속해서, PECVD법 또는 스퍼터링법에 의해, n형 또는 p형 불순물이 도핑된, 막 두께 수10㎚ 정도의 비정질 실리콘층을 기판(11)에 변형이 생기지 않을 정도의 온도에서 형성한 후, 에칭에 의해 이 비정질 실리콘층을 선택적으로 제거하여 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)을 형성한다.

다음에, 도 17a 및 도 17b에서 나타낸 바와 같이, PECVD법 또는 스퍼터링법에 의해 기판(11)의 표면에 불순물을 포함하지 않는 비정질 실리콘층(13')을 형성한 후, 에칭에 의해 전도 영역(13c)이 되는 부분과, 제1 불순물 영역(13a) 및 제2 불순물 영역(13b)에 대응하는 영역 이외의 영역을 선택적으로 제거한다.

다음에, 도 18a 및 도 18b에서 나타낸 바와 같이, 비정질 실리콘층(13')에 XeCl 엑시머 레이저를 150～300mJ/㎠의 범위에서 조사하여 결정화하여, 다결정 실리콘층(13)으로 한다.

다음에, 도 19a 및 도 19b에서 나타낸 바와 같이, 플라즈마 산화법에 의해 다결정 실리콘막(13)의 표면을 산화하고, 그 상부에 PECVD법에 의해 막 두께 수 10㎚의 SiO_x층(x<2)으로 이루어진 터널 산화막(14a)을 형성하고, 그 후, XeCl 엑시머 레이저를 150～300mJ/㎠ 정도 조사한다. 이에 의해 SiO_x 중의 과다한 실리콘이 석출되고, 다수의 미립자(15a)로 이루어진 축적 영역(15)이 형성된다. 또, SiO_x층(x<2)을 형성하는 대신에, 제1 방법과 동일하게 실란, 지실란 등 실리콘 원자를 포함하는 가스와 게르만 등 게르마늄 원자를 포함하는 가스를 원료로 한 화학 기상 성장법, 또는 실리콘 또는 게르마늄 또는 금속을 원료로 한 스퍼터링법에 의해 피복율이 1 보다 작은 축적 영역(15)을 형성하여도 좋다.

다음에, 도 20a 및 도 20b에서 나타낸 바와 같이, 실란, 지실란 등 실리콘 원자를 포함하는 가스 및 N_2O, O_2 등 산소 원자를 포함하는 가스에 의한 화학 기상 성장법, 또는 N_2O, O_2 등 산소 원자를 포함하는 가스의 전리 기체 분위기 중에서의 실리콘의 스퍼터링에 의해, 예를 들면 막 두께 100㎚의 제어용 절연막(14b)을 형성한다. 계속해서, 다결정 실리콘 또는 Al, Cu, W 등의 금속에 의해 제어용 절연막(14b) 상의 전도 영역(13c) (다결정 실리콘층(13))에 대향하는 위치에, 제어용 전극(16)을 형성한다. 그 후, 제어용 전극(16)을 마스크로 하여, 전도 영역 (다결정 실리콘층(13))의 표면 까지 CF_4 및 H_2의 혼합 가스를 이용한 RIE에 의해 제어용 절연막(14b)의 선택 에칭을 행한다.

그 후, 전기로 또는 엑시머 레이저를 이용하여 소자를 가열하고, 주입한 불순물을 활성화시킨다. 그 후, 도시하지 않았지만, 예를 들면 CVD법 또는 스퍼터링법에 의해 상기와 같이 하여 형성된 메모리 소자의 표면에 Si_3N_4 또는 SiO_2로 이루어진 보호막을 형성한다.

<제2 실시예에 관한 제조 방법>

다음에, 도 21a, 도 21b 내지 도 25a, 도 25b를 참조하여, 상기 제2 실시예의 메모리 소자의 제조 방법에 대해 설명한다. 여기에서, 각 도면에서, b도는 평면도, a도는 b도의 ζ-ζ선을 따른 단면도를 각각 나타내고 있다.

먼저, 도 21a 및 도 21b에 나타낸 바와 같이, 석영, 글래스 또는 플라스틱으로 이루어진 기판(21) 상에, CVD 또는 스퍼터링법에 의해 예를 들어 막 두께 100㎚ 정도의 Si_3N_4층 또는 SiO_2층 또는 SiN_kO_1 (k, 1≠0)층으로 이루어진 버퍼층(22)을 형성한다. 이어서, 예를 들어 전자 빔 증착법에 의해 x(텅스텐), Ta(탄탈), Mo(몰리브덴) 등으로 이루어진 금속막을 형성하여, 패터닝함으로써 제어용 전극(26)을 형성한다.

다음에, 도 22a 및 도 22b에서 나타낸 바와 같이, CVD법 또는 스퍼터링법에 의해 막 두께가 약 100㎚인 SiO_2층으로 이루어진 제어용 절연막(24b), 막 두께가 수 10㎚인 SiO_x(x<2)층으로 이루어진 터널용 절연막(24a), 막 두께가 수10㎚인 불순물이 첨가되어 있지 않은 비정질 실리콘층(23')을 순서대로 형성한다.

다음에, 도 23a 및 도 23b에 도시된 바와 같이, XeCl 엑시머 레이저를 150～300mJ/㎠ 정도 조사함으로써, 비정질 실리콘층(23')을 결정화하여, 다결정 실리콘층(23)으로 한다. 이 때, SiO_x 내의 과다한 실리콘이 석출되고, 터널용 절연막(24a) 중에 다수의 미립자(25a)로 이루어진 축적 영역(25)이 형성된다.

다음에, 도 24a 및 도 24b에 도시된 바와 같이, 예를 들어 RIE에 의해 다결정 실리콘층(23) 및 터널용 절연막(24a)을 선택적으로 제거하여 소자 분리를 행한다.

다음에, 도 25a 및 도 25b에 도시된 바와 같이, 다결정 실리콘층(23) 상의, 제어용 전극(26)에 대향하는 영역에 포토레지스트 또는 SiO_2로 이루어진 마스크(27)를 형성한다. 계속해서, 마스크(27)를 이용하여 이온 주입을 행하고, 다결정 실리콘층(23)에 제1 불순물 영역(23a) 및 제2 불순물 영역(23b)을 형성한다. 이온 주입은 전도 전하를 전자로 하면 Ⅴ족 원자, 예를 들어 인(P) 원자, 전도 전하를 정공으로 하면 Ⅲ족, 예를 들어 붕소(B) 원자를 이온 주입한다. 또는, 전도 전하를 전자로 하면 Ⅴ족 원자를 포함하는 전리 기체, 예를 들어 PH_3의 전리 기체, 도전 전하를 정공으로 하면 Ⅲ족 원자를 포함하는 전리 기체, 예를 들어 B_2H_6의 전리 기체를 마스크(27)을 이용하여 다결정 실리콘층(23)에 조사함으로써 제1 불순물 영역(23a)

및 제2 불순물 영역(23b)을 형성할 수 있다. 그 후, 전기로 또는 엑시머 레이저를 이용하여 소자를 가열하여, 주입한 불순물을 활성화시킨다. 그 후, 도시하지 않았지만, 예를 들어 CVD법 또는 스퍼터링법에 의해, 이와 같이 하여 형성된 메모리 소자의 표면에 Si_3N_4 또는 SiO_2로 이루어진 보호막을 형성한다.

<제3 실시예>

다음에, 도 26 및 도 27을 참조하여 본 발명의 제3 실시예에 대해 설명한다. 본 실시예에는, 제1 또는 제2 실시예에 도시한 톱 게이트형의 메모리 소자를 집적화한 메모리 장치의 구성예를 나타낸 것이다. 도 26은 도 3에 나타낸 회로도를 실제의 디바이스에 적용한 다른 평면도, 도 27은 도 26의 η-η선을 따른 단면도를 각각 나타내고 있다.

이 메모리 장치에서, 소스선 S_1, S_2, 비트선 B_1, B_2, 워드선 W_1, W_2은 각각 Al, Cu 등의 금속 또는 불순물이 주입된 다결정 실리콘층에 의해 형성되어 있다. 여기에서는, 2×2의 메모리 어레이 밖에 표시하고 있지 않지만, 일반적으로 n×m (n, m>1)인 것은 말할 것도 없다. 이는 이하의 실시예에서도 동일하다.

(집적화 방법)

다음에, 상기 메모리 소자의 집적화 방법에 대해서 설명한다.

메모리 소자의 집적화의 제1 방법은, 도 3 또는 도 4에서 나타낸 바와 같이, 메모리 소자의 제어용 전극(G)을 워드선 W_1, W_2…과 접속하고, 소스-드레인 경로를 각각 비트선과 소스선 사이에 접속한 메모리 소자를 복수개 병렬로 배열하는 방법이다. 각 메모리 소자에의 정보 기입, 소거, 유지 및 판독은 전술한 바와 같이 각 메모리 소자의 제1 불순물 영역, 게이트 영역 및 제2 불순물 영역에 소스선, 비트선 및 워드선의 전위를 가하면 좋다.

메모리 소자의 집적화의 제2 방법은, 도 5에서 나타낸 바와 같이, 메모리 소자의 제어용 전극을 워드선과 접속하고, 소스-드레인 경로를 각각 비트선과 소스선 사이에 접속한 메모리 소자를 복수 직렬로 배선하는 방법이다. 각 메모리 소자에의 정보 기입, 소거 유지 및 판독은 전술한 바와 같이 각 메모리 소자의 제1 불순물 영역, 게이트 영역 및 제2 불순물 영역에 소스선, 비트선 및 워드선에 전위를 가하면 좋다.

<제4 실시예>

도 28은 본 발명의 제4 실시예에 관한 보톰 게이트형 메모리 소자를 집적화한 메모리 장치의 구성예를 나타내고 있다. 또, 평면 구성은 도 26과 동일하고, 도 28도 이 도 26의 η-η선을 따른 단면 구성에 대응하고 있다. 각각의 소자의 제작법은 전술한 바 대로이고, 집적화한 경우도 용이하게 전용할 수 있기 때문에, 그 구체적인 설명은 생략한다.

<제5 실시예>

도 29 및 도 30은 본 발명의 제5 실시예에 관한 톱 게이트형 메모리 소자를 이용한 메모리 장치의 구성예를 나타내고 있다. 도 29는 도 3에서 나타낸 회로도를 실제의 디바이스에 적용한 예의 평면도, 도 30은 도 29의 κ-κ선을 따른 단면도를 각각 나타내고 있다. 소스선 S_1, S_2, 비트선 B_1, B_2, 워드선 W_1, W_2은 Al, Cu 등의 금속 또는 불순물이 주입된 다결정 실리콘층에 의해 형성되어 있다.

또, 도 31은 제2 실시예에 관한 보톰 게이트형 메모리 소자를 집적화한 예를 나타내고 있다.

다음에, 본 실시예에 관한 메모리 장치의 복수의 메모리 소자 중, 특정의 소자, 예를 들어 도 3의 메모리 소자 C_{nm}에 대해, 정보의 기입 및 소거, 및 정보의 유지 및 판독을 행하는 경우에 대해서 각각 구체적으로 설명한다. 또, 이하의 설명에서, 메모리 소자로서는 n형의 전도성을 갖는 것으로 가정하고 있다. 메모리 소자로서 p형의 전도성을 갖는 것을 이용하는 경우는, 이하의 설명에서 전위의 부호를 반대로 하면 된다.

먼저, 메모리 소자 C_{nm}에 대해 정보를 기입하는 경우에는, 소스선 S_m, 및 워드선 W_n을 제외한 워드선 $W_1 \sim W_{n-1}$에 0V, 워드선 W_n에 전위 V_p (예를 들어 10V), 비트선 B_m에 전위 V_d (예를 들어 5V)를 각각 인가한다. 이 때, 오류로, 메모리 소자 C_{nm}의 주위의 다른 메모리 소자에서의 정보를 소거하지 않도록, 소스선 S_i 및 비트선 $B_i(i \neq m)$에 Vp/2 만큼의 전위를 인가하여 두는 것이 바람직하다.

다음에, 이와 같이 하여 메모리 소자 C_{nm}에 기입된 정보를 소거하는 경우에는, 소스선 S_m, 및 워드선 W_n을 제외한 워드선에 0V, 워드선 W_n에 전위 $-V_p$(예를 들어 -10V), 비트선 B_m에 전위 $-V_d$(예를 들어 -5V)를 각각 인가한다. 이 때, 메모리 소자 C_{nm}의 주위의 다른 메모리 소자에 오류로 정보를 기입하지 않도록, 소스선 S_m 및 비트선 B_m을 제외한 비트선에 -Vp/2 만큼의 전위를 인가하여 두는 것이 바람직하다.

또, 메모리 소자 C_{nm}에 기입된 정보를 유지하는 경우에는, 모든 전극의 전위를 동전위 또는 부유 상태로 한다.

다음에, 메모리 소자 C_{nm}으로부터 정보를 판독하는 경우에는, 모든 소스선 및 비트선 B_m을 제외한 비트선에 0V, 워드선 W_n을 제외한 워드선에 0V, 워드선 W_n에 전위 V_r (예를 들어 5V), 비트선 B_m에 전위 V_d (예를 들어 5V)을 각각 인가하고, 비트선 B_m을 흐르는 전류의 대소를 측정한다. 이에 의해 메모리 소자 C_{nm}의 기입 상태의 측정이 행해져, 정보의 판독이 행해진다.

<제6 실시예>

도 32 및 도 33은 본 발명의 제6 실시예에 관한 톱 게이트형 메모리 소자를 이용한 메모리 장치의 구성예를 나타내고 있다. 도 32는 도 5에 나타낸 회로도를 실제의 디바이스에 적용한 예의 평면도, 도 33은 도 32의 l-l선을 따른 단면도를 각각 나타내고 있다. 본 실시예에서도, 소스선 S_1, 비트선 B_1, 워드선 W_1, W_2, W_3, W_4, … W_n은 Al, Cu 등의 금속 또는 불순물이 주입된 다결정 실리콘층으로 형성되어 있다.

도 34는 제2 실시예에 관한 보톰 게이트형 메모리 소자를 집적화한 예를 나타낸 것이고, 도 33과 동일하게 도 32의 l-l선을 따른 단면도에 대응하고 있다.

다음에, 본 실시예에서의 메모리 장치의 특정 메모리 소자 M_{nm}(도 5 참조)에 대하여, 정보의 기입 및 소거, 및 정보의 유지 및 판독을 행하는 경우의 작용에 대해서 설명한다. 또, 이하의 설명에서도, 메모리 소자로서는 n형의 전도성을 갖는 것으로 가정하고 있고, p형 전도성을 갖는 경우에 대해서는 그 설명을 생략한다.

먼저, 메모리 소자 M_{nm}에 대해서, 정보를 기입하는 경우에는, 모든 소스선을 0V로 함과 동시에, 워드선 W_m에 전위 V_p(예를 들어 10V), 워드선 W_m 이외의 워드선에 $V_p/2$(예를 들어 5V), 비트선 B_n에는 0V, 비트선 B_n 이외의 워드선 W_m을 게이트에 접속되어 있는 메모리 소자를 포함하는 메모리 소자열의 비트선에 $V_p/2$(예를 들어 5V)을 부여한다.

메모리 소자 M_{nm}에 기입된 정보를 소거하는 경우에는, 모든 소스선을 0V로 하고, 워드선 W_m에 전위 $-V_p$ (예를 들어 -10V), 워드선 W_m 이외의 워드선에 $V_p/2$ (예를 들어 5V), 비트선 B_n에 0V, 비트선 B_n 이외의 워드선 W_m을 게이트에 접속되어 있는 메모리 소자를 포함하는 메모리 소자열의 비트선에 $-V_p/2$(예를 들어 -5V)을 부여한다.

또, 메모리 소자 M_{nm}에 기입된 정보를 유지하는 경우에는, 모든 전극의 전위를 동전위 또는 부유 상태로 한다.

정보를 판독하는 경우에는, 모든 소스선 및 비트선 B_n을 제외한 비트선에 0V, 워드선 W_m을 제외한 워드선에 0V, 워드선 W_n에 0V, 비트선 B_m에 전위 V_d (예를 들어 5V)를 인가하고, 비트선 B_m을 흐르는 전류의 대소를 측정한다. 이에 의해 메모리 소자 M_{nm}에 기입된 정보가 판독된다.

<제7 실시예>

다음에, 도 35 내지 도 39를 참조하여, 동일 기판 상에 제1 실시예(도 1)에 의한 메모리 소자와 함께, 예를 들어 제어 회로 등의 주변 회로를 동시에 제작하는 경우의 방법에 대해서 설명한다.

먼저, 도 35에서 나타낸 바와 같이, 석영, 글래스, 플래스틱 등의 기판(11) 상에 버퍼층(12)으로서 100㎚ 정도의 두께의 Si_3N_4 및 SiO_2층을 CVD 또는 스퍼터링법에 의해 형성한 후, 버퍼층(12)의 표면에 수 10㎚ 정도의 비정질 실리콘층(13')을 PECVD법 또는 스퍼터링법에 의해, 기판 변형이 생기지 않는 온도에서 형성한 후, 에칭에 의해 소자 분리를 행한다.

다음에, 도 36에서 나타낸 바와 같이, 플라즈마 산화법에 의해 비정질 실리콘층(13')의 표면을 산화하여 터널 절연막(14a)을 형성한 후, PECVD법에 의해, 터널 절연막(14a)의 상부에, 막 두께가 수 10㎚인 SiO_x (x<2)층을 형성한다. 그 후, XeCl 엑시머 레이저를 150~300mJ/㎠ 정도 조사한다. 이에 의해, 도 36에서 나타낸 바와 같이, 비정질 실리콘층(13')이 결정화되어 다결정 실리콘층(13)이 됨과 동시에, SiO_x중의 과다한 실리콘이 석출되어, 다수의 미립자(15a)로 이루어지는 축적 영역(15)이 형성된다.

다음에, 도 37에서 나타낸 바와 같이, 메모리 소자측(도면의 좌반분)을 포토레지스트막(17)으로 피복하고, 주변 회로측(도면의 우반분)에 형성된 축적 영역을 SF_6 또는 CF_4 및 H_2의 혼합 가스를 이용한 RIE에 의해 선택적으로 제거한다. 그 후, 포토레지스트막(17)을 제거한다.

다음에, 도 38에서 나타낸 바와 같이, 실란, 지실란 등 실리콘 원자를 포함하는 가스 및 N_2O, O_2 등 산소 원자를 포함하는 가스에 의한 CVD법에 의해, 또는 N_2O, O_2 등 산소 원자를 포함하는 가스의 전리 기체 분위기 중에서의 실리콘의 스퍼터링에 의해, 막 두께가 약 100㎚인 제어용 절연막(14b)을 형성한다. 계속해서, 제어용 절연막(14b) 상에 제어용 전극(16; Gm, G)을 다결정 실리콘층 또는 Al, Cu, W 등의 금속으로 형성한 후, 제어용 전극(16; Gm, G)을 마스크로 하여 다결정 실리콘층(13)의 표면 까지 CF_4 및 H_2의 혼합 가스를 이용한 RIE에 의해 에칭을 행한다.

다음에, 도 39에서 나타낸 바와 같이, 제어용 전극(16; Gm, G)을 마스크로 하여, 도전 전하를 전자로 하면 인 등의 Ⅴ족 원자, 전도 전하를 정공으로 하면 붕소 등의 Ⅲ족 원자의 이온 주입을 행하여, 제1 불순물 영역(13a, Sm, S) 및 제2 불순물 영역(13b; Dm, D)을 형성한다. 전도 전하를 전자로 하면, PH_3 등의 Ⅴ족 원자를 포함하는 전리 기체, 전도 전하를 정공으로 하면, 예를 들어 B_2H_6 등의 Ⅲ족 원자를 포함하는 전리 기체를 조사하고, 제1 불순물 영역(13a; Sm, S) 및 제2 불순물 영역(13b; Dm, D)을 형성한다. 그 후, 전기로 또는 엑시머 레이저를 이용하여 소자를 가열하여, 주입한 불순물을 활성화한다. 그 후, 필요한 배선을 행하고, 기판의 표면을 Si_3N_4 또는 SiO_2을 CVD법 또는 스퍼터링법으로 피복하여 보호막을 형성한다.

<제8 실시예>

다음에, 도 40 내지 도 45를 참조하여, 동일 기판 상에, 제2 실시예(도 2)에 의한 메모리 소자와 함께 주변 회로를 동시에 제작하는 경우의 방법에 대해서 설명한다.

먼저, 도 40에서 나타낸 바와 같이, 석영 등의 기판(21) 상에, CVD법 또는 스퍼터링법에 의해, 예를 들면 Si_3N_4나 SiO_2로 이루어진 막 두께가 100㎚인 버퍼층(22)을 형성한 후, 전자 빔 증착법 또는 스퍼터링법에 의해, 텅스텐, 탄탈, 몰리브덴 등의 막을 형성하고 패터닝하여 제어용 전극(26; Gm, G)을 형성한다.

다음에, 도 41에서 나타낸 바와 같이, CVD법 또는 스퍼터링법을 이용하여, 막 두께가 약 100㎚인 SiO_2로 이루어진 제어용 절연막(24b)을 형성한 후, 막 두께가 수 10㎚인 SiO_x (x<2)층(27)을 형성한다.

다음에, 도 42에서 나타낸 바와 같이, 메모리 소자측(도면에서 좌측)을 포토레지스트막(28)으로 피복하여, SF_6, 또는 CF_4 및 H_2의 혼합 가스를 이용한 RIE에 의해, 주변 회로측(도면에서 우측)에 형성된 SiO_x층(27)을 선택적으로 제거한다. 그 후, 포토레지스트막(28)을 제거한다.

다음에, 도 43에서 나타낸 바와 같이, SiO_x층(27)의 표면에 플라즈마 산화법에 의해 터널 절연막(24a)을 형성한다. 그 후, CVD법 또는 스퍼터링법 또는 PECVD법에 의해, 터널 절연막(24a) 및 제어용 절연막(24b) 상에 막 두께가 수 10㎚인 비정질 실리콘층(23')을 형성한다. 다음에, 도 44에서 나타낸 바와 같이, 150~300mJ/㎠의 범위에서 XeCl 엑시머 레이저를 조사한다. 이에 의해, 비정질 실리콘층(23')이 결정화되어 다결정 실리콘층(23)으로 변환됨과 동시에 다수의 미립자(25a)로 이루어진 축적 영역(25)이 형성된다. 이어서, 소자 분리를 위한 에칭을 행한다.

계속해서, 도 45에서 나타낸 바와 같이, 다결정 실리콘층(23) 상의 제어용 전극(26; Gm, G)에 대응하는 영역에 포토레지스트막 또는 SiO_2막에 의해 마스크(29)를 형성한다. 이어서, 마스크(29)을 이용하여, 전도 전하를 전자로 하면, 인 등의 Ⅴ족 원자, 전도 전하를 정공으로 하면 붕소 등의 Ⅲ족의 이온 주입을 행하고, 제1 불순물 영역(23a; Sm, S), 및 제2 불순물 영역(23b; Dm, D)을 각각 형성한다. 또는, 이온 주입 대신에, 전도 전하를 전자로 하면, PH_3 등의 Ⅴ족 원자를 포함하는 전리 기체, 전도 전하를 정공으로 하면, B_2H_6 등의 Ⅲ족 원자를 포함하는 전리 기체를 조사하여, 제1 불순물 영역(23a; Sm, S) 및 제2 불순물 영역(23b; Dm, D)을 형성하여도 좋다. 그 후, 전기로 또는 엑시머 레이저를 이용하여 소자를 가열하고, 주입한 불순물을 활성화한다. 그 후, 필요한 배선을 형성한 후, CVD법 또는 스퍼터링법에 의해 메모리 장치의 표면에 Si_3N_4, SiO_2로 이루어진 보호막(도시하지 않음)을 형성한다.

<제9 실시예>

다음에, 도 46 및 도 51을 참조하여, 반도체 기판 상에 제작된 주변 회로 상에 제1 실시예의 메모리 소자를 적층한 구조를 갖는 메모리 장치의 제작 방법에 대해 설명한다.

먼저, 도 46에서 나타낸 바와 같이, 세정된 실리콘 단결정 기판(31)의 표면을, LOCOS(Local Oxidation of Silicon) 법에 의해 선택적으로 산화하고, 소자 분리를 위한 필드 산화막(32)을 형성하고, 이어서 열산화법에 의해 게이트 산화막(33)을 형성한다.

다음에, 도 47에서 나타낸 바와 같이, CVD법 또는 스퍼터링법을 이용하여, 다결정 실리콘층 또는 Al, W, Cu 등의 금속으로 이루어진 제어용 전극(34)을 형성하고, 그 제어용 전극(34)을 마스크로 하여 이온 주입을 행하고, n형의 LDD(Lightly Doped Drain) 영역(35a, 35b)을 형성한다. 이어서, 제어용 전극(34)의 측벽에 예를 들어 SiO_2로 이루어진 게이트 측벽(사이드월)(34a)을 형성한 후, 이 게이트 측벽(34a) 및 제어용 전극(34)을 마스크로 하여 이온 주입을 행하고, n^{++}형의 소스 영역(36a) 및 드레인 영역(36b)을 형성한다.

다음에, 도 48에서 나타낸 바와 같이, CVD법 또는 스퍼터링법을 이용하여, SiO_2나 $Si(OC_2H_5)_4$(TEOS) 등 또는 SOG(Spin On Glass)에 의해 층간 절연막(37)을 형성한다. 그 후, CMP(Chemical and Mechanical Polishing: 화학적 기계 연마)법에 의해 층간 절연막(37)의 표면의 평탄화를 행한다.

그 후, 전술한 방법과 동일하게, 메모리 소자를 형성한다. 즉, 도 49에서 나타낸 바와 같이, 층간 절연막(37) 상에 터널 절연막(14a)을 형성하고, 그 위에 다수의 미립자(15a)로 이루어진 축적 영역(15)을 형성한다. 이어서, 도 50에서 나타낸 바와 같이 제어용 절연막(14b)을 형성하고, 그 제어용 절연막(14b) 상에 제어용 전극(16; Gm)을 형성한다. 그 후, 제어용 전극(16; Gm)을 마스크로 하여 제어용 절연막(14b) 및 터널 절연막(14a)을 다결정 실리콘층(13)의 표면 까지 에칭한 후, 이온 주입을 행하고, 제1 불순물 영역(13a; Sm) 및 제2 불순물 영역(13b; Dm)을 형성한다. 그 후, 필요한 배선을 형성한 후, CVD법 또는 스퍼터링법에 의해, 메모리 장치의 표면에 Si_3N_4, SiO_2로 이루어진 보호막(도시하지 않음)을 형성한다.

계속해서, 메모리 소자와 주변 회로 사이에 배선이 필요한 경우는, 도 51에서 나타낸 바와 같이, CH_4와 H_2의 혼합 가스 또는 C_2H_6을 이용한 RIE에 의해 층간 절연막(37)에 콘택트홀(38)을 형성하고, Al, Cu, W 등의 금속에 의해 배선(39)을 형성한다. 그 후, CVD법 또는 스퍼터링법에 의해, 표면에 Si_3N_4 또는 SiO_2로 이루어진 보호막(도시하지 않음)을 형성한다.

도 52는, 상기 실시예의 메모리 소자를 적층 구조(여기에서는 2층 구조)로 한 경우의 예를 나타내고 있다. 즉, 반도체 기판(41) 상에 Si_3N_4, SiO_2로 이루어진 버퍼층(42)을 형성한 후, 상기 실시 형태에 의한 메모리 소자를 제작하고, 그 후, CVD법이나 스퍼터링법을 이용하여 SiO_2나 $Si(OC_2H_5)_4$(TEOS) 등, 또는 SOG(Spin On Glass)에 의해 층간 절연막(43)을 형성

한다. 그 후, CMP법에 의해 층간 절연막(43)의 표면의 평탄화를 행한 후, 2층째의 메모리 소자를 제작함과 동시에, 층간 절연막(43)에 콘택트홀(44)를 형성하고, Al, Cu, W 등의 금속막을 형성함으로써 배선(45)을 형성한 것이다. 이와 같은 다층 구조에 의해, 용량이 크 메모리 장치를 제작할 수 있다.

<실험예 1>

다음에, 본 발명의 구체적인 실험예에 대해 설명한다.

먼저, 도 53a에서 나타낸 바와 같이, 글래스 기판(51) 상에 PECVD법에 의해 막 두께가 200㎚인 SiO_2막(52)을 형성한다. 또, SiO_2막 대신에 $Si_{1-x}N_x$ (x = 0～4/3)막을 형성하여도 좋다. 또, 기판으로서는, 글래스 외, 예를 들어 폴리에테르 설폰(PES; Polyether Sulfone)이나 폴리메탈메타클리레이트(PMMA), 폴리에틸렌텔레프탈레이트(PET) 등의 플라스틱 기판, 또는 실리콘 웨이퍼 등이어도 좋다. 계속해서, 이 SiO_2막(52) 상에 PECVD법에 의해 막 두께 30㎚인 Si막(53)을 형성한다. 또, 이 Si막(53)은 비정질 상태이어도 좋고, 미결정 상태이어도 좋다.

다음에, 이 Si막(53) 상에, 유량 20SCCM의 SiH_4 가스 및 유량 20SCCM의 N_2O 가스를 이용한 PECVD법에 의해 Si 과잉의 비화학 양론적 조성의 SiO_x (x<2)(실리콘 질화)막(54)을 형성한다.

다음에, 이 SiO_x막(54)이 형성된 글래스 기판(51)의 표면에, 도 53b에서 도시된 바와 같이, 펄스폭 10～50nsec, 280mJ/㎠의 레이저 빔(15)을 조사한다. 레이저로서는, 예를 들어 KrF(비공진파 248㎚), ArF(공진 파장 193㎚), XeCl(공진 파장 308㎚) 등의 엑시머 레이저를 이용할 수 있지만, 여기에서는 XeCl 엑시머 레이저를 이용한다.

이 엑시머 레이저의 조사에 의해서, 도 53c에서 나타낸 바와 같이, SiO_x막(54)은 화학양론 조성의 SiO_2와 Si로 분해된다. 즉, SiO_2막(54a) 중에 Si의 미립자(54b)가 형성된 상태가 된다. 이 미립자(54b)의 크기는 1㎚～1㎛의 범위이다.

도 54는 엑시머 레이저 조사후의 SEM (Scanning Electron Microscope; 주사형 전자 현미경) 사진의 결과를 나타낸 것이고, 검은 영역 중에 하얗게 밝은 도트가 점재되어 있는 것을 알았다. 또한, 마이크로 AES (Auger Electron Spectroscopy; 오거 전자 분광)법에 의해, SiO_2라고 생각되는 어두운 영역과 확산된 Si라고 생각되는 밝은 영역과의 차이를 조사한 결과, 어두운 영역 보다 밝은 영역에 Si가 집중되어 있는 것을 판명했다.

이와 같이 글래스 기판(51) 상에 형성된 Si막(53) 상에, Si을 과다하게 포함하는 SiO_x막(54)을 형성하고, 이어서 이 SiO_x막(54)에 대해 레이저빔(55)을 조사하여 가열 처리를 실시함으로써 다수의 미립자(54b)로 이루어진 축적 영역을 형성할 수 있다.

<실험예 2>

다음에, 도 55a～도 56b를 참조하여, 구체적으로 메모리 소자를 제조한 예에 대해서 설명한다.

먼저, 도 55a에서 나타낸 바와 같이, 글래스 기판(61) 상에 PECVD법에 의해 막 두께가 200㎚인 SiO_2막(62)을 형성한다. 이어서, 이 SiO_2막(62) 상에 막 두께가 30㎚인 메모리의 채널용 Si막(63)을 형성한다. 다음에, 이 Si막(63) 상에, PECVD법에 의해 막 두께가 1㎚～10㎚인 SiO_2막(64)을 형성하고, 이 SiO_2막(64) 상에 유량 20SCCM의 SiH_4 가스 및 유량 20SCCM의 N_2O 가스를 이용한 PECVD법에 의해 Si 과다의 SiO_x(x<2)막(65)을 형성한다.

다음에, 이 SiO_x막(65)이 형성된 글래스 기판(61)의 표면에, 도 55b에 나타낸 바와 같이, 280mJ/㎠의 엑시머 레이저 빔(66)을 조사한다. 이 레이저빔(26)의 조사에 의해 SiO_x막(65)은 도 55c에서 나타낸 바와 같이 SiO_2막(65a)와 이 SiO_2막(65a) 내에 분산된 Si 미립자(65b)로 분해된다. 이 미립자(65b)가 분산된 SiO_2막(65a)이 플로팅 게이트가 된다.

미립자(65b)를 형성한 후에, 도 55d에서 나타낸 바와 같이, SiO_2막(65a) 상에 PECVD법에 의해 막 두께 100㎚인 SiO_2막(67)을 형성한다. 이어서, 이 SiO_2막(67) 상에 막 두께 100㎚인 Ta(탄탈)로 이루어진 제어 게이트(68)를 형성한다. 즉,

SiO_2막(67) 상에 예를 들어 스퍼터링법에 의해 탄탈막을 성막하고, 그 후, 이 탄탈막 상에 게이트 패턴의 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 하여 탄탈막의 에칭을 행하고, 포토레지스트막을 박리함으로써 제어 게이트(68)를 형성한다.

다음에, 도 56a에서 나타낸 바와 같이, 예를 들면 CF_4 및 H_2을 포함하는 혼합 가스를 이용한 플라즈마 에칭에 의해, 제어 게이트(68)을 마스크로 하여 SiO_2막(67), 미립자(65b)를 포함하는 SiO_2막(65a) 및 SiO_2막(64)을 순차 선택적으로 제거한다. 이어서, 제어 게이트(68)를 마스크로 하여, 90℃의 저온에서 PH_3의 플라즈마를 이용한 플라즈마 도핑에 의해 n형 불순물(인(P))을 Si막(63)에 도입한다. 이에 의해 제어 게이트(68) 아래의 전도 영역(63a)의 양측에 제1 불순물 영역(63b) 및 제2 불순물 영역(63c)이 자기 정합적으로 형성된다. 이어서, 기판 표면을 향하여 엑시머 레이저 빔(파장 308㎚)을 조사하여, 제1 불순물 영역(63b) 및 제2 불순물 영역(63c) 내의 불순물을 활성화시킨다.

이어서, 도 56b에서 나타낸 바와 같이, 기판 표면에 예를 들어 PECVD법에 의해 보호막으로서의 Si_3N_4막(69)을 형성하고, 이 Si_3N_4막(69)에 소스, 게이트 및 드레인용의 콘택트홀을 형성한 후, 예를 들어 스퍼터링법에 의해 알루미늄(Al)을 퇴적하고, 그 중 패터닝함으로써 소스 전극(70a), 게이트 전극(70b) 및 드레인 전극(70c)을 각각 형성한다.

이상의 방법에 의해, Si의 미립자가 포함되는 플로팅 게이트 (축적 영역)을 구비한 불휘발성 메모리 소자를 제작할 수 있다. 또, 이 메모리 소자에서는, 제1 불순물 영역(63b)와 제2 불순물 영역(63c) 사이에 전류가 흐르고 있는 상태에서, 게이트 전극(70b)에 전도 영역(63a)에 대해 큰 정의 바이어스를 걸면, 절연막을 터널한 전자가 Si 도트(65b)에 축적되고, 그 결과 I-V 특성이 변한다. 또, 게이트 전극(60b)에 부의 바이어스를 걸면, Si 도트(65b)에 축적된 전자는 절연막을 터널하여 전도 영역(63a)에 방출되며, 그 결과 원래의 I-V 특성으로 돌아간다. 이와 같이 게이트 절연막 중에 Si 도트(65b)를 형성함으로써, 전하의 축적 또는 방출을 행하여 메모리 효과를 갖게 할 수 있다. 이 구조는 연속한 Si 플로팅 게이트를 갖는 소위 플래시 메모리와 동일한 작용을 나타내지만, 도트 상의 플로팅 게이트이기 때문에, 각 도트에 축적된 전하는 리크되어 이산되는 비율이 적어져, 유지력이 좋은 메모리 장치가 된다.

이상 실시예를 들어 본 발명을 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니다. 예를 들면 상기 실시예에서는, 본 발명을 실리콘 도트 메모리의 제조에 적용한 예에 대해서 설명했지만, 실리콘의 미립자(도트)를 이용한 것이면, 그 외 각종 디바이스의 제조에도 적용할 수 있다. 예를 들면, 기판으로서 실리콘 기판을 이용하면, 플로팅 게이트를 갖는 플래시 메모리에 적용하는 것도 가능하다.

또, 상기 실시예에서는, Si 도트를 형성하는 예에 대해서 설명했지만, 그 외 반도체에 의한 도트를 형성하도록 해도 좋다. 예를 들면, 다른 Ⅳ족 원소의 Ge(게르마늄), Ⅳ족 화합물 반도체로서의 $SiFe_2$, SiGe을 이용해도 좋고, 또한, Ⅱ-Ⅵ족 화합물 반도체 또는 Ⅲ-Ⅴ족 화합물 반도체에 의한 도트, 또는 금속 (Au, Sb, Sn) 등의 도트를 형성하도록 해도 좋다.

Ⅱ-Ⅵ족 화합물 반도체에 의한 도트 형성예로서는, Se를 첨가한 ZnO(또는 ZnO/ZnSe/ZnO의 적층 구조)에 레이저를 조사하여 ZnSe 도트를 형성하는 예나, 이 예의 Se 대신에 Te를 이용하여 ZnTe 도트를 형성하는 예를 들 수 있다. 또, Ⅲ-Ⅴ족 화합물 반도체 의한 도트 형성예는, Ga을 첨가한 SiN_x (또는 Si_3N_4/GaN/Si_3N_4의 적층 구조)에 레이저를 조사하여 Si_3N_4 중에 GaN 도트를 형성하는 예, 또한 AlGaAs/InAs/AlGaAs의 적층 구조에 레이저를 조사하여 AlGaAs 중에 InAs 도트를 형성하는 예를 들 수 있다.

이상 설명한 바와 같이, 본 발명에 관한 메모리 소자 또는 그 제조 방법 또는 적층 회로에 의하면, 적층 영역을 분산된 다수의 미립자(도트)에 의해 구성함과 동시에, 적층 영역에서의 미립자의 면밀도를 터널 절연막에 생긴 구조적인 구멍(핀홀)의 면밀도 보다 크게 하거나, 적층 영역에서의 미립자의 수를 5개 이상으로 하고, 또는 전도 영역을 표면의 조악도가 0.1㎚ 이상 100㎚ 이하인 다결정 실리콘막에 의해 형성함과 동시에, 적층 영역의 미립자의 수가 전도 영역에서의 결정 입자수보다 많아지도록 하는 구성으로 했기 때문에, 글래스나 플라스틱 제의 기판 상에 저온에서 터널 절연막을 제조할 수 있다. 또, 터널 절연막에 핀홀 등의 결함이 발생하고, 일부의 미립자에 적층된 전하가 리크되어도, 결함이 존재하지 않는 영역에 형성된 미립자에 적층된 전하는 리크되는 일이 없다. 따라서, 장시간에 걸쳐 정보를 유지할 수 있다.

또, 본 발명에 관한 반도체 장치의 제조 방법에 의하면, 반도체를 과다하게 포함하는 비화학 양론적 조성의 축적 영역 형성용 막에 대해 에너지 빔 조사 등의 가열 처리를 실시하도록 했기 때문에, 글래스나 플라스틱제의 기판 상에도, 분산된 다수의 미립자로 이루어진 축적 영역을 용이하게 형성할 수 있다.

산업상 이용 가능성

이상과 같이 본 발명에 관한 메모리 소자는 글래스나 플라스틱제의 기판 상에, 저온에서 터널 절연막을 제조할 수 있음과 동시에 장시간에 걸쳐 정보를 유지할 수 있기 때문에, 불휘발성의 기억 장치나, 데이터 처리 장치에 이용하는 데에 적합하다.

(57) 청구의 범위

청구항 1.

비(非)실리콘 재료로 이루어진 절연 기판에 형성된 절연막상에 비(非)단결정 반도체에 의해 이루어지는 전도 영역과,

상기 전도 영역에 인접하여 설치된 제1 비단결정 반도체 불순물 영역과,

상기 제1 비단결정 반도체 불순물 영역과 이간되며, 또한 상기 전도 영역에 인접하여 설치된 제2 비단결정 반도체 불순물 영역과,

분산된 복수의 미립자로 이루어지며, 상기 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과,

상기 축적 영역과 상기 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과,

상기 축적 영역의 전하량과 상기 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과,

상기 제어용 전극과 상기 축적 영역 사이에 설치된 제어용 절연막을 구비하는 것을 특징으로 하는 메모리 소자.

청구항 2.

제1항에 있어서, 상기 전도 영역, 제1 비단결정 반도체 불순물 영역 및 제2 비단결정 반도체 불순물 영역은 Si, Ge, $SiFe_2$, SiGe, Ⅱ-Ⅵ 족 화합물 반도체 및 Ⅲ-Ⅴ족 화합물 반도체 중 하나인 것을 특징으로 하는 메모리 소자.

청구항 3.

제1항에 있어서, 상기 전도 영역, 제1 비단결정 반도체 불순물 영역 및 제2 비단결정 반도체 불순물 영역이 비단결정 $Si_xGe_{1-x}(0\leq x\leq 1)$으로 이루어진 것을 특징으로 하는 메모리 소자.

청구항 4.

제1항에 있어서, 상기 터널 절연막은 SiO_2, Si_3N_4 또는 $SiN_kO_l(k, l\neq 0)$으로 이루어진 것을 특징으로 하는 메모리 소자.

청구항 5.

삭제

청구항 6.

제1항에 있어서, 상기 전도 영역, 제1 비단결정 반도체 불순물 영역 및 제2 비단결정 반도체 불순물 영역이 각각 상기 절연 기판의 일면에 설치되어 있는 것을 특징으로 하는 메모리 소자.

청구항 7.

제1항에 있어서, 상기 제어용 기판이 상기 절연 기판의 일 면에 설치되어 있는 것을 특징으로 하는 메모리 소자.

청구항 8.

제1항에 있어서, 상기 비실리콘 재료로 이루어진 절연 기판은 석영, 글래스 또는 플라스틱 중 어느 하나에 의해 형성되어 있는 것을 특징으로 하는 메모리 소자.

청구항 9.

제1항에 있어서, 상기 비실리콘 재료로 이루어진 절연 기판과, 상기 전도 영역, 제1 비단결정 반도체 불순물 영역 및 제2 비단결정 반도체 불순물 영역 각각의 사이에, 버퍼층으로서 SiN_x막, SiO_2막 또는 SiN_x와 SiO_2의 적층막, 또는 SiN_kO_1(k, 1≠0)막이 형성되어 있는 것을 특징으로 하는 메모리 소자.

청구항 10.

제1항에 있어서, 상기 축적 영역은, Si_yGe_{1-y} (0≤y≤1) 미립자의 집합체 또는 금속 미립자의 집합체에 의해 구성되어 있는 것을 특징으로 하는 메모리 소자.

청구항 11.

제1항에 있어서, 상기 제어용 전극은, 불순물을 포함하는 비단결정 Si 또는 금속으로 이루어진 것을 특징으로 하는 메모리 소자.

청구항 12.

제1항에 있어서, 상기 제어용 절연막은 SiO_2, Si_3N_4 또는 SiN_kO_1 (k, 1≠0)으로 이루어진 것을 특징으로 하는 메모리 소자.

청구항 13.

제1항에 있어서, 상기 전도 영역을 구성하는 재질의 막 두께는 0.1㎛ 이하인 것을 특징으로 하는 메모리 소자.

청구항 14.

삭제

청구항 15.

반도체로 이루어진 전도 영역과,

상기 전도 영역에 인접하여 설치된 제1 불순물 영역과,

상기 제1 불순물 영역과 이간되며, 또한 상기 전도 영역에 인접하여 설치된 제2 불순물 영역과,

분산된 복수의 미립자로 이루어지며, 상기 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과,

상기 축적 영역과 상기 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과,

상기 축적 영역의 전하량 및 상기 메모리용 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과,

상기 제어용 전극과 상기 축적 영역 사이에 설치된 제어용 절연막을 구비하고,

상기 전도 영역은, 표면의 조악도가 0.1㎚ 이상 100㎚ 이하의 다결정 실리콘막에 의해 형성됨과 함께, 상기 축적 영역의 미립자의 수가 상기 전도 영역에서의 결정 입자수보다 많은 것을 특징으로 하는 메모리 소자.

청구항 16.

제1항에 있어서, 상기 제어용 전극에 상기 제1 불순물 영역의 전위 보다 높은 전위가 인가됨으로써 정보가 기입됨과 함께, 상기 제어용 전극에 상기 제1 불순물 영역의 전위 보다 낮은 전위가 인가됨으로써 정보가 소거되고, 또한 상기 제어용 전극, 제1 불순물 영역 및 제2 불순물 영역의 모든 전극의 전위가 동전위 또는 부유 상태가 됨으로써, 정보가 유지되는 것을 특징으로 하는 메모리 소자.

청구항 17.

제16항에 있어서, 상기 정보의 기입에 의해 생긴 상기 축적 영역 내의 전하량의 변화를, 상기 제어용 전극의 전위에 대한 전도 영역의 전도도 또는 전류치의 변화에 의해 검출함으로써 정보의 판독이 행해지는 것을 특징으로 하는 메모리 소자.

청구항 18.

제1항에 있어서, 상기 제어용 전극에 상기 제1 비단결정 반도체 불순물 영역의 전위 보다 낮은 전위가 인가됨으로써 정보가 기입됨과 함께, 상기 제어용 전극에 상기 제1 비단결정 반도체 불순물 영역의 전위 보다 높은 전위가 인가됨으로써 정보가 소거되고, 또한 상기 제어용 전극, 제1 비단결정 반도체 불순물 영역 및 제2 비단결정 반도체 불순물 영역의 모든 전극의 전위가 동전위 또는 부유 상태가 됨으로써, 정보가 유지되는 것을 특징으로 하는 메모리 소자.

청구항 19.

제18항에 있어서, 상기 정보의 기입에 의해 생긴 상기 축적 영역 내의 전하량의 변화를, 상기 제어용 전극의 전위에 대한 전도 영역의 전도도 또는 전류치의 변화에 의해 검출함으로써 정보의 판독이 행해지는 것을 특징으로 하는 메모리 소자.

청구항 20.

복수의 메모리 소자가 집적된 집적 회로에 있어서,

상기 각 메모리 소자는 비단결정 반도체로 이루어진 전도 영역과, 상기 전도 영역에 인접하여 설치된 소스 영역과, 상기 소스 영역과 이간되며 또한 상기 전도 영역에 인접하여 설치된 드레인 영역과, 분산된 복수의 미립자로 이루어지며 상기 전도 영역으로부터 천이된 전하를 축적하는 축적 영역과, 이 축적 영역과 상기 전도 영역 사이에 설치된 전하가 천이 가능한 터널 절연막과, 상기 축적 영역의 전하량 및 상기 전도 영역의 전도도를 각각 제어하기 위한 제어용 전극과, 상기 제어용

전극과 상기 축적 영역 사이에 설치된 제어용 절연막을 구비하고, 상기 각 메모리 소자의 제어용 전극이 워드선에 접속됨과 함께, 각 메모리 소자의 소스, 드레인 경로가 각각 비트선과 소스선 사이에 접속되어 있는 것을 특징으로 하는 집적 회로.

청구항 21.

비실리콘 재료로 이루어진 절연기판 상에 절연막을 형성하는 공정과,

상기 절연막 상에 비단결정 반도체막으로 이루어진 전도 영역을 형성하는 공정과,

상기 전도 영역 상에 터널 절연막을 형성하는 공정과,

상기 터널 절연막 상에 반도체 원소를 과잉으로 포함하는 비화학량론적 조성의 축적 영역 형성용 막을 형성하는 공정과,

상기 축적 영역 형성용 막을 가열하는 것에 의해 분산된 복수의 미립자로 이루어지는 축적 영역을 형성하는 공정과,

상기 축적 영역 상에 제어용 절연막을 형성하는 공정과,

상기 제어용 절연막 상에 제어용 전극을 형성하는 공정과,

상기 전도 영역에 인접하는 제1 비단결정 반도체 불순물 영역, 및 상기 제1 비단결정 반도체 불순물 영역과 이간되며 상기 전도 영역에 인접하는 제2 비단결정 반도체 불순물 영역을 각각 형성하는 공정

을 포함하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 22.

제21항에 있어서, 상기 전도 영역의 표면을 산소 원자(O) 및 질소 원자(N) 중 적어도 한 쪽을 포함하는 전리 기체에 노출함으로써, 상기 터널 절연막을 형성하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 23.

제22항에 있어서, 상기 터널 절연막을 형성한 후, 상기 전도 영역의 표면을 가열하는 것을 더 특징으로 하는 메모리 소자의 제조 방법.

청구항 24.

제23항에 있어서, 에너지 빔을 조사함으로써 전도 영역의 표면을 가열하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

제21항에 있어서, 에너지 빔을 조사함으로써 축적 영역 형성용 막을 가열하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 28.

절연체로 이루어진 하지부 상에 다결정 반도체 막으로 이루어진 전도 영역을 형성하는 공정과,

상기 전도 영역 상에 터널 절연막을 형성하는 공정과,

상기 터널 절연막 상에 분산된 5 개 이상의 수의 미립자로 이루어진 축적 영역을 형성하는 공정과,

상기 축적 영역 상에 제어용 절연막을 형성하는 공정과,

상기 제어용 절연막 상에 제어용 전극을 형성하는 공정과,

상기 전도 영역에 인접하는 제1 불순물 영역, 및 상기 제1 불순물 영역과 이간되며 상기 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정

을 포함하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 29.

절연체로 이루어진 하지부 상에 표면의 조악도가 0.1㎚ 이상 100㎚ 이하인 다결정 실리콘막으로 이루어진 전도 영역을 형성하는 공정과,

상기 전도 영역 상에 터널 절연막을 형성하는 공정과,

상기 터널 절연막 상에 상기 전도 영역의 결정 입자수 보다 많게 분산된 미립자로 이루어진 축적 영역을 형성하는 공정과,

상기 축적 영역 상에 제어용 절연막을 형성하는 공정과,

상기 제어용 절연막 상에 제어용 전극을 형성하는 공정과,

상기 전도 영역에 인접하는 제1 불순물 영역, 및 상기 제1 불순물 영역과 이간되며 상기 전도 영역에 인접하는 제2 불순물 영역을 각각 형성하는 공정

을 포함하는 것을 특징으로 하는 메모리 소자의 제조 방법.

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

제21항에 있어서, 상기 축적 영역 형성용 막은, 반도체 과잉의 산화막 또는 질화막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35.

제21항에 있어서, 반도체는, Si, Ge, $SiFe_2$, SiGe, Ⅱ-Ⅵ족 화합물 반도체 및 Ⅲ-Ⅴ족 화합물 반도체 중 하나인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36.

제21항에 있어서, 에너지 빔을 조사함으로써 가열 처리를 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37.

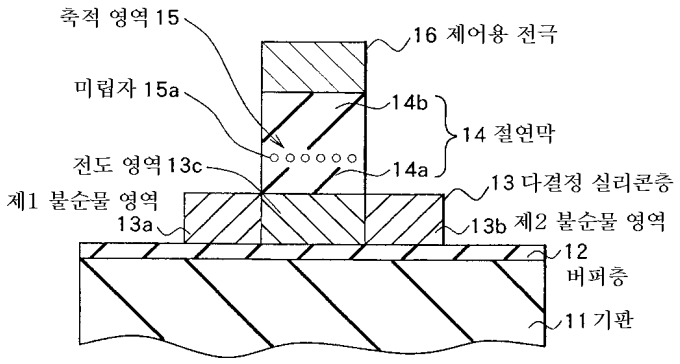
제36항에 있어서, 에너지 레이저에 의해 에너지 빔을 조사하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38.

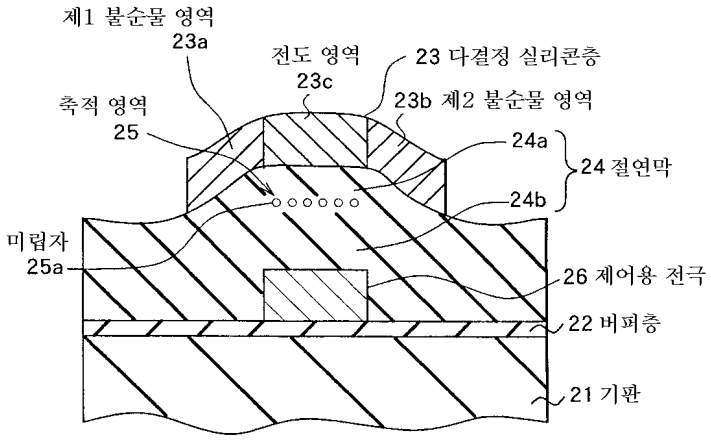
삭제

도면

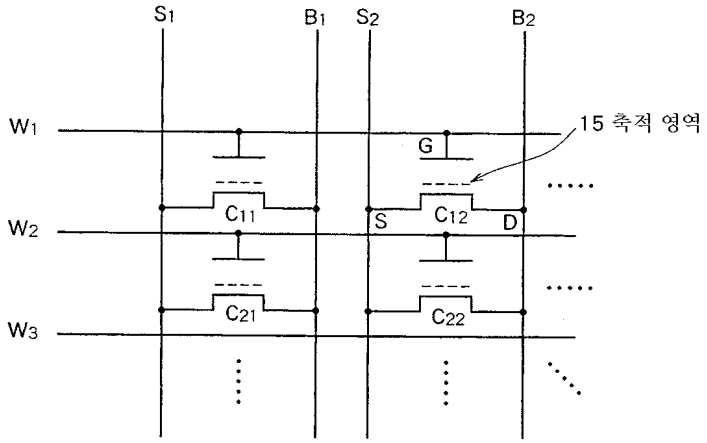
도면1



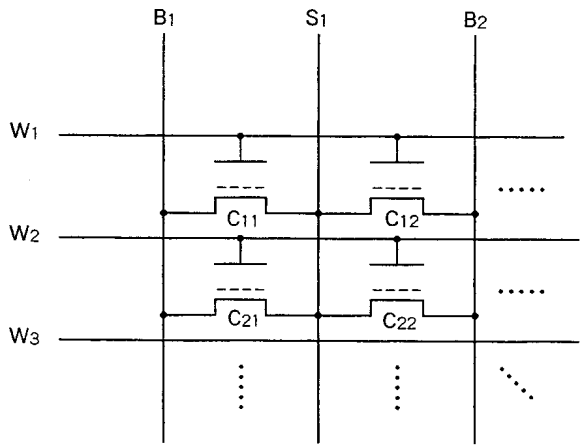
도면2


제1 불순물 영역
23a
전도 영역
23c
23 다결정 실리콘층
23b 제2 불순물 영역
축적 영역
25
24a
24 절연막
24b
미럼자
25a
26 제어용 전극
22 버퍼층
21 기판

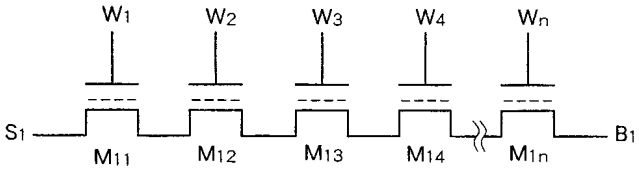
도면3


S1
B1
S2
B2
W1
W2
W3
15 축적 영역
G
S
D
C11
C12
C21
C22

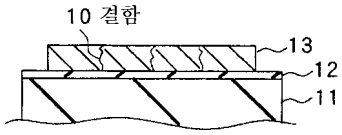
도면4


B1
S1
B2
W1
W2
W3
C11
C12
C21
C22

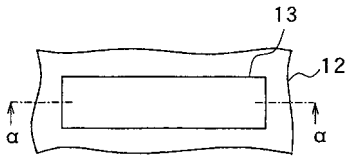
도면5



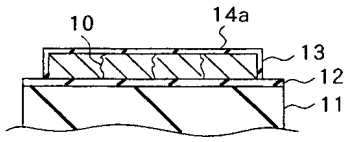
도면6a



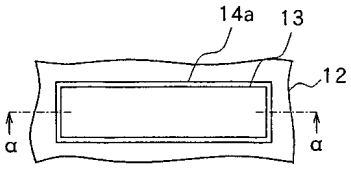
도면6b



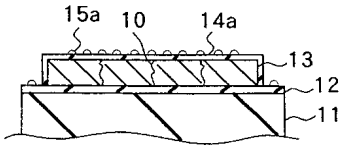
도면7a



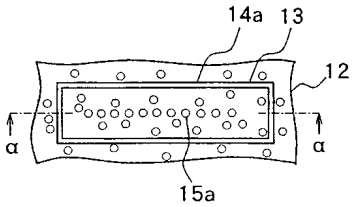
도면7b



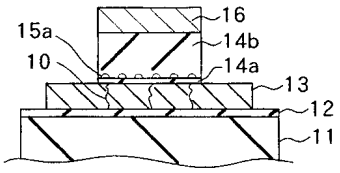
도면8a



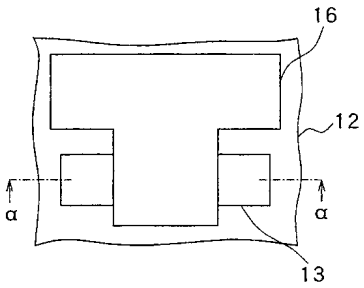
도면8b



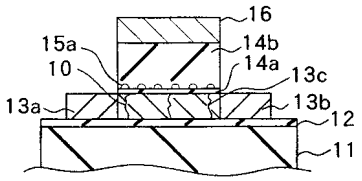
도면9a



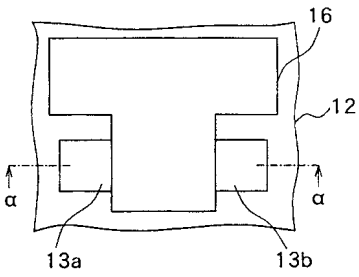
도면9b



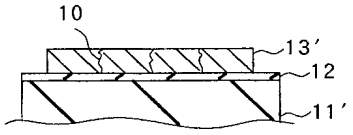
도면10a



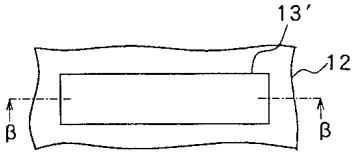
도면10b



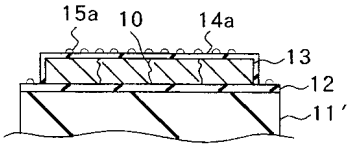
도면11a



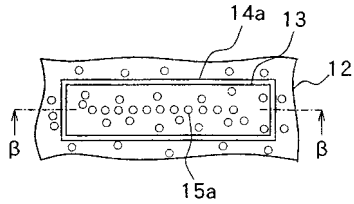
도면11b



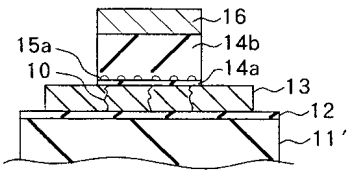
도면12a



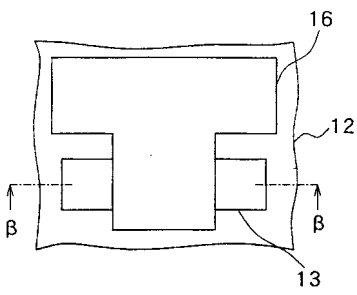
도면12b



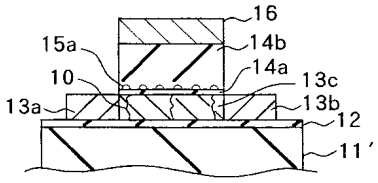
도면13a



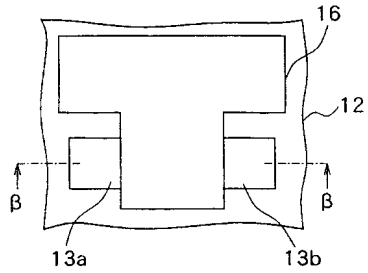
도면13b



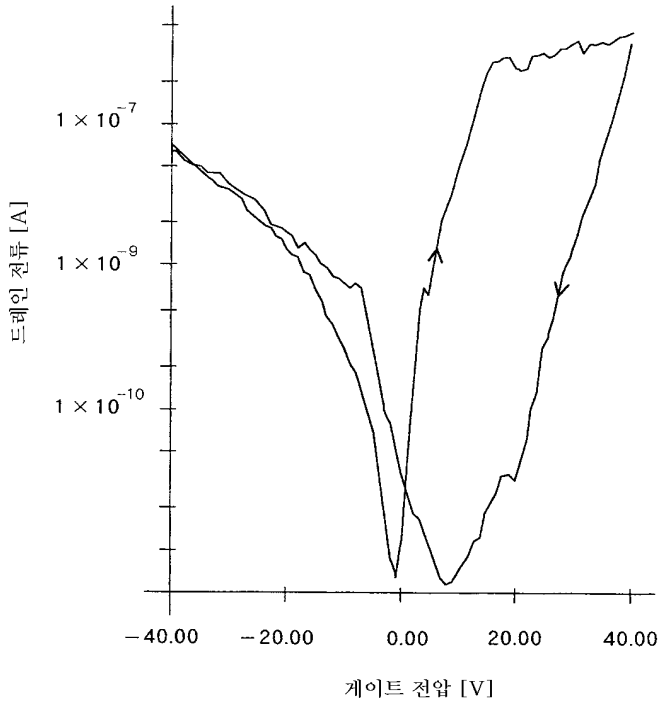
도면14a



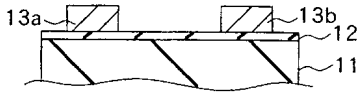
도면14b



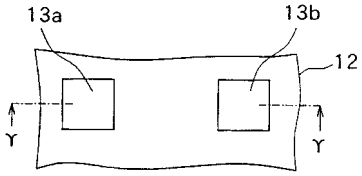
도면15



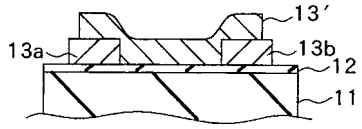
도면16a



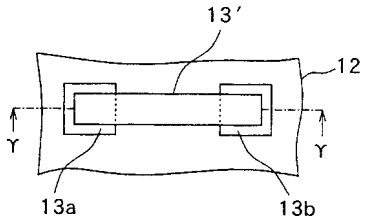
도면16b



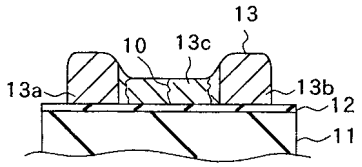
도면17a



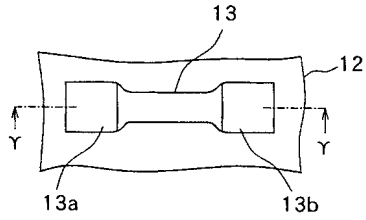
도면17b



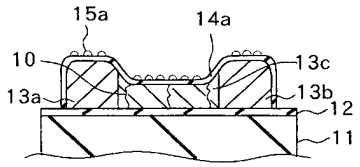
도면18a



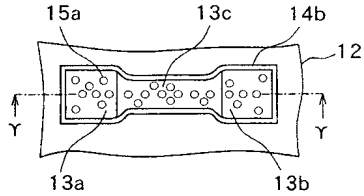
도면18b



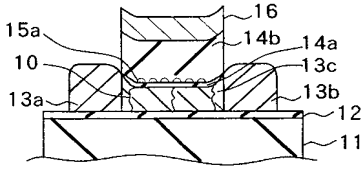
도면19a



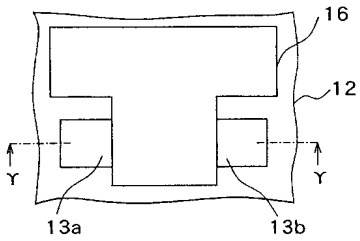
도면19b



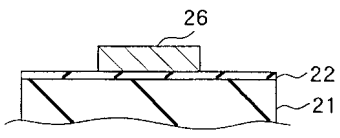
도면20a



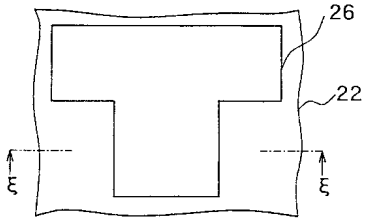
도면20b



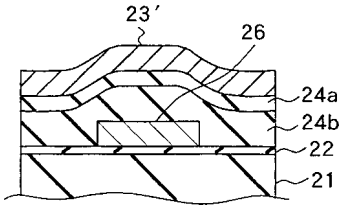
도면21a



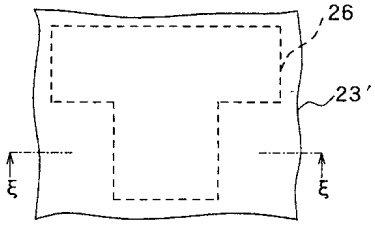
도면21b



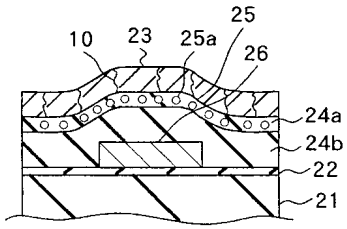
도면22a



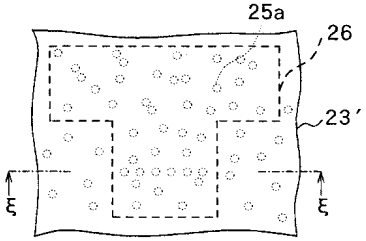
도면22b



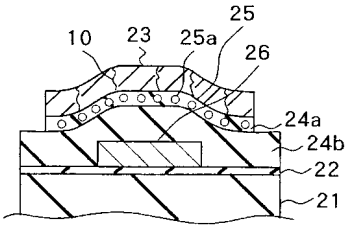
도면23a



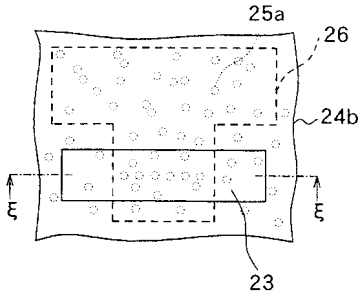
도면23b



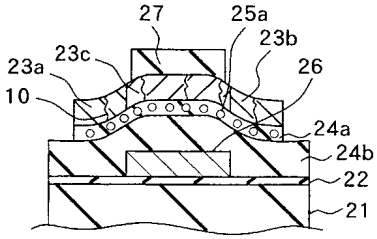
도면24a



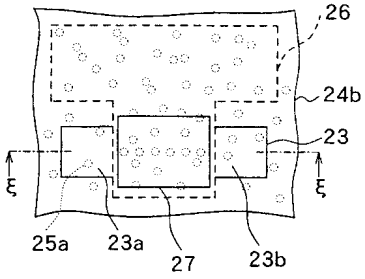
도면24b



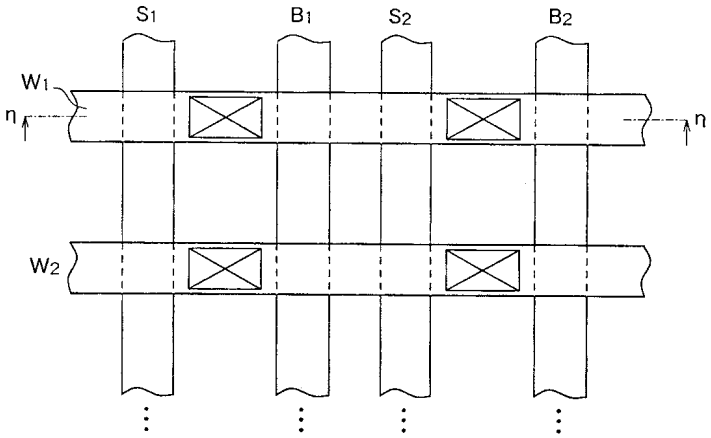
도면25a



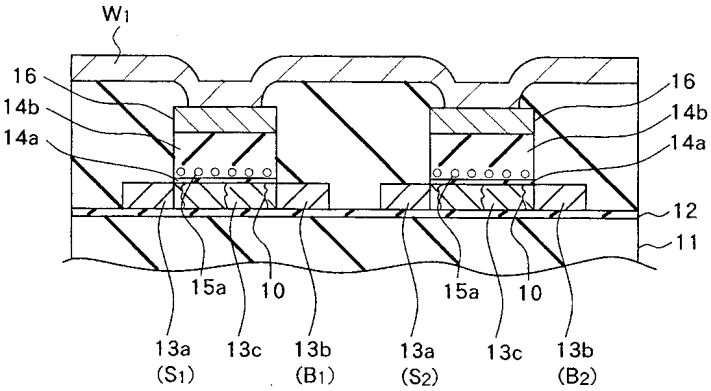
도면25b



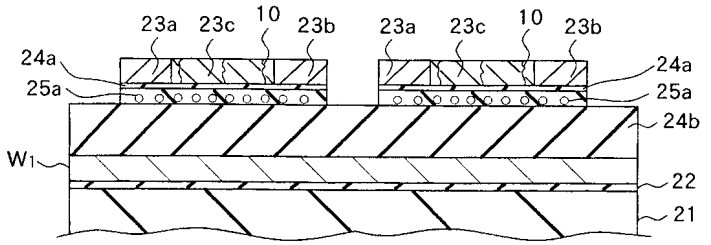
도면26



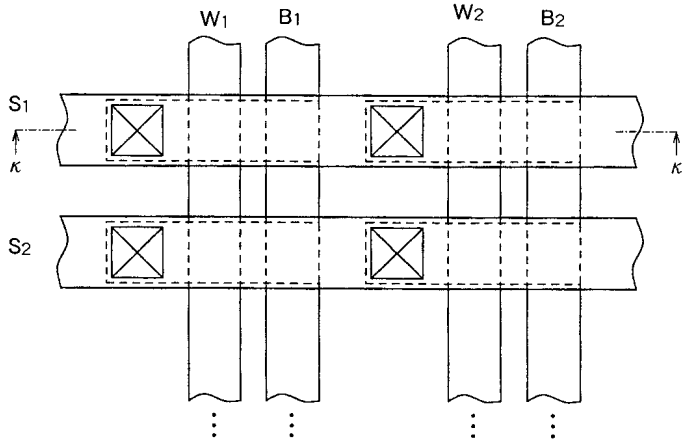
도면27



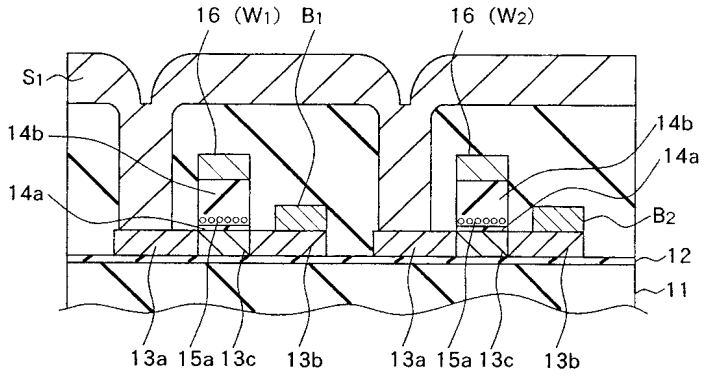
도면28



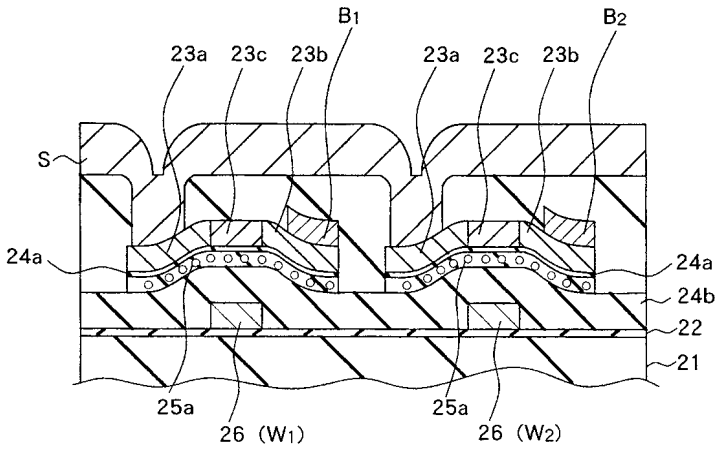
도면29



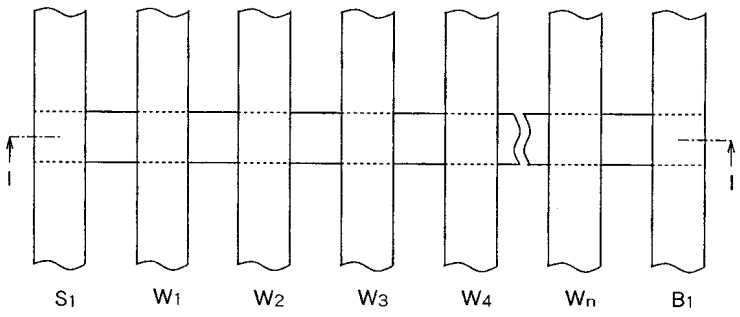
도면30



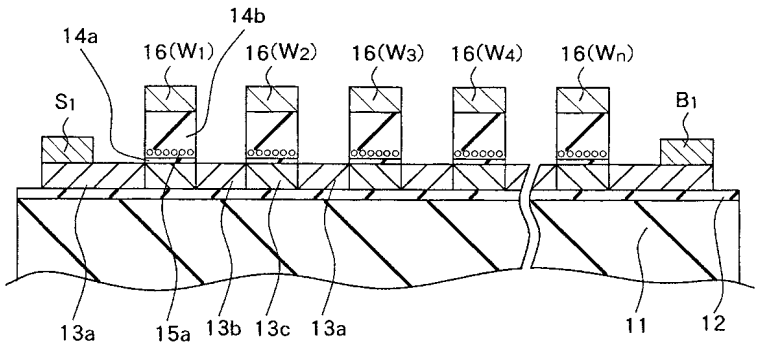
도면31



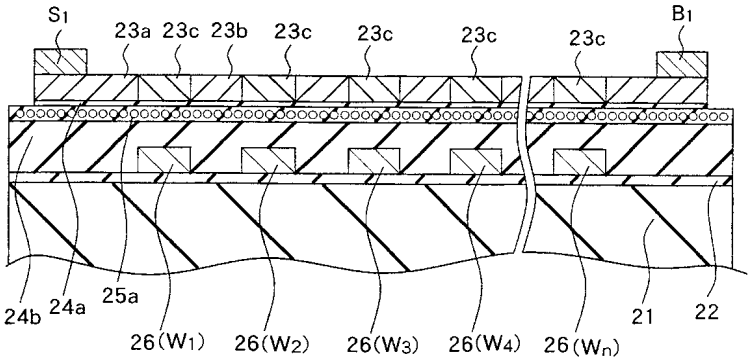
도면32



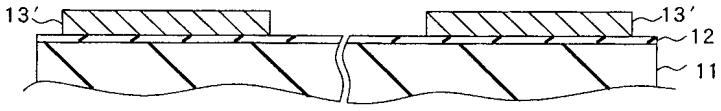
도면33



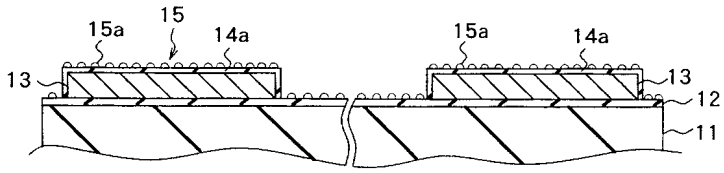
도면34



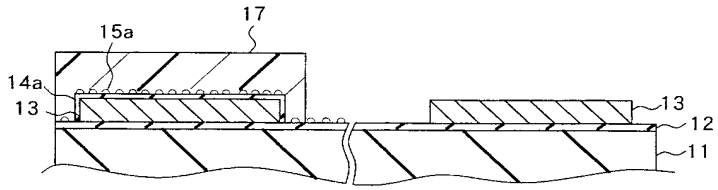
도면35



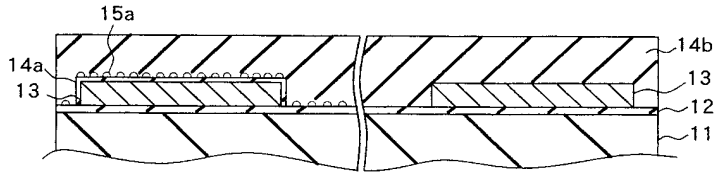
도면36



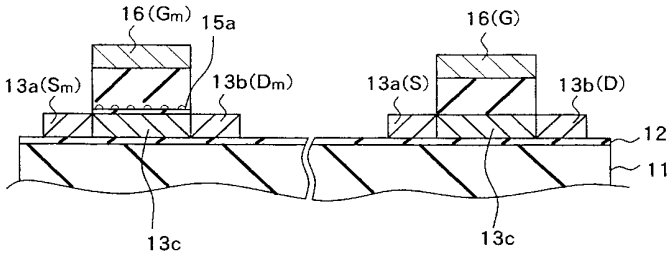
도면37



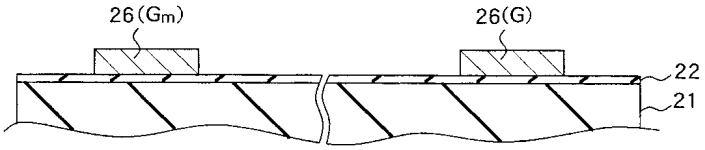
도면38



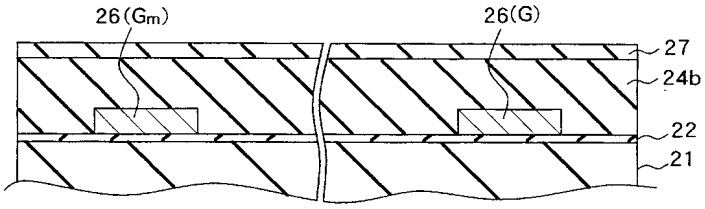
도면39



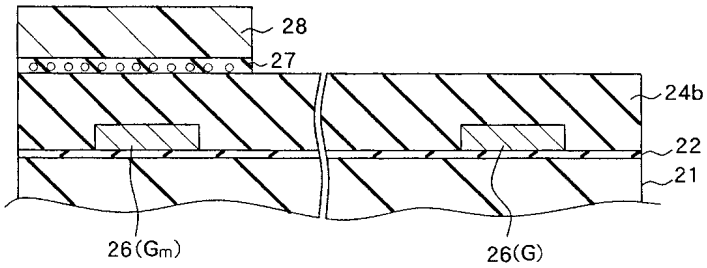
도면40



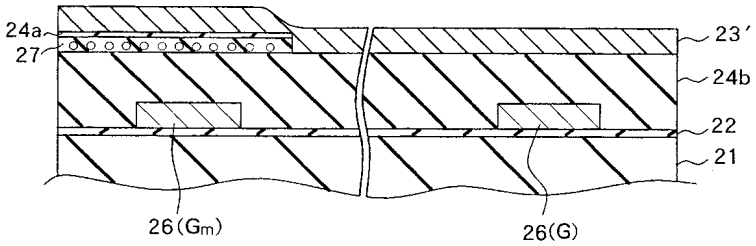
도면41



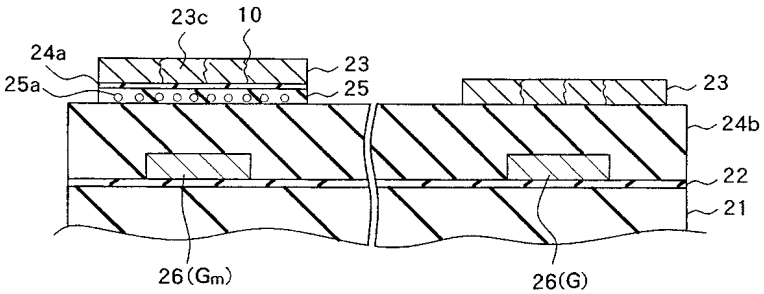
도면42



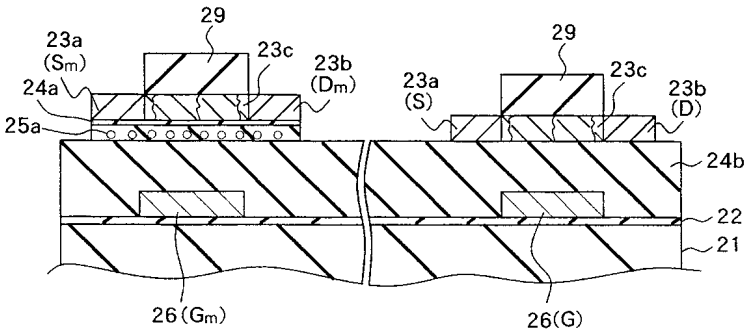
도면43



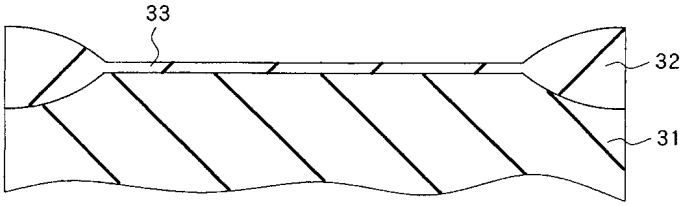
도면44



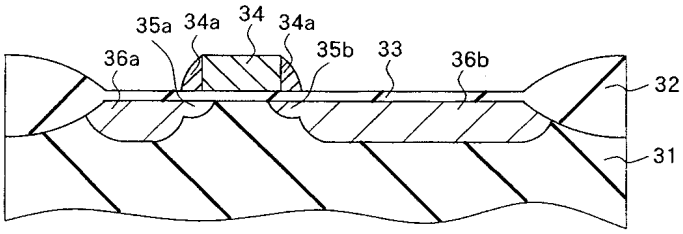
도면45



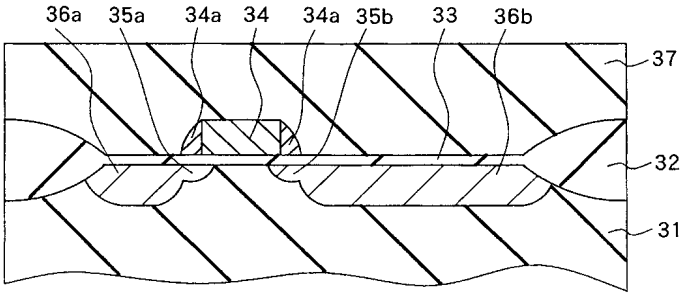
도면46



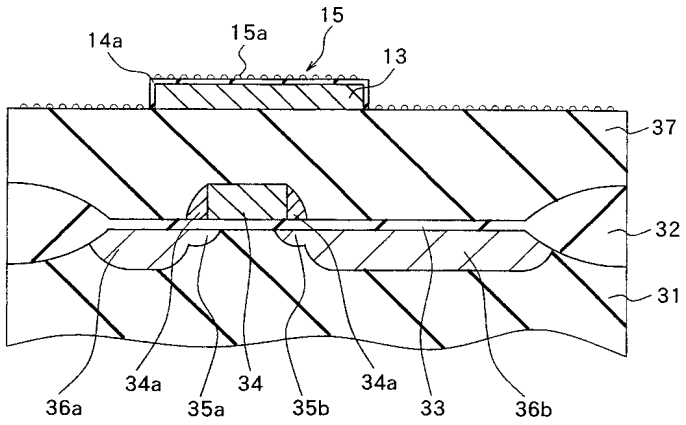
도면47



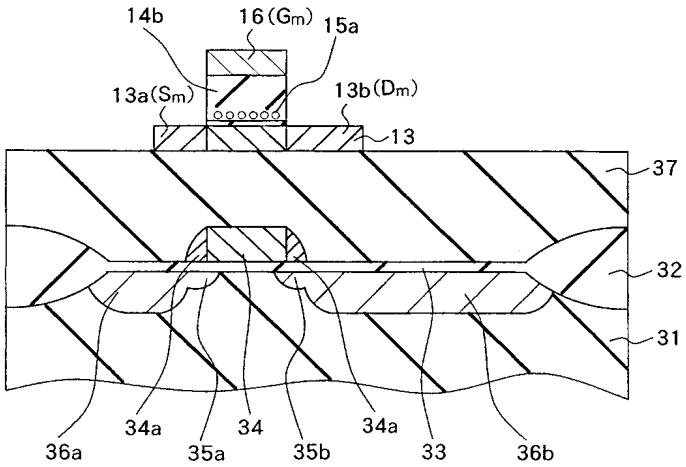
도면48



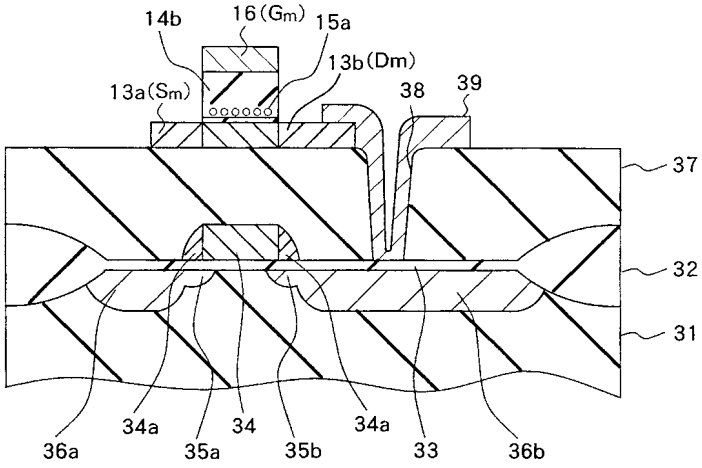
도면49



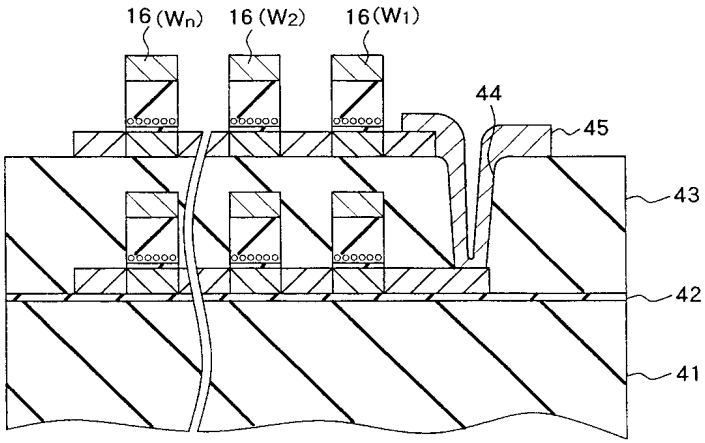
도면50



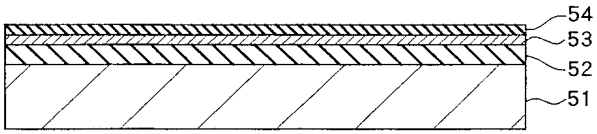
도면51



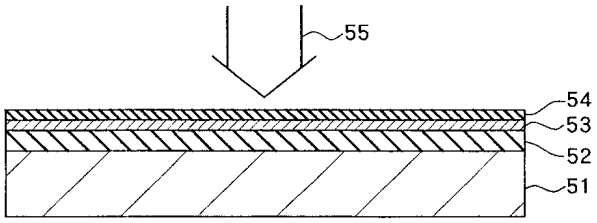
도면52



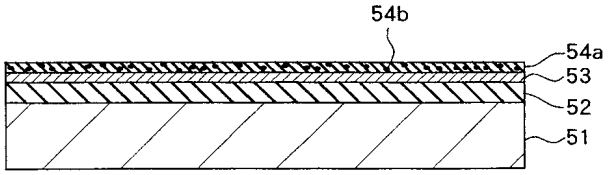
도면53a



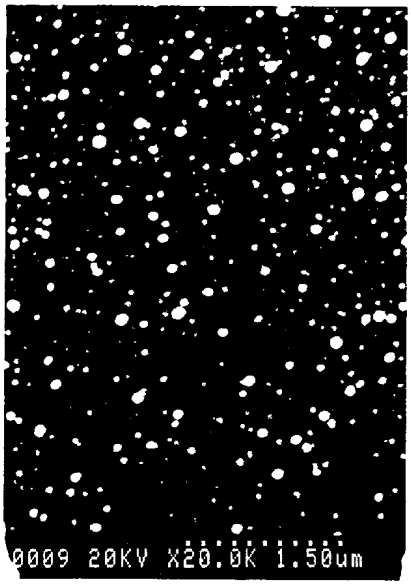
도면53b



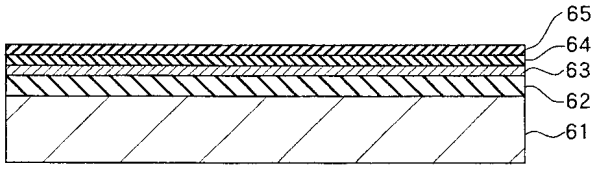
도면53c



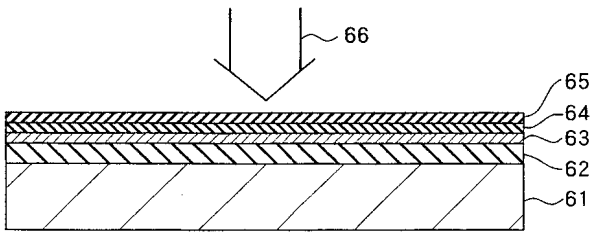
도면54



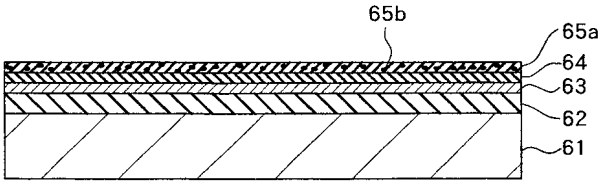
도면55a



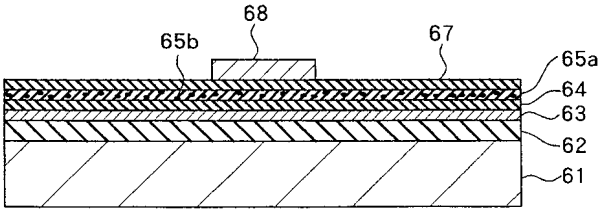
도면55b



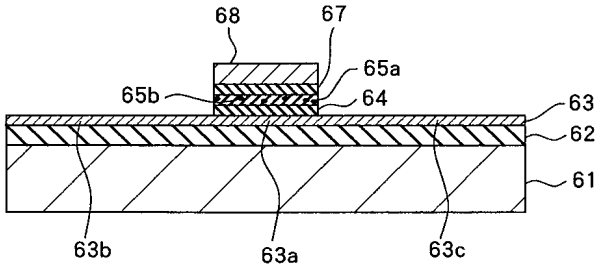
도면55c



도면55d



도면56a



도면56b

