(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3769413号
(P3769413)
(45)発行日　平成18年4月26日(2006.4.26)　(24)登録日　平成18年2月10日(2006.2.10)

(51)Int.Cl.　F I
G06F 3/06 (2006.01)　G06F 3/06 301G
G06F 3/06 540

請求項の数 3　(全 12 頁)

(21)出願番号　特願平11-71401
(22)出願日　平成11年3月17日(1999.3.17)
(65)公開番号　特開2000-267816(P2000-267816A)
(43)公開日　平成12年9月29日(2000.9.29)
審査請求日　平成15年3月20日(2003.3.20)

前置審査

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233055
日立ソフトウエアエンジニアリング株式会社
神奈川県横浜市鶴見区末広町一丁目１番４３
(73)特許権者　000233136
株式会社日立アドバンストデジタル
神奈川県横浜市戸塚区吉田町２９２番地
(74)代理人　100075096
弁理士　作田　康夫

最終頁に続く

(54)【発明の名称】ディスクアレイ制御装置

(57)【特許請求の範囲】

【請求項１】

ディスクアレイ制御装置であって、

それぞれプロセッサを有する、ホストコンピュータ又はディスク装置との複数のインタフェース部と、

前記複数のインタフェース部に接続され、情報を格納するメモリと、

前記複数のインタフェース部の各インタフェース部との間がそれぞれアクセスパスにより１対１に接続されるメモリ部と、

前記複数のインタフェース部の各インタフェース部と、前記メモリ部との間をそれぞれ接続する、前記アクセスパスとは異なる複数の制御信号線とを有し、

前記複数のインタフェース部の何れかの前記プロセッサが、対応する前記アクセスパスを介して、前記メモリ部内にブロードキャストデータの書き込みを行った場合、前記メモリ部は、前記複数のインタフェース部に対し、前記複数の制御信号線を介して、割込信号を送信し、

前記複数のインタフェース部の前記プロセッサは、前記割込信号を受信すると、前記メモリ部内に書き込まれたブロードキャストデータを読み出すことを特徴とするディスクアレイ制御装置。

【請求項２】

請求項１に記載のディスクアレイ制御装置であって、

前記複数のインタフェース部は、それぞれ、複数のプロセッサと、記憶手段とを有し、

前記複数のインタフェース部の各インタフェース部内の一のプロセッサは、前記割込信号を受信すると、前記メモリ部内に書き込まれたブロードキャストデータを読み出し、その読み出したブロードキャストデータを、自プロセッサが含まれる前記インタフェース部内の前記記憶手段に書き込むことを特徴とするディスクアレイ制御装置。

【請求項３】

請求項２に記載のディスクアレイ制御装置であって、

前記複数のインタフェース部の各インタフェース部内の一の前記プロセッサ以外の他のプロセッサは、自プロセッサが含まれる前記インタフェース部内の前記記憶手段に書き込まれたブロードキャストデータを読み出すことを特徴とするディスクアレイ制御装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、共有メモリ型マルチプロセッサシステムを用いるディスクアレイ制御装置に関し、特に、各プロセッサ間で共有する情報をブロードキャストする技術に関する。

【０００２】

【従来の技術】

共有メモリ型マルチプロセッサシステムを用いるディスクアレイ制御装置として、図３に示す構成のものが知られている。図３に示す制御装置では、複数のＣＰＵ－ＰＫ（パッケージ）３０１と、制御情報を格納する共有メモリを搭載する共有メモリパッケージ（ＳＭ－ＰＫ）＃Ａ　３０３、及び共有メモリパッケージ（ＳＭ－ＰＫ）＃Ｂ　３０４とが、共有メモリバス３０２を介して接続されている。各ＣＰＵ－ＰＫは、ホストコンピュータ又はディスク装置の何れかに接続される。各ＣＰＵ－ＰＫは、複数のＣＰＵを有しており、各ＣＰＵは、共有メモリに格納されている制御情報を用いて、ホストコンピュータ又はディスク装置からのデータ転送、又はホストコンピュータ又はディスク装置へのデータ転送を制御等を行う。このように、各ＣＰＵを共通バスで接続した場合には、各ＣＰＵからの情報が共通バス上を流れるため、あるＣＰＵから他の全てのＣＰＵに対してある情報を送信する、いわゆる、ブロードキャストを容易に実現することができる。

【０００３】

なお、ディスクアレイ制御装置に関するものではないが、特開昭６１－４５６４７号に、共有バス接続されたマルチプロセッサシステムにおけるブロードキャストに関する記載がある。

【０００４】

【発明が解決しようとする課題】

図３に示した共通バス方式のディスクアレイ制御装置では、ＣＰＵ－ＰＫ内のＣＰＵからのアクセス要求が１本の共有メモリバスに集中するため、共有メモリバスに接続するＣＰＵ－ＰＫを増やした場合、共有バスの転送能力がボトルネックになり、共有メモリへのアクセス性能を高めることが困難となる。

【０００５】

また、ＣＰＵ－ＰＫ内のＣＰＵを高性能なものにした場合、こららのプロセッサの性能に比べて、共有バスの転送能力がボトルネックになり、プロセッサの高速化に追従することが困難となる。

【０００６】

一方、各ＣＰＵ－ＰＫ内のＣＰＵと共有メモリとの間を、アクセスパスにより１対１接続にし、アクセスパスの構造をスター状にしたディスクアレイ制御装置では、共通バス方式の問題点を解消することができる。

【０００７】

しかし、スター接続形式では、各ＣＰＵからの情報が流れる共通バスに相当するものがないので、上述の共通バス方式のように、容易にブロードキャストを行うことができない。

【０００８】

そこで、本発明の目的は、複数のプロセッサと共有メモリとの間をスター状に接続したデ

ィスクアレイ制御装置において、ブロードキャストを可能にする装置を提供することにある。

【０００９】

【課題を解決するための手段】

上記目的を達成するため、本発明のディスクアレイ制御装置は、ホストコンピュータ又はディスク装置とのインタフェースを制御する複数のプロセッサと、制御情報を格納する共有メモリとをスター状に接続するとともに、次の（１）乃至（５）の何れかの方式を採用する。

【００１０】

（１）ブロードキャスト専用のプロセッサ間共通バスを有する構造を持つ方式　（２）共有メモリコントローラにブロードキャストデータを格納するレジスタを有し、該レジスタのデータを、共有メモリコントローラが出力するブロードキャスト割込信号により各プロセッサが該レジスタをリードする方式　（３）共有メモリコントローラにブロードキャストデータを格納するレジスタを有し、共有メモリコントローラより、各プロセッサの共有メモリアクセスＩ／Ｆコントローラ内に用意するブロードキャスト用レジスタに該データをライトする方式

（４）共有メモリコントローラ内もしくは共有メモリパッケージ（以下、ＰＫと記述）内に各プロセッサからのアクセスＩ／Ｆを相互に接続するスイッチ機構を有し、該スイッチ機構により１対他の接続状態を用意し、各プロセッサの共有メモリアクセスＩ／Ｆコントローラ内に用意するブロードキャスト用レジスタに該データをライトする方式　（５）共有メモリコントローラ内にブロードキャストデータを格納するレジスタを有し、該レジスタにあるプロセッサがライトしたデータを他のプロセッサがレジスタポーリングでリードする方式、の５方式が有る。

【００１１】

【発明の実施の形態】

以下、本発明の実施例を説明する。

【００１２】

まず、最初に、本発明のディスクアレイ制御装置の全体構成例を示す。本実施例の制御装置２は、上位装置（ホストコンピュータ）１と接続されるＣＰＵ－ＰＫ＃１～ＣＰＵ－ＰＫ＃ｎ（１０１）と、複数の磁気ディスクと接続されるＣＰＵ－ＰＫ＃１～ＣＰＵ－ＰＫ＃ｎ（１０１）とを含んで構成される。ホストコンピュータと接続されるＣＰＵ－ＰＫ＃１～ＣＰＵ－ＰＫ＃ｎ、及び複数の磁気ディスクと接続されるＣＰＵ－ＰＫ＃１～ＣＰＵ－ＰＫ＃ｎは、複数のキャッシュメモリキャッシュ１１３、ＳＭ－ＰＫ＃Ａ１０８、ＳＭ－ＰＫ＃Ｂ１０９と複数のアクセスパスで接続されているが、キャッシュ１１３との間は、アービタ１１４を介して接続される。ここで、キャッシュ１１３は、メモリパッケージ又は１つのＬＳＩチップ等で構成される。各ＣＰＵ－ＰＫは、上位装置１に対する接続Ｉ／Ｆ、又は磁気ディスク２２０に対する接続Ｉ／Ｆを制御する複数のＣＰＵ１０２と、ＳＭ－ＰＫ＃Ａ１０８および＃Ｂ１０９へのアクセスパスを制御する共有メモリパスＩ／Ｆコントローラ（ＭＰＡ）１１１と、キャッシュメモリパッケージ１１３へのアクセスパスを制御するキャッシュメモリパスＩ／Ｆコントローラ（ＤＴＡ）１１２とを有している。キャッシュ１１３には、上位装置からのデータが格納され、ＳＭ－ＰＫ＃Ａ及び＃Ｂ内の共有メモリには制御情報が格納されている。なお、Ｉ／Ｆは、インタフェースの意を表す。

【００１３】

ＤＴＡ１１２とキャッシュ１１３との間では、大量のデータを高速に転送する必要があるので、ＤＴＡ１１２とキャッシュ１１３との間のアクセスパス数を増やす必要がある。そのためには、ＤＴＡ１１２とキャッシュ１１３との間を１対１接続するのが適している。しかし、キャッシュ１１３を構成するパッケージに実装できるコネクタ数、又は、キャッシュ１１３を構成するＬＳＩに実装できるピン数の数には物理的に限りがあるので、ＤＴ

Ａ１１２とキャッシュ１１３との間のアクセスパス数を増やすことには限界がある。そこで、ＤＴＡ１１２とキャッシュ１１３との間にセレクタ１１４を設け、ＤＴＡ１１２とセレクタ１１４との間を１対１接続することにより、ＤＴＡ１１２とセレクタ１１４との間のアクセスパス数を増やす。一方、セレクタ１１４により、複数のＤＴＡ１１２からのアクセス要求を所定数に絞るを設けることにより、キャッシュ１１３とセレクタ部１１４との間のアクセスパス数を、ＤＴＡ１１２とキャッシュ１１３との間のアクセスパス数よりも減らし、上述のコネクタ数、又はピン数の問題を解決している。

【００１４】

一方、共有メモリではキャッシュ１１３ほど大量のデータの転送は必要としないが、トランザクション数を増加させ、一回の転送の応答時間の短縮が必要である。そこで、ＳＭＡ－ＰＫとＣＰＵ－ＰＫとの間は、セレクタ部での遅延を避けるため、セレクタを介さずに接続している。ただし、ＭＰＡとＳＭ－ＰＫとの間も、セレクタを設ける構成しても良い。ＭＰＡとＳＭ－ＰＫとの間にセレクタを設けても、後述するブロードキャストの方式を適用することができることは、以下の説明から明らかであろう。

【００１５】

図２は、図１より、ＣＰＵ－ＰＫ１０１とＳＭ－ＰＫ＃Ａ１０８及び＃Ｂ１０９とを抜き出すとともに、ＣＰＵ－ＰＫ１０１の構成をより詳細に示したものである。なお、ＣＰＵ－ＰＫ１０１は上位装置１と接続されるＣＰＵ－ＰＫでも、磁気ディスク３と接続されるＣＰＵ－ＰＫでも、どちらであってもよい。

【００１６】

各ＣＰＵ－ＰＫ１０１は、それぞれ、複数のＣＰＵ１０２と、各ＣＰＵ１０２に対応するローカルメモリ１０３とがローカルバスＩ／Ｆ１０４に接続され、該ローカルバスＩ／Ｆ１０４はＭＰＡ１１５に接続されている。なお、ＤＴＡ１１２は省略されている。

【００１７】

各ＣＰＵ－ＰＫ１０１は、ＳＭＡ－ＰＫ＃Ａ１０８とＳＭＡ－ＰＫ＃Ｂ１０９と複数の共有メモリパス１０５、１０６（本実施例では計４本）で接続されている。ＳＭＡ－ＰＫ＃Ａ１０８、＃Ｂ１０９は同様の構成となっており、それぞれ、共有メモリコントローラＡ（ＳＭＡ－Ａ）及びＢ（ＳＭＡ－Ｂ）１１０と、共有メモリ１０７とを含んで構成される。

【００１８】

次に、図１及び図２で説明したアーキテクチャのディスクアレイ制御装置において、どのようにしてブロードキャストするかを説明する。

【００１９】

＜第１の方式＞

図４を用いて、第１の方式を説明する。

【００２０】

本方式の大きな特徴は、ブロードキャスト専用バスを設ける点にある。各ＣＰＵ－ＰＫ１０１には、ＭＰＡ１１１内にブロードキャスト専用バスコントロール部４０１を設け、このブロードキャスト専用バスコントロール部４０１と、ブロードキャスト専用バス０（４０２）、及びブロードキャスト専用バス１（４０３）との間が接続される。各ＣＰＵ１０２は、他のＣＰＵ１０２に対し、ブロードキャストする場合には、ブロードキャスト専用バスコントロール部４０１にブロードキャスト要求信号を送出する。そのブロードキャスト要求信号を受信したブロードキャスト専用バスコントローラ部４０１は、ブロードキャスト専用バスの使用権を獲得するために、アービタ４０４又は４０５にブロードキャスト専用バスの使用権の要求を送出する。アービタ４０４又は４０５は、他のＣＰＵ－ＰＫのブロードキャスト専用バスコントローラ部４０１からの要求と競合する場合には、調停処理を行う。アービタ４０４又は４０５から使用権を付与されたブロードキャスト専用バスコントローラ部４０１は、ブロードキャスト専用バスに、ＣＰＵ１０２から送信されたブロードキャストデータを送出する。ブロードキャストデータを送出したＣＰＵ－ＰＫ以外のＣＰＵ－ＰＫ内のブロードキャスト専用バスコントローラ部４０１は、常時、ブロード

キャスト専用バスを監視しており、ブロードキャスト専用バスにブロードキャストデータが送出されたことを検知すると、該ブロードキャストデータを受信し、同じＣＰＵ－ＰＫ内の各ＣＰＵ１０２に送信する。ＣＰＵ１０２にブロードキャストデータを送信する場合のやり方としては、各ＣＰＵ１０２に対し、割り込み信号を送出する方法や、該ブロードキャストデータをレジスタに格納しておき、各ＣＰＵ１０２が順次そのレジスタを見にいく方法（ポーリング）がある。

【００２１】

なお、ブロードキャスト専用バスには、図３で説明した従来の共通のバスのように大きなデータを転送する為のものではないので、従来の共通バスのような大きなスループットを持つ必要は無い。必要最小限の信号線数で実現可能である。

【００２２】

また、本実施例では、ＭＰＡ１１１内にブロードキャスト専用バスコントロール部４０１を設けているが、必ずしも、ＭＰＡ１１１内に設ける必要はない。ただし、ブロードキャスト専用バスコントロール部４０１をＭＰＡ１１１の外に設ける場合には、ローカルバスＩ／Ｆ１０４をブロードキャスト専用バスコントロール部４０１にも接続する必要がある。

【００２３】

以下で説明する第２の方式乃至第５の方式は、制御装置内の各プロセッサの共通部位である共有メモリコントローラまたは共有メモリＰＫに、ブロードキャストデータを一旦送信して、そこを介して、各プロセッサにブロードキャストする点で共通する。また、どの方式においても、プロセッサと共有メモリアクセスＩ／Ｆコントローラとの間のブロードキャストデータのやり取りは、割り込み信号を用いる方法またはレジスタポーリングを行う方法で実現する。

【００２４】

＜第２の方式＞

図５を用いて、第２の方式を説明する。

【００２５】

本方式の特徴は、ブロードキャスト割込信号線５０２を設けた点にある。また、共有メモリコントローラ（ＳＭＡ）１１０内に、各ＭＰＡ１１１対応のブロードキャストレジスタ群５０３を設ける。ブロードキャストデータ送信元ＣＰＵ１０２は、ブロードキャストデータを共有メモリパス１０５、１０６を介して、ブロードキャストデータレジスタ５０４にライトする。ブロードキャストデータレジスタ５０４にデータがライトされると、そのブロードキャストデータが、各ＭＰＡ用レジスタ群５０３にもライトされる。それと共に、各ＭＰＡ用のブロードキャスト割込信号出力回路５０５は、ブロードキャスト割込信号線５０３に信号を出力し、各ＭＰＡ１１１を介して、全ＣＰＵ１０２に割込信号が送出される。各ＣＰＵ－ＰＫ内の一のＣＰＵ１０２は、ブロードキャストデータがライトされている、対応するＭＰＡ用ブロードキャストレジスタ５０３をリードする。リードされたデータは対応するＭＰＡ１１１内のブロードキャストレジスタ群５０１に格納される。そのＣＰＵ－ＰＫに含まれる他の全てのＣＰＵ１０２は、ＳＭＡに格納されているブロードキャストデータを見に行くのではなく、自ＣＰＵ－ＰＫ１０１内のブロードキャスト用レジスタ群５０１に格納されているブロードキャストデータを見に行く。本方式によれば、ＣＰＵ－ＰＫ内の一のＣＰＵ１０２だけが、ＭＰＡ用ブロードキャスト用レジスタ群５０３を読みにいけばよいので、共有メモリパスの占有時間を減らすことができる。なお、この時、受信したデータは各ＣＰＵ用のレジスタに格納されるが、その時の格納の方法は追記型にすることで、複数のブロードキャスト受信データのＯＲをとることができる。

【００２６】

図６は、本方式のブロードキャスト方式における、ブロードキャスト送信元ＣＰＵ及びＭＰＡと、ブロードキャスト受信先ＣＰＵ、ＭＰＡ、及びＳＭＡとの間におけるデータ授受のフローを示した図である。ブロードキャスト割込信号受信に対して、あるＣＰＵ－ＰＫ１０１内の一のＣＰＵ１０２が代表してＳＭＡ内の対応するＭＰＡ用ブロードキャスト用

レジスタ群５０３をリードすると、そのＣＰＵ－ＰＫ１０１内の残りのＣＰＵ１０２はＭＰＡ内のブロードキャスト用レジスタ群５０１のリードアクセスをすることで、ブロードキャストが完了する。割込信号が出力される期間は、ブロードキャストデータレジスタへのデータライトからあるＣＰＵのリードアクセスまでの間である。

【００２７】

図７は、ＣＰＵ－ＰＫの一構成例を示したものである。ＭＰＡ１１１内には自パッケージ内の各ＣＰＵ１０２対応にブロードキャスト用回路７０１を設ける。ＭＰＡ内に到着したブロードキャストデータはブロードキャストデータレジスタ７０２に格納される。７０２へのデータの格納に対応して、ブロードキャスト割込出力回路７０３は、自パッケージ内の各ＣＰＵに対し割り込み信号を送出する。この割り込み信号の送出により、各ＣＰＵがブロードキャストデータのリードを完了すると、ＣＰＵはブロードキャストデータリセットレジスタ７０４にライトすることにより、ブロードキャストデータがリセットされ、割込信号の出力が停止する。

【００２８】

＜第３の方式＞

図８を用いて、第３の方式を説明する。

【００２９】

本方式では、各ＭＰＡ１１１内にブロードキャスト用レジスタ群８０１と、ブロードキャスト用転送スレーブ回路８０２とを設ける。また、ＳＭＡ１１０内に、ブロードキャスト用転送マスタ回路８０３と、ブロードキャスト用レジスタ群８０４とを設ける。

【００３０】

ブロードキャストデータがブロードキャスト用レジスタ群８０４にライトされると、ブロードキャスト転送用マスタ回路８０３は、共有メモリパス８０５、８０６を介して、各ＭＰＡ１１１に対し、ブロードキャストデータのライト要求を送出する。各ＭＰＡ１１１のブロードキャスト用転送スレーブ回路８０２は、ＳＭＡ１１０からのライト要求を受けて、受信したブロードキャストデータをブロードキャスト用レジスタ群８０１にライトする。ＭＰＡ１１１から各ＣＰＵ１０２への転送は、第２の方式で説明したのと同様の方法を用いれば良い。

【００３１】

図９は、本方式のブロードキャスト方式における、ブロードキャスト送信元ＣＰＵ及びＭＰＡと、ブロードキャスト受信先ＣＰＵ、ＭＰＡ、及びＳＭＡとの間におけるデータ授受のフローを示した図である。ＳＭＡがブロードキャスト用転送マスタ回路８０３を持ち、各ＭＰＡのブロードキャスト用レジスタ群にブロードキャストデータをライトすることで、各ＣＰＵは、自ＣＰＵ－ＰＫ内のＭＰＡ１１１までのアクセスによりブロードキャストデータを受信できる。したがって、第２の方式と同様、共有メモリパス８０５、８０６の占有率を低減することができる。

【００３２】

＜第４の方式＞

図１０を用いて第４の方式を説明する。

【００３３】

本方式では、ＳＭＡ１１０内にパススイッチ機構１５４を設け、該パススイッチ機構により１対多の接続状態を作り出す。パススイッチ機構１５４は、ＭＰＡ１１１からのブロードキャストデータ転送要求を検出し、転送要求元の共有メモリパス１５２、又は１５３と他の共有メモリパス１５２、１５３とを接続し、１対多の転送パスの状態をつくり出す。パススイッチ機構１５４としては、例えば、クロスバスイッチを用いればよい。また、これに類するものを用いてもよい。ＭＰＡ１１１にはブロードキャスト用転送スレーブ回路１５５を設けて、受信した他ＭＰＡからのブロードキャストデータをブロードキャスト用レジスタ群１５１にライトする。ＭＰＡから自ＣＰＵ－ＰＫ内のＣＰＵ１０２への転送は図７で説明したのと同様の方法を用いれば良い。

【００３４】

図１１は、本方式のブロードキャスト方式における、ブロードキャスト送信元ＣＰＵ及びＭＰＡと、ブロードキャスト受信先ＣＰＵ、ＭＰＡ、及びＳＭＡとの間におけるデータ授受のフローを示した図である。パススイッチ機構により共通バスと同様に一対多の物理的接続を実現することで、ＣＰＵがＳＭＡからのブロードキャストデータの受信に関与したりＳＭＡ内に送信のマスタ回路を設けずにブロードキャストが可能である。

【００３５】

＜方式５＞

図１２を用いて、第５の方式を説明する。

【００３６】

ＭＰＡ内にブロードキャスト用レジスタ群１８１を設け、ＳＭＡ内に各ＭＰＡ用のブロードキャスト用レジスタ群１８３を設ける。ブロードキャスト送信元のＣＰＵはＳＭＡ内のブロードキャストデータレジスタ１８４にブロードキャストデータにをライトする。ブロードキャスト送信元のＣＰＵがＳＭＡ内のブロードキャストデータレジスタ１８４にブロードキャストデータをライトすると、そのＳＭＡ内の各ＭＰＡ用ブロードキャストデータレジスタ群１８３すべてに、そのブロードキャストデータがライトされる。ブロードキャスト送信元以外の各ＣＰＵは各ＭＰＡ用のブロードキャストデータレジスタ群１８３をポーリングしており、各ＣＰＵが接続されるＭＰＡ用ブロードキャストレジスタ群１８１に該リードデータをライトする。以上によりブロードキャストを行う。

【００３７】

図１３は、本方式のブロードキャスト方式における、ブロードキャスト送信元ＣＰＵ及びＭＰＡと、ブロードキャスト受信先ＣＰＵ、ＭＰＡ、及びＳＭＡとの間におけるデータ授受のフローを示した図である。なお、ＣＰＵ－ＰＫ内の一のＣＰＵ１０２のみがポーリングを行い、ブロードキャストデータをそのＣＰＵ－ＰＫ内のブロードキャスト用レジスタ群１８１にライトし、そのＣＰＵ－ＰＫ内の他のＣＰＵ１０２は、そのＣＰＵ－ＰＫ内のブロードキャスト用レジスタ群１８１に対しポーリングを行うようにして、共有メモリアクセスパスの占有時間を低減させるようにしてもよい。

【００３８】

【発明の効果】

複数のプロセッサと共有メモリとの間をスター状に接続したディスクアレイ制御装置において、ブロードキャストを可能にする装置を提供することができる。

【図面の簡単な説明】

【図１】本発明のディスク制御装置の一構成例を示す図である。

【図２】本発明のディスク制御装置の一構成例を示す図である。

【図３】従来の共通バス方式のディスク制御措置を示す図である。

【図４】本発明の第１のブロードキャスト方式を示す図である。

【図５】本発明の第２のブロードキャスト方式を示す図である。

【図６】第２のブロードキャスト方式におけるデータフローを示す図である。

【図７】ＣＰＵ－ＰＫの構成の一例を示す図である。

【図８】本発明の第３のブロードキャスト方式を示す図である。

【図９】第３のブロードキャスト方式におけるデータフローを示す図である。

【図１０】本発明の第４のブロードキャスト方式を示す図である。

【図１１】第４のブロードキャスト方式におけるデータフローを示す図である。

【図１２】本発明の第５のブロードキャスト方式を示す図である。

【図１３】第５のブロードキャスト方式におけるデータフローを示す図である。

【符号の説明】

１０１・・・ＣＰＵ－ＰＫ（パッケージ）

１０２・・・ＣＰＵ（プロセッサ）

１１１・・・共有メモリパスＩ／Ｆコントローラ（ＭＰＡ）

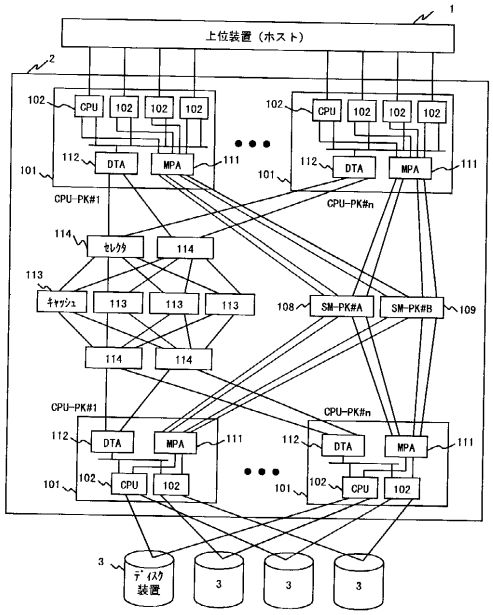
１１０・・・共有メモリコントローラ（ＳＭＡ）

１０７・・・共有メモリ

１０８、１０９・・・共有メモリパッケージ（ＳＭ－ＰＫ）＃Ａ，＃Ｂ
１０５、１０６、１５２、１５３、８０５、８０６・・・共有メモリパス。

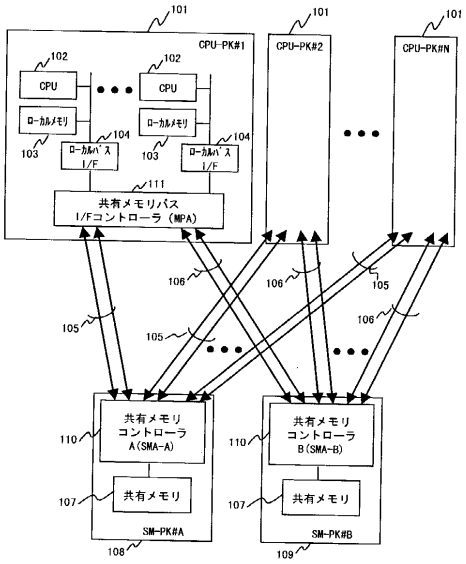
【図１】

図１



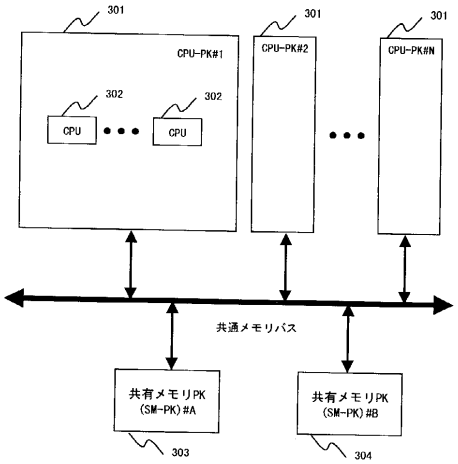
【図２】

図２



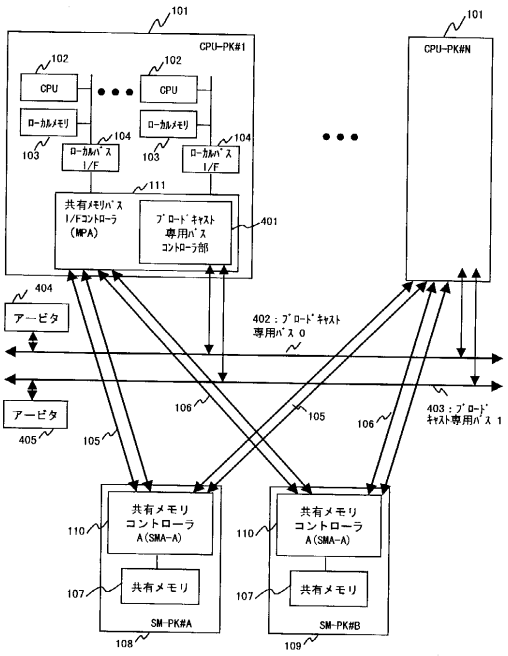
【図３】

図３



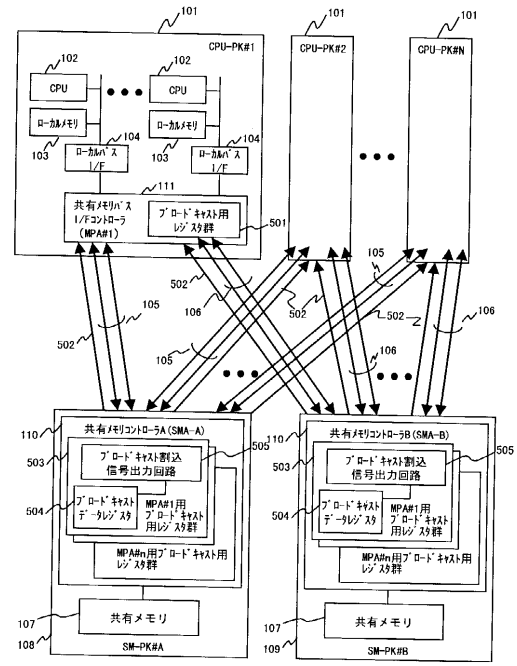
【図４】

図４



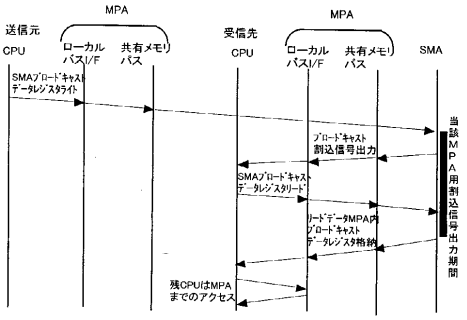
【図５】

図５



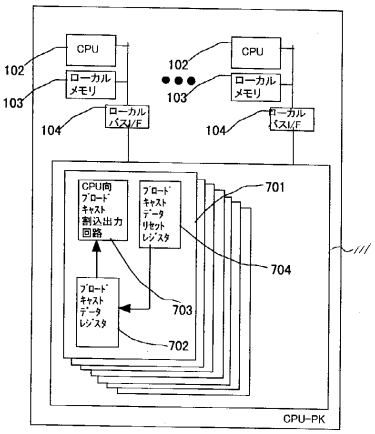
【図６】

図６



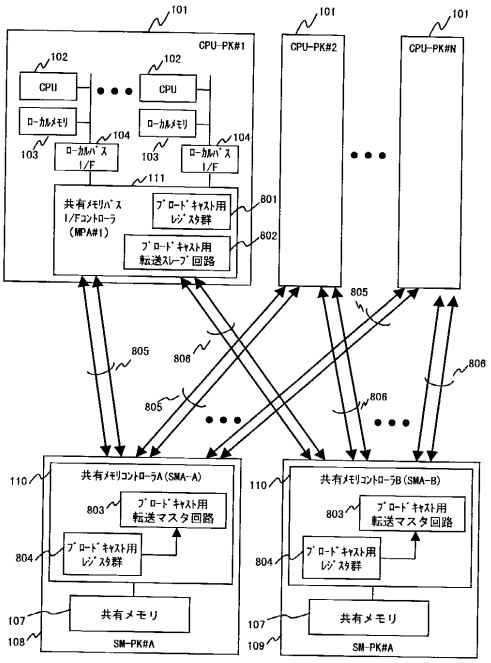
【図７】

図7



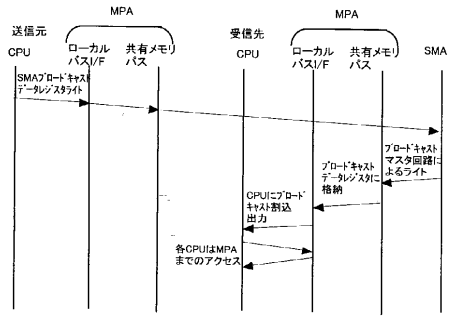
【図８】

図8



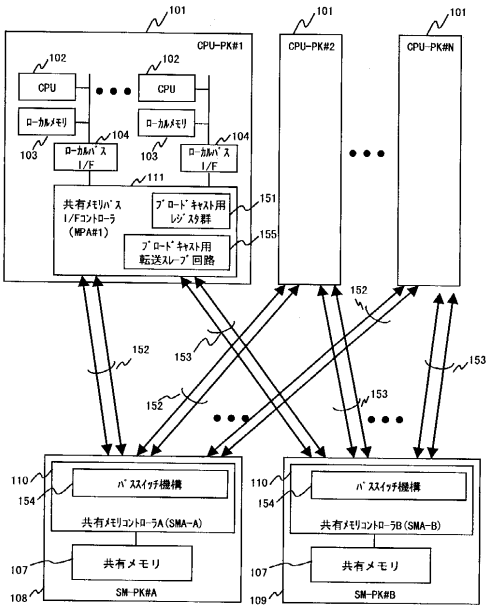
【図９】

図9



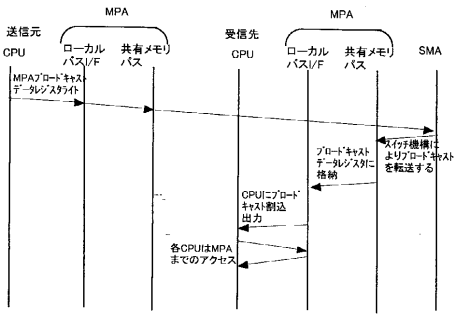
【図１０】

図１０



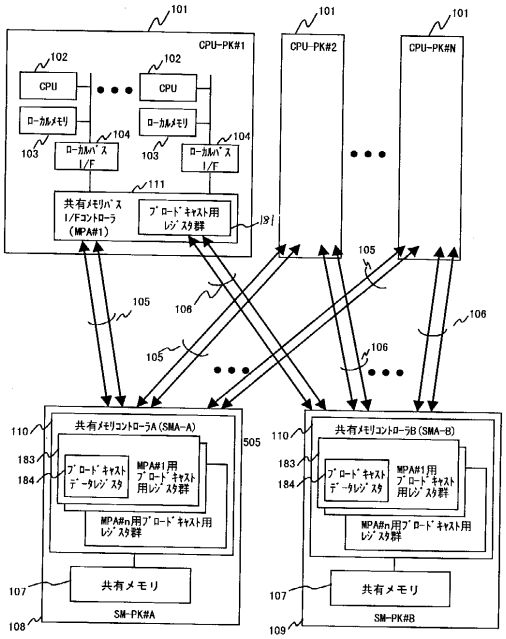
【図１１】

図11



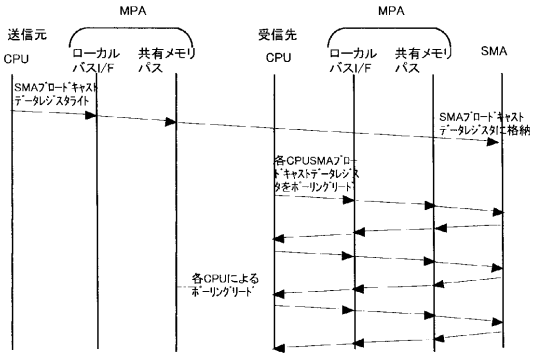
【図１２】

図１２



【図１３】

図13



フロントページの続き

(72)発明者 藤林 昭
東京都国分寺市東恋ケ窪一丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 田中 淳
東京都国分寺市東恋ケ窪一丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 箕輪 信幸
神奈川県小田原市国府津２８８０番地 株式会社日立製作所ストレージシステム事業部内
(72)発明者 三上 光
神奈川県横浜市中区尾上町６丁目８１番地 日立ソフトウェアエンジニアリング株式会社内
(72)発明者 七尾 恒
神奈川県横浜市戸塚区吉田町２９２番地 株式会社日立画像情報システム内

審査官 木村 貴俊

(56)参考文献 特開平０７－０２０９９４（ＪＰ，Ａ）
特開平１０－３３３８３６（ＪＰ，Ａ）
特開平０９－１９８３０８（ＪＰ，Ａ）
特開平０６－３３２６２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
G06F 3/06- 3/08
G06F 12/00-12/16
G11B 20/10-20/16