

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-178582
(P2012-178582A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B	5 F O 3 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F O 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 1 1 O
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 A	
審査請求 有 請求項の数 13 O L (全 33 頁) 最終頁に続く		

(21) 出願番号	特願2012-96515 (P2012-96515)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成24年4月20日 (2012. 4. 20)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(62) 分割の表示	特願2001-299863 (P2001-299863) の分割	(74) 代理人	100088672 弁理士 吉竹 英俊
原出願日	平成13年9月28日 (2001. 9. 28)	(74) 代理人	100088845 弁理士 有田 貴弘
(31) 優先権主張番号	特願2001-216428 (P2001-216428)	(72) 発明者	松本 拓治 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(32) 優先日	平成13年7月17日 (2001. 7. 17)	(72) 発明者	佐山 弘和 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(33) 優先権主張国	日本国 (JP)		
		最終頁に続く	

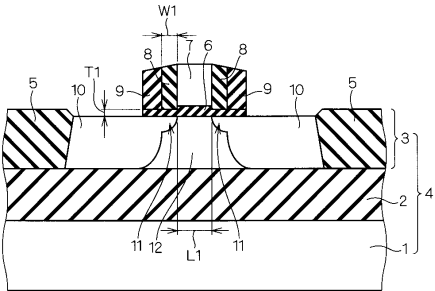
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 寄生バイポーラトランジスタのゲインを低下することにより、誤動作や動作特性の変動が少ない半導体装置及びその製造方法を得る。

【解決手段】 シリコン層3の上面上には、シリコン酸化膜6が部分的に形成されている。シリコン酸化膜6上には、ポリシリコンから成るゲート電極7が部分的に形成されている。ゲート電極7の下方に存在する部分のシリコン酸化膜6は、ゲート絶縁膜として機能する。ゲート電極7の側面には、シリコン酸化膜8を挟んで、シリコン窒化膜9が形成されている。シリコン酸化膜8及びシリコン窒化膜9は、シリコン酸化膜6上に形成されている。ゲート長方向に関するシリコン酸化膜8の幅W1は、シリコン酸化膜6の膜厚T1よりも大きい。

【選択図】 図1



- 1 : シリコン基板
- 2 : BOX層
- 3 : シリコン層
- 4 : SOI基板
- 5 : 素子分離絶縁膜
- 6, 8 : シリコン酸化膜
- 7 : ゲート電極
- 9 : シリコン窒化膜
- 10 : ソース・ドレイン領域
- 11 : エクステンション
- 12 : ボディ領域

【特許請求の範囲】

【請求項 1】

ディジタル回路が形成された第 1 領域と、アナログ回路又は R F (Radio frequency) 回路が形成された第 2 領域とを有する基板と、

前記第 1 領域に形成され、前記ディジタル回路を構成する第 1 の半導体素子と、

前記第 2 領域に形成され、前記アナログ回路又は R F 回路を構成する第 2 の半導体素子と

を備え、

前記第 1 の半導体素子は、

第 1 のゲート絶縁膜を挟んで前記基板の主面上に形成された第 1 のゲート電極と、

前記第 1 のゲート電極の下方において、前記基板内に形成された第 1 のボディ領域と、
前記基板内に形成され、前記第 1 のボディ領域を挟んで対を成す第 1 のソース・ドレイン領域と

を有し、

前記第 2 の半導体素子は、

第 2 のゲート絶縁膜を挟んで前記基板の前記主面上に形成された第 2 のゲート電極と、

前記第 2 のゲート電極の下方において、前記基板内に形成された第 2 のボディ領域と、
前記基板内に形成され、前記第 2 のボディ領域を挟んで対を成す第 2 のソース・ドレイン領域と

を有し、

前記第 1 のソース・ドレイン領域は、前記基板の前記主面内において、前記第 1 のゲート電極の下方に延びて形成された、対を成す第 1 のエクステンションを有し、

前記第 2 のソース・ドレイン領域は、前記基板の前記主面内において、前記第 2 のゲート電極の下方に延びて形成された、対を成す第 2 のエクステンションを有し、

平面視上前記第 1 のゲート電極と前記第 1 のエクステンションとが重なり合う程度は、平面視上前記第 2 のゲート電極と前記第 2 のエクステンションとが重なり合う程度よりも広いことを特徴とする半導体装置。

【請求項 2】

前記第 1 の半導体素子は、前記第 1 のゲート電極の側面に形成された第 1 のサイドウォールをさらに有し、

前記第 2 の半導体素子は、

前記第 2 のゲート電極の側面に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜を挟んで前記第 2 のゲート電極の前記側面に形成された第 2 のサイドウォールと

をさらに有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の半導体素子は、前記第 1 のゲート電極の前記側面に接して、前記第 1 のゲート電極と前記第 1 のサイドウォールとの間に形成された第 2 の絶縁膜をさらに有し、

前記第 1 の絶縁膜は、

前記第 2 のゲート電極の前記側面に接して形成され、前記第 2 の絶縁膜と膜厚が等しい第 3 の絶縁膜と、

前記第 3 の絶縁膜と前記第 2 のサイドウォールとの間に形成された第 4 の絶縁膜とを有する、請求項 2 に記載の半導体装置。

【請求項 4】

基板と、

(a) ゲート絶縁膜を挟んで前記基板の主面上に形成され、所定方向に沿って延在するゲート電極、(b) 前記ゲート電極の側面に形成された第 1 のサイドウォール、(c) 前記ゲート電極の下方において、前記基板内に形成されたボディ領域、及び (d) 前記基板内に形成され、前記ボディ領域を挟んで対を成すソース・ドレイン領域を有する半導体素子と、

10

20

30

40

50

前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、

前記ゲート電極の上面に接触しつつ前記所定方向に延在して前記層間絶縁膜内に形成され、前記ゲート電極のゲート長方向に関する寸法が前記ゲート電極の前記ゲート長よりも大きいゲート配線とを備える半導体装置。

【請求項 5】

前記第 1 のサイドウォールを挟んで前記ゲート電極の前記側面に形成された第 2 のサイドウォールをさらに備える、請求項 4 に記載の半導体装置。

【請求項 6】

前記ゲート長方向に関する前記第 2 のサイドウォールの寸法は、前記ゲート長方向に関する前記第 1 のサイドウォールの寸法よりも大きい、請求項 5 に記載の半導体装置。

【請求項 7】

前記ソース・ドレイン領域に繋がって前記層間絶縁膜内に形成されたコンタクトプラグをさらに備え、

前記ゲート長方向に関する前記ゲート配線の寸法は、前記ゲート長方向に関する前記コンタクトプラグの寸法よりも小さい、請求項 4～請求項 6 のいずれか一つに記載の半導体装置。

【請求項 8】

(a) デジタル回路が形成される第 1 領域と、アナログ回路又は R F (Radio frequency) 回路が形成される第 2 領域とを有する基板を準備する工程と、

(b) 前記第 1 領域における前記基板の主面上に、第 1 のゲート絶縁膜を挟んで第 1 のゲート電極を形成するとともに、前記第 2 領域における前記基板の前記主面上に、第 2 のゲート絶縁膜を挟んで第 2 のゲート電極を形成する工程と、

(c) 前記第 2 のゲート電極の側面に第 1 の絶縁膜を形成する工程と、

(d) 前記第 1 のゲート電極の側面に第 1 のサイドウォールを形成するとともに、前記第 1 の絶縁膜を挟んで前記第 2 のゲート電極の前記側面に第 2 のサイドウォールを形成する工程と、

(e) 前記工程 (d) よりも前に実行され、前記第 1 領域における前記基板の前記主面内に不純物を導入することにより、前記第 1 のゲート電極の下方に延びて対を成す第 1 のエクステンションを形成する工程と、

(f) 前記工程 (c) よりも後、前記工程 (d) よりも前に実行され、前記第 2 領域における前記基板の前記主面内に不純物を導入することにより、前記第 2 のゲート電極の下方に延びて対を成す第 2 のエクステンションを形成する工程とを備える、半導体装置の製造方法。

【請求項 9】

(g) 前記工程 (e) よりも前に実行され、前記第 1 のゲート電極の前記側面に接する第 2 の絶縁膜を形成する工程をさらに備え、

前記工程 (c) は、

(c-1) 前記工程 (g) と同一の工程によって実行され、前記第 2 のゲート電極の前記側面に接する第 3 の絶縁膜を形成する工程と、

(c-2) 前記第 3 の絶縁膜を挟んで前記第 2 のゲート電極の側面に第 4 の絶縁膜を形成する工程とを有する、請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

(a) 基板を準備する工程と、

(b) ゲート絶縁膜を挟んで所定方向に沿って延在するゲート電極を、前記基板の主面上に形成する工程と、

(c) 前記ゲート電極の側面に第 1 のサイドウォールを形成する工程と、

(d) 前記ゲート電極及び前記第 1 のサイドウォールを覆って、前記基板上に層間絶縁膜を形成する工程と、

(e) 前記ゲート電極のゲート長方向に関する寸法が前記ゲート電極の前記ゲート長よりも大きく、前記ゲート電極の上面に接触しつつ前記所定方向に延在するゲート配線を、前記層間絶縁膜内に形成する工程とを備える半導体装置の製造方法。

【請求項 1 1】

(f) 前記工程 (d) よりも前に実行され、前記第 1 のサイドウォールを挟んで前記ゲート電極の前記側面に第 2 のサイドウォールを形成する工程をさらに備える、請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記工程 (f) においては、前記ゲート長方向に関する寸法が、前記ゲート長方向に関する前記第 1 のサイドウォールの寸法よりも大きい前記第 2 のサイドウォールが形成される、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

(s) 前記ゲート電極の下方におけるボディ領域を挟んで対を成すソース・ドレイン領域を、前記基板内に形成する工程と、

(t) 前記工程 (e) と同一の工程によって実行され、前記ソース・ドレイン領域に繋がり、前記ゲート長方向に関する寸法が、前記ゲート長方向に関する前記ゲート配線の寸法よりも大きいコンタクトプラグを、前記層間絶縁膜内に形成する工程とをさらに備える、請求項 1 0 ～請求項 1 2 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この発明は、半導体装置及びその製造方法に関し、特に、S O I (Silicon On Insulator) 基板を用いた M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 及びその製造方法に関するものである。

【背景技術】

【0 0 0 2】

動作速度が高速で、かつ消費電力が小さいデバイスとして、S O I 基板を用いた半導体装置 (S O I デバイス) が注目されている。S O I 基板は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する基板である。数 μm 程度に薄膜化された半導体層を有する S O I デバイス (「薄膜 S O I デバイス」と呼ばれている) は最近特に注目されており、携帯機器用の L S I 等への応用が期待されている。

【0 0 0 3】

図 4 4 は、従来の半導体装置の構造を示す断面図である。S O I 基板 1 0 4 は、シリコン基板 1 0 1、B O X (Burried OXide) 層 1 0 2、及びシリコン層 1 0 3 がこの順に積層された構造を有している。シリコン層 1 0 3 内には、シリコン酸化膜から成る素子分離絶縁膜 1 0 5 が部分的に形成されている。素子分離絶縁膜 1 0 5 は、シリコン層 1 0 3 の上面から B O X 層 1 0 2 の上面にまで到達して形成されている。このような態様の素子分離絶縁膜は、「完全分離型の素子分離絶縁膜」と呼ばれている。

【0 0 0 4】

素子分離絶縁膜 1 0 5 によって規定される素子形成領域内には、M O S F E T が形成されている。具体的には以下の通りである。シリコン層 1 0 3 の上面上には、シリコン酸化膜 1 0 6 が部分的に形成されている。シリコン酸化膜 1 0 6 上には、ポリシリコンから成るゲート電極 1 0 7 が部分的に形成されている。ゲート電極 1 0 7 の下方に存在する部分のシリコン酸化膜 1 0 6 は、ゲート絶縁膜として機能する。ゲート電極 1 0 7 の側面には、シリコン酸化膜 1 0 8 を挟んで、シリコン窒化膜 1 0 9 が形成されている。シリコン酸化膜 1 0 8 は、ゲート電極 1 0 7 の側面とシリコン窒化膜 1 0 9 の側面との間のみならず、シリコン酸化膜 1 0 6 の上面とシリコン窒化膜 1 0 9 の底面との間にも形成されている。

10

20

30

40

50

【0005】

シリコン層103内には、対を成すソース・ドレイン領域110が形成されている。対を成すソース・ドレイン領域110同士に挟まれる領域は、ボディ領域112として規定される。ソース・ドレイン領域110は、ゲート電極107の下方にまで延びるエクステンション111を、シリコン層103の上面内に有している。

【0006】

図45は、従来の他の半導体装置の構造を示す断面図である。図44に示した完全分離型の素子分離絶縁膜105の代わりに、シリコン酸化膜から成る素子分離絶縁膜130が形成されている。素子分離絶縁膜130の底面は、BOX層102の上面に到達していない。このような態様の素子分離絶縁膜は、「部分分離型の素子分離絶縁膜」と呼ばれている。図45に示す半導体装置のその他の構造は、図44に示した半導体装置の構造と同様である。

10

【0007】

図46は、図45に示した半導体装置の上面構造を模式的に示す上面図である。部分分離型の素子分離絶縁膜130を採用することにより、ボディコンタクト領域150から、素子分離絶縁膜130の底面とBOX層102の上面との間のシリコン層103を介して、ボディ領域112の電位を固定することができる。その結果、キンク現象が発生したり、動作周波数に依存して遅延時間変動する等の、いわゆる基板フローティング効果を抑制することが可能となる。

20

【0008】

図44、45を参照して、ゲート長方向（紙面の左右方向）に関するシリコン酸化膜108の幅W101は、シリコン酸化膜106の膜厚とシリコン酸化膜108の膜厚との合計の膜厚T101よりも小さい。但し、ゲート絶縁膜として機能する部分以外のシリコン酸化膜106（即ち、図44においてシリコン酸化膜108の底面とシリコン層103の上面との間に存在する部分のシリコン酸化膜106）がゲートエッチング時に除去されている場合もあり、この場合は、W101はT101に等しい。即ち、従来の半導体装置においては、W101はT101以下である。

【発明の概要】

【発明が解決しようとする課題】

【0009】

30

しかしながら、このような従来の半導体装置によると、シリコン酸化膜108の幅W101が比較的狭いため、対を成すソース・ドレイン領域110同士の間隔（具体的には、対を成すエクステンション111同士の間隔）L101も比較的狭くなる。

【0010】

ところで、図44、45に示した半導体装置には、ソース・ドレイン領域110をエミッタ及びコレクタとし、ボディ領域112をベースとする寄生バイポーラトランジスタが存在する。対を成すソース・ドレイン領域110同士の間隔L101が狭いということは、寄生バイポーラトランジスタのベース幅が狭いということであるので、寄生バイポーラトランジスタのゲインが大きくなる。その結果従来の半導体装置には、寄生バイポーラトランジスタの高ゲインに起因して、MOSFETに誤動作が生じたり動作特性が変動するおそれがあるという問題があった。

40

【0011】

本発明はかかる問題を解決するために成されたものであり、寄生バイポーラトランジスタのゲインを低下することにより、誤動作や動作特性の変動が少ない半導体装置及びその製造方法を得ることを目的とするものである。

【課題を解決するための手段】

【0012】

この発明のうち請求項1に記載の半導体装置は、ディジタル回路が形成された第1領域と、アナログ回路又はRF回路が形成された第2領域とを有する基板と、第1領域に形成され、ディジタル回路を構成する第1の半導体素子と、第2領域に形成され、アナログ回

50

路又はR F回路を構成する第2の半導体素子とを備え、第1の半導体素子は、第1のゲート絶縁膜を挟んで基板の主面上に形成された第1のゲート電極と、第1のゲート電極の下方において、基板内に形成された第1のボディ領域と、基板内に形成され、第1のボディ領域を挟んで対を成す第1のソース・ドレイン領域とを有し、第2の半導体素子は、第2のゲート絶縁膜を挟んで基板の主面上に形成された第2のゲート電極と、第2のゲート電極の下方において、基板内に形成された第2のボディ領域と、基板内に形成され、第2のボディ領域を挟んで対を成す第2のソース・ドレイン領域とを有し、第1のソース・ドレイン領域は、基板の主面内において、第1のゲート電極の下方に延びて形成された、対を成す第1のエクステンションを有し、第2のソース・ドレイン領域は、基板の主面内において、第2のゲート電極の下方に延びて形成された、対を成す第2のエクステンションを有し、平面視上第1のゲート電極と第1のエクステンションとが重なり合う程度は、平面視上第2のゲート電極と第2のエクステンションとが重なり合う程度よりも広いことを特徴とするものである。

【0013】

また、この発明のうち請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、第1の半導体素子は、第1のゲート電極の側面に形成された第1のサイドウォールをさらに有し、第2の半導体素子は、第2のゲート電極の側面に形成された第1の絶縁膜と、第1の絶縁膜を挟んで第2のゲート電極の側面に形成された第2のサイドウォールとをさらに有することを特徴とするものである。

【0014】

また、この発明のうち請求項3に記載の半導体装置は、請求項2に記載の半導体装置であって、第1の半導体素子は、第1のゲート電極の側面に接して、第1のゲート電極と第1のサイドウォールとの間に形成された第2の絶縁膜をさらに有し、第1の絶縁膜は、第2のゲート電極の側面に接して形成され、第2の絶縁膜と膜厚が等しい第3の絶縁膜と、第3の絶縁膜と第2のサイドウォールとの間に形成された第4の絶縁膜とを有することを特徴とするものである。

【0015】

また、この発明のうち請求項4に記載の半導体装置は、基板と、(a)ゲート絶縁膜を挟んで基板の主面上に形成され、所定方向に沿って延在するゲート電極、(b)ゲート電極の側面に形成された第1のサイドウォール、(c)ゲート電極の下方において、基板内に形成されたボディ領域、及び(d)基板内に形成され、ボディ領域を挟んで対を成すソース・ドレイン領域を有する半導体素子と、半導体素子を覆って基板上に形成された層間絶縁膜と、ゲート電極の上面に接触しつつ所定方向に延在して層間絶縁膜内に形成され、ゲート電極のゲート長方向に関する寸法がゲート電極のゲート長よりも大きいゲート配線とを備えるものである。

【0016】

また、この発明のうち請求項5に記載の半導体装置は、請求項4に記載の半導体装置であって、第1のサイドウォールを挟んでゲート電極の側面に形成された第2のサイドウォールをさらに備えることを特徴とするものである。

【0017】

また、この発明のうち請求項6に記載の半導体装置は、請求項5に記載の半導体装置であって、ゲート長方向に関する第2のサイドウォールの寸法は、ゲート長方向に関する第1のサイドウォールの寸法よりも大きいことを特徴とするものである。

【0018】

また、この発明のうち請求項7に記載の半導体装置は、請求項4～請求項6のいずれか一つに記載の半導体装置であって、ソース・ドレイン領域に繋がって層間絶縁膜内に形成されたコンタクトプラグをさらに備え、ゲート長方向に関するゲート配線の寸法は、ゲート長方向に関するコンタクトプラグの寸法よりも小さいことを特徴とするものである。

【0019】

また、この発明のうち請求項8に記載の半導体装置の製造方法は、(a)デジタル回

10

20

30

40

50

路が形成される第1領域と、アナログ回路又はRF回路が形成される第2領域とを有する基板を準備する工程と、(b)第1領域における基板の主面上に、第1のゲート絶縁膜を挟んで第1のゲート電極を形成するとともに、第2領域における基板の主面上に、第2のゲート絶縁膜を挟んで第2のゲート電極を形成する工程と、(c)第2のゲート電極の側面に第1の絶縁膜を形成する工程と、(d)第1のゲート電極の側面に第1のサイドウォールを形成するとともに、第1の絶縁膜を挟んで第2のゲート電極の側面に第2のサイドウォールを形成する工程と、(e)工程(d)よりも前に実行され、第1領域における基板の主面内に不純物を導入することにより、第1のゲート電極の下方に延びて対を成す第1のエクステンションを形成する工程と、(f)工程(c)よりも後、工程(d)よりも前に実行され、第2領域における基板の主面内に不純物を導入することにより、第2のゲート電極の下方に延びて対を成す第2のエクステンションを形成する工程とを備えるものである。

10

【0020】

また、この発明のうち請求項9に記載の半導体装置の製造方法は、請求項8に記載の半導体装置の製造方法であって、(g)工程(e)よりも前に実行され、第1のゲート電極の側面に接する第2の絶縁膜を形成する工程をさらに備え、工程(c)は、(c-1)工程(g)と同一の工程によって実行され、第2のゲート電極の側面に接する第3の絶縁膜を形成する工程と、(c-2)第3の絶縁膜を挟んで第2のゲート電極の側面に第4の絶縁膜を形成する工程とを有することを特徴とするものである。

20

【0021】

また、この発明のうち請求項10に記載の半導体装置の製造方法は、(a)基板を準備する工程と、(b)ゲート絶縁膜を挟んで所定方向に沿って延在するゲート電極を、基板の主面上に形成する工程と、(c)ゲート電極の側面に第1のサイドウォールを形成する工程と、(d)ゲート電極及び第1のサイドウォールを覆って、基板上に層間絶縁膜を形成する工程と、(e)ゲート電極のゲート長方向に関する寸法がゲート電極のゲート長よりも大きく、ゲート電極の上面に接触しつつ所定方向に延在するゲート配線を、層間絶縁膜内に形成する工程とを備えるものである。

【0022】

また、この発明のうち請求項11に記載の半導体装置の製造方法は、請求項10に記載の半導体装置の製造方法であって、(f)工程(d)よりも前に実行され、第1のサイドウォールを挟んでゲート電極の側面に第2のサイドウォールを形成する工程をさらに備えることを特徴とするものである。

30

【0023】

また、この発明のうち請求項12に記載の半導体装置の製造方法は、請求項11に記載の半導体装置の製造方法であって、工程(f)においては、ゲート長方向に関する寸法が、ゲート長方向に関する第1のサイドウォールの寸法よりも大きい第2のサイドウォールが形成されることを特徴とするものである。

【0024】

また、この発明のうち請求項13に記載の半導体装置の製造方法は、請求項10～請求項12のいずれか一つに記載の半導体装置の製造方法であって、(s)ゲート電極の下方におけるボディ領域を挟んで対を成すソース・ドレイン領域を、基板内に形成する工程と、(t)工程(e)と同一の工程によって実行され、ソース・ドレイン領域に繋がり、ゲート長方向に関する寸法が、ゲート長方向に関するゲート配線の寸法よりも大きいコンタクトプラグを、層間絶縁膜内に形成する工程とをさらに備えることを特徴とするものである。

40

【発明の効果】

【0025】

この発明のうち請求項1に係るものによれば、ディジタル回路を構成する第1の半導体素子に関して、実効チャネル長を短くすることができ、遅延時間の短縮化による性能の向上を図ることができる。

50

【0026】

また、この発明のうち請求項2に係るものによれば、オフセット用絶縁膜としての第1の絶縁膜を形成した後に、イオン注入を行って第2のエクステンションを形成することにより、アナログ回路又は高周波回路を構成する第2の半導体素子に関して、ゲートオーバーラップ容量を抑制することができる。

【0027】

また、この発明のうち請求項3に係るものによれば、オフセット用絶縁膜としての第2の絶縁膜を形成した後に、イオン注入を行って第1のエクステンションを形成することにより、デジタル回路を構成する第1の半導体素子に関して、ゲートオーバーラップ容量を抑制することができる。

10

【0028】

また、この発明のうち請求項4に係るものによれば、ゲート抵抗が低減されて、半導体素子の最大発振周波数を増大することができる。

【0029】

また、この発明のうち請求項5に係るものによれば、第2のサイドウォールを形成することにより、半導体装置の製造工程において、アライメントずれのマージンを向上することができる。

【0030】

また、この発明のうち請求項6に係るものによれば、半導体装置の製造工程において、アライメントずれのマージンをさらに向上することができる。

20

【0031】

また、この発明のうち請求項7に係るものによれば、半導体装置の製造工程において、コンタクトプラグ用のコンタクトホールと、ゲート配線用の配線溝とを同一のエッチング工程で形成する際に、エッチング速度の差を低減することができる。

【0032】

また、この発明のうち請求項8に係るものによれば、デジタル回路を構成する半導体素子の実効チャネル長を短くすることができ、遅延時間の短縮化による性能の向上を図ることができる。また、工程(c)でオフセット用絶縁膜としての第1の絶縁膜を形成した後に、工程(f)で第2のエクステンションを形成することにより、アナログ回路又は高周波回路を構成する半導体素子に関して、ゲートオーバーラップ容量を抑制することができる。

30

【0033】

また、この発明のうち請求項9に係るものによれば、工程(g)でオフセット用絶縁膜としての第2の絶縁膜を形成した後に、工程(e)で第1のエクステンションを形成することにより、デジタル回路を構成する半導体素子に関して、ゲートオーバーラップ容量を抑制することができる。

【0034】

また、この発明のうち請求項10に係るものによれば、ゲート抵抗が低減されるため、最大発振周波数が向上された半導体装置を得ることができる。

【0035】

40

また、この発明のうち請求項11に係るものによれば、第2のサイドウォールを形成することにより、ゲート配線用の配線溝を形成する工程において、アライメントずれのマージンを向上することができる。

【0036】

また、この発明のうち請求項12に係るものによれば、アライメントずれのマージンをさらに向上することができる。

【0037】

また、この発明のうち請求項13に係るものによれば、コンタクトプラグ用のコンタクトホールと、ゲート配線用の配線溝とを同一のエッチング工程で形成する際に、エッチング速度の差を低減することができる。

50

【図面の簡単な説明】

【 0 0 3 8 】

【図 1】本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 2】本発明の実施の形態 1 に係る N M O S F E T 及び P M O S F E T が、同一の S O I 基板上に形成された態様を示す断面図である。

【図 3】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。 10

【図 6】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 0】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。 20

【図 1 1】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 1 4】本発明の実施の形態 2 に係る半導体装置の第 1 の変形例を示す上面図である。

【図 1 5】本発明の実施の形態 2 に係る半導体装置の第 2 の変形例を示す上面図である。

【図 1 6】本発明の実施の形態 3 に関して、トランジスタの等価回路を簡略化して示す回路図である。 30

【図 1 7】ゲート長が 7 0 n m のトランジスタを対象として、シリコン酸化膜の幅と、遮断周波数及び最大発振周波数との関係を測定した結果を示すグラフである。

【図 1 8】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 9】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 0】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。 40

【図 2 2】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 3】本発明の実施の形態 4 に係る半導体装置の製造方法の第 1 の変形例を示す断面図である。

【図 2 4】本発明の実施の形態 4 に係る半導体装置の製造方法の第 2 の変形例を示す断面図である。

【図 2 5】本発明の実施の形態 4 に係る半導体装置の製造方法の第 3 の変形例を示す断面図である。

【図 2 6】本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 2 7】本発明の実施の形態 5 に係る他の半導体装置の構造を示す断面図である。 50

【図 28】ゲート長が 70 nm のトランジスタを対象として、オフセット用絶縁膜の幅と遅延時間との関係を示すグラフである。

【図 29】本発明の実施の形態 6 に係る半導体装置の構造を示す断面図である。

【図 30】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 31】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 32】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 33】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 34】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 35】本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 36】本発明の実施の形態 7 に係る半導体装置の構造を模式的に示す上面図である。

【図 37】図 36 に示した線分 A1 - A1 に沿った位置に関する断面構造を示す断面図である。

【図 38】図 36 に示した線分 A2 - A2 に沿った位置に関する断面構造を示す断面図である。

【図 39】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 40】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 41】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 42】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 43】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 44】従来の半導体装置の構造を示す断面図である。

【図 45】従来の他の半導体装置の構造を示す断面図である。

【図 46】図 45 に示した半導体装置の上面構造を模式的に示す上面図である。

【発明を実施するための形態】

【0039】

実施の形態 1.

図 1 は、本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。SOI 基板 4 は、シリコン基板 1、BOX 層 2、及び単結晶のシリコン層 3 がこの順に積層された構造を有している。但し、単結晶のシリコン層 3 ではなく、多結晶又は非結晶のシリコン層が形成されていてもよい。シリコン層 3 内には、シリコン酸化膜から成る完全分離型の素子分離絶縁膜 5 が部分的に形成されている。素子分離絶縁膜 5 は、シリコン層 3 の上面から BOX 層 2 の上面にまで到達して形成されている。

【0040】

素子分離絶縁膜 5 によって規定される素子形成領域内には、MOSFET が形成されている。具体的には以下の通りである。シリコン層 3 の上面上には、シリコン酸化膜 6 が部分的に形成されている。シリコン酸化膜 6 上には、ポリシリコンから成るゲート電極 7 が部分的に形成されている。ゲート電極 7 の下方に存在する部分のシリコン酸化膜 6 は、ゲート絶縁膜として機能する。ゲート電極 7 の側面には、シリコン酸化膜 8 を挟んで、シリコン窒化膜 9 が形成されている。シリコン酸化膜 8 及びシリコン窒化膜 9 は、シリコン酸化膜 6 上に形成されている。ゲート長方向（紙面の左右方向）に関するシリコン酸化膜 8

の幅 $W1$ は、シリコン酸化膜 6 の膜厚 $T1$ よりも大きい。

【0041】

シリコン酸化膜 8 に関し、本明細書においては、ゲート電極 7 の側面に接触する側の側面を「内側面」、ゲート電極 7 の側面に接触しない側の側面を「外側面」と定義する。また、シリコン窒化膜 9 に関し、本明細書においては、シリコン酸化膜 8 の外側面に接触する側の側面を「内側面」、シリコン酸化膜 8 の外側面に接触しない側の側面を「外側面」と定義する。

【0042】

シリコン層 3 内には、対を成すソース・ドレイン領域 10 が形成されている。対を成すソース・ドレイン領域 10 同士に挟まれる領域は、ボディ領域 12 として規定される。ソース・ドレイン領域 10 は、シリコン酸化膜 8 の外側面の下方からボディ領域 12 に向かって延びて形成されたエクステンション（不純物濃度が比較的低い場合は「LDD」とも呼ばれる）11 を、シリコン層 3 の上面内に有している。

【0043】

図 2 は、本実施の形態 1 に係る NMOSFET 及び PMOSFET が、同一の SOI 基板 4 上に形成された態様を示す断面図である。図 2 において、左端の素子分離絶縁膜 5 と中央の素子分離絶縁膜 5 とによって規定される素子形成領域には NMOSFET が形成されており、右端の素子分離絶縁膜 5 と中央の素子分離絶縁膜 5 とによって規定される素子形成領域には PMOSFET が形成されている。NMOSFET 及び PMOSFET はそれぞれ、図 1 に示した構造と同一の構造を有している。

【0044】

図 3～12 は、図 2 に示した半導体装置の製造方法を工程順に示す断面図である。図 3 を参照して、まず、SOI 基板 4 を準備した後、シリコン層 3 内に素子分離絶縁膜 5 を形成する。次に、CVD 法又は熱酸化法によって、シリコン酸化膜 13 を、シリコン層 3 の上面上及び素子分離絶縁膜 5 の上面上に全面的に形成する。但し、シリコン酸化膜 13 の代わりに、シリコン酸窒化膜、 Al_2O_3 等の金属酸化膜、 Ta_2O_5 や BST 等の強誘電体膜を形成してもよい。次に、LPCVD 法によって、膜厚が 100～400 nm 程度のポリシリコン膜 14 を、シリコン酸化膜 13 の上面上に全面的に形成する。但し、ポリシリコン膜 14 内には、P や B 等の不純物が導入されていてもよい。また、ポリシリコン膜 14 の代わりに、W、Ta、Al 等の金属膜を形成してもよい。次に、写真製版法によって、フォトリソグ 15a、15b を、ポリシリコン膜 14 の上面上に部分的に形成する。フォトリソグ 15a、15b は、ゲート電極 7a、7b の形成予定領域の上方に形成されている。

【0045】

図 4 を参照して、次に、フォトリソグ 15a、15b をエッチングマスクに用いて、SOI 基板 4 の深さ方向にエッチングレートの高い、RIE (Reactive Ion Etching) 又は ECR (Electron Cyclotron Resonance) 等の異方性ドライエッチング法によって、ポリシリコン膜 14 をエッチングする。これにより、フォトリソグ 15a、15b の下方に位置する部分のポリシリコン膜 14 がエッチングされずに残り、ゲート電極 7a、7b が形成される。この異方性ドライエッチングによって、シリコン酸化膜 13 の上面も若干エッチングされる。その後、フォトリソグ 15a、15b を除去する。但し、ポリシリコン膜 14 の上面上に絶縁膜を形成し、写真製版法及びエッチング法によってこの絶縁膜をパターニングした後、パターニングされた上記絶縁膜をハードマスクに用いてポリシリコン膜 14 を異方性エッチングすることによって、ゲート電極 7a、7b を形成してもよい。

【0046】

図 5 を参照して、次に、CVD 法又は熱酸化法によって、シリコン酸化膜 16 を全面的に形成する。但し、シリコン酸化膜 16 の代わりに、HTO 膜、LTO 膜、TEOS 膜、プラズマ酸化膜を形成してもよい。

【0047】

図6を参照して、次に、SOI基板4の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン酸化膜16をエッチングする。これにより、ゲート電極7a, 7bの側面にシリコン酸化膜8a, 8bが形成される。このとき、シリコン酸化膜13の上面及びゲート電極7a, 7bの上面が露出する前にエッチングを停止することによって、シリコン酸化膜13の上面上及びゲート電極7a, 7bの上面上に、シリコン酸化膜16を薄く残してもよい。

【0048】

図7を参照して、次に、写真製版法によって、PMOSFETの形成予定領域上にフォトレジスト17を形成する。次に、フォトレジスト17を注入マスクに用いて、B, BF₂, In等のp形不純物を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件下でイオン注入することにより、NMOSFETの形成予定領域におけるシリコン層3内に、ポケット領域（図示しない）を形成する。ポケット領域は、デバイスの微細化に起因する短チャネル効果を抑制するために形成される。次に、As, P, Sb等のn形のイオン18を $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の条件下でイオン注入することにより、NMOSFETの形成予定領域におけるシリコン層3内に、エクステンション11aを形成する。このとき、フォトレジスト17、ゲート電極7a、シリコン酸化膜8a、及び素子分離絶縁膜5が、注入マスクとして作用する。その結果、エクステンション11aは、ゲート電極7a、シリコン酸化膜8a、及び素子分離絶縁膜5が形成されていない部分のシリコン層3の上面内に形成されるが、その端部（ゲート電極7a側の端部）は、シリコン酸化膜8aの外側面よりも内側に存在する。

【0049】

なお、図6に示した構造を得た後、フォトレジスト17を形成する前に、所定の膜厚のシリコン酸化膜をCVD法によって全面に形成しておくことにより、シリコン層3内においてポケット領域及びエクステンション11aが形成される箇所を調整することもできる。また、ソース・ドレインの接合深さやゲート絶縁膜の膜厚等を調整することによって短チャネル効果を抑制する場合は、ポケット領域は形成する必要はない。

【0050】

図8を参照して、次に、フォトレジスト17を除去した後、写真製版法によって、NMOSFETの形成予定領域上にフォトレジスト19を形成する。次に、フォトレジスト19を注入マスクに用いて、As, P, Sb等のn形不純物を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件下でイオン注入することにより、PMOSFETの形成予定領域におけるシリコン層3内に、エクステンション11bを形成する。このとき、フォトレジスト19、ゲート電極7b、シリコン酸化膜8b、及び素子分離絶縁膜5が、注入マスクとして作用する。その結果、エクステンション11bは、ゲート電極7b、シリコン酸化膜8b、及び素子分離絶縁膜5が形成されていない部分のシリコン層3の上面内に形成されるが、その端部（ゲート電極7b側の端部）は、シリコン酸化膜8bの外側面よりも内側に存在する。なお、上記と同様に、シリコン層3内においてポケット領域及びエクステンション11bが形成される箇所を調整することもできる。また、上記と同様に、ポケット領域の形成は省略することもできる。

【0051】

図9を参照して、次に、フォトレジスト19を除去した後、CVD法によって、シリコン窒化膜21を全面的に形成する。図10を参照して、次に、SOI基板4の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン層3の上面が露出するまで、シリコン窒化膜21及びシリコン酸化膜13をこの順にエッチングする。これにより、シリコン酸化膜8a, 8bの外側面に、サイドウォール絶縁膜としてのシリコン窒化膜9a, 9bが形成される。シリコン窒化膜9a, 9bは、シリコン酸化膜6a, 6b上に形成されている。

【0052】

10

20

30

40

50

図 1 1 を参照して、次に、写真製版法によって、PMOSFET の形成予定領域上にフォトレジスト 2 2 を形成する。次に、フォトレジスト 2 2 を注入マスクに用いて、As, P, Sb 等の n 形のイオン 2 3 を $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件下でイオン注入することにより、NMOSFET の形成予定領域におけるシリコン層 3 内に、ソース・ドレイン領域 1 0 a を形成する。エクステンション 1 1 a は、ソース・ドレイン領域 1 0 a の一部となる。

【0053】

図 1 2 を参照して、次に、フォトレジスト 2 2 を除去した後、写真製版法によって、NMOSFET の形成予定領域上にフォトレジスト 2 4 を形成する。次に、フォトレジスト 2 4 を注入マスクに用いて、B, BF₂, In 等の p 形のイオン 2 5 を $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件下でイオン注入することにより、PMOSFET の形成予定領域におけるシリコン層 3 内に、ソース・ドレイン領域 1 0 b を形成する。エクステンション 1 1 b は、ソース・ドレイン領域 1 0 b の一部となる。

【0054】

最後に、フォトレジスト 2 4 を除去した後、シリコン層 3 内に導入された不純物を活性化するために、800～1150℃程度でアニールを行う。そして、ソース・ドレイン領域 1 0 a, 1 0 b 及びゲート電極 7 a, 7 b の上面に金属シリサイドを形成する工程や、配線工程を経て、半導体装置が完成する。

【0055】

このように、本実施の形態 1 に係る半導体装置の製造方法によれば、図 6 に示した工程で、比較的幅広のシリコン酸化膜 8 a, 8 b をゲート電極 7 a, 7 b の側面に形成した後、図 7, 8 に示した工程で、エクステンション 1 1 a, 1 1 b を形成する。従って、図 1 に示したように、対を成すソース・ドレイン領域 1 0 同士の間隔（具体的には、対を成すエクステンション 1 1 同士の間隔）L 1 を、従来の半導体装置における間隔 L 1 0 1（図 4 4 参照）よりも広げることができる。

【0056】

その結果、寄生バイポーラトランジスタのベース幅が広がるため、寄生バイポーラトランジスタのゲインが小さくなり、MOSFET の誤動作や動作特性の変動を抑制することができる。

【0057】

また、ゲート電極 7 とエクステンション 1 1 との平面視上の重なり程度が小さくなるため、ゲートオーバーラップ容量が抑制され、動作の高速化及び消費電力の低減を図ることもできる。しかも、本実施の形態 1 に係る半導体装置では、通常バルク基板ではなく SOI 基板 4 が用いられている。図 1 に示したように、SOI 基板 4 を用いた半導体装置では、ソース・ドレイン領域 1 0 の底面が BOX 層 2 に接しているため、ソース・ドレインにおける接合容量が小さい。そのため、SOI 基板 4 を用いた半導体装置は、バルク基板を用いた半導体装置よりも寄生容量のトータルが小さい。従って、同等の電流駆動能力を得ようとした場合、本実施の形態 1 に係る半導体装置の製造方法によると、バルク基板を用いて半導体装置を製造する場合と比較すると、より幅広のシリコン酸化膜 8 をゲート電極 7 の側面に接して形成することができる。その結果、デバイスの微細化によってゲート電極 7 のゲート長が短くなった場合であっても、アッシング処理や RCA 洗浄処理によってゲート電極 7 が倒れることを効果的に防止することができる。

【0058】

なお、従来技術に関する図 4 4, 4 5 を参照して、シリコン酸化膜 1 0 8 の膜厚を単純に厚くしても間隔 L 1 0 1 を広げることができるが、この場合は、エクステンション 1 1 を形成するためのイオン注入工程で、注入エネルギーを高くする必要がある。従って、イオンの飛程が大きいため、シリコン層 1 0 3 の上面内にエクステンション 1 1 1 を浅く形成することが困難となり、短チャネル効果が発生する。これに対して、本実施の形態 1 に係る半導体装置の製造方法によれば、シリコン層 3 の上面内にエクステンション 1 1 を浅く形成することができるため、短チャネル効果を抑制することもできる。

【0059】

実施の形態2.

図13は、本発明の実施の形態2に係る半導体装置の構造を示す断面図である。図1に示した完全分離型の素子分離絶縁膜5の代わりに、部分分離型の素子分離絶縁膜30が形成されている。本実施の形態2に係る半導体装置のその他の構造は、図1に示した上記実施の形態1に係る半導体装置の構造と同様である。また、本実施の形態2に係る半導体装置は、図3に示した工程で素子分離絶縁膜5の代わりに素子分離絶縁膜30を形成することにより、図3～12に示した工程を経て形成することができる。

【0060】

部分分離型の素子分離絶縁膜30を採用することにより、ボディコンタクト領域（図示しない）から、素子分離絶縁膜30の底面とBOX層2の上面との間のシリコン層3を介して、ボディ領域12の電位を固定することができる。その結果、キンク現象が発生したり、動作周波数に依存して遅延時間が変動する等の、いわゆる基板フローティング効果を抑制することが可能となる。

【0061】

本実施の形態2に係る半導体装置によれば、上記実施の形態1に係る半導体装置及びその製造方法によって得られる効果に加えて、以下の効果が得られる。即ち、間隔L1が広がる結果、図13の紙面の垂直方向に関するボディ抵抗も小さくなる。そのため、ボディコンタクト領域からの距離に応じてMOSFETのしきい値電圧が異なるという問題を抑制することができる。

【0062】

図14は、本実施の形態2に係る半導体装置の第1の変形例を示す上面図である。図14に示す半導体装置では、部分分離型の素子分離絶縁膜30ではなく、完全分離型の素子分離絶縁膜5が採用されている。ゲート電極7には、両端部が広がったH字形ゲートが採用されている。ボディ領域12の電位を固定するために、ボディ領域12に直接接するボディコンタクト領域31が、ゲート電極7の両端部にそれぞれ形成されている。

【0063】

図15は、本実施の形態2に係る半導体装置の第2の変形例を示す上面図である。図15に示す半導体装置では、部分分離型の素子分離絶縁膜30ではなく、完全分離型の素子分離絶縁膜5が採用されている。ゲート電極7には、一方の端部が広がったT字形ゲートが採用されている。ボディ領域12の電位を固定するために、ボディ領域12に直接接するボディコンタクト領域31が、ゲート電極7の上記一方の端部に形成されている。

【0064】

図14、15に示した半導体装置においても、図13に示した断面構造を採用することによってボディ抵抗を低減でき、ボディコンタクト領域31からの距離に応じてMOSFETのしきい値電圧が異なるという問題を抑制することができる。

【0065】

実施の形態3.

本実施の形態3では、ゲート電極7のゲート長と、ゲート長方向に関するシリコン酸化膜8の幅W1との関係について説明する。

【0066】

図16は、トランジスタの等価回路を簡略化して示す回路図である。図16において、 R_g はゲート抵抗、 R_i はチャネル抵抗、 R_s はソース抵抗、 g_m は相互コンダクタンス、 g_{ds} はドレインソース間のコンダクタンス、 C_{gs} はゲートソース間の容量、 C_{gd} はゲートドレイン間の容量である。一般的にトランジスタの性能を示す指標に、遮断周波数 f_t 及び最大発振周波数 f_{max} がある。図16を参照して、遮断周波数 f_t 及び最大発振周波数 f_{max} は、それぞれ以下の式(1)、式(2)で表される。

【0067】

10

20

30

40

【数 1】

$$f_t = \frac{g_m}{2\pi C_{gs}} \quad \dots (1)$$

【0068】

【数 2】

$$f_{max} = \frac{f_t}{2\sqrt{g_{ds}(R_g + R_s + R_i) + 2\pi f_t R_g C_{gd}}} \quad \dots (2)$$

10

【0069】

シリコン酸化膜 8 の幅 W1 を大きくすると、実効チャネル長が長くなるため、相互コンダクタンス g_m は低下する。従って、式 (1) より、シリコン酸化膜 8 の幅 W1 を大きくすると、遮断周波数 f_t は低下する。そして、遮断周波数 f_t が低下すると、式 (2) より、最大発振周波数 f_{max} も低下する。しかしながら、シリコン酸化膜 8 の幅 W1 を大きくすると、ゲートドレイン間のオーバーラップ容量（上記の C_{gd} に相当する）が低下するとともに、短チャネル効果が抑制されるためにドレインソース間のコンダクタンス g_{ds} も低下する。このように、遮断周波数 f_t と、ゲートドレイン間のオーバーラップ容量 C_{gd} 及びドレインソース間のコンダクタンス g_{ds} とは、互いにトレードオフの関係にある。そのため、最大発振周波数 f_{max} の向上を図るにあたっては、シリコン酸化膜 8 の幅 W1 に関して最適値が存在する。

20

【0070】

図 17 は、ゲート長が $L_g = 70 \text{ nm}$ のトランジスタを対象として、シリコン酸化膜 8 の幅 W1 と、遮断周波数 f_t 及び最大発振周波数 f_{max} との関係を測定した結果を示すグラフである。アッシング処理や RCA 洗浄処理によってゲート電極 7 が倒れることを防止するためには、シリコン酸化膜 8 の幅 W1 は広い方が望ましい。しかしながら、図 17 に示すように、シリコン酸化膜 8 の幅 W1 が広くなりすぎると、最大発振周波数 f_{max} が低下してしまう。そこで、ゲート電極 7 を安定して形成する観点と、最大発振周波数 f_{max} の低下を抑制する観点とに鑑みて、シリコン酸化膜 8 の幅 W1 を 20 nm 程度に設定することが望ましい。この場合、ゲート長 L_g とシリコン酸化膜 8 の幅 W1 との比は、1 対 2/7 となる。

30

【0071】

次に、ゲート電極 7 が微細化された場合を考える。スケーリング則に従うと、微細化が進んでゲート長 L_g が短くなると、それによってシリコン酸化膜 8 の幅 W1 も狭くなるはずである。しかしながら、エクステンション 11 を形成するためのイオン注入における注入エネルギーは、現在でも sub-keV であり、これ以上注入エネルギーを下げることは困難である。また、熱処理に関しても、RTA (Rapid Thermal Annealing) 技術が現在使用されており、これ以上熱処理時間を短くすることも困難である。このような理由により、ゲート電極 7 が微細化されたとしても、スケーリング則に従ってソース・ドレイン領域 10 を浅く形成することは困難であるため、ソース・ドレインのプロファイルはそれほど変化しないと考えられる。また、スケーリング則に従ってシリコン酸化膜 8 の幅 W1 を狭くすると、ゲートオーバーラップ容量が大きくなり、トランジスタの動作速度が遅くなる。以上の理由から、デバイスの微細化が進んでも、シリコン酸化膜 8 の幅 W1 の最適値は 20 nm のままであると考えられる。従って、MOS トランジスタが動作し得る最短のゲート長 ($L_g = 20 \text{ nm}$) まで微細化された場合であっても、シリコン酸化膜 8 の幅 W1 の最適値は 20 nm 程度であり、この場合は、ゲート長 L_g とシリコン酸化膜 8 の幅 W1 との比は、1 対 1 となる。

40

【0072】

このように本実施の形態 3 に係る半導体装置によれば、シリコン酸化膜 8 の幅 W1 を、ゲート電極 7 のゲート長 L_g の寸法の 2/7 ~ 1 に規定したため、ゲート電極 7 を安定し

50

て形成し得るとともに、最大発振周波数 f_{max} の低下を抑制することができる。

【0073】

実施の形態 4.

図 18～22 は、本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。図 18 を参照して、まず、上記実施の形態 1 と同様にゲート電極 7 を形成した後、CVD 法によって、シリコン酸化膜 16 を全面的に形成する。

【0074】

図 19 を参照して、次に、SOI 基板 4 の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン酸化膜 16 をエッチングする。これにより、ゲート電極 7 の側面にシリコン酸化膜 8 が形成される。このとき、シリコン酸化膜 16 のエッチングによって露出した部分のシリコン層 3 の上面を、シリコン酸化膜 8 を形成するための異方性ドライエッチングにおけるオーバーエッチングによって、続けてエッチングする。これにより、エッチングによるダメージによって、シリコン層 3 の上面内に欠陥が発生する。

【0075】

図 20 を参照して、次に、イオン注入法によって、シリコン層 3 の上面内にエクステンション 11 を形成する。図 21 を参照して、次に、CVD 法によってシリコン酸化膜及びシリコン窒化膜をこの順に全面的に形成する。次に、SOI 基板 4 の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン層 3 の上面が露出するまで、これらのシリコン酸化膜及びシリコン窒化膜をエッチングする。これにより、シリコン酸化膜 8 の外側面にシリコン酸化膜 40 及びシリコン窒化膜 9 が形成される。図 22 を参照して、次に、イオン注入法によって、シリコン層 3 内にソース・ドレイン領域 10 を形成する。

【0076】

このように、本実施の形態 4 に係る半導体装置の製造方法によれば、シリコン酸化膜 8 を形成するためのエッチングにおいて、シリコン層 3 の上面を併せてエッチングすることにより、シリコン層 3 の上面内に欠陥を形成する。その結果、この欠陥が寄生バイポーラトランジスタに対するライフタイムキラーとして作用するため、寄生バイポーラトランジスタのゲインを低下することができる。本実施の形態 4 に係る発明は、上記実施の形態 1～3 に係るいずれの発明に対しても適用することができる。

【0077】

図 23 は、本実施の形態 4 に係る半導体装置の製造方法の第 1 の変形例を示す断面図である。図 21 では、シリコン窒化膜 9 は、シリコン酸化膜 40 を介してシリコン層 3 の上面上に形成された。これに対して本実施の形態 4 の第 1 の変形例では、シリコン窒化膜 9 を、シリコン層 3 の上面上に直接形成する。本実施の形態 4 の第 1 の変形例に係る発明は、上記実施の形態 1～4 に係るいずれの発明に対しても適用することができる。

【0078】

本実施の形態 4 の第 1 の変形例によれば、シリコン窒化膜 9 の底面とシリコン層 3 の上面との界面に発生するストレスによって、シリコン層 3 の上面内により多くのライフタイムキラーを発生させることができる。その結果、寄生バイポーラトランジスタのゲインをさらに低下することができる。これにより、特に SOI デバイスで問題となっている基板フローティング効果を抑制することができる。基板フローティング効果が抑制されることによって、トランジェント効果、キンク効果、及びホットキャリア効果が抑制されるという利点や、電流駆動能力が向上されるという利点を得ることが可能となる。

【0079】

図 24 は、本実施の形態 4 に係る半導体装置の製造方法の第 2 の変形例を示す断面図である。図 22、23 では、シリコン窒化膜 9 を形成するための異方性ドライエッチングは、シリコン層 3 の上面が露出した時点で停止された。これに対して本実施の形態 4 の第 2 の変形例では、シリコン窒化膜 9 を形成するための異方性ドライエッチングにおけるオーバーエッチングによって、シリコン層 3 の上面を併せてエッチングする。本実施の形態 4

の第2の変形例に係る発明は、上記実施の形態1～4に係る発明、及び上記実施の形態4の第1の変形例に係る発明の、いずれに対しても適用することができる。

【0080】

本実施の形態4の第2の変形例によれば、シリコン窒化膜9を形成する際にシリコン層3の上面を併せてエッチングすることによって、シリコン層3の上面内により多くのライフタイムキラーを発生させることができる。その結果、寄生バイポーラトランジスタのゲインをさらに低下することができる。

【0081】

図25は、本実施の形態4に係る半導体装置の製造方法の第3の変形例を示す断面図である。本実施の形態4の第3の変形例では、シリコン層3内にソース・ドレイン領域10を形成した後、ソース・ドレイン領域10の上面をシリサイド化することにより、金属シリサイド層45を形成する。このとき、ゲート電極7の上面もシリサイド化され、金属シリサイド層46が形成される。本実施の形態4の第3の変形例に係る発明は、上記実施の形態1～4に係る発明、及び上記実施の形態4の第1及び第2の変形例に係る発明の、いずれに対しても適用することができる。

【0082】

本実施の形態4の第3の変形例によれば、ソース・ドレイン領域10の上面をシリサイド化することによって、シリコン層3の上面内により多くのライフタイムキラーを発生させることができる。その結果、寄生バイポーラトランジスタのゲインをさらに低下することができる。

【0083】

上記実施の形態4及びその第1～第3の変形例では、寄生バイポーラトランジスタのゲインを低下させるために、シリコン層3の上面内に多くのライフタイムキラーを発生させることを目的とした。しかし、ライフタイムキラーを増加させることは、一方で接合リークを増加させるという欠点を有している。そのため、基板フローティング効果の抑制による動作の高速化という利点、及び接合リークの増大による消費電力の増大という欠点の双方を考慮して、最適な構造を選択する必要がある。

【0084】

実施の形態5.

図2に示した上記実施の形態1に係る半導体装置では、NMOSFETが有するシリコン酸化膜8aの幅と、PMOSFETが有するシリコン酸化膜8bの幅とが互いに同一であった。本実施の形態5では、目的に応じてこれらの幅が異なる半導体装置について説明する。

【0085】

図26は、本発明の実施の形態5に係る半導体装置の構造を示す断面図である。図2に示したシリコン酸化膜8bの代わりに、シリコン酸化膜8aの幅W1よりも狭い幅W3のシリコン酸化膜8bbが形成されている。その結果、対を成すソース・ドレイン領域10b同士の間隔L3は、対を成すソース・ドレイン領域10a同士の間隔L1よりも狭くなっている。幅狭のシリコン酸化膜8bbは、例えば、図8に示した工程でシリコン酸化膜8bをウェットエッチングすることによって得ることができる。

【0086】

図27は、本実施の形態5に係る他の半導体装置の構造を示す断面図である。図2に示したシリコン酸化膜8aの代わりに、シリコン酸化膜8bの幅W1よりも狭い幅W4のシリコン酸化膜8aaが形成されている。その結果、対を成すソース・ドレイン領域10a同士の間隔L4は、対を成すソース・ドレイン領域10b同士の間隔L1よりも狭くなっている。幅狭のシリコン酸化膜8aaは、例えば、図7に示した工程でシリコン酸化膜8aをウェットエッチングすることによって得ることができる。

【0087】

基板フローティング効果の問題は、PMOSFETよりもNMOSFETで起こりやすい。ドレイン近傍でのインパクトイオン化により発生した正孔によって、寄生バイポーラ

10

20

30

40

50

トランジスタが動作しやすいためである。従って、図 25 に示した半導体装置のように、PMOSFET が有するシリコン酸化膜 8b よりも、NMOSFET が有するシリコン酸化膜 8a の幅を広げることにより、NMOSFET における基板フローティング効果の問題を抑制することができ、動作の高速化や電流駆動能力の向上を図ることができる。

【0088】

また、短チャネル効果は、NMOSFET よりも PMOSFET で発生しやすい。従って、図 27 に示した半導体装置のように、NMOSFET が有するシリコン酸化膜 8a よりも、PMOSFET が有するシリコン酸化膜 8b の幅を広げることにより、PMOSFET における短チャネル効果の発生を抑制することができる。その結果、PMOSFET のロールオフ特性が改善され、オフ電流の増加が抑制されるため、消費電力の低減を図ることができる。

10

【0089】

実施の形態 6.

図 17 では、オフセット用絶縁膜としてのシリコン酸化膜 8 の幅 W_1 と、遮断周波数 f_t 及び最大発振周波数 f_{max} との関係を示したが、これらの遮断周波数 f_t 及び最大発振周波数 f_{max} は、アナログ回路や高周波 (Radio frequency) 回路の性能を示す指標として用いられる。但し以下では、代表的にアナログ回路について述べる。アナログ回路の例としては、PLL (Phase-locked loop) 回路やセンスアンプ等が挙げられる。これに対し、ディジタル回路の性能を示す指標としては、インバータの遅延時間 t_{pd} がよく用いられる。遅延時間 t_{pd} は、以下の式 (3) で表される。

20

【0090】

【数 3】

$$t_{pd} = \frac{CV_{DD}}{I} \dots (3)$$

【0091】

ここで、 C はトータルの容量であり、 V_{DD} は電源電圧であり、 I は電流駆動能力である。

【0092】

図 28 は、ゲート長が $L_g = 70 \text{ nm}$ のトランジスタを対象として、オフセット用絶縁膜の幅 W_1 と、遅延時間 t_{pd} との関係を測定した結果を示すグラフである。オフセット用絶縁膜の幅 W_1 が狭いほど、遅延時間 t_{pd} が小さくなっていることが分かる。

30

【0093】

式 (3) を参照して、オフセット用絶縁膜の幅を狭くすると、ゲートオーバーラップ容量が増大してトータル容量 C も増大するため、遅延時間 t_{pd} は大きくなるはずである。しかしながら、オフセット用絶縁膜の幅を狭くすると、実効チャネル長が短くなって電流駆動能力 I が大きくなる。そして、この影響は、トータル容量 C の増大による影響よりも大きく作用する。その結果、図 28 に示すように、オフセット用絶縁膜の幅 W_1 が狭くなるほど、遅延時間 t_{pd} は小さくなるのである。

【0094】

以上より、ディジタル回路では、オフセット用絶縁膜の幅が狭くなるほど、遅延時間 t_{pd} が小さくなって回路の性能は向上する。即ち、アナログ回路 (又は高周波回路) を構成するトランジスタと、ディジタル回路を構成するトランジスタとでは、オフセット用絶縁膜の幅の最適値が異なる。そこで、本実施の形態 6 では、同一基板上にアナログ回路 (又は高周波回路) とディジタル回路とが混載して形成された半導体装置において、アナログ回路 (又は高周波回路) を構成するトランジスタのオフセット用絶縁膜の幅と、ディジタル回路を構成するトランジスタのオフセット用絶縁膜の幅とを互いに異ならせた半導体装置について説明する。本実施の形態 6 に係る構造は、上記実施の形態 1 ~ 5 のいずれの半導体装置についても適用可能である。

40

【0095】

50

図29は、本実施の形態6に係る半導体装置の構造を示す断面図である。SOI基板4は、デジタル回路が形成されたデジタル回路形成領域と、アナログ回路が形成されたアナログ回路形成領域とを有している。デジタル回路形成領域とアナログ回路形成領域とは、底面の一部に完全分離部51が形成された素子分離絶縁膜50によって、互いに電氣的に分離されている。

【0096】

まずデジタル回路形成領域に関し、素子分離絶縁膜30、50によって規定される素子形成領域には、デジタル回路を構成するMOSFETが形成されている。このMOSFETは、シリコン酸化膜から成るゲート酸化膜52を挟んでシリコン層3の上面上に形成された、ポリシリコンから成るゲート電極53と、ゲート電極53の下方において、シリコン層3内に形成されたボディ領域58と、シリコン層3内に形成され、ボディ領域58を挟んで対を成すソース・ドレイン領域60とを備えている。ソース・ドレイン領域60は、シリコン層3の上面内において、ゲート電極53の下方に延びて形成された、対を成すエクステンション59を有している。

10

【0097】

また、オフセット用絶縁膜としてのシリコン酸化膜54が、ゲート電極53の側面に接して形成されている。シリコン酸化膜54の外側にはシリコン酸化膜55が形成されており、シリコン酸化膜55の外側には、シリコン酸化膜56及びシリコン窒化膜57から成るサイドウォールが形成されている。

20

【0098】

次にアナログ回路形成領域に関し、素子分離絶縁膜30、50によって規定される素子形成領域には、アナログ回路を構成するMOSFETが形成されている。このMOSFETは、シリコン酸化膜から成るゲート酸化膜62を挟んでシリコン層3の上面上に形成された、ポリシリコンから成るゲート電極63と、ゲート電極63の下方において、シリコン層3内に形成されたボディ領域68と、シリコン層3内に形成され、ボディ領域68を挟んで対を成すソース・ドレイン領域70とを備えている。ソース・ドレイン領域70は、シリコン層3の上面内において、ゲート電極63の下方に延びて形成された、対を成すエクステンション69を有している。ゲート電極63のゲート長はゲート電極53のゲート長に等しい。

30

【0099】

また、第1のオフセット用絶縁膜としてのシリコン酸化膜64が、ゲート電極63の側面に接して形成されている。シリコン酸化膜64の外側には、第2のオフセット用絶縁膜としてのシリコン酸化膜65が形成されている。シリコン酸化膜64の膜厚はシリコン酸化膜54の膜厚に等しく、シリコン酸化膜65の膜厚はシリコン酸化膜55の膜厚に等しい。シリコン酸化膜65の外側には、シリコン酸化膜66及びシリコン窒化膜67から成るサイドウォールが形成されている。

40

【0100】

平面視上（即ち、ゲート電極の上方から眺めた場合）ゲート電極53とエクステンション59とが重なり合う程度（寸法K1）は、平面視上ゲート電極63とエクステンション69とが重なり合う程度（寸法K2）よりも広い。その結果、デジタル回路形成領域に形成されているMOSFETの実効チャネル長は、アナログ回路形成領域に形成されているMOSFETの実効チャネル長よりも短くなっている。

50

【0101】

図30～35は、本実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。図30を参照して、まず、SOI基板4を準備した後、シリコン層3内に素子分離絶縁膜30、50を形成する。

【0102】

図31を参照して、次に、CVD法又は熱酸化法によって、シリコン酸化膜を、シリコン層3の上面上及び素子分離絶縁膜30、50の上面上に全面的に形成する。但し、シリコン酸化膜の代わりに、シリコン酸窒化膜、 Al_2O_3 等の金属酸化膜、 Ta_2O_5 やB

50

S T等の強誘電体膜を形成してもよい。次に、L P C V D法によって、膜厚が1 0 0～4 0 0 n m程度のポリシリコン膜を、シリコン酸化膜の上面上に全面的に形成する。但し、ポリシリコン膜内には、PやB等の不純物が導入されていてもよい。また、ポリシリコン膜の代わりに、W, T a, A l等の金属膜を形成してもよい。次に、写真製版法及び異方性ドライエッチング法によってポリシリコン膜及びシリコン酸化膜をパターンニングすることにより、ゲート電極5 3, 6 3及びゲート酸化膜5 2, 6 2が形成される。

【0 1 0 3】

次に、数n m～数十n m程度の膜厚のシリコン酸化膜を全面に形成した後、S O I基板4の深さ方向にエッチングレートの高い異方性ドライエッチング法によってこのシリコン酸化膜をエッチングする。これにより、ゲート電極5 3の側面に接してシリコン酸化膜5 4が形成されるとともに、ゲート電極6 3の側面に接してシリコン酸化膜6 4が形成される。シリコン酸化膜5 4は、後の工程でエクステンション5 9を形成するためのオフセット用絶縁膜として機能する。また、シリコン酸化膜6 4は、後の工程でエクステンション6 9を形成するための第1のオフセット用絶縁膜として機能する。

10

【0 1 0 4】

図3 2を参照して、次に、写真製版法によって、アナログ回路形成領域におけるシリコン層3上に、ゲート電極6 3及びシリコン酸化膜6 4を覆ってフォトレジスト7 1を形成する。次に、A s, P, S b等の不純物(N M O Sを形成する場合)をイオン注入することにより、デジタル回路形成領域におけるシリコン層3の上面内に、エクステンション5 9を形成する。

20

【0 1 0 5】

図3 3を参照して、次に、フォトレジスト7 1を除去した後、数n m～数十n m程度の膜厚のシリコン酸化膜を全面に形成する。その後、S O I基板4の深さ方向にエッチングレートの高い異方性ドライエッチング法によってこのシリコン酸化膜をエッチングする。これにより、シリコン酸化膜5 4の外側にシリコン酸化膜5 5が形成されるとともに、シリコン酸化膜6 4の外側にシリコン酸化膜6 5が形成される。シリコン酸化膜6 5は、後の工程でエクステンション6 9を形成するための第2のオフセット用絶縁膜として機能する。

【0 1 0 6】

図3 4を参照して、次に、写真製版法によって、デジタル回路形成領域におけるシリコン層3上に、ゲート電極5 3及びシリコン酸化膜5 4, 5 5を覆ってフォトレジスト7 2を形成する。次に、A s, P, S b等の不純物(N M O Sを形成する場合)をイオン注入することにより、アナログ回路形成領域におけるシリコン層3の上面内に、エクステンション6 9を形成する。

30

【0 1 0 7】

図3 5を参照して、次に、フォトレジスト7 2を除去した後、シリコン酸化膜及びシリコン窒化膜を、この順に全面に形成する。次に、異方性ドライエッチング法によって、シリコン層3の上面が露出するまで、これらのシリコン酸化膜及びシリコン窒化膜を除去する。これにより、シリコン酸化膜5 5の外側に、シリコン酸化膜5 6及びシリコン窒化膜5 7から成るサイドウォールが形成されるとともに、シリコン酸化膜6 5の外側に、シリコン酸化膜6 6及びシリコン窒化膜6 7から成るサイドウォールが形成される。これらのサイドウォールは、後の工程でソース・ドレイン領域6 0, 7 0を形成するための注入マスクとして機能する。

40

【0 1 0 8】

その後、イオン注入法によって、A s, P, S b等の不純物(N M O Sを形成する場合)をシリコン層3内に導入することにより、ソース・ドレイン領域6 0, 7 0を形成する。以上の工程により、図2 9に示した構造が得られる。

【0 1 0 9】

このように本実施の形態6に係る半導体装置の製造方法によれば、デジタル回路形成領域においては、シリコン酸化膜5 4をオフセット用絶縁膜に用いて、エクステンション

50

59を形成するためのイオン注入が行われる。一方、アナログ回路形成領域においては、シリコン酸化膜64、65をオフセット用絶縁膜に用いて、エクステンション69を形成するためのイオン注入が行われる。その結果、本実施の形態6に係る半導体装置によれば、平面視上ゲート電極53とエクステンション59とが重なり合う程度（寸法K1）は、平面視上ゲート電極63とエクステンション69とが重なり合う程度（寸法K2）よりも広い。従って、アナログ回路（又は高周波回路）を構成するトランジスタに関して、オフセット用絶縁膜の幅の最適値を確保しつつ、ディジタル回路を構成するトランジスタに関して、実効チャネル長を短くすることができ、遅延時間 t_{pd} の短縮化による性能の向上を図ることができる。

【0110】

10

なお、ディジタル回路を構成するトランジスタに関して、実効チャネル長が短くなると短チャネル効果が発生しやすくなるが、ディジタル回路では、アナログ回路ほど短チャネル効果による影響は問題とはならない。

【0111】

また、以上の説明では、NMOSトランジスタを形成する場合を例にとって本実施の形態6に係る発明について説明したが、本実施の形態6に係る発明は、PMOSトランジスタやCMOSトランジスタを形成する場合にも適用可能である。後述の実施の形態7についても同様である。

【0112】

20

実施の形態7.

上記の式（2）より、ゲート抵抗 R_g を下げることによって最大発振周波数 f_{max} を増大できることが分かる。本実施の形態7では、ゲート抵抗を低減できるゲート構造について説明する。本実施の形態7に係るゲート構造は、上記実施の形態1～6のいずれの半導体装置についても適用可能である。

【0113】

図36は、本発明の実施の形態7に係る半導体装置の構造を模式的に示す上面図である。ゲート電極75を挟んで、一对のソース・ドレイン領域76が形成されている。また、ソース・ドレイン領域76に接触する複数のコンタクトプラグ77が形成されている。

【0114】

30

図37は、図36に示した線分A1-A1に沿った位置に関する断面構造を示す断面図であり、図38は、図36に示した線分A2-A2に沿った位置に関する断面構造を示す断面図である。図37を参照して、シリコン層3の上面上には、シリコン酸化膜から成るゲート酸化膜78を介して、ポリシリコン膜79が形成されている。また、ポリシリコン膜79上には金属シリサイド層80が形成されており、ポリシリコン膜79と金属シリサイド層80とによってゲート電極75が構成されている。ゲート電極75の側面には、シリコン酸化膜81及びシリコン窒化膜82から成るサイドウォール83が形成されている。ゲート電極75とは反対側のサイドウォール83の側面には、シリコン酸化膜84及びシリコン窒化膜85から成るサイドウォール86が形成されている。

【0115】

40

ゲート電極75の下方におけるシリコン層3内には、ボディ領域88が形成されている。また、シリコン層3内には、ボディ領域88を挟んで対を成すソース・ドレイン領域76が形成されている。ソース・ドレイン領域76は、シリコン層3の上面内において、ゲート電極75の下方に延びて形成された、対を成すエクステンション87を有している。サイドウォール83、86が形成されていない部分のソース・ドレイン領域76の上面上には、金属シリサイド層89が形成されている。

【0116】

また、シリコン酸化膜から成る層間絶縁膜90が、MOSFETを覆ってシリコン層3上に形成されている。層間絶縁膜90内には、層間絶縁膜90の上面から金属シリサイド層89の上面に到達し、金属から成るコンタクトプラグ77が形成されている。層間絶縁膜90の上面上には、アルミニウムや銅等の金属から成る金属配線91が、コンタクトプ

50

ラグ 77 に接触して形成されている。また、層間絶縁膜 90 内には、層間絶縁膜 90 の上面から金属シリサイド層 80 及びサイドウォール 83 の上面に到達し、金属から成るゲート配線 92 が形成されている。ゲート長方向に関するゲート配線 92 の寸法は、ゲート電極 75 のゲート長よりも大きい。

【0117】

図 38 を参照して、ゲート配線 92 は、ゲート電極 75 の上面に接触しつつ、ゲート電極 75 が延在する方向に延在して形成されている。

【0118】

図 39 ～ 43 は、本実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。図 39 を参照して、まず、SOI 基板 4 を準備した後、シリコン層 3 内に素子分離絶縁膜 30 を形成する。次に、上記各実施の形態で述べた方法によって、ゲート酸化膜 78 及びポリシリコン膜 79 を、シリコン層 3 の上面上に形成する。次に、イオン注入法によって、As, P, Sb 等の不純物 (NMOS を形成する場合) をシリコン層 3 の上面内に導入することにより、エクステンション 87 を形成する。このとき、上記実施の形態 1 ～ 6 に係る発明の概念を適用して、イオン注入を行うよりも前に、オフセット用の絶縁膜をポリシリコン膜 79 の側面に形成しておくことにより、実効チャネル長を広げてよい。

【0119】

図 40 を参照して、次に、CVD 法によって、シリコン酸化膜及びシリコン窒化膜をこの順に全面に形成する。次に、SOI 基板 4 の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン層 3 の上面が露出するまでこれらの膜をエッチングする。これにより、ポリシリコン膜 79 の側面にシリコン酸化膜 81 及びシリコン窒化膜 82 が残り、サイドウォール 83 が形成される。次に、イオン注入法によって、As, P, Sb 等の不純物 (NMOS を形成する場合) をシリコン層 3 内に導入することにより、ソース・ドレイン領域 76 を形成する。サイドウォール 83 は、ソース・ドレイン領域 76 を形成するためのイオン注入工程において、注入マスクとして機能する。

【0120】

図 41 を参照して、次に、CVD 法によって、シリコン酸化膜及びシリコン窒化膜をこの順に全面に形成する。次に、SOI 基板 4 の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン層 3 の上面が露出するまでこれらの膜をエッチングする。これにより、サイドウォール 83 の側面にシリコン酸化膜 84 及びシリコン窒化膜 85 が残り、サイドウォール 86 が形成される。このとき、シリコン窒化膜の膜厚やエッチング条件等を調整することによって、ゲート長方向に関するサイドウォール 86 の寸法を、ゲート長方向に関するサイドウォール 83 の寸法と異ならせることもできる。

【0121】

図 42 を参照して、次に、コバルト等の金属膜を全面に形成した後熱処理を行う。これにより、互いに接触している部分のシリコンと金属とが反応し、金属シリサイド層 80, 89 が形成される。金属シリサイド層 80 はポリシリコン膜 79 上に形成され、これによってゲート電極 75 が形成される。また、金属シリサイド層 89 はソース・ドレイン領域 76 上に形成される。その後、未反応の金属膜を除去する。

【0122】

図 43 を参照して、次に、CVD 法によって全面にシリコン酸化膜を堆積することにより、層間絶縁膜 90 を形成する。次に、写真製版法によって、層間絶縁膜 90 の上面上に、所定の開口パターンを有するフォトレジスト (図示しない) を形成する。次に、そのフォトレジストをエッチングマスクに用いて、SOI 基板 4 の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、層間絶縁膜 90 を除去する。このとき、シリコン酸化膜はエッチングされやすく、シリコン窒化膜はエッチングされにくい条件でエッチングを行うことにより、サイドウォール 83 の上面がエッチングされることを防止することができる。これにより、金属シリサイド層 76 上にコンタクトホール 93 が形成されるとともに、ゲート電極 75 上に配線溝 94 が形成される。

【0123】

このとき、ゲート長方向に関するコンタクトホール93の寸法M1が、ゲート長方向に関する配線溝94の寸法M2よりも大きくなるように、フォトレジストの開口パターンを成形することが望ましい。その理由は以下の通りである。即ち、配線溝92はゲート電極75に沿って延在しているため、各コンタクトホール93の開口面積は配線溝92の開口面積よりも小さい。そのため、配線溝92のエッチングに比べてコンタクトホール93のエッチングは進行しにくい。従って、寸法M2よりも寸法M1を大きくすることによって、エッチング速度の差を低減できるからである。

【0124】

次に、コンタクトホール93内及び配線溝94内を充填し得る膜厚で全面に金属膜(A1, W, Cu等)を形成し、層間絶縁膜90の上面が露出するまで金属膜をエッチバックする。ここで、金属膜の密着性を向上するために、金属膜を成膜する前にバリアメタル層を形成しても良い。バリアメタル層の材質はチタン(Ti)、チタンナイトライド(TiN)、TiとTiNとの複合膜等である。その後、金属配線91を形成することにより、図37に示した構造が得られる。

【0125】

このように本実施の形態7に係る半導体装置によれば、ゲート電極75の上面に接触しつつゲート電極75が延在する方向に延在し、しかも、ゲート長方向に関する寸法がゲート電極79のゲート長よりも大きいゲート配線92が、層間絶縁膜90内に形成されている。従って、上記の式(2)におけるゲート抵抗 R_g が低減され、最大発振周波数 f_{max} を増大することができる。

【0126】

また、本実施の形態7に係る半導体装置の製造方法によれば、サイドウォール83の外側にサイドウォール86が形成されている。従って、フォトマスクのアライメントずれ等によって配線溝94の形成箇所がずれた場合であっても、ゲート配線92と金属シリサイド層89とが互いに接触することを回避することができる。即ち、サイドウォール86を形成することにより、アライメントずれのマージンを向上することができる。ゲート長方向に関するサイドウォール86の寸法が大きければ大きいほど、この効果も大きくなる。

【0127】

但し、ゲート長方向に関するサイドウォール86の寸法が大きくなり過ぎると、ゲート長方向に関する金属シリサイド層76の寸法が小さくなり、ソース・ドレインの直列抵抗が増大してしまう。従って、アライメントずれのマージンを向上できるというメリットと、ソース・ドレインの直列抵抗が増大するというデメリットとを比較考量して、ゲート長方向に関するサイドウォール86の寸法を最適化する必要がある。

【0128】

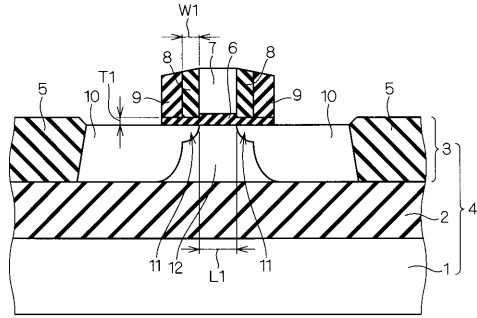
なお、サイドウォール83とサイドウォール86とを個別に形成するのではなく、単にサイドウォール83の幅を広げることによっても、アライメントずれのマージンを向上できるという効果は得られる。しかしながらこの場合は、対を成すソース・ドレイン領域76同士の間隔が広がって、エクステンション87の長さが長くなるため、その部分での直列抵抗が増大して電流駆動能力が低下する。これに対して本実施の形態7に係る半導体装置の製造方法のように、サイドウォール83を形成した後にソース・ドレイン領域76を形成し、その後にサイドウォール86を形成すると、エクステンション87の長さを短くでき、電流駆動能力の低下を防止することができる。

【符号の説明】

【0129】

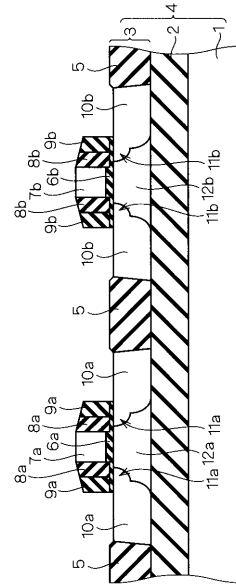
1 シリコン基板、2 BOX層、3 シリコン層、4 SOI基板、6, 8, 54, 55, 64, 65 シリコン酸化膜、7, 53, 63, 75 ゲート電極、9 シリコン窒化膜、10 ソース・ドレイン領域、11, 59, 69 エクステンション、12 ボディ領域、83, 86 サイドウォール、92 ゲート配線。

【図 1】

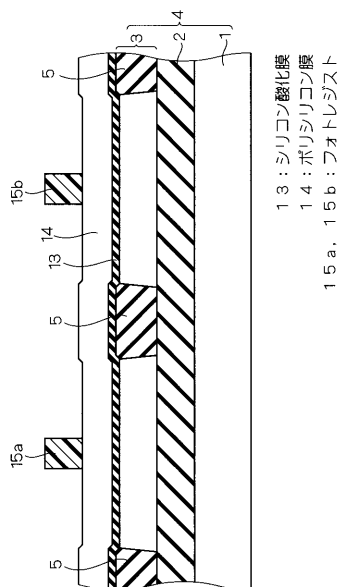


- 1 : シリコン基板
- 2 : BOX層
- 3 : シリコン層
- 4 : SOI基板
- 5 : 素子分離絶縁膜
- 6, 8 : シリコン酸化膜
- 7 : ゲート電極
- 9 : シリコン窒化膜
- 10 : ソース・ドレイン領域
- 11 : エクステンション
- 12 : ボディ領域

【図 2】

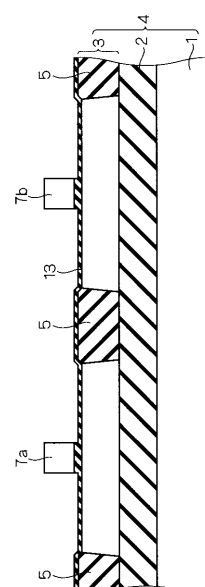


【図 3】

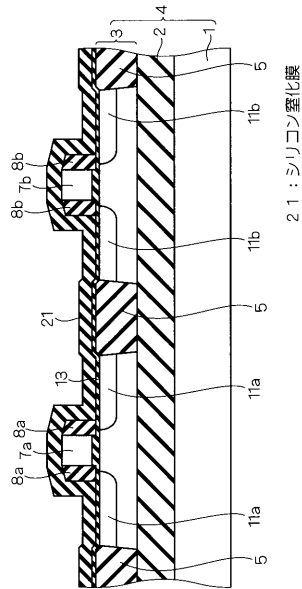


- 13 : シリコン酸化膜
- 14 : ポリシリコン膜
- 15a, 15b : フォトリソグリス

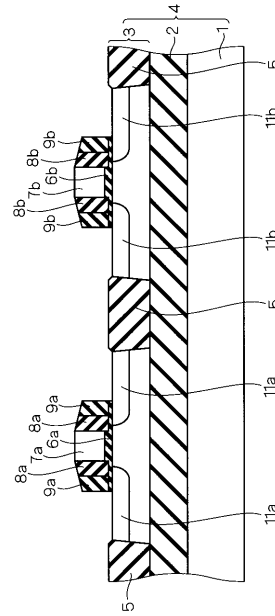
【図 4】



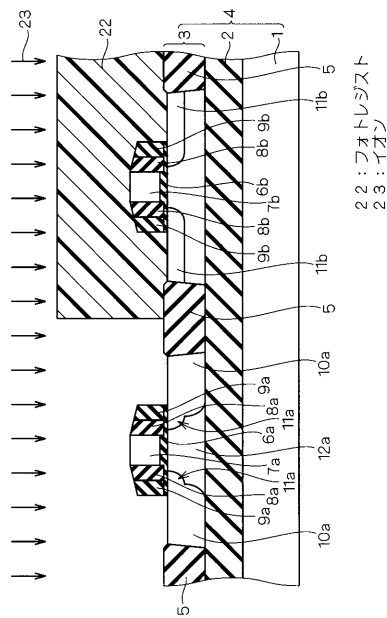
【 図 9 】



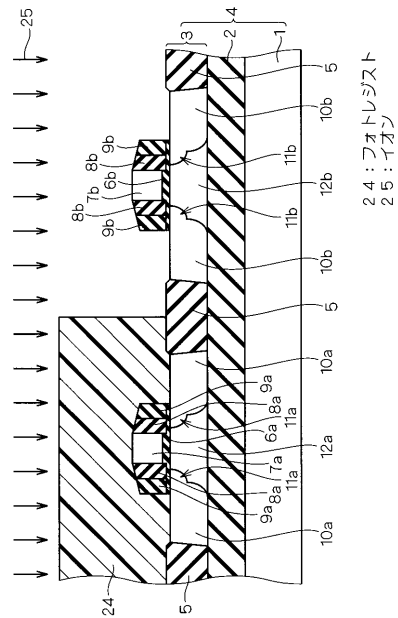
【 図 1 0 】



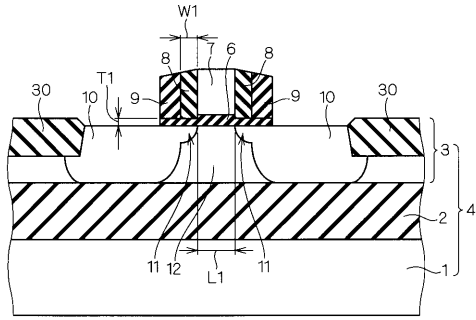
【 図 1 1 】



【 図 1 2 】

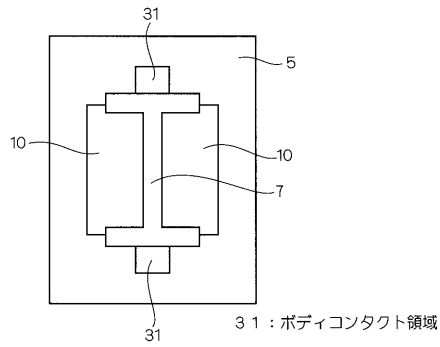


【図 13】



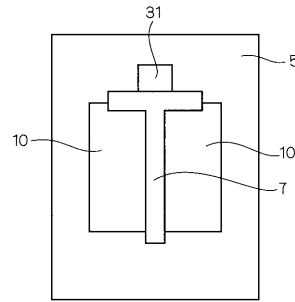
30 : 素子分離絶縁膜

【図 14】

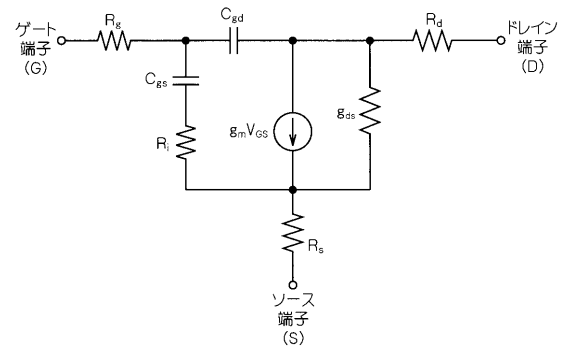


31 : ボディコンタクト領域

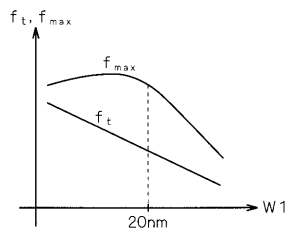
【図 15】



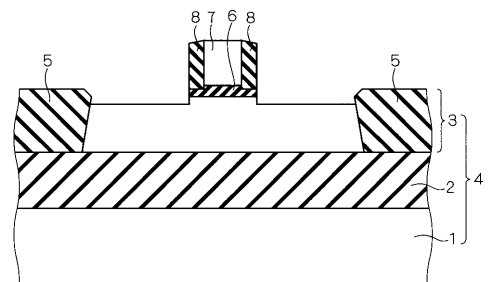
【図 16】



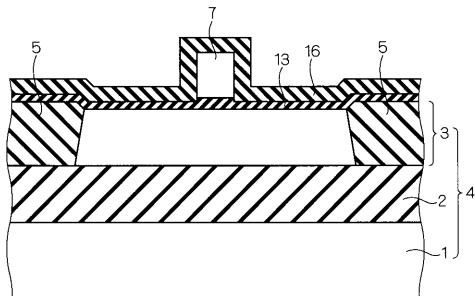
【図 17】



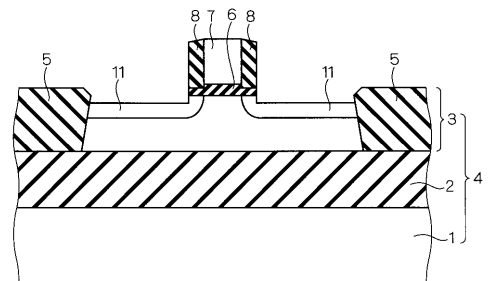
【図 19】



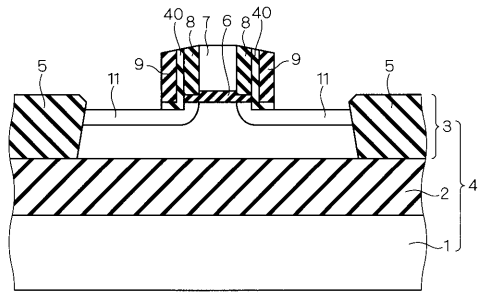
【図 18】



【図 20】

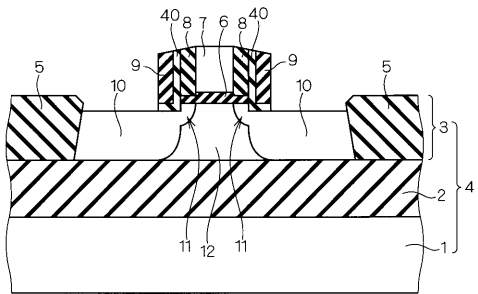


【図 2 1】

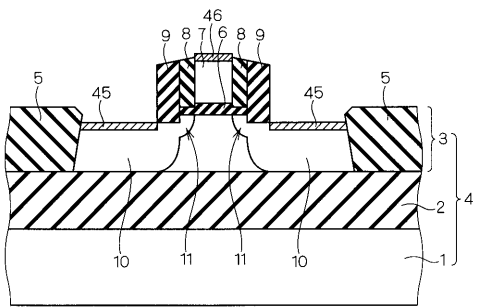


40 : シリコン酸化膜

【図 2 2】

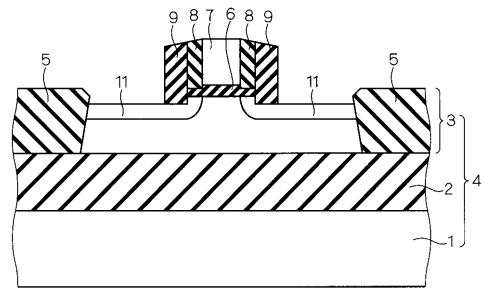


【図 2 5】

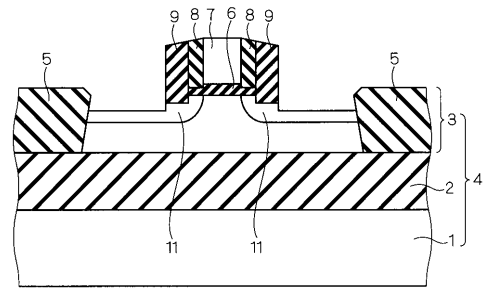


45, 46 : 金属シリサイド層

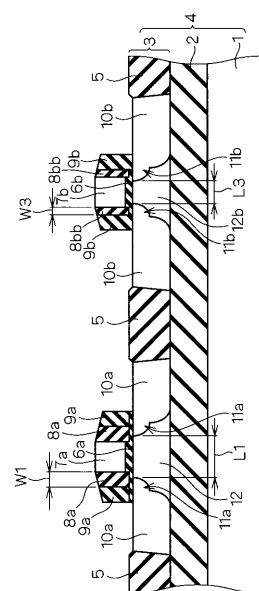
【図 2 3】



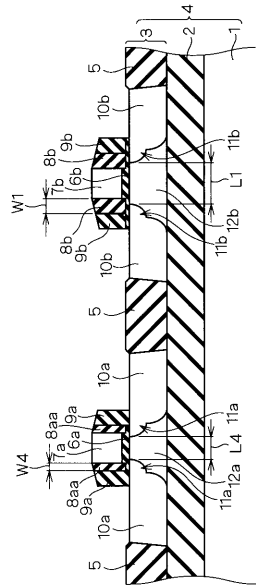
【図 2 4】



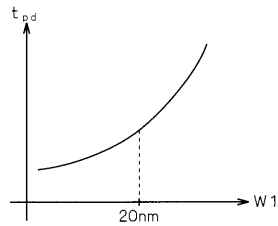
【図 2 6】



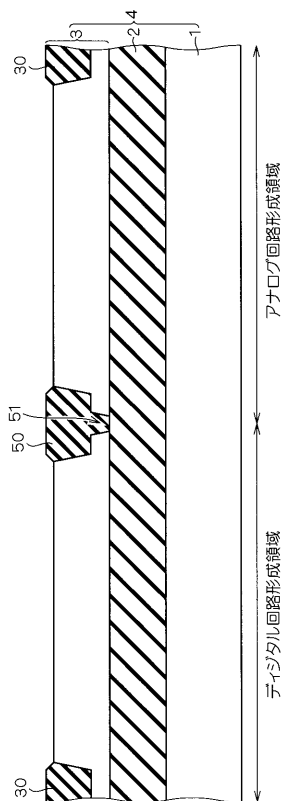
【図 27】



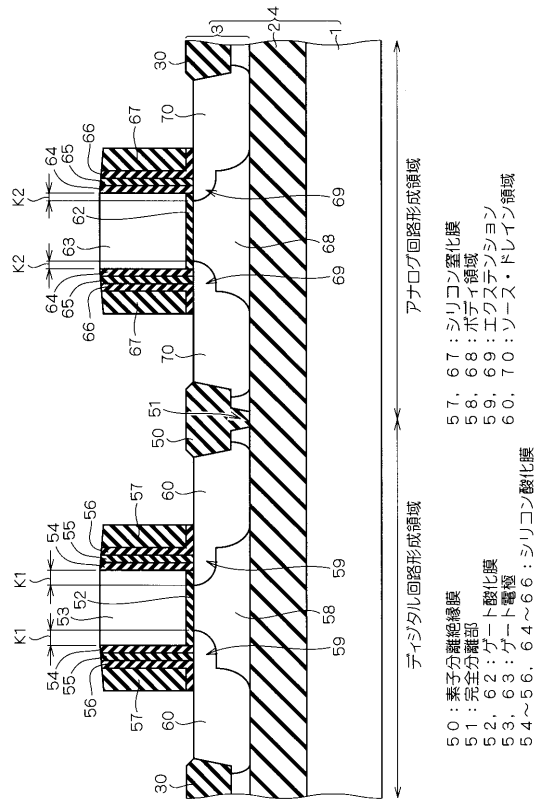
【図 28】



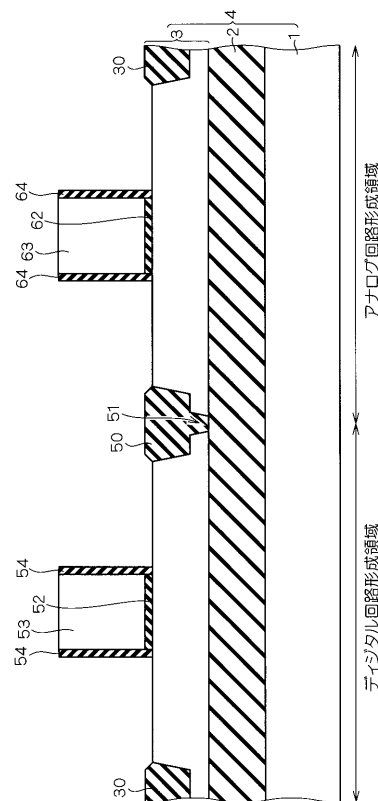
【図 30】



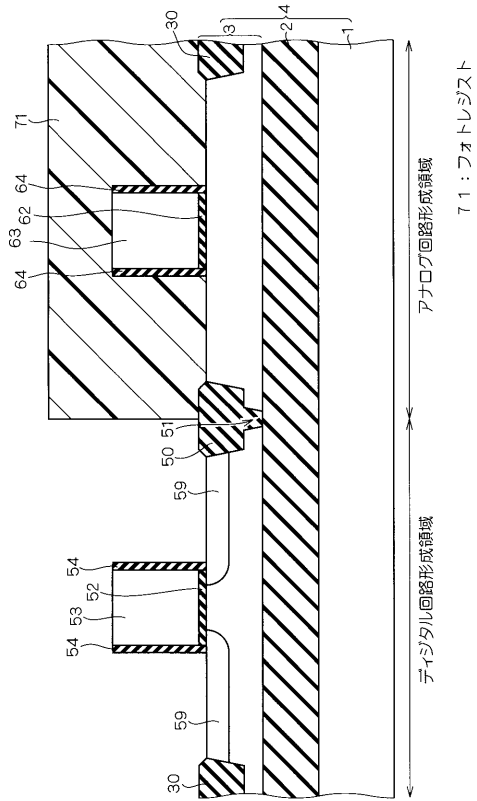
【図 29】



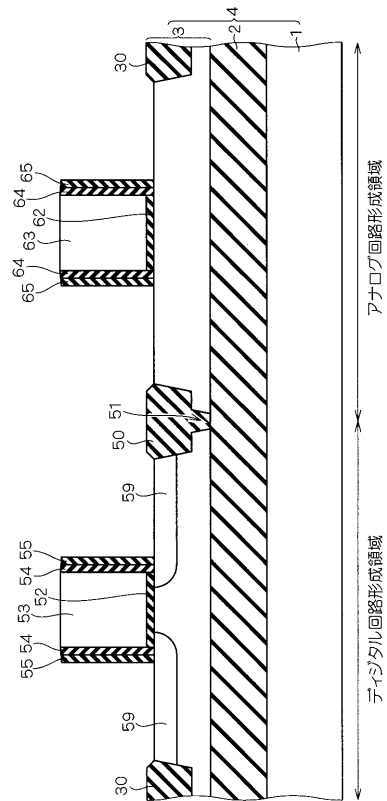
【図 31】



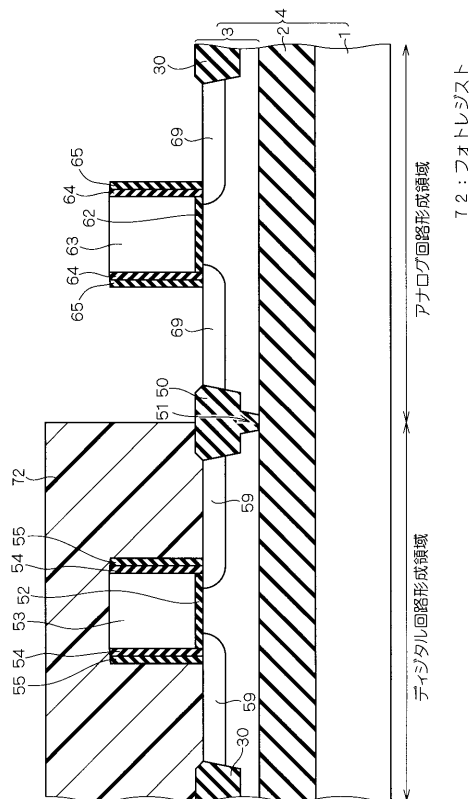
【図 3 2】



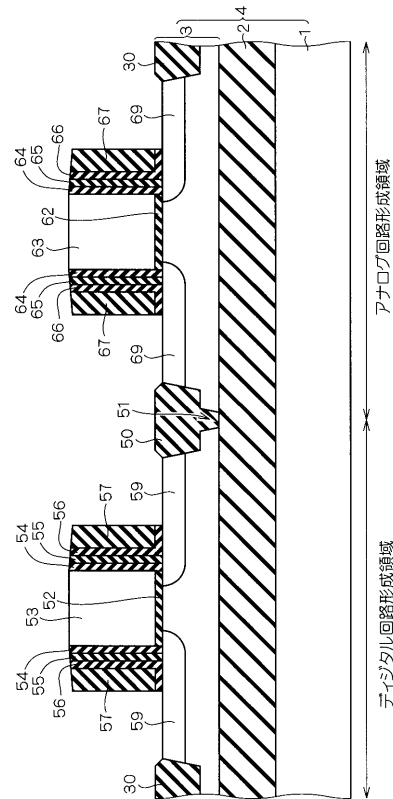
【図 3 3】



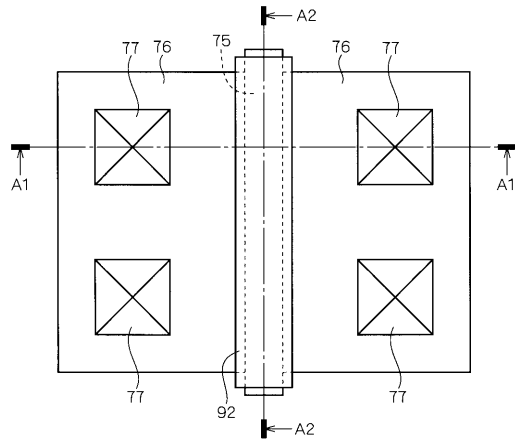
【図 3 4】



【図 3 5】

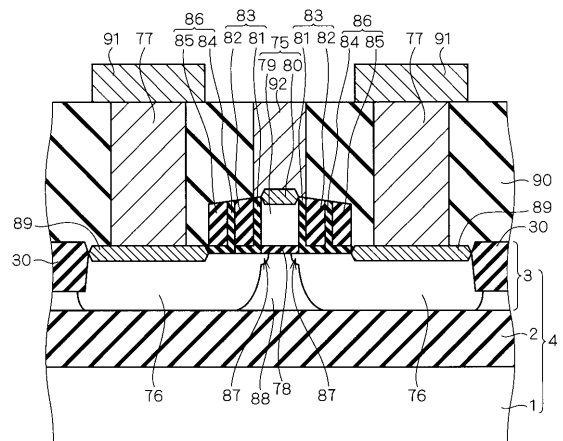


【図 36】



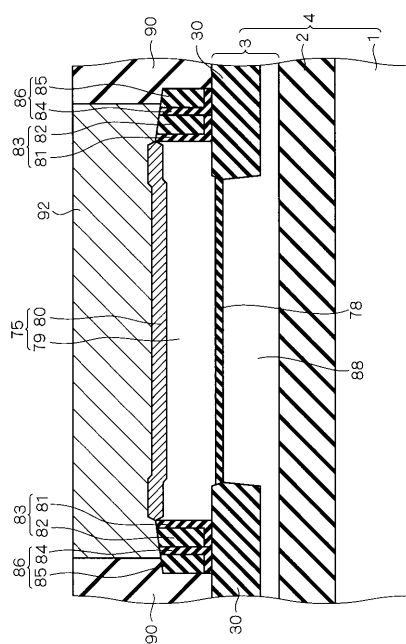
75 : ゲート電極
 76 : ソース・ドレイン領域
 77 : コンタクトプラグ
 92 : ゲート配線

【図 37】

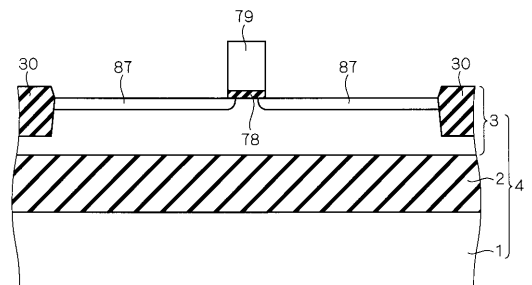


78 : ゲート酸化膜
 79 : ポリシリコン膜
 80, 89 : 金属シリサイド層
 81, 84 : シリコン酸化膜
 82, 85 : シリコン窒化膜
 83, 86 : サイドウォール
 87 : エクステンション
 88 : ボディ領域
 90 : 層間絶縁膜
 91 : 金属配線

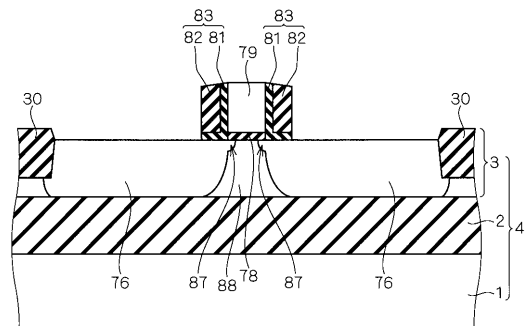
【図 38】



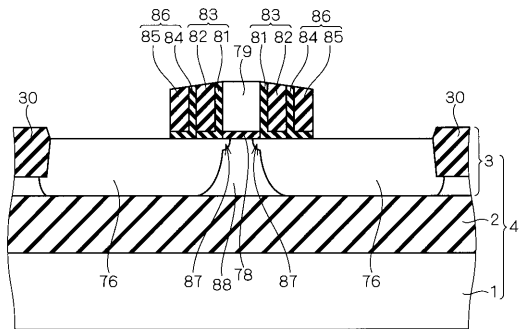
【図 39】



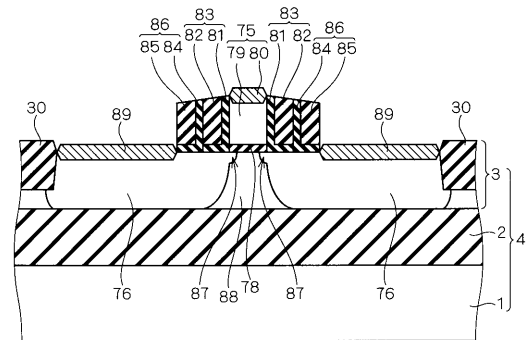
【図 40】



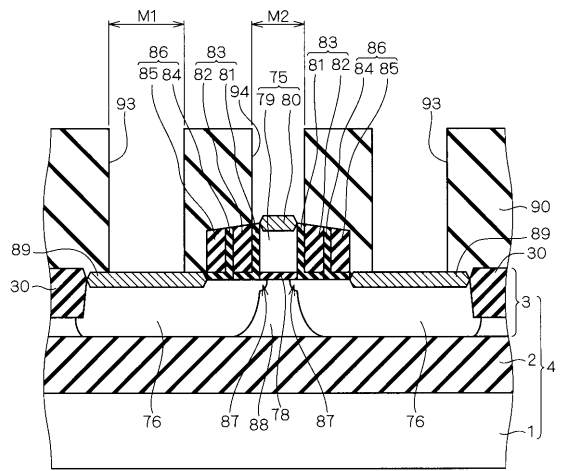
【図 4 1】



【図 4 2】

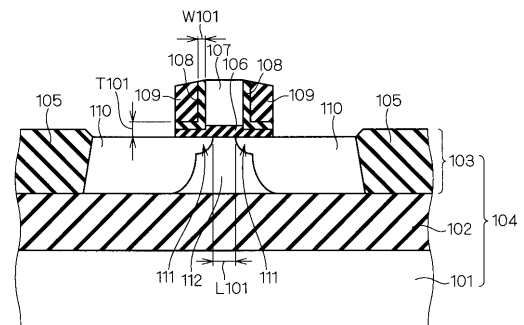


【図 4 3】

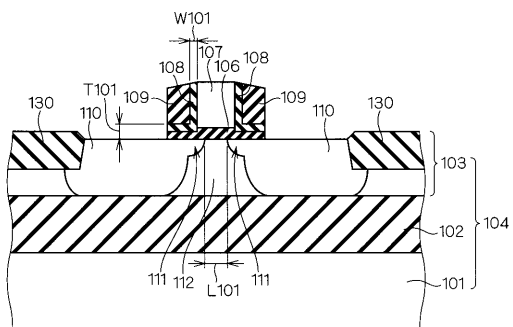


93 : コンタクトホール
94 : 配線溝

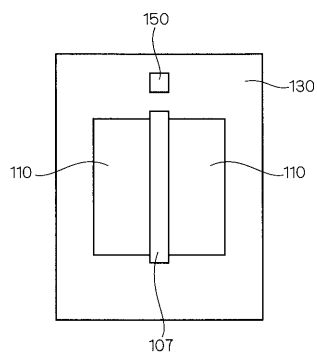
【図 4 4】



【図 4 5】



【図 4 6】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H O 1 L 27/04 (2006.01) H O 1 L 29/78 6 1 7 J
H O 1 L 21/822 (2006.01) H O 1 L 27/04 A

(72)発明者 前田 茂伸
 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

(72)発明者 岩松 俊明
 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

(72)発明者 太田 和伸
 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

F ターム (参考) 5F038 BH07 BH19 CA02 CA05 CA09 DF12 EZ06 EZ15 EZ20
 5F048 AA03 AA07 AB10 AC01 AC03 BA16 BB01 BB05 BB06 BB07
 BB08 BB09 BB11 BC06 BC18 BD04 BD10 BF02 BF06 BF07
 BF11 BF15 BF16 BF17 BG13 DA25 DA27 DA30
 5F110 AA01 AA26 CC02 DD05 DD13 EE03 EE04 EE05 EE09 EE11
 EE14 EE24 EE25 EE32 EE45 FF01 FF02 FF04 FF23 FF29
 GG02 GG13 GG28 GG36 GG47 HJ01 HJ04 HJ13 HJ23 HK05
 HK40 HL01 HL02 HL03 HL04 HL11 HM15 HM17 NN02 NN23
 NN62 NN65 NN78 QQ11 QQ19