



(12) 发明专利申请

(10) 申请公布号 CN 102237139 A

(43) 申请公布日 2011. 11. 09

(21) 申请号 201010167276. 0

(22) 申请日 2010. 04. 27

(71) 申请人 群联电子股份有限公司  
地址 中国台湾苗栗县竹南镇群义路 1 号

(72) 发明人 曾建富 赖国欣 梁立群

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G11C 16/34 (2006. 01)

G11C 16/06 (2006. 01)

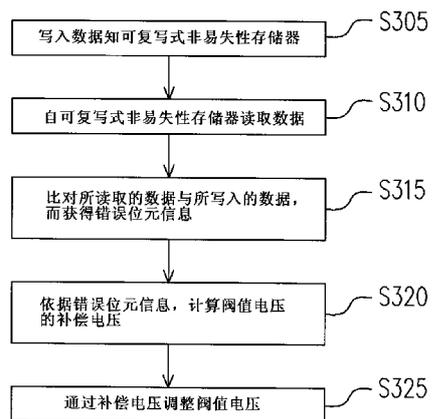
权利要求书 4 页 说明书 10 页 附图 7 页

(54) 发明名称

计算补偿电压与调整阈值电压方法及存储器装置与控制器

(57) 摘要

本发明提供一种计算补偿电压与调整阈值电压方法及存储器装置与控制器。在本发明中, 写入数据至可复写式非易失性存储器, 再读取可复写式非易失性存储器中的数据, 通过比对方式而获得错误位元信息。依据错误位元信息, 计算阈值电压的补偿电压, 进而依据补偿电压调整阈值电压。



1. 一种调整阈值电压的方法,适用于可复写式非易失性存储器,该方法包括:  
写入数据至该可复写式非易失性存储器中;

从该可复写式非易失性存储器中读取该数据,其中该数据至少对应至该可复写式非易失性存储器的多个储存状态的其中之一,其中所述储存状态的电压范围是由至少一阈值电压来区分;

比对所读取的数据与所写入的数据获得错误位元信息;  
依据该错误位元信息计算该阈值电压的补偿电压;以及  
通过该补偿电压来调整该阈值电压。

2. 根据权利要求1所述的调整阈值电压的方法,其中该可复写式非易失性存储器具有多条字元线,且每一所述字元线具有多个页面,

其中该方法更包括在写入该数据至该可复写式非易失性存储器中的步骤之前判断该可复写式非易失性存储器的所述字元线其中之一所发生的错误位元数是否大于第一预设值,并且

其中写入该数据至该可复写式非易失性存储器中的步骤是在当该可复写式非易失性存储器的所述字元线其中之一所发生的错误位元数大于该第一预设值时被执行。

3. 根据权利要求1所述的调整阈值电压的方法,其中所述储存状态包括第一储存状态与第二储存状态,该第一储存状态与该第二储存状态的电压范围相邻,且该第一储存状态的电压范围以及该第二储存状态的电压范围是由该阈值电压来区分,该数据包括多笔位元数据,该错误位元信息包括所述位元数据的错误位元数,

其中比对所读取的数据与所写入的数据获得该错误位元信息的步骤包括:

统计所述位元数据之中在写入时为该第一储存状态而在读取时为该第二储存状态的第一错误位元数;以及

统计所述位元数据之中在写入时为该第二储存状态而在读取时为该第一储存状态的第二错误位元数。

4. 根据权利要求3所述的调整阈值电压的方法,其中依据该错误位元信息计算该阈值电压的补偿电压的步骤包括:

依据该第一错误位元数与该第二错误位元数计算该阈值电压的补偿电压。

5. 根据权利要求3所述的调整阈值电压的方法,其中该可复写式非易失性存储器至少包括快速页面以及慢速页面,写入该数据至该可复写式非易失性存储器的步骤包括:

判断该错误位元数大于第一预设值的页面为该快速页面或该慢速页面。

6. 根据权利要求5所述的调整阈值电压的方法,其中在判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面的步骤之后包括:

当判定该错误位元数大于该第一预设值的页面为该快速页面时,自该快速页面的错误位元位置读取对应的位元数据,并且依据所述位元数据来统计该快速页面的该第一错误位元数与该第二错误位元数。

7. 根据权利要求5所述的调整阈值电压的方法,其中在判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面的步骤之后包括:

当判定该错误位元数大于该第一预设值的页面为该慢速页面时,自该慢速页面的错误位元位置读取该慢速页面对应的位元数据;

依据该慢速页面的错误位元位置,读取该快速页面对应的位元数据;以及  
依据该快速页面的位元数据与该慢速页面的位元数据,统计该慢速页面的该第一错误位元数与该第二错误位元数。

8. 根据权利要求 1 所述的调整阈值电压的方法,其中在获得该错误位元信息的步骤之后,更包括:

判断该错误位元信息中的错误位元数是否大于第二预设值;以及  
当该错误位元数大于该第二预设值时,执行计算该阈值电压的补偿电压的步骤。

9. 一种计算补偿电压的方法,适用于可复写式非易失性存储器,该可复写式非易失性存储器具有多条字元线,且每一所述字元线具有多个页面,其中该可复写式非易失性存储器包括多个储存状态,而所述储存状态至少包括第一储存状态以及第二储存状态,该第一储存状态与该第二储存状态两者的电压范围是由阈值电压来区分,该方法包括:

当所述页面其中之一产生的错误位元数大于第一预设值时,自该错误位元数大于该第一预设值的页面找出多个错误位元位置;

自所述错误位元位置读取对应的多个位元数据;

统计所述位元数据之中在写入时为该第一储存状态而在读取时为该第二储存状态的第一错误位元数;

统计所述位元数据之中在写入时为该第二储存状态而在读取时为该第一储存状态的第二错误位元数;以及

依据该第一错误位元数与该第二错误位元数计算补偿电压。

10. 根据权利要求 9 所述的计算补偿电压的方法,其中所述页面包括快速页面以及慢速页面,当所述页面其中之一产生的该错误位元数大于该第一预设值时更包括:

判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面。

11. 根据权利要求 10 所述的计算补偿电压的方法,其中在判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面的步骤之后包括:

当判定该错误位元数大于该第一预设值的页面为该快速页面时,自该快速页面的所述错误位元位置读取对应的位元数据,并且依据所述位元数据来统计该快速页面的该第一错误位元数与该第二错误位元数。

12. 根据权利要求 10 所述的计算补偿电压的方法,其中在判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面的步骤之后包括:

当判定该错误位元数大于该第一预设值的页面为该慢速页面时,自该慢速页面的所述错误位元位置读取对应的位元数据;

依据该慢速页面的错误位元位置,读取该快速页面对应的位元数据;以及

依据该慢速页面的位元数据与该快速页面的位元数据来统计该慢速页面的该第一错误位元数与该第二错误位元数。

13. 根据权利要求 9 所述的计算补偿电压的方法,其中该第一储存状态的电压范围小于该第二储存状态的电压范围,而计算该补偿电压是依据下列公式:

$$x = g \times \log_2 \left( \frac{\text{error2}}{\text{error1}} \right);$$

其中, x 代表该补偿电压, g 代表常数, error2 代表该第二错误位元数, error1 代表该

第一错误位元数。

14. 一种可复写式非易失性存储器装置,包括:

可复写式非易失性存储器;

连接器,用以接收数据;以及

存储器控制器,耦接至该可复写式非易失性存储器与该连接器,用以执行至少下列程序:

写入该数据至该可复写式非易失性存储器中;

从该可复写式非易失性存储器中读取该数据,其中该数据至少对应至该可复写式非易失性存储器的多个储存状态的其中之一,而所述储存状态的电压范围是由至少一阈值电压来区分;

比对所读取的数据与所写入的数据获得错误位元信息;

依据该错误位元信息计算该阈值电压的补偿电压;以及

通过该补偿电压来调整该阈值电压。

15. 一种存储器控制器,用于管理可复写式非易失性存储器,其中该可复写式非易失性存储器具有多个实体区块,所述实体区块分别具有数个页面,且对应于同一实体区块的所述页面可独立写入且同时抹除,该存储器控制器包括:

存储器管理电路;

存储器接口,耦接至该存储器管理电路,并且用以耦接至该可复写式非易失性存储器;

以及

主机接口,耦接至该存储器管理电路,用以接收数据;

其中,该存储器管理电路用以执行至少下列程序:

写入该数据至该可复写式非易失性存储器中;

从该可复写式非易失性存储器中读取该数据,其中该数据至少对应至该可复写式非易失性存储器的多个储存状态的其中之一,而所述储存状态的电压范围是由至少一阈值电压来区分;

比对所读取的数据与所写入的数据获得错误位元信息;

依据该错误位元信息计算该阈值电压的补偿电压;以及

通过该补偿电压来调整该阈值电压。

16. 根据权利要求 15 所述的存储器控制器,该存储器管理电路更包括执行下列程序:

判断该可复写式非易失性存储器的所述页面其中之一所发生的错误位元数是否大于第一预设值;以及

当该可复写式非易失性存储器的所述页面其中之一所发生的错误位元数大于该第一预设值时,写入该数据至该可复写式非易失性存储器中。

17. 根据权利要求 16 所述的存储器控制器,其中所述储存状态包括第一储存状态与第二储存状态,该第一储存状态与该第二储存状态的电压范围相邻,且该第一储存状态以及该第二储存状态两者的电压范围是由该阈值电压来区分,该数据包括多笔位元数据,该错误位元信息包括所述位元数据的错误位元数,而该存储器管理电路更包括执行下列程序:

统计所述位元数据之中在写入时为该第一储存状态而在读取时为该第二储存状态的第一错误位元数;

统计所述位元数据之中在写入时为该第二储存状态而在读取时为该第一储存状态的第二错误位元数；以及

依据该第一错误位元数与该第二错误位元数计算该阈值电压的补偿电压。

18. 根据权利要求 17 所述的存储器控制器，其中所述页面至少包括快速页面以及慢速页面，其中该存储器管理电路更包括执行下列程序：

判断该错误位元数大于该第一预设值的页面为该快速页面或该慢速页面。

19. 根据权利要求 18 所述的存储器控制器，其中该存储器管理电路更包括执行下列程序：

当判定该错误位元数大于该第一预设值的页面为该快速页面时，自该快速页面的错误位元位置读取出对应的位元数据；以及

在该快速页面中，依据所读取的位元数据来计算该快速页面的该第一错误位元数与该第二错误位元数。

20. 根据权利要求 18 所述的存储器控制器，其中该存储器管理电路更包括执行下列程序：

当判定该错误位元数大于该第一预设值的页面为该慢速页面时，自该慢速页面的错误位元位置读取出该慢速页面对应的位元数据；以及

依据该慢速页面的错误位元位置，读取该快速页面对应的位元数据；以及

依据该慢速页面的位元数据与该快速页面的位元数据，计算该慢速页面的该第一错误位元数与该第二错误位元数。

## 计算补偿电压与调整阈值电压方法及存储器装置与控制器

### 技术领域

[0001] 本发明涉及一种存储器系统,且特别涉及一种通过错误位元信息来计算补偿电压与调整阈值电压的方法及存储器装置与控制器。

### 背景技术

[0002] 数字相机、手机与 MP3 在这几年来的成长十分迅速,使得消费者对数字内容的储存需求也急速增加。由于快闪存储器 (Flash Memory) 具有数据非易失性、省电、体积小与无机械结构等的特性,适合使用者随身携带作为数字档案传递与交换的储存媒体。固态硬盘 (Solid State Drive, SSD) 就是以快闪存储器作为储存媒体的一个例子,并且已广泛使用于电脑主机系统中作为主硬盘。

[0003] 目前的快闪存储器主要分为两种,分别为反或快闪存储器 (NORFlash) 与反及快闪存储器 (NAND Flash)。其中,反及快闪存储器存在着两种不同的储存模式,即多层记忆胞 (Multi-Level Cell, MLC) 及单层记忆胞 (Single-Level Cell, SLC)。单层记忆胞在每个记忆胞中储存 1 个位元,而多层记忆胞则可在每个记忆胞中储存 2 个以上的位元。

[0004] 一般而言,由位元线 (Bit Line) 与字元线 (Word Line) 串起的记忆胞阵列 (memory cell array),其在读取或写入数据到指定的记忆胞时,其余非指定的记忆胞则会受到干扰 (disturb),进而改变这些记忆胞写入的临界电压。另外,长期闲置、存储器漏电、或是多次使用 (Eraseor Program) 而造成磨损 (Wear) 等情形,亦会使得记忆胞写入的临界电压改变。此时,将会造成写入数据在读出时发生错误。

### 发明内容

[0005] 本发明提供一种计算补偿电压与调整阈值电压的方法及存储器装置与控制器,用以计算补偿电压来调整阈值电压,以降低数据读取的判断错误。

[0006] 本发明提出一种调整阈值电压的方法,适用于可复写式非易失性存储器。此方法包括:写入数据至可复写式非易失性存储器中,并且自可复写式非易失性存储器中读取数据;比对所读取的数据与所写入的数据而获得错误位元信息;再依据错误位元信息计算阈值电压的补偿电压;并且,通过补偿电压来调整阈值电压。在此,上述数据对应至可复写式非易失性存储器的其中一种储存状态,而上述阈值是用来区分这些储存状态其中两者的电压范围。

[0007] 本发明还提出一种计算补偿电压的方法,适用于可复写式非易失性存储器,此可复写式非易失性存储器具有多条字元线,且每一字元线具有多个页面,而可复写式非易失性存储器包括多个储存状态,这些储存状态至少包括第一储存状态以及第二储存状态,第一储存状态与第二储存状态两者的电压范围是由一阈值电压来区分。当其中一页面产生的错误位元数大于第一预设值时,自此页面找出多个错误位元位置。自这些错误位元位置取出对应的位元数据。统计这些位元数据之中在写入时为第一储存状态而在读取时为第二储存状态的第一错误位元数。并且,统计这些位元数据之中在写入时为第二储存状态而在

读取时为第一储存状态的第二错误位元数。之后,依据第一错误位元数与第二错误位元数计算补偿电压。

[0008] 本发明提出一种可复写式非易失性存储器装置,其包括可复写式非易失性存储器、连接器以及存储器控制器。在此,连接器用以接收数据。而存储器控制器耦接至可复写式非易失性存储器与连接器,用以执行至少下列程序:写入数据至可复写式非易失性存储器中;从可复写式非易失性存储器中读取数据,并且比对所读取的数据与所写入的数据而获得错误位元信息;再依据错误位元信息,计算阈值电压的补偿电压,之后通过补偿电压来调整阈值电压。在此,上述所读取的数据对应至可复写式非易失性存储器的其中一种储存状态,而上述阈值是用来区分这些储存状态其中两者的电压范围。

[0009] 本发明提出一种存储器控制器,用于管理可复写式非易失性存储器,其中可复写式非易失性存储器具有多个实体区块,这些实体区块分别具有数个页面,且对应于同一实体区块的页面可独立写入且同时抹除。此存储器控制器包括存储器管理电路、存储器接口以及主机接口。存储器接口耦接至存储器管理电路,并且用以耦接至可复写式非易失性存储器。主机接口耦接至存储器管理电路,其用以接收数据。在此,存储器管理电路用以执行至少下列程序:写入数据至可复写式非易失性存储器中;从可复写式非易失性存储器中读取数据,并且比对所读取的数据与所写入的数据获得错误位元信息;再依据错误位元信息,计算阈值电压的补偿电压,之后通过补偿电压来调整阈值电压。在此,上述所读取的数据对应至可复写式非易失性存储器的其中一种储存状态,而上述阈值是用来区分这些储存状态其中两者的电压范围。

[0010] 基于上述,本发明适当地补偿阈值电压,可降低读取数据的错误,而达到可更正的错误范围内。据此,能够延长可复写式非易失性存储器装置的使用寿命。

[0011] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

## 附图说明

[0012] 图 1A 是根据本发明范例实施例所示的使用可复写式非易失性存储器装置的主机系统的方块图;

[0013] 图 1B 是根据本发明范例实施例所示的电脑、输入/输出装置与可复写式非易失性存储器装置的示意图;

[0014] 图 1C 是根据本发明另一范例实施例所示的主机系统与可复写式非易失性存储器装置的示意图;

[0015] 图 2A 是根据本发明范例实施例所示的可复写式非易失性存储器装置的方块图;

[0016] 图 2B、图 2C 是根据本发明范例实施例所示的存储器控制器的方块图;

[0017] 图 2D 是根据本发明范例实施例所示的存储器管理单元的方块图;

[0018] 图 3 是根据本发明范例实施例所示的调整阈值电压的方法流程图;

[0019] 图 4 是根据本发明范例实施例所示的计算补偿电压的方法流程图;

[0020] 图 5 是根据本发明范例实施例所示的 3 位元记忆胞的储存状态的错误位元数的统计示意图。

[0021] 主要附图标记说明:

- [0022] 1000 :主机系统 ;
- [0023] 1100 :电脑 ;
- [0024] 1102 :微处理器 ;
- [0025] 1104 :随机存取存储器 ;
- [0026] 1106 :输入 / 输出装置 ;
- [0027] 1108 :系统总线 ;
- [0028] 1110 :数据传输接口 ;
- [0029] 1202 :鼠标 ;
- [0030] 1204 :键盘 ;
- [0031] 1206 :显示器 ;
- [0032] 1208 :打印机 ;
- [0033] 1212 :随身碟 ;
- [0034] 1214 :记忆卡 ;
- [0035] 1216 :固态硬盘 ;
- [0036] 1310 :数字相机 ;
- [0037] 1312 :SD 卡 ;
- [0038] 1314 :MMC 卡 ;
- [0039] 1316 :CF 卡 ;
- [0040] 1318 :记忆棒 ;
- [0041] 1320 :嵌入式储存装置 ;
- [0042] 100 :可复写式非易失性存储器装置 ;
- [0043] 210 :连接器 ;
- [0044] 220 :存储器控制器 ;
- [0045] 230 :可复写式非易失性存储器 ;
- [0046] 221 :主机接口 ;
- [0047] 223 :存储器管理电路 ;
- [0048] 225 :存储器接口 ;
- [0049] 227 :缓冲区 ;
- [0050] 231 :微处理器单元 ;
- [0051] 233 :存储器管理单元 ;
- [0052] 241 :数据写入模块 ;
- [0053] 243 :比对模块 ;
- [0054] 245 :计算模块 ;
- [0055] S305 ~ S325 :本发明范例实施例的调整阈值电压的方法各步骤 ;
- [0056] S405 ~ S470 :本发明范例实施例的计算错误位元数的方法各步骤。

### 具体实施方式

[0057] 一般而言,快闪存储器若长期闲置、存储器漏电、或是多次使用(Eraseor Program)而造成磨损(Wear)等情形,会使得记忆胞写入的临界电压改变。此时,倘若仍使

用原有的阈值电压,将会造成数据判断错误。据此,本发明提供一个存储器系统及其阈值电压调整方法与其存储器控制器,以调整阈值电压。

[0058] 图 1A 是根据本发明范例实施例所示的使用可复写式非易失性存储器装置的主机系统的方块图。图 1B 是根据本发明范例实施例所示的电脑、输入 / 输出装置与可复写式非易失性存储器装置的示意图。图 1C 是根据本发明另一范例实施例所示的主机系统与可复写式非易失性存储器装置的示意图。

[0059] 请参照图 1A,主机系统 1000 一般包括电脑 1100 与输入 / 输出 (input/output, I/O) 装置 1106。电脑 1100 包括微处理器 1102、随机存取存储器 (random access memory, RAM) 1104、系统总线 1108 以及数据传输接口 1110。输入 / 输出装置 1106 包括如图 1B 的鼠标 1202、键盘 1204、显示器 1206 与打印机 1208。必须了解的是,图 1B 所示的装置非限制输入 / 输出装置 1106,输入 / 输出装置 1106 可更包括其他装置。

[0060] 在本发明实施例中可复写式非易失性存储器装置 100 是透过数据传输接口 1110 与主机系统 1000 的其他元件耦接。通过微处理器 1102、随机存取存储器 (Random Access Memory, RAM) 1104 与输入 / 输出装置 1106 的处理,使得主机系统 1000 可将数据写入至可复写式非易失性存储器装置 100 或从可复写式非易失性存储器装置 100 中读取数据。例如,可复写式非易失性存储器装置 100 可以是如图 1B 所示的随身碟 1212、记忆卡 1214 或固态硬盘 (SolidState Drive, SSD) 1216。

[0061] 一般而言,主机系统 1000 可实质地为可储存数据的任意系统。虽然在本范例实施例中,主机系统 1000 是以电脑系统来进行说明,然而,在本发明另一范例实施例中主机系统 1000 可以是数字相机、摄影机、通信装置、音讯播放器或视讯播放器等系统。例如,在主机系统为数字相机 (摄影机) 1310 时,可复写式非易失性存储器装置 100 则为其所使用的安全数字 (securedigital, SD) 卡 1312、多媒体储存卡 (Multi Media Card, MMC) 1314、小型快闪 (Compact Flash, CF) 卡 1316、记忆棒 (Memory Stick, MS) 1318 或嵌入式储存装置 1320 (如图 1C 所示)。嵌入式储存装置 1320 包括嵌入式多媒体卡 (Embedded MMC, eMMC)。值得一提的是,嵌入式多媒体卡是直接耦接于主机系统 1000 的基板上。

[0062] 图 2A 是根据本发明范例实施例所示的可复写式非易失性存储器装置的方块图。请参照图 2A,可复写式非易失性存储器装置 100 包括连接器 210、存储器控制器 220 以及可复写式非易失性存储器 230。存储器控制器 220 耦接至可复写式非易失性存储器 230 与连接器 210。

[0063] 在此,连接器 210 例如为 SD 连接器。然而,必须了解的是本发明不限于此,连接器 210 亦可以是序列先进附件 (Serial Advanced Technology Attachment, SATA) 连接器、通用序列总线 (Universal Serial Bus, USB) 连接器、电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, IEEE) 1394 连接器、高速周边零件连接接口 (Peripheral Component Interconnect Express, PCI Express) 连接器、MS 连接器、MMC 连接器、CF 连接器、整合式驱动电子接口 (Integrated Device Electronics, IDE) 连接器或其他适合的数据传输的连接器。

[0064] 可复写式非易失性存储器 230 例如为多层记忆胞 (Multi Level Cell, MLC) NAND 快闪存储器。然而,必须了解的是,本发明不限于此。在本发明另一范例实施例中,单层记忆胞 (Single Level Cell, SLC) NAND 快闪存储器亦可应用于本发明。

[0065] 具体而言,可复写式非易失性存储器 230 具有多条字元线 (word line),且每一字元线具有多个页面。例如,在本发明范例实施例中,可复写式非易失性存储器 230 为 MLC NAND 快闪存储器,并且 MLC NAND 快闪存储器的实体区块的程式化可分为多阶段。例如,以 2 位元的记忆胞为例,实体区块的程式化可分为 2 阶段。第一阶段是下页面 (lower page) 的写入部分,其物理特性类似于 SLC NAND 快闪存储器,在完成第一阶段之后才会程式化上页面 (upper page),其中下页面的写入速度会快于上页面。因此,每一实体区块的页面可区分为慢速页面 (即,上页面) 与快速页面 (即,下页面)。

[0066] 一般而言,可复写式非易失性存储器 230 包括多个储存状态,而且可复写式非易失性存储器 230 中至少具有一个阈值电压来区分这些储存状态的电压范围。以可复写式非易失性存储器 230 为非易失性存储器晶片 (NVM chips) 而言,非易失性存储器晶片是由阵列式记忆胞 (memory cell) 和写入 (Programming)、读取 (read) 电压控制电路组成。数据的写入即是利用控制高电压来改变记忆胞的临界电压,而数据的读取则是使用一个阈值电压来区分记忆胞的临界电压。在实际应用上,可复写式非易失性存储器 230 包括多个记忆胞阵列与多个电压控制电路。在这些电压控制电路中设定阈值电压可用以改变其读取控制闸 (control gate) 电压的值。

[0067] 以单层记忆胞而言,记忆胞的临界电压有两个电压范围需要被区分,所以至少利用一个阈值电压来区分此两种储存状态。透过这两个电压范围来代表两种储存状态,即,储存状态“0”与储存状态“1”。倘若记忆胞的临界电压小于阈值电压,则记忆胞会导通,代表此记忆胞会储存数据“1”;反之,倘若记忆胞的临界电压未小于阈值电压,则记忆胞不导通,代表此记忆胞储存数据“0”。

[0068] 另外,多层记忆胞使用多能阶 (level) 临界电压来代表多位元 (bits) 的数据。若可复写式非易失性存储器 230 的每个记忆胞中储存 2 个位元 (4level),其储存状态则包括“00”、“01”、“10”及“11”,且具有 3 个阈值电压。而若可复写式非易失性存储器 230 的每个记忆胞中储存 3 个位元 (8level),其储存状态则包括“000”、“001”、“010”、“011”、“100”、“101”、“110”及“111”,且具有至少 7 个阈值电压来区分这 8 个能阶所对应的储存状态。

[0069] 存储器控制器 220 用以执行调整阈值电压的方法的各个程序。存储器控制器 220 会写入一数据至可复写式非易失性存储器 230。自可复写式非易失性存储器 230 读取数据,并且藉以比对所读取的数据与所写入的数据而获得错误位元信息。存储器控制器 220 再依据错误位元信息,计算阈值电压的补偿电压,以通过补偿电压来调整阈值电压。在此,上述所读取的数据对应至可复写式非易失性存储器的其中一种储存状态,而上述阈值是用来区分这些储存状态其中两者的电压范围。

[0070] 图 2B、图 2C 是根据本发明范例实施例所示的存储器控制器的方块图。在图 2B 中,存储器控制器 220 包括主机接口 221、存储器管理电路 223 以及存储器接口 225。

[0071] 在图 2B 中,主机接口 221 用以接收与识别主机系统 1000 所传送的指令。在本实施例中,主机接口 221 为 SD 接口。然而,必须了解的是本发明不限于此,主机接口 221 亦可以是 SATA 接口、USB 接口、IEEE 1394 接口、PCI Express 接口、MS 接口、MMC 接口、CF 接口、IDE 接口或其他适合的数据传输接口。

[0072] 存储器接口 225 是用以存取可复写式非易失性存储器 230。也就是说,欲写入至可复写式非易失性存储器 230 的数据会经由存储器接口 225 转换为可复写式非易失性存储器

230 所能接受的格式。

[0073] 存储器管理电路 223 用以执行根据本实施例的调整阈值电压的方法与计算补偿电压的方法。在本实施例中,存储器管理电路 223 中包括微处理器单元 231 与存储器管理单元 233。其中,存储器管理单元 233 是以一韧体型式实作在存储器控制器 220 中。例如,将包括多个程式指令的存储器管理单元 233 烧录至一程式存储器(例如,只读存储器(Read Only Memory, ROM))中并且将此程式存储器嵌入在存储器控制器 220 中,当可复写式非易失性存储器装置 100 运作时,存储器管理电路 223 会透过微处理器单元 231 来执行存储器管理单元 233 的多个机器指令以完成根据本发明实施例的调整阈值电压的方法与计算补偿电压的方法。

[0074] 举例而言,图 2D 是根据本发明范例实施例所示的存储器管理单元的方块图。请参照图 2D,存储器管理单元 233 包括数据写入模块 241、比对模块 243 以及计算模块 245。数据写入模块 241 用以将数据写入至可复写式非易失性存储器 230。比对模块 243 用以自可复写式非易失性存储器中读取数据,并且比对所读取的数据与数据写入模块 241 所写入的数据有无发生错误位元,进而获得错误位元信息。在此,错误位元信息包括错误位元数以及错误位元模式(例如,所读取的数据的储存状态由 0 变为 1,或是由 1 变为 0)。计算模块 245 则是依据错误位元信息,计算阈值电压的补偿电压,以通过补偿电压来调整阈值电压。

[0075] 在本发明另一实施例中,存储器管理电路 223 的控制指令亦可以程式码型式储存于可复写式非易失性存储器 230 的特定区域(例如,快闪存储器中专用于存放系统数据的系统区)中。同样的,当可复写式非易失性存储器装置 100 运作时,存储器管理电路 223 的多个控制指令会利用微处理器单元 231 来执行。此外,在本发明另一实施例中,存储器管理电路 223 亦可以一硬体型式实现在存储器控制器 220 中。

[0076] 另外,存储器控制器 220 中更包括一缓冲区 227,如图 2C 所示,缓冲区 227 耦接至存储器管理电路 223,用以暂存来自于主机系统 1000 的数据与指令或来自于可复写式非易失性存储器 230 的数据。

[0077] 以下即搭配上上述可复写式非易失性存储器装置 100 来详细说明调整阈值电压的方法的详细步骤。

[0078] 图 3 是根据本发明范例实施例所示的调整阈值电压的方法的流程图。

[0079] 请参照图 3,在步骤 S305 中,存储器控制器 220 写入数据至可复写式非易失性存储器 230。接着,在步骤 S310 中,存储器控制器 220 自可复写式非易失性存储器 230 读取数据。此数据是对应至可复写式非易失性存储器 230 的其中一种储存状态,而两个储存状态的电压范围是由一阈值电压来区分。

[0080] 在本实施例中,当存储器控制器 220 侦测到可复写式非易失性存储器 230 发生不可校正错误时,存储器控制器 220 便会开始执行调整阈值电压的方法。例如,利用错误检查与校正码(Error Checking and Correcting code, ECCcode)执行错误校正程序来得到错误位元数。而存储器控制器 220 会在所发生的错误位元数超出一第一预设值时,判定可复写式非易失性存储器 230 发生不可校正错误。其中,在本实施例中存储器控制器 220 的错误校正(correct)能力为 68 位元,第一预设值可以是小于存储器控制器 220 的错误校正(correct)能力,例如 60 位元。另外,第一预设值亦可以等于错误校正能力,例如 68 位元。

[0081] 在本实施例中,存储器控制器 220 会针对可复写式非易失性存储器 230 的储存状

态来决定用来进行测试的数据,也就是将这些数据写入至可复写式非易失性存储器 230 再读取出来进行比对,藉以调整阈值电压。而在其他实施例中,亦可以写入一般的数据来调整阈值电压。也就是说,存储器控制器 220 在将数据写入至可复写式非易失性存储器 230 时,会将所写入的数据记录下来,之后自可复写式非易失性存储器 230 读取数据时,才能够比对所读取的数据与所写入的数据。

[0082] 之后,在步骤 S315 中,存储器控制器 220 分别比对所读取的每一笔数据与其对应所写入的数据而获得错误位元信息。例如,可在存储器控制器 220 写入数据至可复写式非易失性存储器 230 时,先行记录下所写入的数据。之后,存储器控制器 220 便可将自可复写式非易失性存储器 230 所读取出的数据与其先前记录的数据进行比对,而获得错误位元信息。在此,错误位元信息包括错误位元数以及错误位元模式(例如,以记忆胞只能储存 1 位元而言,读取的数据的储存状态由 0 变为 1,或是由 1 变为 0)。

[0083] 在计算出错误位元信息之后,如步骤 S320 所示,存储器控制器 220 再依据错误位元信息,计算阈值电压的补偿电压。在步骤 S325 中,存储器控制器 220 通过补偿电压来调整阈值电压。

[0084] 上述写入的数据包括多笔位元数据。以电压范围相邻的第一储存状态与第二储存状态为例,存储器控制器 220 会统计这些位元数据在写入时为第一储存状态而在读取时为第二储存状态的第一错误位元数。并且,存储器控制器 220 会统计这些位元数据在写入时为第二储存状态而在读取时为第一储存状态的第二错误位元数。在此,第一储存状态的电压范围小于第二储存状态的电压范围,而存储器控制器 220 计算补偿电压是依据下列公式:

$$[0085] \quad x = g \times \log_2 \left( \frac{\text{error2}}{\text{error1}} \right).$$

[0086] 其中,  $x$  代表补偿电压,  $g$  代表常数,  $\text{error2}$  代表第二错误位元数,  $\text{error1}$  代表第一错误位元数。

[0087] 而在计算出补偿电压  $x$  之后,则可将阈值电压加上补偿电压而获得调整后的阈值电压。

[0088] 以每个记忆胞中储存 2 个位元的可复写式非易失性存储器 230 而言,当其中一页面产生的错误位元数大于第一预设值或是错误位元数超出存储器控制器 220 的错误校正能力时,存储器控制器 220 可先判断此页面为快速页面或慢速页面。当此页面为快速页面时,存储器控制器 220 会读取其中之一快速页面的数据,并比对所读取的数据与原始数据,以找出错误位元位置。之后,再自错误位元位置读取对应的位元数据。存储器控制器 220 会依据所读取的位元数据判断错误位元模式。例如,写入的位元数据为第一储存状态而读取出的位元数据为第二储存状态,或是写入的位元数据为第二储存状态,而读取出的位元数据为第一储存状态(第一储存状态与第二储存状态的电压范围相邻)。据此,存储器控制器 220 会统计快速页面中位元数据为第一储存状态而误判为第二储存状态的第一错误位元数,以及统计位元数据为第二储存状态而误判至第一储存状态的第二错误位元数。另一方面,当此页面为慢速页面时,存储器控制器 220 自慢速页面的错误位元位置读取慢速页面对应的位元数据。并且,存储器控制器 220 依据慢速页面的错误位元位置,读取快速页面对应的位元数据。藉此,存储器控制器 220 可依据上述位元数据,计算慢速页面的第一

错误位元数与第二错误位元数。

[0089] 在本实施例中,在计算出错误位元信息之后,为了使计算之后的数据具有较高的可信度,存储器控制器 220 更可先判断错误位元信息中的错误位元数是否大于第一预设值,以在错误位元数大于第二预设值时再执行计算补偿值的步骤。

[0090] 以下再举一例来详细说明,图 4 是根据本发明范例实施例所示的计算补偿电压的方法流程图。请参照图 4,本实施例是以每个记忆胞中储存 3 个位元的可复写式非易失性存储器 230 为例,可复写式非易失性存储器 230 的页面包括快速页面、中速页面以及慢速页面。在 3 位元的记忆胞中,快速页面为写入速度最快的页面,中速页面为写入速度次快的页面,慢速页面则为写入速度最慢的页面。

[0091] 在步骤 S405 中,存储器控制器 220 判断发生不可校正错误的页面为快速页面或中速页面或慢速页面。据此,存储器控制器 220 可以针对快速页面、中速页面以及慢速页面三者其中之一来进行阈值电压的调整。

[0092] 在本实施例中,存储器控制器 220 会在发生不可校正错误(例如所发生的错误位元数超过第一预设值,而第一预设值等于或小于存储器控制器 220 的可校正能力)的字元线附近寻找一个空的字元线来进行测试。也就是说,存储器控制器 220 会写入数据至空的字元线,再自此字元线读取出数据,藉以比对写入的数据与读取的数据,进而获得错误位元信息。

[0093] 在此,存储器控制器 220 一次是针对一字元线来写入数据。另外,亦可如先前所述,可以直接将之前写入的数据读出比对(之前写入的数据记录下来),如此则不用寻找空的字元线来进行写入数据的动作。

[0094] 为了方便说明,以下再举一错误位元数的统计示意图来搭配说明。图 5 是根据本发明范例实施例所示的 3 位元记忆胞的储存状态的错误位元数的统计示意图。请参照图 5,在本实施例中,每一个储存状态包括最低有效位元(Least Significant Bit,LSB)、中间有效位元(Center Significant Bit,CSB)以及最高有效位元(Most Significant Bit,MSB)。其中,LSB 对应写入至快速页面,CSB 对应写入至中速页面,MSB 对应写入至慢速页面。3 位元记忆胞包括阈值电压  $V_{gca}$ 、阈值电压  $V_{gcb}$ 、阈值电压  $V_{gcc}$ 、阈值电压  $V_{gcd}$ 、阈值电压  $V_{gce}$ 、阈值电压  $V_{gcf}$ 、阈值电压  $V_{gcg}$ ,藉以区分 8 种储存状态。

[0095] 也就是说,若输入的电压大于阈值电压  $V_{gca}$  并且小于阈值电压  $V_{gcb}$ ,则写入的值为储存状态“110”,若输入的电压小于阈值电压  $V_{gca}$ ,则写入的值为储存状态“111”,据此,阈值电压  $V_{gca}$  是用以区分储存状态“110”与储存状态“111”,其余亦以此类推。

[0096] 在图 5 中,以储存状态“100”(第一储存状态)及储存状态“101”(第二储存状态)为例,阈值电压  $V_{gcc}$  是用以区分其两者。其中,区块 601 代表储存状态“101”误判为储存状态“100”的错误位元数(第二错误位元数),而区块 603 则代表储存状态“100”误判为储存状态“101”的错误位元数(第一错误位元数)。存储器控制器 220 通过上述公式来计算阈值电压  $V_{gcc}$  的补偿电压  $x$ ,再将补偿电压  $x$  加上阈值电压  $V_{gcc}$  来进行调整,使得区块 601 与区块 603 在调整之后能够趋近相等。

[0097] 在此,存储器控制器 220 可以仅对字元线其中一个页面来进行阈值电压的调整。而每一个页面会分别具有其所对应的阈值电压。以 3 位元记忆胞而言,其每一个储存状态包括 LSB、CSB 以及 MSB。其中,LSB 对应写入至快速页面,CSB 对应写入至中速页面,MSB 对

应写入至慢速页面。

[0098] 返回图 4,若存储器控制器 220 判定发生不可校正错误的页面为快速页面,执行步骤 S410,存储器控制器 220 读取快速页面。接着,在步骤 S415 中,存储器控制器 220 会比对所读取的数据与所写入的数据,以找出快速页面的错误位元位置,而获得对应的位元数据。之后,在步骤 S420 中,存储器控制器 220 便依据上述位元数据(1 位元)来统计快速页面的错误位元数。

[0099] 以图 5 为例,当存储器控制器 220 判定快速页面发生不可校正错误时,存储器控制器 220 会去读取快速页面中所记录的数据中的 LSB 来与所写入的数据中的 LSB 进行比对,以判断写入数据的 LSB 在写入可复写式非易失性存储器 230 并且再读取出来时,其是由“0”变为“1”或由“1”变为“0”。据此,存储器控制器 220 便能够统计“0”变为“1”的错误位元数,以及由“1”变为“0”的错误位元数。

[0100] 返回图 4,若存储器控制器 220 判定发生不可校正错误的页面为中速页面,执行步骤 S425,存储器控制器 220 读取中速页面。接着,在步骤 S430 中,存储器控制器 220 会比对所读取的数据与所写入的数据,以找出中速页面的错误位元位置,而获得中速页面的对应的位元数据。之后,在步骤 S435 中,存储器控制器 220 便可依据中速页面的错误位元位置,去读取快速页面中对应的位元数据。然后,在步骤 S440 中,存储器控制器 220 再依据上述所获得的位元数据(2 位元)来统计中速页面的错误位元数。

[0101] 以图 5 为例,当存储器控制器 220 判定中速页面发生不可校正错误时,存储器控制器 220 会去读取中速页面中所记录的数据的 CSB 来与所写入的数据的 CSB 进行比对,而找出错误位元位置。也就是找出写入的数据的 CSB 在写入至可复写式非易失性存储器 230 并且再读取出来时,其是由“0”变为“1”或由“1”变为“0”的位置。之后,存储器控制器 220 会再去读取中速页面发生错误的位置所对应的快速页面中所记录的位元数据,藉以统计中速页面发生错误的位元其储存状态的变化。例如,统计由储存状态“11”变为储存状态“10”的错误位元数,以及统计由储存状态“10”变为储存状态“11”的错误位元数。或者,统计由储存状态“00”变为储存状态“01”的错误位元数,以及统计由储存状态“01”变为储存状态“00”的错误位元数。

[0102] 返回图 4,若存储器控制器 220 判定发生不可校正错误的页面为慢速页面,执行步骤 S445,存储器控制器 220 读取慢速页面。接着,在步骤 S450 中,存储器控制器 220 会比对所读取的数据与所写入的数据,以找出慢速页面的错误位元位置,而获得慢速页面的对应的位元数据。之后,在步骤 S455 中,存储器控制器 220 便可依据慢速页面的错误位元位置,去读取快速页面中对应的位元数据。并且,在步骤 S460 中,存储器控制器 220 依据慢速页面的错误位元位置,去读取中速页面中对应的位元数据。然后,在步骤 S465 中,存储器控制器 220 依据上述所获得的位元数据(3 位元)来统计慢速页面的错误位元数。

[0103] 以图 5 而言,当存储器控制器 220 判定慢速页面发生不可校正错误时,存储器控制器 220 会去读取慢速页面中所记录的数据的 MSB 来与写入的数据的 MSB 进行比对,而找出错误位元位置。之后,存储器控制器 220 会再去读取慢速页面的错误位元位置所对应的快速页面中所记录的位元数据,以及中速页面所记录的位元数据,藉以统计储存状态之间的状态变化。例如,统计由储存状态“111”变为储存状态“110”的错误位元数,以及统计由储存状态“110”变为储存状态“111”的错误位元数,以调整阈值电压  $V_{gca}$ 。或者,统计由储

存状态“100”变为储存状态“101”的错误位元数,以及统计由储存状态“101”变为储存状态“100”的错误位元数,以调整阈值电压  $V_{gcc}$ 。或者,统计由储存状态“001”变为储存状态“000”的错误位元数,以及统计由储存状态“000”变为储存状态“001”的错误位元数,以调整阈值电压  $V_{gce}$ 。或者,统计由储存状态“010”变为储存状态“011”的错误位元数,以及统计由储存状态“011”变为储存状态“010”的错误位元数,以调整阈值电压  $V_{gcg}$ 。

[0104] 返回图 4,在统计出错误位元数之后(步骤 S420、步骤 S440 以及步骤 S465 之后),如步骤 S470 所示,存储器控制器 220 会依据错误位元数来计算补偿电压。另外,为了增加补偿电压的可信度,存储器控制器 220 在统计出错误位元数之后(步骤 S420、步骤 S440 以及步骤 S465 之后),可在错误位元数大于一第二预设值时,才执行步骤 S470。例如,存储器控制器 220 可设定快速页面对应的第二预设值为 20 位元,中速页面对应的第二预设值为 40 位元,而慢速页面对应的第二预设值为 60 位元。然,在此并不以此为限。而存储器控制器 220 会判断统计后的错误位元数是否大于其对应的第二预设值,以在错误位元数大于第二预设值时,才开始执行计算补偿电压的步骤。

[0105] 由于快速页面为最先写入的页面,因此,当快速页面发生不可校正错误时,存储器控制器 220 只要读取快速页面所记录的位元数据,即可藉以计算错误位元数。而中速页面为第二写入的页面,当中速页面发生不可校正错误时,存储器控制器 220 则要读取快速页面以及中速页面两者所记录的位元数据,以计算错误位元数。另外,慢速页面为最后写入的页面,当慢速页面发生不可校正错误时,存储器控制器 220 则要读取快速页面、中速页面以及慢速页面三者所记录的位元数据,以计算错误位元数。

[0106] 藉此,可加速调整阈值电压的速度。以图 5 而言,若慢速页面发生错误(也就是说 MSB 有错),原本需要调整全部的阈值电压(7 个),而通过上述方法,只要调整 4 个阈值电压( $V_{gca}$ 、 $V_{gcc}$ 、 $V_{gce}$ 、 $V_{gcg}$ )即可。若中速页面发生错误,则调整 2 个阈值电压( $V_{gcb}$ 、 $V_{gcf}$ )即可。若快速页面发生错误,只要调整 1 个阈值电压( $V_{gcd}$ )即可。

[0107] 通过上述实施例,可复写式非易失性存储器 230 的每一个页面可分别具有其所对应的一组阈值电压,因而存储器控制器 220 可分别针对每一页面来调整其所对应的阈值电压。据此,可缩小缓冲区尺寸,亦能加快计算错误位元数的速度。另外,可复写式非易失性存储器 230 的全部的字元线亦可以仅具有一组阈值电压,因而存储器控制器 220 可仅调整此一阈值电压。在此并不限制其范围。

[0108] 综上所述,本发明通过统计相邻两个储存状态被误判的错误位元数,而计算出此两储存状态之间的阈值电压的补偿电压,据以适当地补偿阈值电压。据此,可降低读取数据的错误,而达到可更正的错误范围内。并且,更能够延长可复写式非易失性存储器装置的使用寿命。

[0109] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许更动与润饰,故本发明的保护范围当视后附的申请专利范围所界定者为准。

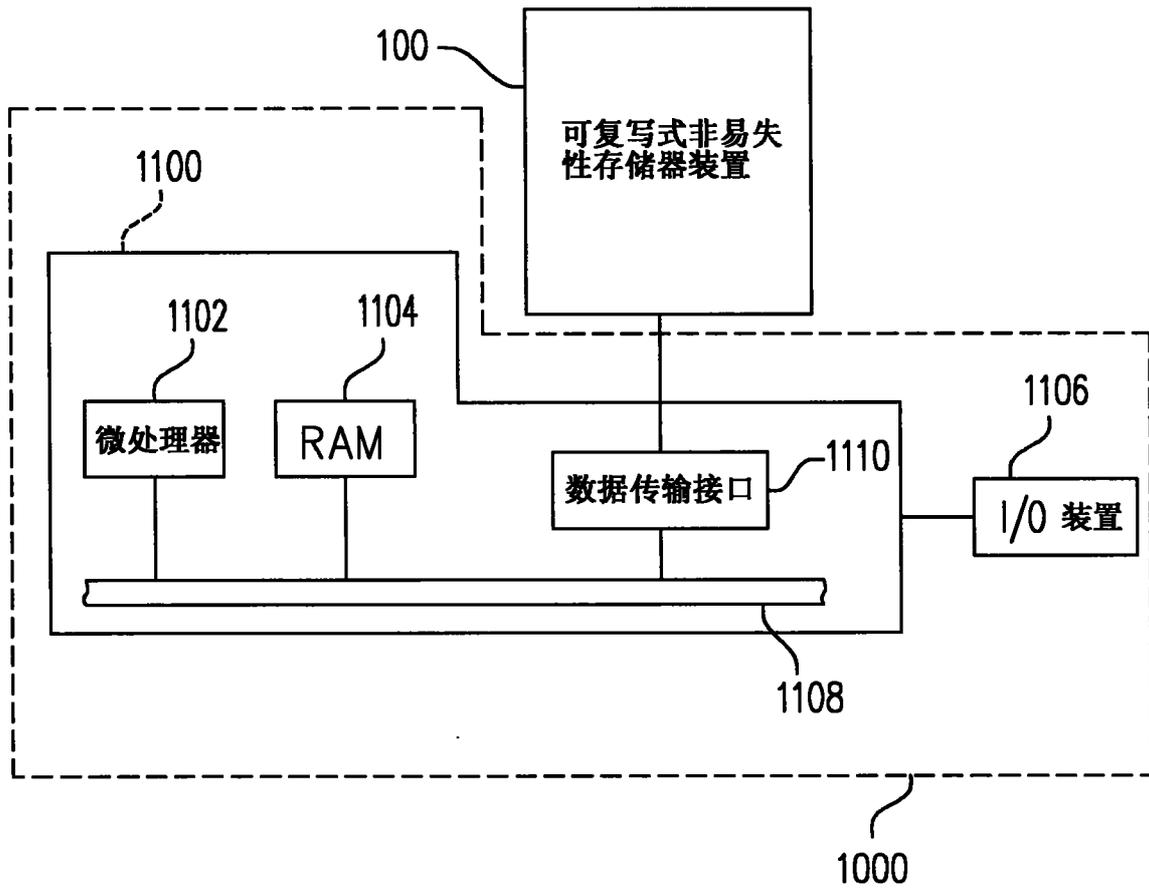


图 1A

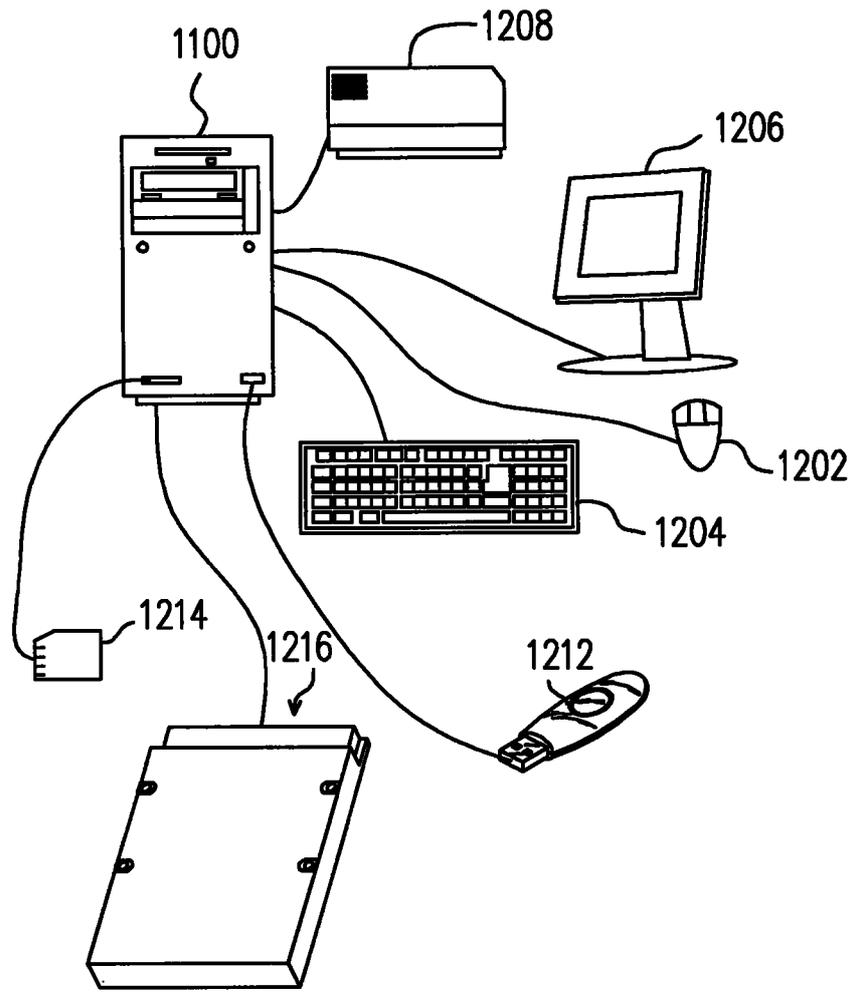


图 1B

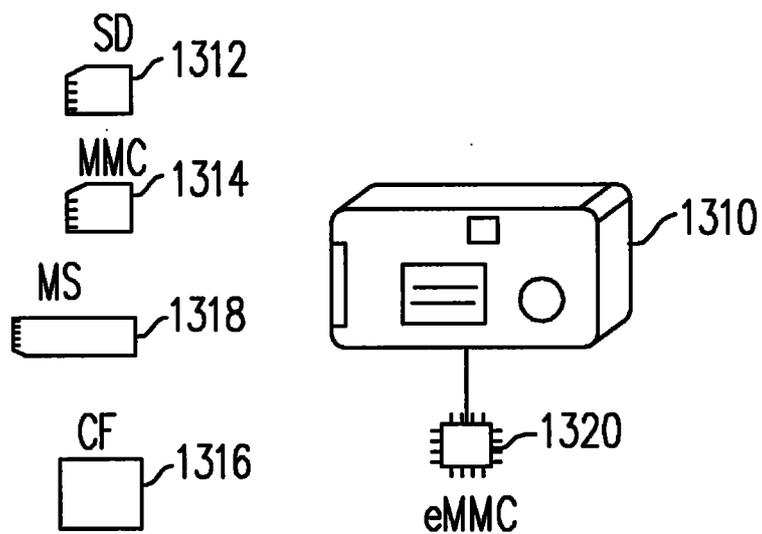


图 1C

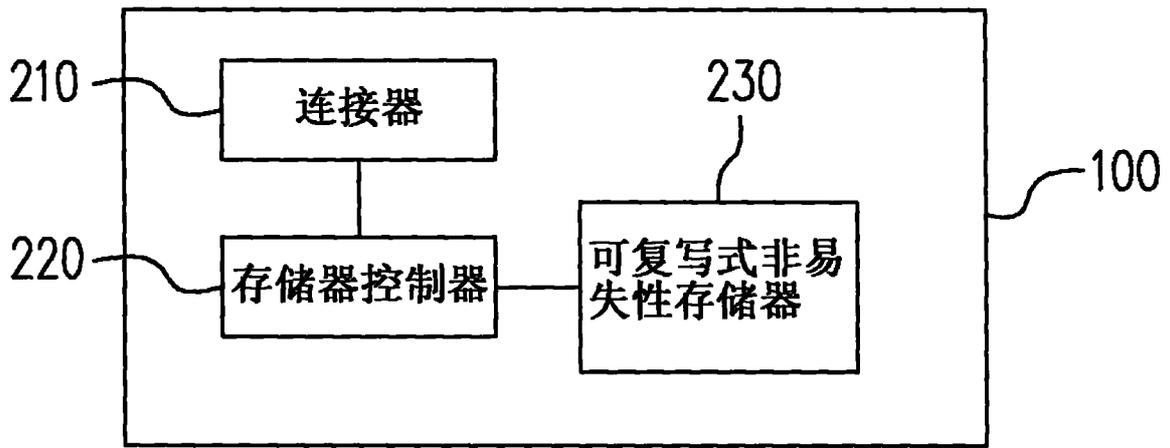


图 2A

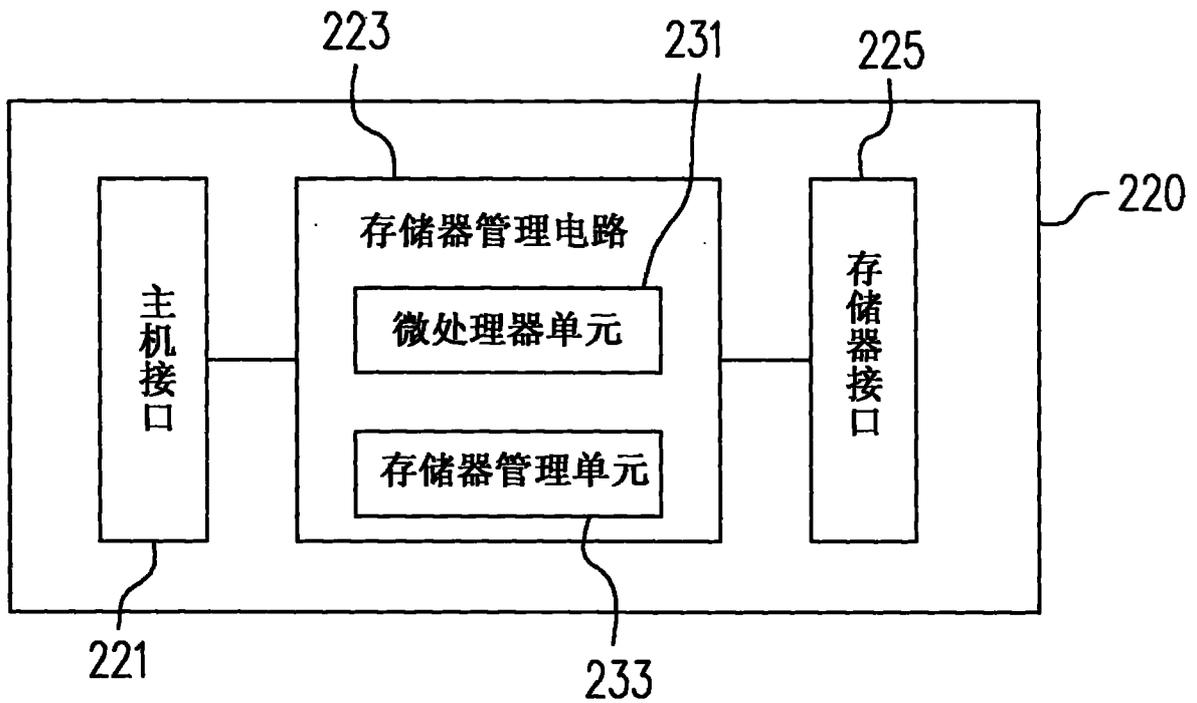


图 2B

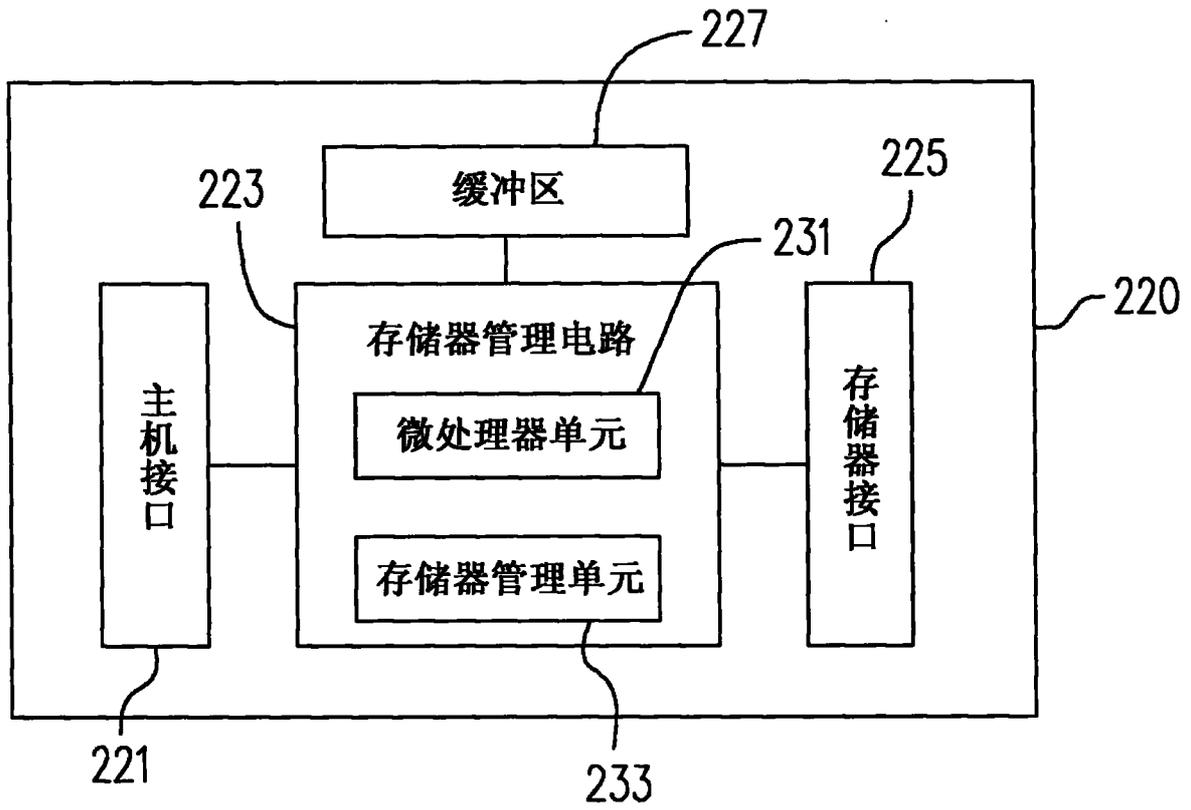


图 2C

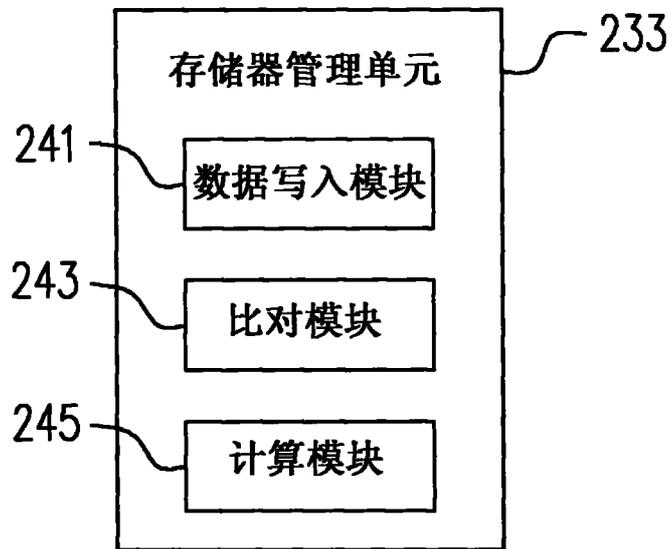


图 2D

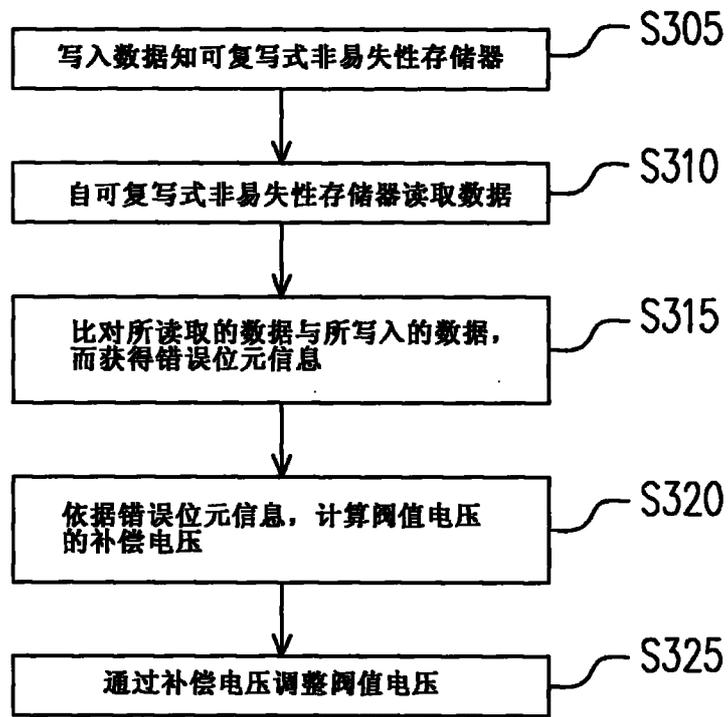


图 3

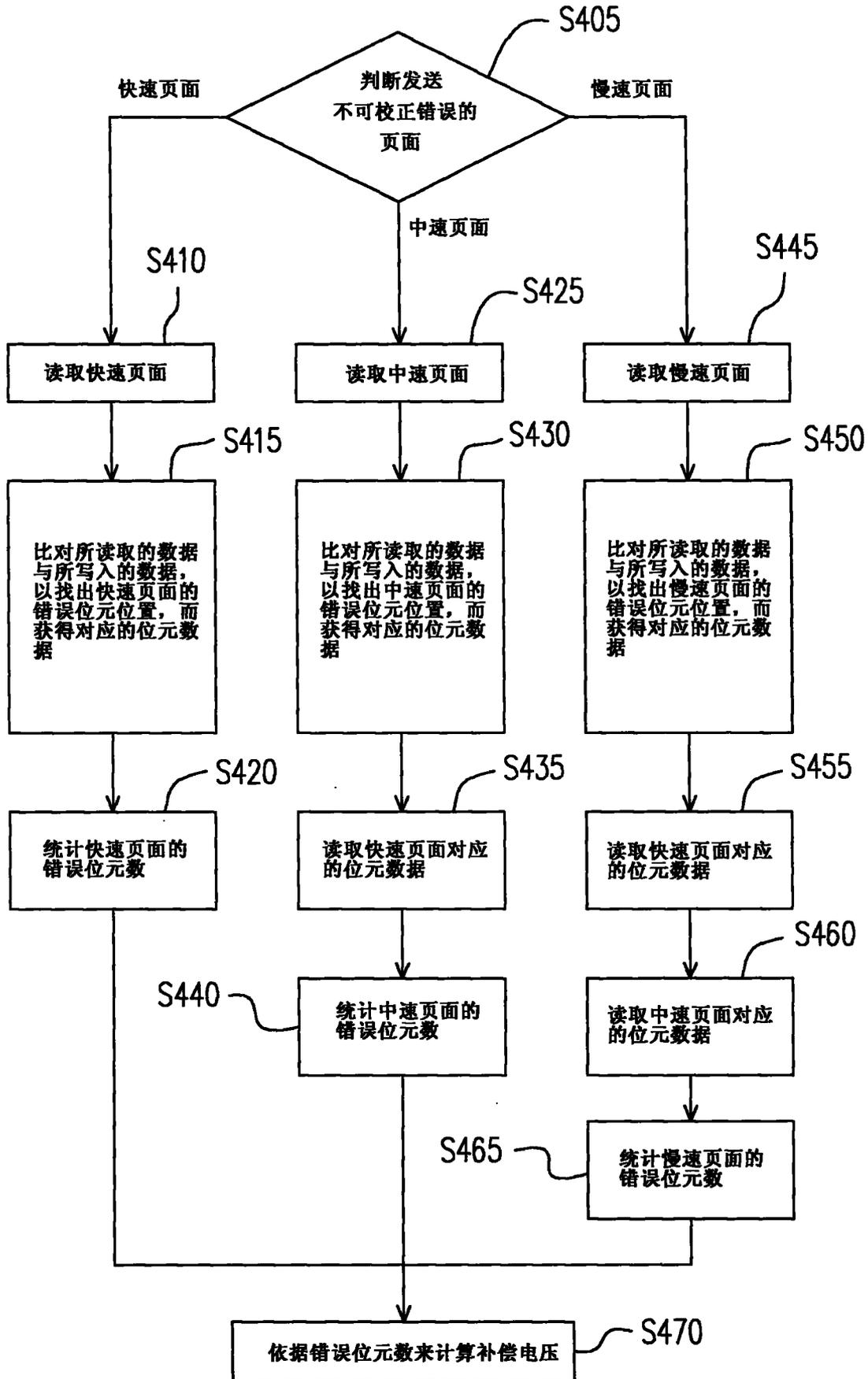


图 4

最低有效位元	1	1	1	1	0	0	0	0
中间有效位元	1	1	0	0	0	0	1	1
最高有效位元	1	0	0	1	1	0	0	1

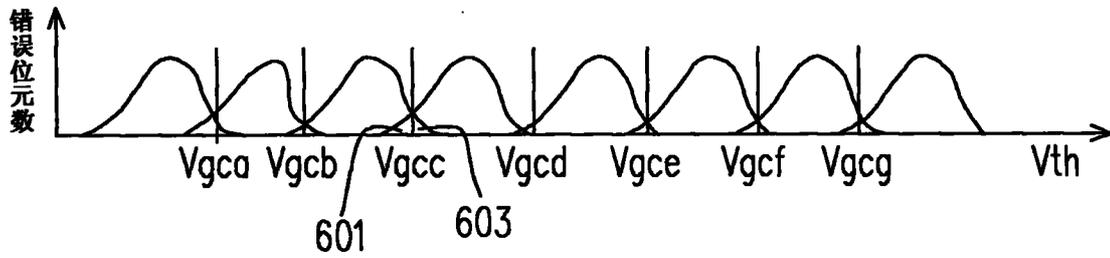


图 5