(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6114808号
(P6114808)

(45)発行日　平成29年4月12日(2017.4.12)　(24)登録日　平成29年3月24日(2017.3.24)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	618B
H01L 21/8234	(2006.01)	H01L	29/78	613Z
H01L 27/06	(2006.01)	H01L	27/06	102A
H01L 27/08	(2006.01)	H01L	27/08	331E
H01L 51/50	(2006.01)	H05B	33/14	A

請求項の数 2　(全 47 頁)　最終頁に続く

(21)出願番号　特願2015-241317(P2015-241317)
(22)出願日　平成27年12月10日(2015.12.10)
(62)分割の表示　特願2014-82518(P2014-82518)の分割
原出願日　平成21年12月15日(2009.12.15)
(65)公開番号　特開2016-96346(P2016-96346A)
(43)公開日　平成28年5月26日(2016.5.26)
審査請求日　平成27年12月11日(2015.12.11)
(31)優先権主張番号　特願2008-327998(P2008-327998)
(32)優先日　平成20年12月24日(2008.12.24)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　坂田　淳一郎
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　丸山　哲紀
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　井本　裕己
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】半導体装置の作製方法

(57)【特許請求の範囲】
【請求項１】
受動素子に用いられる窒素を有する第１の酸化物半導体と、
トランジスタのチャネル形成領域を有する第２の酸化物半導体と、
前記トランジスタ上の酸化シリコンを有する第１の絶縁膜と、
前記第１の絶縁膜上及び前記第１の酸化物半導体上の窒化シリコンを有する第２の絶縁膜と、を有する半導体装置の作製方法であって、
前記第２の絶縁層から前記第１の酸化物半導体に水素を導入することを特徴とする半導体装置の作製方法。
【請求項２】
受動素子に用いられる第１の酸化物半導体と、
トランジスタのチャネル形成領域を有する第２の酸化物半導体と、
前記トランジスタ上の酸化シリコンを有する第１の絶縁膜と、
前記第１の絶縁膜上及び前記第１の酸化物半導体上の窒化シリコンを有する第２の絶縁膜と、を有する半導体装置の作製方法であって、
前記第２の絶縁層から前記第１の酸化物半導体に水素を導入することを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【技術分野】
【０００１】

本発明は半導体特性を示す金属酸化物を用いて形成される素子で構成される駆動回路、及び該駆動回路を利用した半導体装置に関する。なお、半導体装置とは半導体特性を利用することで機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【０００２】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【０００３】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物は化合物半導体の一種である。化合物半導体とは、２種以上の原子がイオン結合により結合してできる半導体である。一般的に、金属酸化物は絶縁体となる。しかし、金属酸化物を構成する元素の組み合わせによっては、静電引力が弱く半導体となることが知られている。

【０００４】

例えば、金属酸化物の中で、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャネル形成領域とする薄膜トランジスタが開示されている（特許文献１乃至４、非特許文献１）。

【０００５】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する$InGaO_3(ZnO)_m$（ｍ：自然数）は公知の材料である（非特許文献２乃至４）。

【０００６】

そして、上記のようなＩｎ－Ｇａ－Ｚｎ系酸化物を薄膜トランジスタのチャネル形成領域として適用可能であることが確認されている（特許文献５、非特許文献５及び６）。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開昭６０－１９８８６１号公報
【特許文献２】特開平８－２６４７９４号公報
【特許文献３】特表平１１－５０５３７７号公報
【特許文献４】特開２０００－１５０９００号公報
【特許文献５】特開２００４－１０３９５７号公報

【非特許文献】

【０００８】

【非特許文献１】M. W. Prins, K. O. Grosse－Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin－film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650－3652
【非特許文献２】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In2O3－Ga2ZnO4－ZnO System at 1350℃」、J. Solid State Chem.、1991、Vol. 93, p. 298－315
【非特許文献３】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single－Crystal Data of Homologous Compounds, In2O3（ZnO）m（m＝3, 4, and 5）, InGaO3（ZnO）3, and Ga2O3（Zn

O）m（m＝7，8，9，and 16）in the In2O3－ZnGa2O4－ZnO System」、J. Solid State Chem.、1995、Vol. 116，p. 170－178
【非特許文献４】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO3（ZnO）m（m：自然数）とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317－327
【非特許文献５】K. Nomura，H. Ohta，K. Ueda，T. Kamiya，M. Hirano，and H. Hosono、「Thin－film transistor fabricated in single－crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269－1272
【非特許文献６】K. Nomura，H. Ohta，A. Takagi，T. Kamiya，M. Hirano，and H. Hosono、「Room－temperature fabrication of transparent flexible thin－film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488－492

【発明の概要】
【発明が解決しようとする課題】
【０００９】
半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を利用した薄膜トランジスタを、アクティブマトリクス型表示装置（液晶ディスプレイ、エレクトロルミネセンスディスプレイ、または電子ペーパー等）へ適用することが検討されている。アクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素と、画素にパルス信号を入力する駆動回路と、を有する。
【００１０】
アクティブマトリクス型表示装置において、薄膜トランジスタは各画素に設けられ、駆動回路からのパルス信号が入力されることによってオン、オフの切り換えを行うスイッチング素子として機能し、映像の表示を可能にしている。また、薄膜トランジスタは駆動回路を構成する素子としても用いられている。
【００１１】
画素部を駆動するための駆動回路は、薄膜トランジスタ、容量素子、抵抗素子といった素子を含んで構成される。
【００１２】
本発明の一態様は、酸化物半導体を用いて作製される能動素子及び受動素子によって構成される論理回路及び当該論理回路を有する半導体装置を提供することを目的の一とする。
【課題を解決するための手段】
【００１３】
本発明の一態様は、エンハンスメント型薄膜トランジスタ及び抵抗素子を有する。薄膜トランジスタ及び抵抗素子は、酸化物半導体層を用いて形成される。さらに、薄膜トランジスタに適用される酸化物半導体層の水素濃度を、抵抗素子に適用される酸化物半導体層の水素濃度よりも低くする。これにより、抵抗素子に適用される酸化物半導体層の抵抗値が、薄膜トランジスタに適用される酸化物半導体層の抵抗値よりも低くなることを特徴とする。
【００１４】
本発明の一態様は、酸化物半導体層を用いて形成された薄膜トランジスタ及び抵抗素子を有し、抵抗素子に適用される酸化物半導体層上には、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法によって形成された窒化シリコン層が直接接するように設けられ、且つ薄膜トランジスタに適用される酸化物

半導体層上には、バリア層として機能する酸化シリコン層を介して、前述した窒化シリコン層が設けられる。そのため、抵抗素子に適用される酸化物半導体層中には、薄膜トランジスタに適用される酸化物半導体層よりも高濃度に水素が導入される。結果として、抵抗素子に適用される酸化物半導体層の抵抗値が、薄膜トランジスタに適用される酸化物半導体層の抵抗値よりも低くなることを特徴とする。

【００１５】

すなわち、本発明の一態様は、第１の酸化物半導体層を抵抗成分に適用した抵抗素子と、第１の酸化物半導体層よりも水素濃度が低い第２の酸化物半導体層をチャネル形成領域に適用した薄膜トランジスタと、第２の酸化物半導体層上に設けられた酸化シリコン層と、第１の酸化物半導体層及び前記酸化シリコン層上に設けられた窒化シリコン層と、を有する論理回路である。

【００１６】

さらに、抵抗素子の抵抗成分及び薄膜トランジスタのチャネル形成領域に適用される酸化物半導体層と、導電体である配線との間に低抵抗化された酸化物半導体層を設ける構成も本発明の一態様である。

【００１７】

すなわち、本発明の一態様は、上記の構成において、抵抗素子の一方の端子又は他方の端子及び前記第１の酸化物半導体層に接する第３の酸化物半導体層と、薄膜トランジスタの第１端子及び第２の酸化物半導体層に接する第４の酸化物半導体層と、薄膜トランジスタの第２端子及び第２の酸化物半導体層に接する第５の酸化物半導体層と、を有し、第３の酸化物半導体層乃至第５の酸化物半導体層が、第２の酸化物半導体層よりも抵抗値が低い論理回路である。

【００１８】

また、本発明の一態様は、高濃度に窒素を含有する酸化物半導体層を用いて形成された抵抗素子及び薄膜トランジスタを有する。さらに、薄膜トランジスタ上には、バリア層として機能する酸化シリコン層が設けられる。この段階で、水素原子の供給源となる物質を含む雰囲気下において２００℃～６００℃の熱処理、代表的には２５０℃～５００℃の熱処理を行う。酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有するため、該熱処理により、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層に、薄膜トランジスタに適用される酸化物半導体層よりも高濃度に水素が導入される。結果として、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層の抵抗値が、薄膜トランジスタに適用される高濃度に窒素を含有する酸化物半導体層の抵抗値よりも低くなる。

【００１９】

すなわち、本発明の一態様は、高濃度に窒素を含有する第１の酸化物半導体層を抵抗成分に適用した抵抗素子と、第１の酸化物半導体層よりも水素濃度が低い、高濃度に窒素を含有した第２の酸化物半導体層をチャネル形成領域に適用した薄膜トランジスタと、を有する論理回路である。

【００２０】

なお、高濃度に窒素を含有する酸化物半導体層とは、酸素（Ｏ）に対する窒素（Ｎ）の割合（Ｎ／Ｏ）が０．０５以上０．８以下の範囲、好ましくは、０．１以上０．５以下となる酸化物半導体層のことをいう。

【００２１】

さらに、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層上に、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法によって形成された窒化シリコン層を、直接接するように設ける構成も本発明の一形態である。

【００２２】

すなわち、本発明の一態様は、上記の構成において、第２の酸化物半導体層上に設けられた酸化シリコン層と、第１の酸化物半導体層及び酸化シリコン層上に設けられた窒化シ

リコン層と、を有する論理回路である。
【００２３】
なお、本書類（明細書、特許請求の範囲又は図面など）において、「膜」とは、基板全面に形成されたものであって、後にフォトリソグラフィ工程等によって所望の形状に加工されるものが、加工前の状態にあるものをいう。そして、「層」とは、「膜」からフォトリソグラフィ工程等により所望の形状に加工、形成されたもの、及び基板全面に形成することを目的としたもののことをいう。
【００２４】
また、本書類（明細書、特許請求の範囲又は図面など）において、ＡとＢとが接続されている、とは、ＡとＢとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間に何らかの電気的作用を有する対象物が存在するとき、対象物を介してＡとＢとが概ね同一ノードとなる場合を表すものとする。
【００２５】
具体的には、トランジスタのようなスイッチング素子を介してＡとＢとが接続され、該スイッチング素子の導通によって、ＡとＢとが概ね同電位となる場合や、抵抗素子を介してＡとＢとが接続され、該抵抗素子の両端に発生する電位差が、ＡとＢとを含む回路の動作に影響しない程度となっている場合など、回路動作を考えた場合、ＡとＢとが同一ノードとして捉えて差し支えない状態である場合を表す。
【００２６】
なお、薄膜トランジスタのソース端子及びドレイン端子は、薄膜トランジスタの構造や動作条件等によって替わるため、いずれがソース端子又はドレイン端子であるかを特定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース端子及びドレイン端子の一方を第１端子、ソース端子及びドレイン端子の他方を第２端子と表記し、区別することとする。
【発明の効果】
【００２７】
本発明の一態様によれば、抵抗素子の抵抗成分に適用される酸化物半導体層の水素濃度を、薄膜トランジスタのチャネル形成領域に適用される酸化物半導体層の水素濃度よりも高くすることができる。そのため、酸化物半導体層の抵抗値を選択的に低下させることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製プロセスが低減された論理回路、及び該論理回路を具備する半導体装置を提供することができる。
【図面の簡単な説明】
【００２８】
【図１】半導体装置の一構成例を示す図である。
【図２】駆動回路の一構成例を示すブロック図である。
【図３】（Ａ）、（Ｂ）駆動回路の一構成例を示す回路図である。
【図４】駆動回路のタイミングチャートの一例を示す図である。
【図５】駆動回路の一構成例を示す回路図である。
【図６】駆動回路の一構成例を示す回路図である。
【図７】駆動回路の一構成例を示すブロック図である。
【図８】駆動回路の一構成例を示すレイアウト図である。
【図９】駆動回路の一構成例を示すレイアウト図である。
【図１０】駆動回路の一構成例を示すレイアウト図である。
【図１１】（Ａ）～（Ｃ）駆動回路の一構成例を示す図である。
【図１２】（Ａ）、（Ｂ）駆動回路の一構成例を示す図である。
【図１３】（Ａ）、（Ｂ）駆動回路の一構成例を示す図である。
【図１４】（Ａ）、（Ｂ）駆動回路の一構成例を示す図である。
【図１５】（Ａ）～（Ｃ）駆動回路の作製工程の一例を示す図である。

【図１６】（Ａ）～（Ｃ）駆動回路の作製工程の一例を示す図である。
【図１７】駆動回路の一構成例を示す図である。
【図１８】（Ａ）～（Ｃ）駆動回路の作製工程の一例を示す図である。
【図１９】（Ａ）、（Ｂ）駆動回路の作製工程の一例を示す図である。
【図２０】（Ａ）、（Ｂ）駆動回路の一構成例を示す回路図、（Ｃ）駆動回路のタイミングチャートの一例を示す図である。
【図２１】半導体装置の一構成例を示す図である。
【図２２】保護回路の一構成例を示す回路図である。
【図２３】半導体装置の画素の一構成例を示す回路図である。
【図２４】半導体装置の一構成例を示す図である。
【図２５】半導体装置の一構成例を示す図である。
【図２６】半導体装置の一構成例を示す図である。
【図２７】半導体装置の一例を示す図である。
【図２８】半導体装置の一例を示す図である。
【発明を実施するための形態】
【００２９】
以下に開示される発明の実施の形態について図面を用いて例示する。但し、開示される発明は以下の実施の形態に限定されず、その発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に例示する実施の形態において、同じものを指す符号は異なる図面間で共通して用いる場合がある。
【００３０】
（実施の形態１）
本実施の形態では、図１乃至図１６を用いて、酸化物半導体を用いて作製した駆動回路を具備する表示装置の一例について説明する。具体的には、表示装置の画素部を駆動するための駆動回路であるソース線駆動回路及びゲート線駆動回路の一例として、エンハンスメント型薄膜トランジスタと抵抗素子を組み合わせて形成されるインバータ（以下、ＥＲＭＯＳ回路という）を有する駆動回路について説明する。なお、本実施の形態では単極性の駆動回路を構成する薄膜トランジスタとして、ｎチャネル型の薄膜トランジスタを適用した例について示す。
【００３１】
なお、表示装置とは、発光素子または液晶素子等の表示素子を有する装置のことを言う。表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。また、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成される。また、表示装置は、フレキシブルプリント基板（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔ　Ｃｉｒｃｕｉｔ：ＦＰＣ）を含んでもよい。さらに、表示装置は、フレキシブルプリント基板（ＦＰＣ）などを介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（ＰＷＢ）を含んでいても良い。さらに、表示装置は、偏光板または位相差板などの光学シート、照明装置、筐体、音声入出力装置、又は光センサなどを含んでいても良い。
【００３２】
図１には、表示装置の全体図について示している。基板１００上に、ソース線駆動回路１０１、第１のゲート線駆動回路１０２Ａ、第２のゲート線駆動回路１０２Ｂ、および画素部１０３を一体形成している。画素部１０３において、点線枠１１０で囲まれた部分が１画素である。図１の例では、ゲート線駆動回路として、第１のゲート線駆動回路１０２Ａ、第２のゲート線駆動回路１０２Ｂを示したが、いずれか一方のみであってもよい。また、表示装置の画素では、薄膜トランジスタによって表示素子の制御を行っている。ソース線駆動回路１０１、第１のゲート線駆動回路１０２Ａ、第２のゲート線駆動回路１０２Ｂを駆動する信号（クロック信号、スタートパルス等）は、フレキシブルプリント基板（

Ｆｌｅｘｉｂｌｅ Ｐｒｉｎｔ Ｃｉｒｃｕｉｔ：ＦＰＣ）１０４Ａ、１０４Ｂを介して、外部より入力される。

【００３３】

画素部を駆動するためのソース線駆動回路、ゲート線駆動回路は、薄膜トランジスタ、容量素子、抵抗素子などによって構成されるインバータ回路などの論理回路を有する。を用いて構成する。単極性の薄膜トランジスタを用いてインバータ回路を形成する場合、エンハンスメント型薄膜トランジスタ及びデプレッション型薄膜トランジスタを組み合わせて形成する場合（以下、ＥＤＭＯＳ回路という）と、エンハンスメント型薄膜トランジスタ同士で形成する場合（以下、ＥＥＭＯＳ回路という）と、ＥＲＭＯＳ回路と、がある。なお、ｎチャネル型薄膜トランジスタのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、ｎチャネル型薄膜トランジスタのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【００３４】

画素部に設ける薄膜トランジスタとして、しきい値電圧が正であるエンハンスメント型トランジスタを適用すると、ゲート端子とソース端子の間にかかる電圧によって流れる電流を、デプレッション型トランジスタより小さくすることができ、低消費電力化を図ることができる。また、画素部を駆動するための駆動回路に利用される薄膜トランジスタとして、画素部と同じエンハンスメント型の薄膜トランジスタを用いることが好ましい。インバータ回路の薄膜トランジスタとしてエンハンスメント型の薄膜トランジスタを用いることにより、画素部及び駆動回路を作製する際のトランジスタの種類が一種類となるため、作製工程を低減することができる。なお、エンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧が－２０Ｖから２０Ｖにおいて、オンオフ比が10^9以上であるため、ソース端子及びドレイン端子間のリーク電流が少なく、低消費電力駆動を実現することができる。

【００３５】

なお、本書類（明細書、特許請求の範囲又は図面など）中で用いる酸化物半導体は、$InMO_3(ZnO)_m$（ｍ＞０）で表記される薄膜を形成し、その薄膜を利用して半導体素子を作製する。なお、Ｍは、ガリウム（Ｇａ）、鉄（Ｆｅ）、ニッケル（Ｎｉ）、マンガン（Ｍｎ）及びコバルト（Ｃｏ）から選ばれた一の金属元素又は複数の金属元素を示す。例えばＭとして、ガリウム（Ｇａ）の場合があることの他、ガリウム（Ｇａ）とニッケル（Ｎｉ）又はガリウム（Ｇａ）と鉄（Ｆｅ）など、ガリウム（Ｇａ）以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Ｍとして含まれる金属元素の他に、不純物元素として鉄（Ｆｅ）、ニッケル（Ｎｉ）その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。加えて、上記酸化物半導体中に含まれるナトリウム（Ｎａ）は、5×10^{18}（ａｔｏｍｓ／ｃｍ^3）以下、好ましくは1×10^{18}（ａｔｏｍｓ／ｃｍ^3）以下であるものとする。本書類（明細書、特許請求の範囲又は図面など）中においてはこの薄膜をＩｎ－Ｇａ－Ｚｎ－Ｏ系非単結晶膜とも呼ぶ。

【００３６】

誘導結合プラズマ質量分析法（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ：ＩＣＰ－ＭＳ分析法）による代表的な測定例を表１に示す。モル数比をIn_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１としたターゲット（Ｉｎ：Ｇａ：Ｚｎ＝１：１：０．５）を用い、圧力０．４Ｐａ、直流（ＤＣ）電源５００Ｗ、アルゴンガス流量を１０ｓｃｃｍ、酸素を５ｓｃｃｍとした条件１で得られる酸化物半導体膜は、$InGa_{0.94}Zn_{0.40}O_{3.31}$である。また、前述の条件から成膜雰囲気条件のみをアルゴンガス流量４０ｓｃｃｍ、酸素を０ｓｃｃｍと変更した条件２で得られる酸化物半導体膜は、$InGa_{0.95}Zn_{0.41}O_{3.33}$である。

【００３７】

【表１】

流量比	組成(atomic%)				組成式
Ar/O_2	In	Ga	Zn	O	
10/5	17.7	16.7	7	58.6	$InGa_{0.94}Zn_{0.40}O_{3.31}$
40/0	17.6	16.7	7.2	58.6	$InGa_{0.95}Zn_{0.41}O_{3.33}$

【００３８】

また、測定方法をラザフォード後方散乱分析法（Ｒｕｔｈｅｒｆｏｒｄ　Ｂａｃｋｓｃａｔｔｅｒｉｎｇ　Ｓｐｅｃｔｒｏｍｅｔｒｙ：ＲＢＳ分析法）に変えて定量化した結果を表２に示す。

【００３９】

【表２】

流量比	組成(atomic%)					組成式
Ar/O_2	In	Ga	Zn	O	Ar	
10/5	16	14.7	7.2	61.7	0.4	$InGa_{0.92}Zn_{0.45}O_{3.86}$
40/0	17	15.8	7.5	59.4	0.3	$InGa_{0.93}Zn_{0.44}O_{3.49}$

【００４０】

条件１の試料をＲＢＳ分析で測定した結果、酸化物半導体膜は、$InGa_{0.92}Zn_{0.45}O_{3.86}$である。また、条件２の試料をＲＢＳ分析で測定した結果、酸化物半導体膜は、$InGa_{0.93}Zn_{0.44}O_{3.49}$である。

【００４１】

Ｉｎ－Ｇａ－Ｚｎ－Ｏ系非単結晶膜の結晶構造は、スパッタ法で成膜した後、２００℃～５００℃、代表的には３００～４００℃で１０分～１００分の熱処理を行っても、アモルファス構造がＸＲＤ（Ｘ線回折）の分析では観察される。また、薄膜トランジスタの電気特性もゲート電圧が－２０Ｖから２０Ｖにおいて、オンオフ比が10^9以上、移動度が１０以上のものを作製することができる。このような電気特性を有する酸化物半導体層を用いて作製した薄膜トランジスタは、アモルファスシリコンを用いて作製した薄膜トランジスタに比べ高い移動度を有し、シフトレジスタで構成される駆動回路を高速駆動させることができる。

【００４２】

次にＥＲＭＯＳ回路を用いたゲート線駆動回路及びソース線駆動回路の回路図について一例を示し、説明する。

【００４３】

まず、インバータ回路としてＥＲＭＯＳ回路を用いたソース線駆動回路の構成について説明を行う。

【００４４】

図２は、図１に示した表示装置におけるソース線駆動回路１０１の構成を示した図である。ソース線駆動回路は、クロック信号用レベルシフタ２０１、スタートパルス用レベルシフタ２０２、シフトレジスタ２５１を構成するパルス出力回路２０３、ＮＡＮＤ回路２０４、バッファ２０５、サンプリングスイッチ２０６を有しており、外部より入力される信号は、第１のクロック信号（ＣＬＫ１）、第２のクロック信号（ＣＬＫ２）、スタートパルス（ＳＰ）、アナログ映像信号（Ｖｉｄｅｏ）である。この中で、第１のクロック信号（ＣＬＫ１）、第２のクロック信号（ＣＬＫ２）、およびスタートパルス（ＳＰ）に関しては、外部から低電圧振幅の信号として入力された直後、レベルシフタ２０１または２０２によって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。

【００４５】

また、本実施の形態の表示装置におけるソース線駆動回路は、シフトレジスタ中の１段のパルス出力回路より出力されるサンプリングパルスが、サンプリングスイッチ２０６を駆動することによって、ソース信号線１２列分のアナログ映像信号を同時にサンプリングしているものを説明する。なお、他にも走査方向を切り替えるための走査方向切り替え信号等を入力する構成としても良い。また本実施の形態では、クロック信号として第１のクロック信号（ＣＬＫ１）、第２のクロック信号（ＣＬＫ２）の２相のクロック信号により駆動する例を示すが、２相以外のクロック信号の入力により駆動回路を駆動する構成としてもよい。

【００４６】

図３（Ａ）、（Ｂ）に、シフトレジスタ２５１が有する複数のパルス出力回路２０３の構成を示す。パルス出力回路３００は、スタートパルスＳＰが入力される端子に接続された第１のスイッチ３０１と、第１のスイッチ３０１を介して入力される信号を反転して出力する第１のインバータ回路３０２と、第１のインバータ回路３０２から出力された信号を反転して出力する第２のインバータ回路３０３及び第３のインバータ回路３０５と、第２のインバータ回路３０３から出力された信号が入力される端子に接続された第２のスイッチ３０４と、で構成される。

【００４７】

図３（Ａ）に示した回路図において、点線で示したブロックが１段分のサンプリングパルスを出力するパルス出力回路３５０であり、図３（Ａ）のシフトレジスタは、Ｎ段（Ｎは自然数）のパルス出力回路によって構成されている。Ｎ段のパルス出力回路からは、それぞれの第３のインバータ回路３０５の出力端子より、出力信号ｏｕｔ１乃至ｏｕｔＮが出力される。なお、上記説明した１段目の次段のパルス出力回路では、第１のスイッチ３０１と第２のスイッチ３０４との間で、入力される第１のクロック信号と第２のクロック信号とを入力する配線が切り替わって接続される。以下３段目以降、交互に第１のクロック信号と第２のクロック信号とを入力する配線が、第１のスイッチ３０１と第２のスイッチ３０４との間に交互に切り替わって接続される。

【００４８】

図３（Ｂ）は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路本体は、薄膜トランジスタ３５１、３５３、３５５、３５６、３５８、及び抵抗素子３５２、３５４、３５７を有する。また奇数段目のパルス出力回路３３１及び偶数段目のパルス出力回路３３２は、第１のクロック信号（ＣＬＫ１）を供給するための配線３５９、及び第２のクロック信号（ＣＬＫ２）を供給するための配線３６０に接続されている。以下に、１段目のパルス出力回路３３１を例に挙げ、半導体素子の具体的な接続関係について述べる。

【００４９】

薄膜トランジスタ３５１の第１端子は、スタートパルスＳＰが入力される端子に接続され、ゲート端子は、配線３５９に接続される。

【００５０】

抵抗素子３５２の一方の端子は、高電源電位ＶＤＤが供給される配線（高電源電位線ともいう）に接続される。

【００５１】

薄膜トランジスタ３５３の第１端子は、抵抗素子３５２の他方の端子に接続され、ゲート端子は、薄膜トランジスタ３５１の第２端子に接続され、第２端子は、低電源電位ＶＳＳが供給される配線（低電源電位線ともいう）に接続される。

【００５２】

抵抗素子３５４の一方の端子は、高電源電位線に接続される。

【００５３】

薄膜トランジスタ３５５の第１端子は、抵抗素子３５４の他方の端子に接続され、ゲート端子は抵抗素子３５２の他方の端子及び薄膜トランジスタ３５３の第１端子に接続され、第２端子は、低電源電位線に接続される。

【００５４】
薄膜トランジスタ３５６の第１端子は、抵抗素子３５４の他方の端子及び薄膜トランジスタ３５５の第１端子に接続され、ゲート端子は、配線３６０に接続され、第２端子は、薄膜トランジスタ３５１の第２端子及び薄膜トランジスタ３５３のゲート端子に接続される。
【００５５】
抵抗素子３５７の一方の端子は、高電源電位線に接続され、他方の端子は、２段目のパルス出力回路３３２における薄膜トランジスタ３５１の第１端子に接続される。
【００５６】
薄膜トランジスタ３５８の第１端子は、抵抗素子３５７の他方の端子及び２段目のパルス出力回路３３２における薄膜トランジスタ３５１の第１端子に接続され、ゲート端子は、抵抗素子３５２の他方の端子、薄膜トランジスタ３５３の第１端子、及び薄膜トランジスタ３５５のゲート端子に接続され、第２端子は低電源電位線に接続される。
【００５７】
２段目のパルス出力回路も１段目のパルス出力回路と配線３５９と配線３６０の接続が逆になる点を除いて同じ構成となる。３段目以降の奇数段目のパルス出力回路３３１及び偶数段目のパルス出力回路３３２もこれに準じて順次接続される。
【００５８】
図３（Ｂ）において、薄膜トランジスタ３５１は、図３（Ａ）で示した第１のスイッチ３０１に相当する。抵抗素子３５２及び薄膜トランジスタ３５３は、図３（Ａ）で示した第１のインバータ回路３０２に相当し、第１のインバータ回路３０２はＥＲＭＯＳ回路である。抵抗素子３５４及び薄膜トランジスタ３５５は、図３（Ａ）で示した第２のインバータ回路３０３に相当し、第２のインバータ回路３０３はＥＲＭＯＳ回路である。薄膜トランジスタ３５６は、図３（Ａ）で示した第２のスイッチ３０４に相当する。抵抗素子３５７及び薄膜トランジスタ３５８は、図３（Ａ）で示した第３のインバータ回路３０５に相当し、第３のインバータ回路３０５はＥＲＭＯＳ回路である。
【００５９】
なお、薄膜トランジスタ３５１、３５６は、薄膜トランジスタ３５３、３５５、３５８と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製工程を低減させることができる。
【００６０】
ここで、図４に示すタイミングチャートを参照し、図３（Ａ）、（Ｂ）で示した回路の回路動作について説明する。なお、図４では説明のため、図３（Ｂ）で示す回路でのノードとして１段目のパルス出力回路において、薄膜トランジスタ３５１の第２端子をノードＡ（図３（Ｂ）及び図４中、Ａと示す）、抵抗素子３５２の他方の端子をノードＢ（図３（Ｂ）及び図４中、Ｂと示す）、抵抗素子３５４の他方の端子をノードＣ（図３（Ｂ）及び図４中、Ｃと示す）、抵抗素子３５７の他方の端子をノードｏｕｔ１（図３（Ｂ）及び図４中、ｏｕｔ１と示す）とする。
【００６１】
また、図３（Ｂ）で示す回路でのノードとして２段目のパルス出力回路において、薄膜トランジスタ３５１の第２端子をノードＤ（図３（Ｂ）及び図４中、Ｄと示す）、抵抗素子３５２の他方の端子をノードＥ（図３（Ｂ）及び図４中、Ｅと示す）、抵抗素子３５４の他方の端子をノードＦ（図３（Ｂ）及び図４中、Ｆと示す）、抵抗素子３５７の他方の端子をノードｏｕｔ２（図３（Ｂ）及び図４中、ｏｕｔ２と示す）とする。また図３（Ｂ）で示す回路でのノードとして３段目のパルス出力回路において、薄膜トランジスタ３５１の第２端子をノードＧ（図３（Ｂ）及び図４中、Ｇと示す）とする。
【００６２】
図４中、期間Ｔ１で、スタートパルスＳＰがＨレベル、第１のクロック信号（ＣＬＫ１

）がＨレベル、第２のクロック信号（ＣＬＫ２）がＬレベルの際の動作について説明する。

【００６３】

第１のクロック信号（ＣＬＫ１）がＨレベルになることで、１段目のパルス出力回路の薄膜トランジスタ３５１がオン状態となる。

【００６４】

そして、スタートパルスの電圧レベルであるＨレベルが、ノードＡの電圧レベルをＨレベルに上昇させる。

【００６５】

そして、ノードＡの電圧レベルがＨレベルに上昇することにより、１段目のパルス出力回路の薄膜トランジスタ３５３がオン状態になる。

【００６６】

そして、低電源電位の電圧レベルであるＬレベルが、ノードＢの電圧レベルをＬレベルに下降させる。

【００６７】

そして、ノードＢの電圧レベルがＬレベルに下降することにより、１段目のパルス出力回路の薄膜トランジスタ３５５及び薄膜トランジスタ３５８がオフ状態となる。

【００６８】

そして、１段目のパルス出力回路の薄膜トランジスタ３５５がオフ状態になることにより、高電源電位の電圧レベルであるＨレベルが、ノードＣの電圧レベルをＨレベルに上昇させる。また、１段目のパルス出力回路の薄膜トランジスタ３５８がオフ状態になることにより、高電源電位の電圧レベルであるＨレベルが、ノードｏｕｔ１の電圧レベルをＨレベルに上昇させる。

【００６９】

なお、第２のクロック信号（ＣＬＫ２）は、Ｌレベルであるため、１段目のパルス出力回路の薄膜トランジスタ３５６及び２段目のパルス出力回路の薄膜トランジスタ３５１はオフ状態となる。

【００７０】

次に図４中、期間Ｔ２で、スタートパルスＳＰがＬレベル、第１のクロック信号（ＣＬＫ１）がＬレベル、第２のクロック信号がＨレベルの際の動作について説明する。

【００７１】

第１のクロック信号がＬレベルになることで、１段目のパルス出力回路の薄膜トランジスタ３５１がオフ状態となる。一方、第２のクロック信号（ＣＬＫ２）は、Ｈレベルであるため、１段目のパルス出力回路の薄膜トランジスタ３５６はオン状態となる。そのため、期間Ｔ１でＨレベルにあったノードＣの電圧レベルにより、ノードＡの電圧レベルがＨレベルを保持することとなる。

【００７２】

そして、１段目のパルス出力回路の各ノードは、期間Ｔ１と同じレベルを保持することとなる。

【００７３】

一方、第２のクロック信号（ＣＬＫ２）がＨレベルになることで、２段目のパルス出力回路の薄膜トランジスタ３５１がオン状態となる。

【００７４】

そして、ノードｏｕｔ１の電圧レベルであるＨレベルが、ノードＤの電圧レベルをＨレベルに上昇させる。

【００７５】

そして、ノードＤの電圧レベルがＨレベルに上昇することにより、２段目のパルス出力回路の薄膜トランジスタ３５３がオン状態になる。

【００７６】

そして、低電源電位の電圧レベルであるＬレベルが、ノードＥの電圧レベルをＬレベル

に下降させる。
【００７７】
そして、ノードＥの電圧レベルがＬレベルに下降することにより、２段目のパルス出力回路の薄膜トランジスタ３５５及び２段目のパルス出力回路の薄膜トランジスタ３５８がオフ状態となる。
【００７８】
そして、２段目のパルス出力回路の薄膜トランジスタ３５５がオフ状態になることにより、高電源電位の電圧レベルであるＨレベルが、ノードＦの電圧レベルをＨレベルに上昇させる。また、２段目のパルス出力回路の薄膜トランジスタ３５８がオフ状態となることにより、高電源電位の電圧レベルであるＨレベルが、ノードｏｕｔ２の電圧レベルをＨレベルに上昇させる。
【００７９】
なお、第１のクロック信号（ＣＬＫ１）は、Ｌレベルであるため、２段目のパルス出力回路の薄膜トランジスタ３５６及び３段目のパルス出力回路の薄膜トランジスタ３５１はオフ状態となる。
【００８０】
次に図４中、期間Ｔ３で、スタートパルスＳＰがＬレベル、第１のクロック信号（ＣＬＫ１）がＨレベル、第２のクロック信号がＬレベルの際の動作について説明する。
【００８１】
第１のクロック信号がＨレベルになることで、１段目のパルス出力回路の薄膜トランジスタ３５１がオン状態となる。一方、第２のクロック信号（ＣＬＫ２）は、Ｌレベルであるため、１段目のパルス出力回路の薄膜トランジスタ３５６はオフ状態となる。そのため、ノードＡの電圧レベルがＬレベルに下降することとなる。
【００８２】
そして、ノードＡの電圧レベルがＬレベルに下降することにより、１段目のパルス出力回路の薄膜トランジスタ３５３がオフ状態になる。
【００８３】
そして、高電源電位の電圧レベルであるＨレベルが、ノードＢの電圧レベルをＨレベルに上昇させる。
【００８４】
そして、ノードＢの電圧レベルがＨレベルに上昇することにより、１段目のパルス出力回路の薄膜トランジスタ３５５及び１段目のパルス出力回路の薄膜トランジスタ３５８がオン状態となる。
【００８５】
そして、１段目のパルス出力回路の薄膜トランジスタ３５５がオン状態になることにより、低電源電位の電圧レベルであるＬレベルが、ノードＣの電圧レベルをＬレベルに下降させ、１段目のパルス出力回路の薄膜トランジスタ３５８がオン状態になることにより、低電源電位の電圧レベルであるＬレベルが、ノードｏｕｔ１の電圧レベルをＬレベルに下降させる。
【００８６】
なお、第２のクロック信号（ＣＬＫ２）は、Ｌレベルであるため、１段目のパルス出力回路の薄膜トランジスタ３５６はオフ状態となる。
【００８７】
また、期間Ｔ２での１段目のパルス出力回路と同様に、第２のクロック信号がＬレベルになることで、２段目のパルス出力回路の薄膜トランジスタ３５１がオフ状態となる。一方、第１のクロック信号（ＣＬＫ１）は、Ｈレベルであるため、２段目のパルス出力回路の薄膜トランジスタ３５６はオン状態となる。そのため、期間Ｔ２でＨレベルにあったノードＦの電圧レベルにより、ノードＤの電圧レベルがＨレベルを保持することとなる。
【００８８】
そして、２段目のパルス出力回路の各ノードは、期間Ｔ２と同じレベルを保持すること

となる。

【００８９】

一方、第１のクロック信号（ＣＬＫ１）がＨレベルになることで、３段目のパルス出力回路の薄膜トランジスタ３５１がオン状態となる。

【００９０】

そして、ノードｏｕｔ２の電圧レベルであるＨレベルが、ノードＧの電圧レベルをＨレベルに上昇させる。

【００９１】

そして、ノードＧの電圧レベルがＨレベルに上昇することにより、３段目のパルス出力回路の薄膜トランジスタ３５３がオン状態になる。

【００９２】

以下、順次トランジスタのオン、オフが制御されることにより、シフトレジスタとして駆動することができる。

【００９３】

なお、図３（Ａ）、（Ｂ）で説明したパルス出力回路において、ノードＡとノードＣとの間に薄膜トランジスタ３５６（第２のスイッチ３０４）が設けられた構成について示している。これは、抵抗素子３５４によりノードＣの電圧レベルが高電圧電位ＶＤＤから電圧降下することを考慮したためである。薄膜トランジスタ３５６（第２のスイッチ３０４）によって、ノードＡとノードＣとの接続を切り離して駆動することによって、ノードＡの電位による薄膜トランジスタ３５３の駆動能力を高めることができるため好適である。なお、薄膜トランジスタ３５６（第２のスイッチ３０４）を設けない構成としても、本実施の形態の回路は駆動し得る。

【００９４】

また、ソース線駆動回路の構成では、各パルス出力回路から出力される信号の否定論理積（ＮＡＮＤ）をとって、各ソース線を駆動するための信号を生成している。そのため、ソース線駆動回路においては、ソース線の数より多いパルス出力回路を設けておいて、ソース線に出力するための信号を生成する構成とすることが好ましい。

【００９５】

図５（Ａ）は、図２で示したクロック信号用レベルシフタ２０１の構成例を示している。なお、図５（Ａ）には第１のクロック信号（ＣＬＫ１）用レベルシフタ及び第２のクロック信号（ＣＬＫ２）用レベルシフタの構成は同じであるため、第１のクロック信号（ＣＬＫ１）用レベルシフタのみを示している。図５（Ａ）では、第１のクロック信号（ＣＬＫ１）がＥＲＭＯＳ回路によって振幅変換され（Ｓｔａｇｅ１）、以後にバッファ段（Ｓｔａｇｅ２、Ｓｔａｇｅ３）を設ける構成をとっている。

【００９６】

図５（Ａ）に示した回路の動作について説明する。なお、ここで用いている電源の電位は、ＶＳＳ、ＶＤＤ０、ＶＤＤの３電位であり、ＶＳＳ＜ＶＤＤ０＜ＶＤＤとする。第１のクロック信号（ＣＬＫ１）の振幅をソース線駆動回路入力部でレベルシフトする構成とすることで、低消費電力化及びノイズの減少を図ることができる。

【００９７】

信号入力部（ＣＬＫ　ｉｎ１）より、Ｌレベル／Ｈレベル＝ＶＳＳ／ＶＤＤ０の振幅を有する第１の入力クロック信号（ＣＬＫ１）が入力される。

【００９８】

第１の入力クロック信号がＨレベルのとき、薄膜トランジスタ６０２がオン状態になる。ここで、薄膜トランジスタ６０２のオン抵抗は、抵抗素子６０１の抵抗値よりも十分に低く設計しておく。よってノードαは、Ｌレベルとなる。

【００９９】

ノードαがＬレベルのとき、薄膜トランジスタ６０４がオフ状態になる。ここで、薄膜トランジスタ６０４のオフ抵抗は、抵抗素子６０３の抵抗値よりも十分に高く設計しておく。よってノードβは、Ｈレベルとなり、且つＨレベルはＶＤＤと同程度になる。以上に

より、振幅変換が完了する。

【０１００】

図５（Ａ）で説明するレベルシフタは、振幅変換後のパルスに対する負荷を考慮して、レベルシフタ回路（Ｓｔａｇｅ１）の後に、バッファ段を設けている（Ｓｔａｇｅ２、Ｓｔａｇｅ３）。Ｓｔａｇｅ２、Ｓｔａｇｅ３においても同様の動作によって、最終的に信号出力部にパルスが出力される。

【０１０１】

なお、図５（Ａ）には、第１のクロック信号（ＣＬＫ１）用のレベルシフタについて示したが、スタートパルス（ＳＰ）用のレベルシフタも構成は同じである。

【０１０２】

図５（Ｂ）は、クロック信号の振幅変換の様子を示したものである。入力信号の振幅は、Ｌレベル／Ｈレベル＝ＶＳＳ／ＶＤＤ０であり、出力信号の振幅は、Ｌレベル／Ｈレベル＝ＶＳＳ／ＶＤＤとなっている。

【０１０３】

図５（Ｃ）は、スタートパルス（ＳＰ）の振幅変換の様子を示したものである。入力信号の振幅は、クロック信号と同様、Ｌレベル／Ｈレベル＝ＶＳＳ／ＶＤＤ０、出力信号の振幅は、Ｌレベル／Ｈレベル＝ＶＳＳ／ＶＤＤとなっている。

【０１０４】

図６（Ａ）は、図２で示した２入力型のＮＡＮＤ回路２０４を示している。ＮＡＮＤ回路２０４の構成は、ＥＲＭＯＳ回路と類似である。具体的には、ＥＲＭＯＳ回路における信号入力部が２入力となり、薄膜トランジスタ７０２、７０３が直列配置されている点のみが異なる。

【０１０５】

信号入力部（Ｉｎ１）および信号入力部（Ｉｎ２）に、ともにＨレベルが入力されると、薄膜トランジスタ７０２、７０３がオン状態となるため、信号出力部（Ｏｕｔ）にはＬレベルが現れる。

【０１０６】

一方、信号入力部（Ｉｎ１）および信号入力部（Ｉｎ２）のいずれか一方あるいは両方にＬレベルが入力されると、信号出力部（Ｏｕｔ）には電位ＶＤＤのＨレベルが現れる。

【０１０７】

図６（Ｂ）は、図２で示したバッファ２０５を示している。バッファ２０５はＥＲＭＯＳ回路（Ｓｔａｇｅ１～４）によって構成されている。ＥＲＭＯＳ回路の動作に関してはレベルシフタ回路の項で説明したので、ここでは前述の説明を援用する。

【０１０８】

図６（Ｃ）は、図２で示したサンプリングスイッチ２０６を示している。サンプリングスイッチ２０６は、信号入力部（２５）より、サンプリングパルスが入力され、並列配置された１２個の薄膜トランジスタ７３１が同時に制御される。１２個の薄膜トランジスタ７３１の入力電極（１）～（１２）に、アナログ映像信号が入力され、サンプリングパルスが入力されたときの映像信号の電位を、ソース信号線に書き込む働きをする。

【０１０９】

図７は図１で示した表示装置における、ゲート線駆動回路の回路構成を示した図である。クロック信号用レベルシフタ７５１、スタートパルス用レベルシフタ７５２、シフトレジスタ７８１を構成するパルス出力回路７５３、ＮＡＮＤ回路７５４、バッファ７５５を有する。

【０１１０】

ゲート線駆動回路には、第１のクロック信号（ＣＬＫ１）、第２のクロック信号（ＣＬＫ２）、スタートパルス（ＳＰ）が入力される。これらの入力信号は、外部から低電圧振幅の信号として入力された直後、クロック信号用レベルシフタ７５１、スタートパルス用レベルシフタ７５２によって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。

【０１１１】
なお、クロック信号用レベルシフタ７５１、スタートパルス用レベルシフタ７５２、パルス出力回路７５３、ＮＡＮＤ回路７５４、及びバッファ７５５の構成および動作に関しては、ソース線駆動回路に用いたものと同様であるので、ここでは前述の説明を援用する。
【０１１２】
次に、図３（Ｂ）に示したパルス出力回路のレイアウト図の例を図８乃至図１０に示す。なお、図８乃至図１０では、複数段形成されるパルス出力回路のうち、１段目にあたるパルス出力回路について示すものである。
【０１１３】
図８乃至図１０のパルス出力回路は、電源線８０１、電源線８０２、制御信号線８０３、制御信号線８０４、制御信号線８０５、薄膜トランジスタ３５１、３５３、３５５、３５６、３５８、及び抵抗素子３５２、３５４、３５７で構成される。
【０１１４】
図８乃至図１０中では、酸化物半導体層８０６、第１の配線層８０７、第２の配線層８０８、コンタクトホール８０９について示している。なお、第１の配線層８０７は、薄膜トランジスタのゲート端子を含む層であり、第２の配線層８０８は、薄膜トランジスタのソース端子及びドレイン端子（第１端子及び第２端子）を含む層である。
【０１１５】
また、図８乃至図１０中での各回路素子の接続関係については、図３（Ｂ）と同様である。つまり、電源線８０１は高電源電位ＶＤＤが供給される配線（高電源電位線ともいう）であり、電源線８０２は、低電源電位ＶＳＳが供給される配線（低電源電位線ともいう）であり、制御信号線８０３は、スタートパルス（ＳＰ）が供給される配線であり、制御信号線８０４は、第１のクロック信号が供給される配線であり、制御信号線８０５は、第２のクロック信号が供給される配線である。
【０１１６】
図８に示したＥＲＭＯＳ回路の抵抗素子３５２、３５４、３５７には、長方形形状の酸化物半導体層を適用している。そのため、図８に示した抵抗素子３５２、３５４、３５７は、電流経路の幅が広く、高い電流駆動能力を示す抵抗素子である。図９、図１０に示したＥＲＭＯＳ回路の抵抗素子３５２、３５４、３５７には、メアンダ形状（蛇行形状）の酸化物半導体層を適用している。メアンダ形状にすることによって、抵抗素子３５２、３５４、３５７の抵抗値を増加させることが可能である。
【０１１７】
なお、図８乃至図１０のパルス出力回路のレイアウト図において、薄膜トランジスタ３５１、３５３、３５５、３５６、３５８のチャネル領域の形状をＵ字型にしてもよい。また、図８中では各薄膜トランジスタのサイズを同サイズとして示しているが、後段の負荷の大きさに応じて薄膜トランジスタの大きさを適宜変更しても良い。
【０１１８】
次に、図８乃至図１０で説明したレイアウト図における抵抗素子３５４及び薄膜トランジスタ３５５によって構成されるインバータ回路の構造について図１１（Ａ）～（Ｃ）を用いて説明する。なお、図１１（Ａ）～（Ｃ）に示される抵抗素子３５４及び薄膜トランジスタ３５５は、それぞれ図８乃至図１０中の点線Ａ－Ｂ、及びＣ－Ｄに対応する断面図について示すものである。
【０１１９】
図１１（Ａ）は、図８中の点線Ａ－Ｂ、及びＣ－Ｄに対応する断面図である。図１１（Ａ）において、抵抗素子３５４は、第１の酸化物半導体層９０５を抵抗成分として利用している。また、第１の酸化物半導体層９０５の一端が第１の配線層８０７に含まれる第１の配線９０１と絶縁層９０３に設けられたコンタクトホール９０４を介して接続され、他端が第２の配線層８０８に含まれる第２の配線９０７と接続されている。
【０１２０】

図１１（Ａ）において、薄膜トランジスタ３５５は基板上のゲート端子９０２、ゲート絶縁層として機能するゲート端子９０２上の絶縁層９０３、チャネル形成領域となる絶縁層９０３上の第２の酸化物半導体層９０６、ソース端子及びドレイン端子（第１端子及び第２端子）として機能する第２の酸化物半導体層９０６上の第２の配線９０７及び第３の配線９０８を有する。

【０１２１】

なお、第１の配線９０１は、抵抗素子３５４にとっては一方の端子である。また、第２の配線９０７は、抵抗素子３５４にとっては他方の端子であり、薄膜トランジスタ３５５にとっては第１端子であり、且つ両者を接続する配線でもある。同様に、第３の配線９０８は、薄膜トランジスタ３５５にとっては第２端子であり、且つ低電源電位ＶＳＳが供給される配線（低電圧電位線ともいう）でもある。別言すると、接続配線および低（高）電源電位線の一部が、各薄膜トランジスタの第１端子または第２端子として利用されている。

【０１２２】

また、図１１（Ａ）において、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６の膜厚は一様ではない。具体的には、第２の配線９０７及び第３の配線９０８と重畳する領域に該当する第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６の膜厚が、該領域に該当しない第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６の膜厚よりも厚い。これは、第２の配線９０７及び第３の配線９０８を形成する際のエッチングにおいて、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６の一部もエッチングされるためである。

【０１２３】

図１１（Ｂ）は、図９中の点線Ａ－Ｂ、及びＣ－Ｄに対応する断面図である。図１１（Ｂ）において、抵抗素子３５４は、メアンダ形状に形成された第１の酸化物半導体層９０５を抵抗成分として利用している。また、第１の酸化物半導体層９０５の一端が第１の配線９０１と絶縁層９０３に設けられたコンタクトホール９０４を介して接続され、他端が第２の配線９０７と接続されている。薄膜トランジスタの構造は、図１１（Ａ）で説明した薄膜トランジスタと同一であるため、前述の説明を援用する。

【０１２４】

図１１（Ｃ）は、図１０中の点線Ａ－Ｂ、及びＣ－Ｄに対応する断面図である。図１１（Ｃ）において、抵抗素子３５４は、メアンダ形状に形成された第１の酸化物半導体層９０５を抵抗成分として利用している。また、第１の酸化物半導体層９０５の一端が第２の配線層８０８に含まれる第４の配線９１２と接続され、他端が第２の配線層８０８に含まれる第２の配線９０７と接続されている。薄膜トランジスタの構造は、図１１（Ａ）で説明した薄膜トランジスタと同一であるため、前述の説明を援用する。図１１（Ｃ）に示した抵抗素子３５４は、第１の酸化物半導体層９０５上に直接第４の配線９１２が形成されるため、第１の酸化物半導体層と第４の配線の間に良好な接合を形成することができる。

【０１２５】

次に、図１１（Ａ）～（Ｃ）に示したＥＲＭＯＳ回路の具体的な材料構成について説明する。

【０１２６】

図１１（Ａ）～（Ｃ）において、基板９００にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板等を用いることができる。第１の配線９０１及びゲート端子９０２の材料は、アルミニウム（Ａｌ）や銅（Ｃｕ）などの低抵抗導電性材料で形成することができる。また、アルミニウム（Ａｌ）を耐熱性導電性材料と組み合わせて形成することもできる。耐熱性導電性材料としては、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、クロム（Ｃｒ）、ネオジム（Ｎｄ）、スカンジウム（Ｓｃ）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を適用することができる。

【０１２７】
絶縁層９０３は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの絶縁膜で形成することができる。また、これらの絶縁膜からなる積層構造として形成しても良い。なお、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が５５～６５原子％、窒素が１～２０原子％、シリコンが２５～３５原子％、水素が０．１～１０原子％の範囲において、合計１００原子％となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が１５～３０原子％、窒素が２０～３５原子％、Ｓｉが２５～３５原子％、水素が１５～２５原子％の範囲において、合計１００原子％となるように各元素を任意の濃度で含むものをいう。

【０１２８】
第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６は、$InMO_3(ZnO)_m$（ｍ＞０）で表記される薄膜から形成する。なお、Ｍは、ガリウム（Ｇａ）、鉄（Ｆｅ）、ニッケル（Ｎｉ）、マンガン（Ｍｎ）、またはコバルト（Ｃｏ）から選ばれた一の金属元素又は複数の金属元素を示す。例えばＭとして、ガリウム（Ｇａ）の場合があることの他、ガリウム（Ｇａ）およびニッケル（Ｎｉ）、またはガリウム（Ｇａ）および鉄（Ｆｅ）など、ガリウム（Ｇａ）以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体層において、Ｍとして含まれる金属元素の他に、不純物元素として鉄（Ｆｅ）、ニッケル（Ｎｉ）その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。加えて、上記酸化物半導体層に含まれるナトリウム（Ｎａ）は、5×10^{18}（ａｔｏｍｓ／ｃｍ^3）以下、好ましくは1×10^{18}（ａｔｏｍｓ／ｃｍ^3）以下であるものとする。

【０１２９】
第２の配線９０７及び第３の配線９０８の材料としては、アルミニウム（Ａｌ）、クロム（Ｃｒ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、これらの材料からなる積層構造として形成してもよい。

【０１３０】
酸化シリコン層９０９は、スパッタ法により成膜された酸化シリコン膜から形成される。基板全面に成膜される窒化シリコン層９１０は、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法によって形成される。そのため、窒化シリコン層９１０は高濃度に水素を含有する。

【０１３１】
また、図１２（Ａ）に示すように、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６と、第２の配線９０７及び第３の配線９０８との間にバッファ層９１１ａ～９１１ｃを設けることもできる。

【０１３２】
なお、上述したバッファ層９１１ａ～９１１ｃとは、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６を形成する成膜条件とは異なる成膜条件で成膜されるＩｎ－Ｇａ－Ｚｎ－Ｏ系非単結晶膜を基に形成され、低抵抗な酸化物半導体層である。また、以下の文章では便宜上、後に第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６が形成される酸化物半導体膜を第１の酸化物半導体膜と表記し、後にバッファ層９１１ａ～９１１ｃが形成される酸化物半導体膜を第２の酸化物半導体膜と表記する。

【０１３３】
例えば、スパッタ法によって酸化物半導体膜の成膜を行う場合、成膜に用いられるスパッタガスの酸素濃度を変化させることによって、酸化物半導体膜の抵抗値を変化させることができる。具体的には、スパッタガスの酸素濃度を高くすることによって、酸化物半導体膜の抵抗値を高くすることができる。スパッタ法による第１の酸化物半導体膜及び第２

の酸化物半導体膜の成膜条件の一は、第１の酸化物半導体膜の成膜に用いられるスパッタガスとしてアルゴンガス流量を１０ｓｃｃｍ、酸素ガス流量を５ｓｃｃｍとし、第２の酸化物半導体膜の成膜に用いられるスパッタガスとしてアルゴンガス流量を４０ｓｃｃｍとした条件である。なお、バッファ層９１１ａ～９１１ｃは、ｎ型の導電型を有し、活性化エネルギー（ΔＥ）が０．１ｅＶ以下である。なお、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系非単結晶膜を基に形成されるバッファ層９１１ａ～９１１ｃは、少なくともアモルファス成分を含んでいるものとする。バッファ層９１１ａ～９１１ｃは非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。このバッファ層９１１ａ～９１１ｃ中の結晶粒（ナノクリスタル）は直径１ｎｍ～１０ｎｍ、代表的には２ｎｍ～４ｎｍ程度である。

【０１３４】

第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６よりも低抵抗なバッファ層９１１ａ～９１１ｃを設けることにより、導電体である第２の配線９０７と第１の酸化物半導体層９０５、導電体である第２の配線９０７及び第３の配線９０８と第２の酸化物半導体層９０６との間に、ショットキー接合と比べて良好な接合を形成し、熱的にも安定動作を示すことができる。また、薄膜トランジスタ３５５ではバッファ層９１１ｂ、９１１ｃを設けることにより、高いドレイン電圧でも良好な移動度を保持することができる。

【０１３５】

また、図１２（Ｂ）に示すように第１の酸化物半導体層９０５および第２の酸化物半導体層９０６の上下にバッファ層９１１ａ、９１１ｂ、９１１ｃ、９１１ｄ、９１１ｅを設けることも出来る。

【０１３６】

バッファ層９１１ｄを設けることにより、導電体である第１の配線９０１と第１の酸化物半導体層９０５との間に、ショットキー接合と比べて良好な接合を形成し、熱的にも安定動作をさせることができる。

【０１３７】

次に、図１１（Ａ）～（Ｃ）、図１２（Ａ）、（Ｂ）で示した薄膜トランジスタとは異なる構造の薄膜トランジスタを図１３（Ａ）、（Ｂ）に示し、説明する。なお、図１３（Ａ）、（Ｂ）では、図８のＡ－Ｂ線及びＣ－Ｄ線に対応する抵抗素子及び薄膜トランジスタの断面構造を示し、図１１（Ａ）、（Ｂ）、（Ｃ）と同じものについては、同じ符号を付している。

【０１３８】

図１３（Ａ）において、第２の酸化物半導体層９０６上には、酸化シリコン層であるチャネル保護層１００１が設けられ、チャネル保護層１００１及び第２の酸化物半導体層９０６上に第２の配線９０７及び第３の配線９０８が設けられた構造になっている。さらに、第２の配線９０７、第３の配線９０８、及びチャネル保護層１００１上に窒化シリコン層９１０が設けられている。また、図１３（Ｂ）で示すように、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６と、第２の配線９０７及び第３の配線９０８のそれぞれの間にバッファ層９１１ａ、９１１ｂ、９１１ｃを設ける構成とすることもできる。

【０１３９】

図１１（Ａ）～（Ｃ）、図１２（Ａ）、（Ｂ）、図１３（Ａ）、（Ｂ）では、逆スタガ型の薄膜トランジスタについて説明したが、本実施の形態の薄膜トランジスタの構成は逆スタガ型に限らない。一例としては、コプラナー型の薄膜トランジスタにおいても同様の効果を奏するものである。図１４（Ａ）、（Ｂ）に断面構造の一例について示し、説明する。なお、図１４（Ａ）、（Ｂ）では、図８のＡ－Ｂ線及びＣ－Ｄ線に対応する抵抗素子及び薄膜トランジスタの断面構造を示し、図１１（Ａ）、（Ｂ）、（Ｃ）と同じ構成のものについては、同じ符号を付している。

【０１４０】

図１４（Ａ）において、第１の酸化物半導体層９０５の一端は、第１の配線９０１上に設けられ、第１の酸化物半導体層９０５の他端及び第２の酸化物半導体層９０６の一端は、第２の配線９０７上に設けられ、第２の酸化物半導体層９０６の他端は、第３の配線９

０８上に設けられた構造になっている。さらに、第２の酸化物半導体層９０６上には、酸化シリコン層９０９及び窒化シリコン層９１０の積層が設けられ、第１の酸化物半導体層９０５上には、窒化シリコン層９１０のみが設けられている。また、図１４（Ｂ）で示すように、第２の配線９０７及び第３の配線９０８と、絶縁層９０３との間にバッファ層１０１０ａ、１０１０ｂを設ける構成とすることもできる。

【０１４１】

図１１（Ａ）～（Ｃ）、図１２（Ａ）、（Ｂ）、図１３（Ａ）、（Ｂ）、図１４（Ａ）、（Ｂ）では、第１の酸化物半導体層９０５に直接接するように、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法によって形成された窒化シリコン層９１０を設ける。

【０１４２】

上述した構造を有するＥＲＭＯＳ回路は、窒化シリコン層９１０が直接接する第１の酸化物半導体層９０５を抵抗成分とする抵抗素子と、酸化シリコン層９０９（チャネル保護層１００１）を介して窒化シリコン層９１０が設けられた第２の酸化物半導体層９０６をチャネル形成領域とする薄膜トランジスタと、を有する。そのため、第１の酸化物半導体層９０５には、第２の酸化物半導体層９０６よりも高濃度に水素を導入することができる。その結果、第１の酸化物半導体層９０５の抵抗値を第２の酸化物半導体層９０６の抵抗値よりも低くすることができる。

【０１４３】

次に、ＥＲＭＯＳ回路の作製工程について、図１５（Ａ）～（Ｃ）の断面図を用いて説明する。なお、ここでは、図１４（Ｂ）に示すＥＲＭＯＳ回路の作製工程について示す。

【０１４４】

基板９００上に、第１の導電膜を成膜する。第１の導電膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法などに代表される薄膜堆積法を用いる。第１の導電膜の材料は、アルミニウム（Ａｌ）や銅（Ｃｕ）などの低抵抗導電性材料で形成することできる。また、アルミニウム（Ａｌ）を耐熱性導電性材料と組み合わせて形成することもできる。耐熱性導電性材料としては、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、クロム（Ｃｒ）、ネオジム（Ｎｄ）、スカンジウム（Ｓｃ）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を適用することができる。次いで、第１のフォトリソグラフィ工程を行い、第１の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第１の導電膜を選択的にエッチングし、第１の配線９０１及びゲート端子９０２を形成する。

【０１４５】

次いで、第１の配線９０１及びゲート端子９０２を覆う絶縁膜を形成する。絶縁膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマＣＶＤ法などに代表される薄膜堆積法を用いる。絶縁膜として、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの絶縁膜を用いることができる。また、これらの絶縁膜の積層構造として形成しても良い。次いで、第２のフォトリソグラフィ工程を行い、絶縁膜上にレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、第１の配線に達するコンタクトホール９０４が設けられた絶縁層９０３を形成する。ここまでの工程を終えた段階の断面図が図１５（Ａ）に相当する。

【０１４６】

次いで、第２の酸化物半導体膜を成膜する。第２の酸化物半導体膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマＣＶＤ法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、In_2O_3、Ga_2O_3、ＺｎＯを焼結したターゲットを用いることが好ましい。スパッタガスにはアルゴンに代表される希ガスを用いる。スパッタ法による成膜条件の一は、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１を混合、焼結したターゲットを用い、圧力０．４Ｐａ、直流

（ＤＣ）電源５００Ｗ、アルゴンガス流量を４０ｓｃｃｍとするものである。

【０１４７】

次いで、第２の導電膜を成膜する。第２の導電膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法に代表される薄膜堆積法を用いる。なお、第２の導電膜の材料としては、アルミニウム（Ａｌ）、クロム（Ｃｒ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、これらの材料からなる積層構造として形成してもよい。

【０１４８】

次いで、第３のフォトリソグラフィ工程を行い、第２の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第２の酸化物半導体膜及び第２の導電膜を選択的にエッチングし、第２の配線９０７及び第３の配線９０８並びにバッファ層１０１０ａ、１０１０ｂを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、第２の導電膜としてアルミニウム（Ａｌ）膜、又はアルミニウム合金膜を用いる場合は、燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。同様に、第２の導電膜としてチタン（Ｔｉ）膜、又はチタン合金膜を用いる場合には、アンモニア過水（過酸化水素：アンモニア：水＝５：２：２）を用いたウェットエッチングを行うことができる。

【０１４９】

次いで、第１の酸化物半導体膜を成膜する。第１の酸化物半導体膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。第１の酸化物半導体膜は、第２の酸化物半導体膜と比べてスパッタガスに含まれる酸素濃度が高い条件で成膜する、スパッタ法による成膜条件の一は、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１を混合、焼結したターゲットを用い、圧力０．４Ｐａ、直流（ＤＣ）電源５００Ｗ、アルゴンガス流量を１０ｓｃｃｍ、酸素ガス流量を５ｓｃｃｍである。

【０１５０】

また、第１の酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタ処理を行い、絶縁層９０３、第１の配線９０１、第２の配線９０７、及び第３の配線９０８に付着しているゴミを除去することが好ましい。さらに、逆スパッタ処理をアルゴンに酸素を加えた雰囲気下で行うことにより、導電体である第１の配線９０１、第２の配線９０７、及び第３の配線９０８の表面が酸化され、第２の酸化物半導体膜との接触界面近傍を高抵抗化することができる。そのため、後に形成される薄膜トランジスタのオフ電流の値を低下させることができる。なお、逆スパッタ処理とは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にＲＦ電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する処理方法である。

【０１５１】

次いで、第４のフォトリソグラフィ工程を行い、第１の酸化物半導体膜上にレジストを形成する。さらに、該レジストをマスクとして、第１の酸化物半導体膜を選択的にエッチングし、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６を形成する。ここまでの工程を終えた段階の断面図が図１５（Ｂ）に相当する。

【０１５２】

次いで、酸化シリコン膜をスパッタ法により成膜する。例えば、酸化シリコン膜は、シリコンをターゲットとしアルゴン及び酸素を含有するスパッタガスを用いて成膜することができる。また、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いて酸化シリコン膜を成膜することもできる。次いで、第５のフォトリソグラフィ工程を行い、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、第２の酸化物半導体層９０６上に酸化シリコン層９０９を形成する。

【０１５３】

次いで、基板全面にパッシベーション膜としての機能を有する窒化シリコン層９１０を成膜する。該窒化シリコン層９１０は、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法で形成され、高濃度に水素を含有する窒化シリコン層である。

【０１５４】

次いで、２００℃～６００℃、代表的には２５０℃～５００℃の熱処理を行う。例えば、炉に入れ、窒素雰囲気下で３５０℃、１時間の熱処理を行う。ここまでの工程を終えた段階の断面図が図１５（Ｃ）に相当する。

【０１５５】

以上により、酸化物半導体層を用いて抵抗素子３５４及び薄膜トランジスタ３５５を作製することができる。

【０１５６】

なお、上述した工程順序は一例であって特に限定されない。図１６に、図１５とは異なる作製工程の例を示し、説明する。

【０１５７】

基板９００上に、第１の導電膜を成膜する。次いで、第１のフォトリソグラフィ工程を行い、第１の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第１の導電膜を選択的にエッチングし、第１の配線９０１及びゲート端子９０２を形成する。

【０１５８】

次いで、第１の配線９０１及びゲート端子９０２を覆う絶縁膜を成膜する。次いで、第２の酸化物半導体膜を成膜する。次いで、第２の導電膜を成膜する。次いで、第２のフォトリソグラフィ工程を行い、第２の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第２の導電膜及び第２の酸化物半導体膜を選択的にエッチングし、第２の配線９０７及び第３の配線９０８並びにバッファ層１０１０ａ、１０１０ｂを形成する。ここまでの工程を終えた段階の断面図が図１６（Ａ）に相当する。

【０１５９】

次いで、第３のフォトリソグラフィ工程を行い、絶縁膜上にレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、第１の配線９０１に達するコンタクトホール９０４が設けられた絶縁層９０３を形成する。

【０１６０】

次いで、第１の酸化物半導体膜を成膜する。次いで、第４のフォトリソグラフィ工程を行い、第１の酸化物半導体膜上にレジストを形成する。さらに該レジストをマスクとして、第１の酸化物半導体膜を選択的にエッチングし、第１の酸化物半導体層９０５及び第２の酸化物半導体層９０６を形成する。ここまでの工程を終えた段階の断面図が図１６（Ｂ）に相当する。

【０１６１】

次いで、スパッタ法を用いて、酸化シリコン膜を成膜する。次いで、第５のフォトリソグラフィ工程を行い、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、第２の酸化物半導体層９０６を覆う酸化シリコン層９０９を形成する。

【０１６２】

次いで、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法を用いて、基板全面にパッシベーション膜としての機能を有する窒化シリコン層９１０を成膜する。

【０１６３】

次いで、窒素雰囲気下で２００℃～６００℃の熱処理を行う。ここまでの工程を終えた段階の断面図が図１６（Ｃ）に相当する。

【０１６４】

以上により、酸化物半導体層を用いて形成された抵抗素子３５４及び薄膜トランジスタ３５５を作製することができる。加えて、図１６（Ａ）～（Ｃ）で説明する工程において

は、コンタクトホール９０４を形成した後、第１の酸化物半導体膜を成膜することができる。そのため、コンタクトホールの底面が曝される工程数を少なくすることができ、第１の配線９０１の材料選択の自由度を広げることができる。

【０１６５】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、抵抗素子に適用される第１の酸化物半導体層上には、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法により形成される窒化シリコン層が、第１の酸化物半導体層に直接接するように設けられ、且つ薄膜トランジスタに適用される第２の酸化物半導体層上には、バリア層となる酸化シリコン層を介して、窒化シリコン層が設けられる。そのため、高濃度に水素を含有する窒化シリコン層と直接接する第１の酸化物半導体層には、第２の酸化物半導体層よりも高濃度に水素が導入される。その結果、第１の酸化物半導体層の抵抗値を第２の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

【０１６６】

（実施の形態２）

本実施の形態では、実施の形態１とは異なる抵抗素子及び薄膜トランジスタの一例について図１７を用いて説明する。なお、図１７は、実施の形態１で説明した図８のＡ－Ｂ線及びＣ－Ｄ線に対応する抵抗素子及び薄膜トランジスタの断面構造を示している。

【０１６７】

基板９００上に第１の配線９０１、及びゲート端子９０２を設ける。さらに、第１の配線９０１及びゲート端子９０２上に絶縁層９０３を設ける。なお、基板９００、第１の配線９０１、ゲート端子９０２、及び絶縁層９０３の材料は、実施の形態１で説明した材料を適用することができるため、本実施の形態では実施の形態１の説明を援用する。

【０１６８】

絶縁層９０３上に、第１の配線９０１と重なる高濃度に窒素を含有する第１の酸化物半導体層２００１、及びゲート端子９０２と重なる高濃度に窒素を含有する第２の酸化物半導体層２００２を設ける。なお、第１の配線９０１は絶縁層９０３に形成されたコンタクトホール９０４において高濃度に窒素を含有する第１の酸化物半導体層２００１と接している。

【０１６９】

なお、高濃度に窒素を含有する第１の酸化物半導体層２００１及び高濃度に窒素を含有する第２の酸化物半導体層２００２は、実施の形態１で示した第１の酸化物半導体膜及び第２の酸化物半導体膜とは異なる成膜条件で形成される酸化物半導体膜から形成される窒素濃度の高い酸化物半導体層である。具体的には、酸化物半導体層中の酸素（Ｏ）に対する窒素（Ｎ）の割合（Ｎ／Ｏ）が０．０５以上０．８以下の範囲、好ましくは、０．１以上０．５以下の範囲となる酸化物半導体層である。

【０１７０】

例えば、高濃度に窒素を含有する酸化物半導体膜をスパッタ法によって成膜する場合、窒素ガスを含むスパッタガスを用いて成膜すればよい。スパッタ法による成膜条件の一は、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１としたターゲット（Ｉｎ：Ｇａ：Ｚｎ＝１：１：０．５）を用い、圧力０．４Ｐａ、直流（ＤＣ）電源５００Ｗ、アルゴンガス流量を３５ｓｃｃｍ、窒素ガス流量を５ｓｃｃｍとするものである。なお、パルス直流（ＤＣ）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。次いで、高濃度に窒素を含有する酸化物半導体膜からフォトリソグラフィ工程によって、高濃度に窒素を含有する第１の酸化物半導体層２００１及び高濃度に窒素を含有する第２の酸化物半導体層２００２を形成する。

【０１７１】

次いで、第２の配線９０７及び第３の配線９０８を設ける。第２の配線９０７は、高濃度に窒素を含有する第１の酸化物半導体層２００１の一端及び高濃度に窒素を含有する第２の酸化物半導体層２００２の一端を覆い、第３の配線９０８は、高濃度に窒素を含有する第２の酸化物半導体層２００２の他端を覆っている。なお、第２の配線９０７及び第３の配線９０８は、実施の形態１で説明した材料を適用することができるため、本実施の形態では実施の形態１の説明を援用する。

【０１７２】

次いで、高濃度に窒素を含有する第２の酸化物半導体層２００２上に、酸化シリコン層９０９を設ける。酸化シリコン層は、スパッタ法により成膜された酸化シリコン膜を選択的にエッチングすることにより形成される。該酸化シリコン膜は、シリコンをターゲットとし、アルゴン及び酸素を含有するスパッタガスを用いて成膜する、あるいは、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いることによって成膜することができる。

【０１７３】

この段階で、水素原子の供給源となる物質を含む雰囲気下において、２００℃～６００℃、代表的には２５０℃～５００℃の熱処理を行う。該熱処理条件の一は、３５０℃、１時間の熱処理である。なお、水素原子の供給源となる物質を含む雰囲気としては、水素と、アルゴン等の希ガスとの混合雰囲気などを適用することができる。

【０１７４】

酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有する。そのため、当該熱処理によって、高濃度に窒素を含有する第１の酸化物半導体層２００１に水素が導入される。その結果、高濃度に窒素を含有する第１の酸化物半導体層２００１の水素濃度が、高濃度に窒素を含有する第２の酸化物半導体層２００２の水素濃度よりも高くなる。つまり、高濃度に窒素を含有する第１の酸化物半導体層２００１の抵抗値を、高濃度に窒素を含有する第２の酸化物半導体層２００２の抵抗値よりも低くすることが出来る。

【０１７５】

さらに、基板全面にシラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法によって形成される窒化シリコン層９１０を形成する。該窒化シリコン層９１０は高濃度に水素を含有する窒化シリコンである。そのため、該窒化シリコン層９１０と直接接する高濃度に窒素を含有する第１の酸化物半導体層２００１の水素濃度をさらに高め、低抵抗化を計ることができる。

【０１７６】

以上により、低抵抗化された高濃度に窒素を含有する第１の酸化物半導体層２００１を用いた抵抗素子３５４、及び高抵抗値を維持する高濃度に窒素を含有する第２の酸化物半導体層２００２を用いた薄膜トランジスタ３５５を形成することができる。

【０１７７】

なお、本実施の形態では、図８のＡ－Ｂ線に対応する抵抗素子の断面構造について示したが、図９及び図１０に示したように、高濃度に窒素を含有する第１の酸化物半導体層をメアンダ形状（蛇行形状）とすることも可能である。また、図１０に示したように、高濃度に窒素を含有する酸化物半導体層の両端上に配線層を形成することも可能である。

【０１７８】

また、本実施の形態では、チャネルエッチ型の薄膜トランジスタの断面構造について示したが、チャネルストップ型の薄膜トランジスタとすることも可能である。また、本実施の形態では、逆スタガ型の薄膜トランジスタについて示したが、コプラナー型の薄膜トランジスタとすることも可能である。

【０１７９】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、高濃度に窒素を含有する酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び当該薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、水素原子の供給源となる物質を含む雰囲

気下において、２００℃～６００℃、代表的には２５０℃～５００℃の熱処理を行うことによって、抵抗素子に適用される高濃度に窒素を含有する第１の酸化物半導体層に水素が導入される。そのため、高濃度に窒素を含有する第１の酸化物半導体層には、高濃度に窒素を含有する第２の酸化物半導体層よりも高濃度に水素が導入される。その結果、高濃度に窒素を含有する第１の酸化物半導体層の抵抗値を、高濃度に窒素を含有する第２の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

【０１８０】

（実施の形態３）

本実施の形態では、実施の形態１で説明した酸化物半導体層及び実施の形態２で説明した高濃度に窒素を含有する酸化物半導体層を用いて作製される抵抗素子及び薄膜トランジスタについて、図１８（Ａ）～（Ｃ）及び図１９（Ａ）、（Ｂ）を用いて説明する。なお、図１８（Ａ）～（Ｃ）及び図１９（Ａ）、（Ｂ）は、図８のＡ－Ｂ線及びＣ－Ｄ線に対応する抵抗素子及び薄膜トランジスタの断面構造を示している。

【０１８１】

具体的には、本実施の形態では、実施の形態２で述べた高濃度に窒素を含有する酸化物半導体層を、実施の形態１で述べたバッファ層の代わりに適用する構成について、図１８（Ａ）～（Ｃ）及び図１９（Ａ）、（Ｂ）を用いて説明する。

【０１８２】

まず、基板９００上に第１の導電膜を成膜する。第１の導電膜の成膜方法には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法に代表される薄膜堆積法を用いる。次いで、第１のフォトリソグラフィ工程を行い、第１の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第１の導電膜を選択的にエッチングし、第１の配線９０１及びゲート端子９０２を形成する。次いで、第１の配線９０１及びゲート端子９０２を覆う絶縁膜を形成する。絶縁膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマＣＶＤ法などに代表される薄膜堆積法を用いる。次いで、第２のフォトリソグラフィ工程を行い、絶縁膜上のレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、コンタクトホール９０４が設けられた絶縁層９０３を形成する。なお、第１の配線９０１、ゲート端子９０２、及び絶縁層９０３の材料は、実施の形態１で説明した材料を適用することができるため、本実施の形態では実施の形態１の説明を援用する。ここまでの工程を終えた段階の断面図が図１８（Ａ）に対応する。

【０１８３】

次いで、酸化物半導体膜９５０を成膜する。酸化物半導体膜９５０の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマＣＶＤ法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、In_2O_3、Ga_2O_3、ＺｎＯを焼結したターゲットを用いることが好ましい。スパッタ法による成膜条件の一は、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１を混合、焼結したターゲットを用い、圧力０．４Ｐａ、直流（ＤＣ）電源５００Ｗ、アルゴンガス流量を１０ｓｃｃｍ、酸素ガス流量を５ｓｃｃｍである。

【０１８４】

次いで、高濃度に窒素を含有する酸化物半導体膜９５１を成膜する。高濃度に窒素を含有する酸化物半導体膜９５１の成膜には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、In_2O_3、Ga_2O_3、ＺｎＯを焼結したターゲットを用いることが好ましい。スパッタ法による高濃度に窒素を含有する酸化物半導体膜９５１の成膜条件の一は、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１を混合、焼結したターゲットを用い、圧力０．４Ｐａ、直流（ＤＣ）電源５００Ｗ、アルゴンガス流量を３５ｓｃｃｍ、窒素ガス流量を５ｓｃｃｍである。ここまでの工程を終えた段階の断面図が図１８（Ｂ）に対応す

る。

【０１８５】

次いで、第３のフォトリソグラフィ工程を行い、高濃度に窒素を含有する酸化物半導体膜９５１上にレジストを形成する。さらに、該レジストをマスクとして、酸化物半導体膜９５０及び高濃度に窒素を含有する酸化物半導体膜９５１を選択的にエッチングし、第１の酸化物半導体層９６０及び高濃度に窒素を含有する第１の酸化物半導体層９６１の積層、並びに第２の酸化物半導体層９６２及び高濃度に窒素を含有する第２の酸化物半導体層９６３の積層を形成する。ここまでの工程を終えた段階の断面図が図１８（Ｃ）に対応する。

【０１８６】

この段階で、水素原子の供給源となる物質を含む雰囲気中において、２００℃～６００℃、代表的には２５０℃～５００℃の熱処理を行う。該熱処理条件の一は、３５０℃、１時間の熱処理である。なお、水素原子の供給源となる物質を含む雰囲気としては、水素と、アルゴン等の希ガスとの混合雰囲気などを適用することができる。

【０１８７】

酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有する。そのため、当該熱処理によって、高濃度に窒素を含有する第１の酸化物半導体層９６１及び高濃度に窒素を含有する第２の酸化物半導体層９６３に水素が導入される。その結果、高濃度に窒素を含有する第１の酸化物半導体層９６１及び高濃度に窒素を含有する第２の酸化物半導体層９６３の抵抗値を低下させることが出来る。

【０１８８】

次いで、第２の導電膜を成膜する。第２の導電膜の成膜には、スパッタ法、真空蒸着法パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。次いで、第４のフォトリソグラフィ工程を行い、第２の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第２の導電膜を選択的にエッチングし、第２の配線９０７及び第３の配線９０８を形成する。なお、第２の配線９０７、第３の配線９０８の材料は、実施の形態１で説明した材料を適用することができるため、本実施の形態では実施の形態１の説明を援用する。また、当該エッチング工程において、第２の配線９０７及び第３の配線９０８と重畳しない領域の高濃度に窒素を含有する酸化物半導体層は、エッチングされ、除去される。また、当該領域の酸化物半導体層も一部エッチングされ、酸化物半導体層９６４、９６６及び高濃度に窒素を含有する酸化物半導体層９６５、９６７、９６８が形成される。ここまでの工程を終えた段階の断面図が図１９（Ａ）に相当する。

【０１８９】

次いで、酸化シリコン膜をスパッタ法により成膜する。例えば、酸化シリコン膜は、シリコンをターゲットとしアルゴン及び酸素を含有するスパッタガスを用いて成膜することができる。また、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いて酸化シリコン膜を成膜することもできる。次いで、第５のフォトリソグラフィ工程によって、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、酸化シリコン層９０９を形成する。

【０１９０】

次いで、パッシベーション膜としての機能を有する窒化シリコン層９１０を成膜する。該窒化シリコン層９１０は、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法で形成する。以上の工程により抵抗素子３５４及び薄膜トランジスタ３５５が形成される。ここまでの工程を終えた段階の断面図が図１９（Ｂ）に相当する。

【０１９１】

本実施の形態で示した抵抗素子３５４及び薄膜トランジスタ３５５は、酸化物半導体層と導電体である配線層との間に、水素が導入され低抵抗化した高濃度に窒素を含有する酸化物半導体層９６５、９６７、９６８が形成される。そのため、酸化物半導体層と配線層

との接合が、ショットキー接合に比べて良好な接合となり、熱的にも安定動作を示すことができる。また、薄膜トランジスタ３５５では、高濃度に窒素を含有する酸化物半導体層９６７、９６８が形成されることにより、高いドレイン電圧でも良好な移動度を保持することができる。

【０１９２】

なお、上述した作製工程では、酸化物半導体層のエッチング工程後に高濃度に窒素を含有する酸化物半導体層に水素を導入する熱処理を行う例を示したが、該熱処理は、高濃度に窒素を含有する酸化物半導体膜の成膜後で、第２の導電膜の成膜前であれば、いつ行っても構わない。例えば、高濃度に窒素を含有する酸化物半導体膜の成膜後に次工程として当該熱処理を行うことも可能である。

【０１９３】

なお、本実施の形態では、図８のＡ－Ｂ線に対応する抵抗素子の断面構造について示したが、図９及び図１０に示したように、酸化物半導体層をメアンダ形状（蛇行形状）とすることも可能である。また、図１０に示したように、高濃度に窒素を含有する酸化物半導体層の両端上に配線層を形成することも可能である。

【０１９４】

また、本実施の形態では、チャネルエッチ型の薄膜トランジスタの断面構造について示したが、チャネルストップ型の薄膜トランジスタとすることも可能である。また、本実施の形態では、逆スタガ型の薄膜トランジスタについて示したが、コプラナー型の薄膜トランジスタとすることも可能である。

【０１９５】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、酸化物半導体層及び高濃度に窒素を含有する酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び当該薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、抵抗素子に適用される第１の酸化物半導体層上には、シラン（SiH_4）及びアンモニア（NH_3）などの水素化合物を含むガスを用いたプラズマＣＶＤ法により形成される窒化シリコン層が、第１の酸化物半導体層に直接接するように設けられ、且つ薄膜トランジスタに適用される第２の酸化物半導体層上には、バリア層となる酸化シリコン層を介して、窒化シリコン層が設けられる。そのため、高濃度に水素を含有する窒化シリコン層と直接接する第１の酸化物半導体層には、第２の酸化物半導体層よりも高濃度に水素が導入される。その結果、第１の酸化物半導体層の抵抗値を第２の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

【０１９６】

（実施の形態４）

本実施の形態では、ダイナミック回路によって構成されるシフトレジスタを有する駆動回路の構成例について、図２０（Ａ）～（Ｃ）を用いて説明する。

【０１９７】

図２０（Ａ）に示すパルス出力回路１４００は、スタートパルス（ＳＰ）が入力端子より入力されるインバータ回路１４０１と、インバータ回路１４０１の出力端子に一方の端子が接続されたスイッチ１４０２と、スイッチ１４０２の他方の端子に接続された容量素子１４０３と、で構成される。なお、奇数段目のパルス出力回路のスイッチ１４０２は、第１のクロック信号（ＣＬＫ１）によってオン、オフが制御される。また、偶数段目のパルス出力回路のスイッチ１４０２は、第２のクロック信号（ＣＬＫ２）によってオン、オフが制御される。

【０１９８】

図２０（Ｂ）は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路１４００は、薄膜トランジスタ１４１１、１４１３、抵抗素子１４１２、容量素子１４１４を有する。また、奇数段目のパルス出力回路は、第１のクロック信号（ＣＬＫ１）を供給するための配線１４１５に接続され、偶数段目のパルス出力回路は、第２のクロック

信号（ＣＬＫ２）を供給するための配線１４１６に接続されている。パルス出力回路１４００において、薄膜トランジスタ１４１１及び抵抗素子１４１２は、図２０（Ａ）で示したインバータ回路１４０１に相当し、ＥＲＭＯＳ回路である。また、薄膜トランジスタ１４１３は、図１７（Ａ）で示したスイッチ１４０２に相当し、容量素子１４１４は、図２０（Ａ）で示した容量素子１４０３に相当する。なお、薄膜トランジスタ１４１３は、薄膜トランジスタ１４１１と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製工程を低減することができる。

【０１９９】

ここで、図２０（Ａ）、（Ｂ）で示した回路の回路動作について、図２０（Ｃ）にタイミングチャートを示す。なお、図２０（Ｃ）では、説明のため、図２０（Ｂ）中の回路のノードについてＡ乃至Ｅの符号を付して説明するものとする。

【０２００】

まず、第１のクロック信号（ＣＬＫ１）がＨレベルにあって第２のクロック信号（ＣＬＫ２）がＬレベルの状態について説明する。

【０２０１】

スタートパルス（ＳＰ）に応じて、反転した信号がノードＡに現れる。ノードＢの信号は、第１のクロック信号（ＣＬＫ１）がＨレベルであるためノードＡと等しくなる。そして、ノードＢの信号は、次段のインバータ回路によって反転され、ノードＣにはノードＢの信号が反転した信号が現れる。ノードＣの信号は、第２のクロック信号（ＣＬＫ２）がＬレベルにあってスイッチが閉じているため、ノードＤには現れない。

【０２０２】

次に、第１のクロック信号（ＣＬＫ１）がＬレベルにあって第２のクロック信号（ＣＬＫ２）がＨレベルの状態について説明する。

【０２０３】

ノードＣの信号はノードＤに移り、ノードＤにノードＣの信号が反映されて現れる。そして、ノードＤの信号は、インバータ回路によって反転され、ノードＥにはノードＤの信号が反転した信号が現れる。そして第１のクロック信号（ＣＬＫ１）及び第２のクロック信号（ＣＬＫ２）を交互にＨレベルとすることで、シフトレジスタとして機能させることができる。

【０２０４】

なお、本実施の形態で示すパルス出力回路を具備するシフトレジスタは、ソース線駆動回路、及びゲート線駆動回路に用いることができる。なおシフトレジスタより出力される信号は、論理回路等を介して出力し、所望の信号を得る構成としても良い。

【０２０５】

本実施の形態で説明したダイナミック回路は、ＥＲＭＯＳ回路を有する。該ＥＲＭＯＳ回路は、実施の形態１乃至３で述べた抵抗素子及び薄膜トランジスタによって構成される。そのため、当該ダイナミック回路は良好な動特性を有する。

【０２０６】

（実施の形態５）

本実施の形態では、保護回路が設けられた表示装置の一例について図２１及び図２２を用いて説明する。

【０２０７】

図２１には、表示装置の全体図について示している。基板５００上に、ソース線駆動回路５０１、第１のゲート線駆動回路５０２Ａ、第２のゲート線駆動回路５０２Ｂ、および画素部５０３を一体形成している。画素部５０３において、点線枠５１０で囲まれた部分が１画素である。図２１の例では、ゲート線駆動回路として、第１のゲート線駆動回路５０２Ａ及び第２のゲート線駆動回路５０２Ｂを示したが、いずれか一方のみであってもよい。また、表示装置の画素では、薄膜トランジスタによって表示素子の制御を行っている

。ソース線駆動回路５０１、第１のゲート線駆動回路５０２Ａ、第２のゲート線駆動回路５０２Ｂを駆動する信号（クロック信号、スタートパルス等）は、フレキシブルプリント基板（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔ　Ｃｉｒｃｕｉｔ：ＦＰＣ）５０４Ａ、５０４Ｂを介して、外部より入力される。

【０２０８】

さらに、ソース線駆動回路５０１及び第１のゲート線駆動回路５０２Ａと画素部のそれぞれの間には保護回路５５０、５５１が設けられている。また、保護回路５５０、５５１は、ソース線駆動回路５０１及び第１のゲート線駆動回路５０２Ａから画素部５０３に延びた配線と接続している。保護回路５５０、５５１は、信号や電源電圧と共にノイズが入力された場合であっても、ノイズによる後段の回路の誤動作、又は半導体素子の劣化若しくは破壊の防止が可能である。そのため、信頼性及び歩留まりを向上させることができる。

【０２０９】

次に、図２１に示した保護回路５５０、５５１の具体的な回路構成の例について、図２２（Ａ）、（Ｂ）を参照して説明する。

【０２１０】

図２２（Ａ）に示す保護回路は、保護ダイオードとして機能するダイオード接続されたｎ型薄膜トランジスタ５６０～５６７と、抵抗素子５６８と、を有する。なお、ダイオード接続されたｎ型薄膜トランジスタは、ゲート端子及び第１端子側がアノードであり、第２端子側がカソードである。

【０２１１】

ダイオード接続されたｎ型薄膜トランジスタ５６０のアノードは、低電源電位ＶＳＳが供給される配線に接続されている。ダイオード接続されたｎ型薄膜トランジスタ５６１のアノードは、ダイオード接続されたｎ型薄膜トランジスタ５６０のカソードに接続され、カソードは、配線５６９に接続されている。また、ダイオード接続されたｎ型薄膜トランジスタ５６２のアノードは配線５６９に接続されている。ダイオード接続されたｎ型薄膜トランジスタ５６３のアノードは、ダイオード接続されたｎ型薄膜トランジスタ５６２のカソードに接続され、カソードは、高電源電位ＶＤＤに接続されている。ダイオード接続されたｎ型薄膜トランジスタ５６４乃至ダイオード接続されたｎ型薄膜トランジスタ５６７は、ダイオード接続されたｎ型薄膜トランジスタ５６０乃至ダイオード接続されたｎ型薄膜トランジスタ５６３と同様に接続されている。抵抗素子５６８は、入力電位Ｖｉｎが入力される端子及び出力電位Ｖｏｕｔが出力される端子に直列に接続されている。

【０２１２】

図２２（Ａ）に示した保護回路の動作について以下に説明する。

【０２１３】

駆動回路からの入力電位Ｖｉｎが異常に高い場合、具体的には、入力電位Ｖｉｎが高電源電位ＶＤＤ及びダイオード接続されたｎ型薄膜トランジスタ５６２、５６３の順方向電圧降下の和以上に高い場合、ダイオード接続されたｎ型薄膜トランジスタ５６２、５６３が導通し、配線５６９の電位は、高電圧電位ＶＤＤ及びダイオード接続されたｎ型薄膜トランジスタ５６２、５６３の順方向電圧降下の和に準じる電位を示すことになる。

【０２１４】

一方、駆動回路からの入力電位Ｖｉｎが異常に低い場合、具体的には、低電源電位ＶＳＳからダイオード接続されたｎ型薄膜トランジスタ５６０、５６１の順方向電圧降下分以下に低い場合、ダイオード接続されたｎ型薄膜トランジスタ５６０、５６１が導通し、配線５６９の電位は、低電圧電位ＶＳＳからダイオード接続されたｎ型薄膜トランジスタ５６０、５６１の順方向電圧降下分低下した電位に準じる電位を示すことになる。

【０２１５】

そのため、保護回路は、出力電位Ｖｏｕｔをある一定範囲内に収めることができる。

【０２１６】

なお、本実施の形態ではダイオード接続されたｎ型薄膜トランジスタ５６０乃至ダイオ

ード接続されたｎ型薄膜トランジスタ５６３と同様に接続されたダイオード接続されたｎ型薄膜トランジスタ５６４乃至ダイオード接続されたｎ型薄膜トランジスタ５６７を設ける構成を示している。ダイオード接続されたｎ型薄膜トランジスタ５６４乃至ダイオード接続されたｎ型薄膜トランジスタ５６７を設けることにより、駆動回路からの入力電位Ｖｉｎが異常に高い又は低い場合の電流の経路を増加させることができる。したがって、表示装置の信頼性をさらに向上させることができる。

【０２１７】

また、抵抗素子５６８は、配線５６９の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。

【０２１８】

図２２（Ｂ）に示す保護回路は、抵抗素子５７０と、抵抗素子５７１と、ダイオード接続されたｎ型薄膜トランジスタ５７２と、を有する。抵抗素子５７０、抵抗素子５７１、及びダイオード接続されたｎ型薄膜トランジスタ５７２は、配線５７３に直列に接続されている。

【０２１９】

抵抗素子５７０及び抵抗素子５７１によって、配線５７３の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。また、ダイオード接続されたｎ型薄膜トランジスタ５７２によって、電位の変動により配線５７３に逆方向バイアスの電流が流れることを防止することができる。

【０２２０】

なお、抵抗素子のみを配線に直列に接続する場合、配線の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。また、ダイオード接続されたｎ型薄膜トランジスタのみを配線に直列に接続する場合、電位の変動により配線に逆方向バイアスの電流が流れるのを防ぐことができる。

【０２２１】

なお、本実施の形態の保護回路は図２２（Ａ）、（Ｂ）に示す構成に限定されるものではない。同様の働きをする回路構成であれば、適宜設計変更が可能である。

【０２２２】

本実施の形態で説明した保護回路は、実施の形態１乃至３で述べた抵抗素子及び薄膜トランジスタを有する。そのため、当該保護回路は良好な動特性を有する。

【０２２３】

（実施の形態６）

本実施の形態では、実施の形態１乃至３で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、発光表示装置の例を示す。ここではエレクトロルミネッセンスを利用する発光素子を有する発光表示装置について示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。

【０２２４】

有機ＥＬ素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【０２２５】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。分散型無機ＥＬ素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー－アクセプター再結合型発光である。薄膜型無機ＥＬ素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。ここでは、発光素子として有機ＥＬ素子を用いて説明する。

【０２２６】
適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に適用したｎチャネル型の薄膜トランジスタを含む画素について示す。
【０２２７】
図２３は、画素構成の一例を示す図である。図２３における画素６４００は、薄膜トランジスタ６４０１、６４０２、発光素子６４０３を有している。薄膜トランジスタ６４０１はゲート端子がゲート線６４０６に接続され、第１端子がソース線６４０５に接続されている。薄膜トランジスタ６４０２は、ゲート端子が薄膜トランジスタ６４０１の第２端子に接続され、第１端子が電源線６４０７に接続され、第２端子が発光素子６４０３の第１電極（画素電極）に接続されている。なお、電源線６４０７には、高電源電位ＶＤＤが設定されている。
【０２２８】
発光素子６４０３の第２電極は共通電極６４０８に相当する。共通電極６４０８は、同一基板上に形成される共通電位線と電気的に接続される。なお、発光素子６４０３の第２電極（共通電極６４０８）には低電源電位ＶＳＳが設定されている。例えば、低電源電位ＶＳＳとして、ＧＮＤ、０Ｖなどが設定することができる。また、電源線６４０７に設定される高電源電位ＶＤＤと、第２電極に設定される低電源電位ＶＳＳとの電位差を発光素子６４０３に印加して、電流を流して発光素子６４０３を発光させるため、高電源電位ＶＤＤと低電源電位ＶＳＳとの電位差が発光素子６４０３の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。
【０２２９】
次に、発光素子の構成について、図２４を用いて説明する。なお、本実施の形態では、発光表示装置の薄膜トランジスタとして図１２（Ａ）で示した薄膜トランジスタを適用する例を示すが、本実施の形態で示す発光表示装置の薄膜トランジスタには、実施の形態１乃至３で示した薄膜トランジスタのいずれも適用可能である。
【０２３０】
発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図２３で述べた画素構成はどの射出構造の発光素子にも適用することができる。
【０２３１】
上面射出構造の発光素子について図２４（Ａ）を用いて説明する。
【０２３２】
図２４（Ａ）に、薄膜トランジスタ７００１がｎ型で、発光素子７００２から発せられる光が陽極７００５側に抜ける場合の、画素の断面図を示す。図２４（Ａ）では、発光素子７００２の陰極７００３と薄膜トランジスタ７００１が電気的に接続されており、陰極７００３上に発光層７００４、陽極７００５が順に積層されている。陰極７００３は仕事関数が小さく、なおかつ光を反射する導電層であれば様々な材料を用いることができる。例えば、Ｃａ、Ａｌ、ＣａＦ、ＭｇＡｇ、ＡｌＬｉ等が望ましい。そして発光層７００４は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極７００３上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極７００５は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性酸化物を用いても良い。
【０２３３】
陰極７００３及び陽極７００５で発光層７００４を挟んでいる領域が発光素子７００２

に相当する。図２４（Ａ）に示した画素の場合、発光素子７００２から発せられる光は、矢印で示すように陽極７００５側に射出する。

【０２３４】

次に、下面射出構造の発光素子について図２４（Ｂ）を用いて説明する。薄膜トランジスタ７０１１がｎ型で、発光素子７０１２から発せられる光が陰極７０１３側に射出する場合の、画素の断面図を示す。図２４（Ｂ）では、薄膜トランジスタ７０１１と電気的に接続された透光性を有する導電層７０１７上に、発光素子７０１２の陰極７０１３が成膜されており、陰極７０１３上に発光層７０１４、陽極７０１５が順に積層されている。なお、陽極７０１５が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽層７０１６が成膜されていてもよい。陰極７０１３は、図２４（Ａ）の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、５ｎｍ～３０ｎｍ程度）とする。例えば２０ｎｍの膜厚を有するアルミニウムを、陰極７０１３として用いることができる。そして発光層７０１４は、図２４（Ａ）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極７０１５は光を透過する必要はないが、図２４（Ａ）と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽層７０１６は、例えば光を反射する金属等を用いることができるが、金属に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【０２３５】

陰極７０１３及び陽極７０１５で、発光層７０１４を挟んでいる領域が発光素子７０１２に相当する。図２４（Ｂ）に示した画素の場合、発光素子７０１２から発せられる光は、矢印で示すように陰極７０１３側に射出する。

【０２３６】

次に、両面射出構造の発光素子について、図２４（Ｃ）を用いて説明する。図２４（Ｃ）では、薄膜トランジスタ７０２１と電気的に接続された透光性を有する導電層７０２７上に、発光素子７０２２の陰極７０２３が成膜されており、陰極７０２３上に発光層７０２４、陽極７０２５が順に積層されている。陰極７０２３は、図２４（Ａ）の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば２０ｎｍの膜厚を有するＡｌを、陰極７０２３として用いることができる。そして発光層７０２４は、図２４（Ａ）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極７０２５は、図２４（Ａ）と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【０２３７】

陰極７０２３と、発光層７０２４と、陽極７０２５とが重なっている部分が発光素子７０２２に相当する。図２４（Ｃ）に示した画素の場合、発光素子７０２２から発せられる光は、矢印で示すように陽極７０２５側と陰極７０２３側の両方に射出する。

【０２３８】

なお、ここでは、発光素子として有機ＥＬ素子について述べたが、発光素子として無機ＥＬ素子を設けることも可能である。

【０２３９】

次に、表示装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図２５を用いて説明する。図２５（Ａ）は、第１の基板上に形成された薄膜トランジスタ及び発光素子を、第２の基板との間にシール材によって封止した、パネルの上面図であり、図２５（Ｂ）は、図２５（Ａ）のＥ－Ｆにおける断面図に相当する。

【０２４０】

第１の基板４５０１上に設けられた画素部４５０２、ソース線駆動回路４５０３ａ、４５０３ｂ及びゲート線駆動回路４５０４ａ、４５０４ｂを囲むようにして、シール材４５０５が設けられている。また画素部４５０２、ソース線駆動回路４５０３ａ、４５０３ｂ、及びゲート線駆動回路４５０４ａ、４５０４ｂの上に第２の基板４５０６が設けられて

いる。よって画素部４５０２、ソース線駆動回路４５０３ａ、４５０３ｂ、及びゲート線駆動回路４５０４ａ、４５０４ｂは、第１の基板４５０１とシール材４５０５と第２の基板４５０６とによって、充填材４５０７と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【０２４１】

また、第１の基板４５０１上に設けられた画素部４５０２は、ソース線駆動回路４５０３ａ、４５０３ｂ及びゲート線駆動回路４５０４ａ、４５０４ｂと同様に、酸化物半導体を用いて作製した薄膜トランジスタを有しており、図２５（Ｂ）では、画素部４５０２に含まれる薄膜トランジスタ４５１０と、ソース線駆動回路４５０３ａに含まれる薄膜トランジスタ４５０９とを例示している。

【０２４２】

なお、薄膜トランジスタ４５０９、４５１０には、図１２（Ａ）に示した構造を有する薄膜トランジスタを適用する例を示すが、本実施の形態で示す発光表示装置の薄膜トランジスタには、実施の形態１乃至３で示した薄膜トランジスタのいずれも適用可能である。

【０２４３】

また４５１１は発光素子に相当し、発光素子４５１１が有する画素電極である第１の電極層４５１７は、薄膜トランジスタ４５１０のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子４５１１の構成は、第１の電極層４５１７、電界発光層４５１２、第２の電極層４５１３の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子４５１１から取り出す光の方向などに合わせて、発光素子４５１１の構成は適宜変えることができる。

【０２４４】

隔壁４５２０は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第１の電極層４５１７上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【０２４５】

電界発光層４５１２は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【０２４６】

発光素子４５１１に酸素、水素、水分、二酸化炭素等が侵入しないように、第２の電極層４５１３及び隔壁４５２０上に保護膜を形成してもよい。保護膜としては、窒化シリコン層、窒化酸化シリコン層、ＤＬＣ層等を形成することができる。

【０２４７】

また、ソース線駆動回路４５０３ａ、４５０３ｂ、ゲート線駆動回路４５０４ａ、４５０４ｂ、または画素部４５０２に与えられる各種信号及び電位は、ＦＰＣ４５１８ａ、４５１８ｂから供給されている。

【０２４８】

本実施の形態では、接続端子電極４５１５が、発光素子４５１１が有する第１の電極層４５１７と同じ導電膜から形成され、端子電極４５１６は、薄膜トランジスタ４５０９、４５１０が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【０２４９】

接続端子電極４５１５は、ＦＰＣ４５１８ａが有する端子と、異方性導電膜４５１９を介して電気的に接続されている。

【０２５０】

発光素子４５１１からの光の取り出し方向に位置する基板には、第２の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【０２５１】

また、充填材４５０７としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化

樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【０２５２】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（λ／４板、λ／２板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【０２５３】

ソース線駆動回路４５０３ａ、４５０３ｂ及びゲート線駆動回路４５０４ａ、４５０４ｂは、別途用意された基板上に形成された駆動回路で実装されていてもよい。また、ソース線駆動回路のみ、或いは一部、又はゲート線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図２５の構成に限定されない。

【０２５４】

本実施の形態で示した発光表示装置は、実施の形態１乃至３で示した抵抗素子及び薄膜トランジスタを有する。そのため、当該発光表示装置は良好な動特性を有する。

【０２５５】

（実施の形態７）

本実施の形態では、実施の形態１乃至３で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、電子ペーパーの例を示す。

【０２５６】

図２６には、アクティブマトリクス型の電子ペーパーを示す。図２６の電子ペーパーは、ツイストボール表示方式を用いている。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第１の電極層及び第２の電極層の間に配置し、第１の電極層及び第２の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【０２５７】

第１の基板５８０に設けられた薄膜トランジスタ５８１はボトムゲート構造の薄膜トランジスタであり、第１端子又は第２端子によって第１の電極層５８７と、絶縁層５８５に形成する開口で接しており電気的に接続している。第１の電極層５８７と第２の電極層５８８との間には黒色領域５９０ａ及び白色領域５９０ｂを有し、周りに液体で満たされているキャビティ５９４を含む球形粒子５８９が第１の基板５８０及び第２の基板５９６の間に設けられており、球形粒子５８９の周囲は樹脂等の充填材５９５で充填されている（図２６参照。）。本実施の形態においては、第１の電極層５８７が画素電極に相当し、第２の電極層５８８が共通電極に相当する。

【０２５８】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径１０μｍ～２００μｍ程度のマイクロカプセルを用いる。第１の電極層と第２の電極層との間に設けられるマイクロカプセルは、第１の電極層と第２の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【０２５９】

本実施の形態で示した電子ペーパーは、実施の形態１乃至３に示した抵抗素子及び薄膜トランジスタを有する。そのため、電子ペーパーは良好な動特性を有する。

【０２６０】

（実施の形態８）

本実施の形態においては、実施の形態１乃至３で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、電子機器の例について説明する。

【０２６１】

図２７（Ａ）は携帯型遊技機であり、筐体９６３０、表示部９６３１、スピーカ９６３２、操作キー９６３３、接続端子９６３４、記録媒体読込部９６３５、等を有することができる。図２７（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図２７（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【０２６２】

図２７（Ｂ）はデジタルカメラであり、筐体９６４０、表示部９６４１、スピーカ９６４２、操作キー９６４３、接続端子９６４４、シャッターボタン９６４５、受像部９６４６等を有することができる。図２７（Ｂ）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図２７（Ｂ）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【０２６３】

図２７（Ｃ）はテレビ受像器であり、筐体９６５０、表示部９６５１、スピーカ９６５２、操作キー９６５３、接続端子９６５４等を有することができる。図２７（Ｃ）に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図２７（Ｃ）に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【０２６４】

図２８（Ａ）はコンピュータであり、筐体９６６０、表示部９６６１、スピーカ９６６２、操作キー９６６３、接続端子９６６４、ポインティングデバイス９６６５、外部接続ポート９６６６等を有することができる。図２８（Ａ）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図２８（Ａ）に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【０２６５】

次に、図２８（Ｂ）は携帯電話であり、筐体９６７０、表示部９６７１、スピーカ９６７２、操作キー９６７３、マイクロフォン９６７４等を有することができる。図２８（Ｂ）に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図２８（Ｂ）に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【０２６６】

本実施の形態で示した電子機器は、実施の形態１乃至３に示した抵抗素子及び薄膜トランジスタを有する。そのため、電子機器は良好な動特性を有する。

【符号の説明】

【０２６７】

１００　基板
１０１　ソース線駆動回路
１０２Ａ　ゲート線駆動回路
１０２Ｂ　ゲート線駆動回路
１０３　画素部
１０４Ａ　ＦＰＣ
１０４Ｂ　ＦＰＣ
２０１　クロック信号用レベルシフタ
２０２　スタートパルス用レベルシフタ
２０３　パルス出力回路
２０４　ＮＡＮＤ回路
２０５　バッファ
２０６　サンプリングスイッチ
２５１　シフトレジスタ
３００　パルス出力回路
３０１　スイッチ
３０２　インバータ回路
３０３　インバータ回路
３０４　スイッチ
３０５　インバータ回路
３３１　パルス出力回路
３３２　パルス出力回路
３５０　パルス出力回路
３５１　薄膜トランジスタ
３５２　抵抗素子
３５３　薄膜トランジスタ
３５４　抵抗素子
３５５　薄膜トランジスタ
３５６　薄膜トランジスタ
３５７　抵抗素子
３５８　薄膜トランジスタ
３５９　配線
３６０　配線
５００　基板
５０１　ソース線駆動回路
５０２Ａ　ゲート線駆動回路
５０２Ｂ　ゲート線駆動回路
５０３　画素部
５０４Ａ　ＦＰＣ
５０４Ｂ　ＦＰＣ
５５０　保護回路
５５１　保護回路
５６０　薄膜トランジスタ
５６１　薄膜トランジスタ
５６２　薄膜トランジスタ
５６３　薄膜トランジスタ
５６４　薄膜トランジスタ
５６５　薄膜トランジスタ
５６６　薄膜トランジスタ

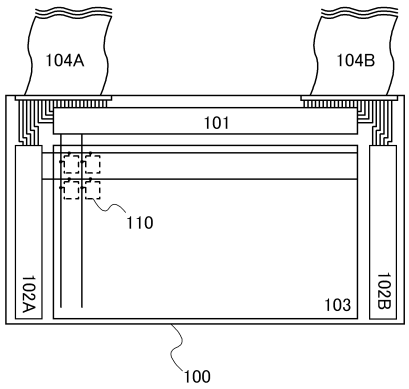
５６７　薄膜トランジスタ
５６８　抵抗素子
５６９　配線
５７０　抵抗素子
５７１　抵抗素子
５７２　薄膜トランジスタ
５７３　配線
５８０　基板
５８１　薄膜トランジスタ
５８５　絶縁層
５８７　電極層
５８８　電極層
５８９　球形粒子
５９０ａ　黒色領域
５９０ｂ　白色領域
５９４　キャビティ
５９５　充填材
５９６　基板
６０１　抵抗素子
６０２　薄膜トランジスタ
６０３　抵抗素子
６０４　薄膜トランジスタ
６０５　抵抗素子
６０６　薄膜トランジスタ
６０７　抵抗素子
６０８　薄膜トランジスタ
７０１　抵抗素子
７０２　薄膜トランジスタ
７０３　薄膜トランジスタ
７３０　容量素子
７３１　薄膜トランジスタ
７２１　薄膜トランジスタ
７５１　クロック信号用レベルシフタ
７５２　スタートパルス用レベルシフタ
７５３　パルス出力回路
７５４　ＮＡＮＤ回路
７５５　バッファ
７８１　シフトレジスタ
８０１　電源線
８０２　電源線
８０３　制御信号線
８０４　制御信号線
８０５　制御信号線
８０６　酸化物半導体層
８０７　配線層
８０８　配線層
８０９　コンタクトホール
９００　基板
９０１　第１の配線
９０２　ゲート端子

９０３　絶縁層
９０４　コンタクトホール
９０５　酸化物半導体層
９０６　酸化物半導体層
９０７　配線
９０８　配線
９０９　酸化シリコン層
９１０　窒化シリコン層
９１１ａ　バッファ層
９１１ｂ　バッファ層
９１１ｃ　バッファ層
９１１ｄ　バッファ層
９１１ｅ　バッファ層
９１２　配線
９５０　酸化物半導体膜
９５１　酸化物半導体膜
９６０　酸化物半導体層
９６１　酸化物半導体層
９６２　酸化物半導体層
９６３　酸化物半導体層
９６４　酸化物半導体層
９６５　酸化物半導体層
９６６　酸化物半導体層
９６７　酸化物半導体層
９６８　酸化物半導体層
１００１　チャネル保護層
１０１０ａ　バッファ層
１０１０ｂ　バッファ層
１４００　パルス出力回路
１４０１　インバータ回路
１４０２　スイッチ
１４０３　容量素子
１４１１　薄膜トランジスタ
１４１２　抵抗素子
１４１３　薄膜トランジスタ
１４１４　容量素子
１４１５　配線
１４１６　配線
２００１　酸化物半導体層
２００２　酸化物半導体層
４５０１　基板
４５０２　画素部
４５０３ａ　ソース線駆動回路
４５０３ｂ　ソース線駆動回路
４５０４ａ　ゲート線駆動回路
４５０４ｂ　ゲート線駆動回路
４５０５　シール材
４５０６　基板
４５０７　充填材
４５０９　薄膜トランジスタ

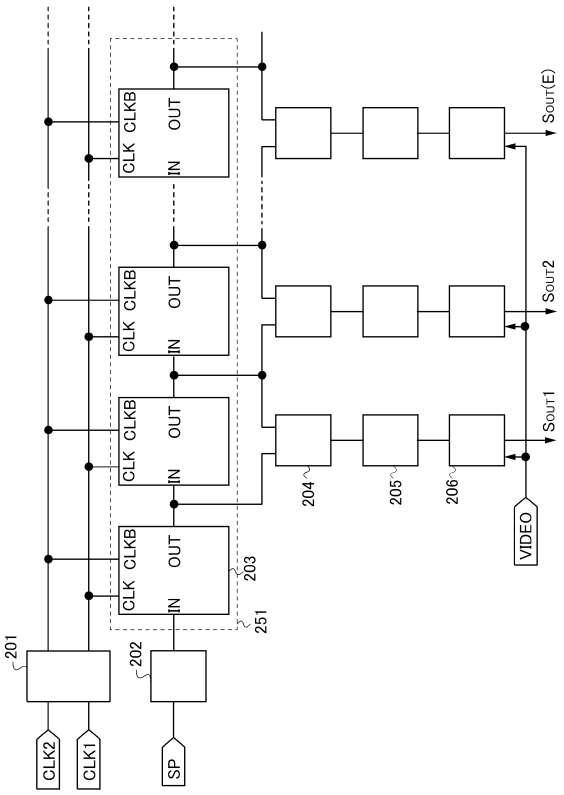
４５１０　薄膜トランジスタ
４５１１　発光素子
４５１２　電界発光層
４５１３　電極層
４５１５　接続端子電極
４５１６　端子電極
４５１７　電極層
４５１８ａ　ＦＰＣ
４５１８ｂ　ＦＰＣ
４５１９　異方性導電膜
４５２０　隔壁
６４００　画素
６４０１　薄膜トランジスタ
６４０２　薄膜トランジスタ
６４０３　発光素子
６４０５　ソース線
６４０６　ゲート線
６４０７　電源線
６４０８　共通電極
７００１　薄膜トランジスタ
７００２　発光素子
７００３　陰極
７００４　発光層
７００５　陽極
７０１１　薄膜トランジスタ
７０１２　発光素子
７０１３　陰極
７０１４　発光層
７０１５　陽極
７０１６　遮蔽層
７０１７　導電層
７０２１　薄膜トランジスタ
７０２２　発光素子
７０２３　陰極
７０２４　発光層
７０２５　陽極
７０２７　導電層
９６３０　筐体
９６３１　表示部
９６３２　スピーカ
９６３３　操作キー
９６３４　接続端子
９６３５　記録媒体読込部
９６４０　筐体
９６４１　表示部
９６４２　スピーカ
９６４３　操作キー
９６４４　接続端子
９６４５　シャッターボタン
９６４６　受像部

９６５０　筐体
９６５１　表示部
９６５２　スピーカ
９６５３　操作キー
９６５４　接続端子
９６６０　筐体
９６６１　表示部
９６６２　スピーカ
９６６３　操作キー
９６６４　接続端子
９６６５　ポインティングデバイス
９６６６　外部接続ポート
９６７０　筐体
９６７１　表示部
９６７２　スピーカ
９６７３　操作キー
９６７４　マイクロフォン

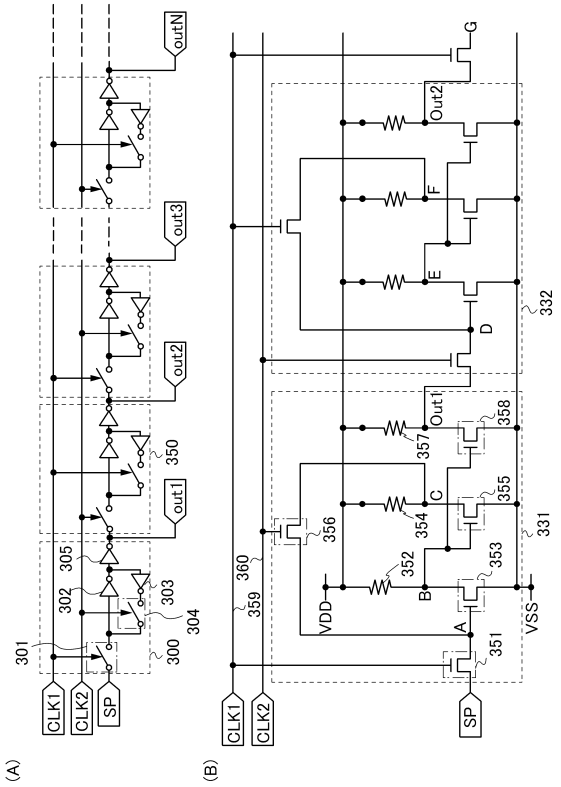
【図１】



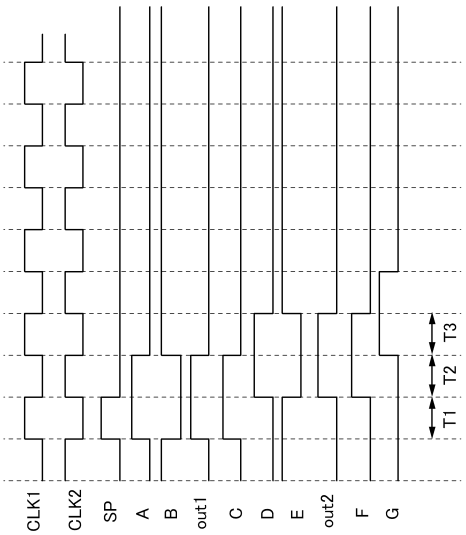
【図２】



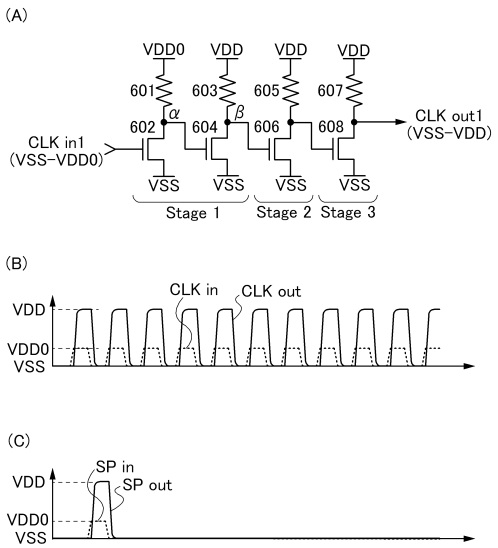
【図３】


outN
out3
out2
out1
350
305
302
303
304
301
300
CLK1
CLK2
SP
(A)
(B)
G
Out2
F
E
D
332
Out1
358
357
C
355
356
354
331
360
352
353
359
VDD
B
A
VSS
351

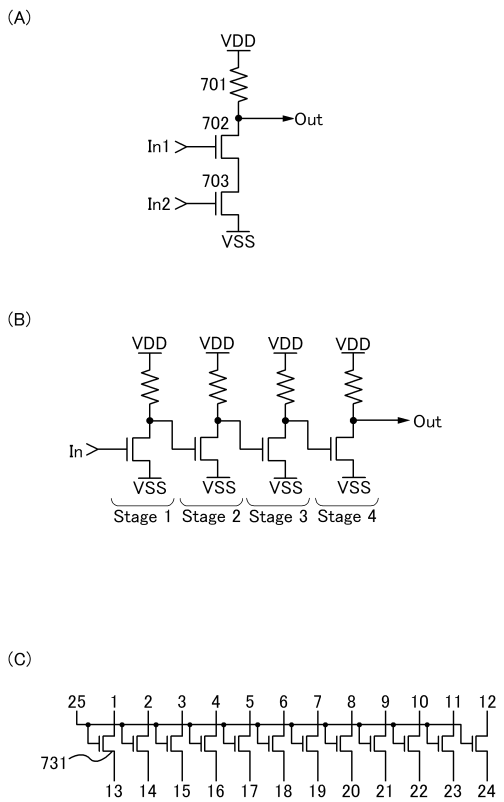
【図４】


T1
T2
T3
CLK1
CLK2
SP
A
B
out1
C
D
E
out2
F
G

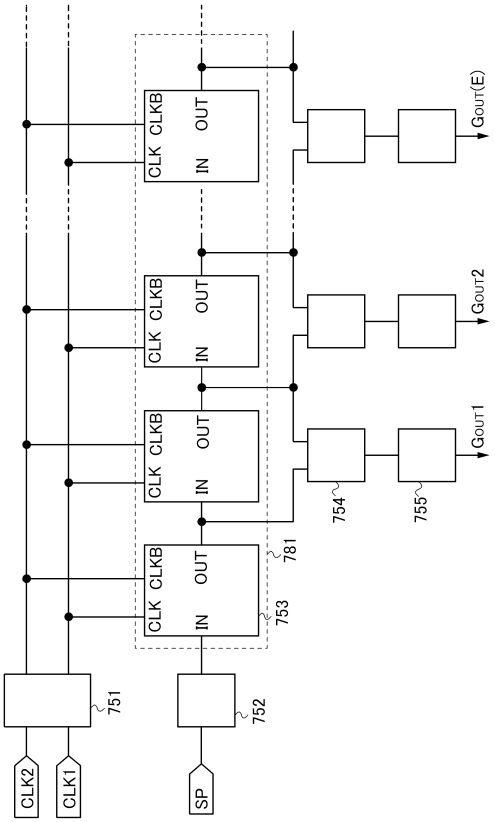
【図５】


(A)
VDD0
VDD
601
603
605
607
α
β
602
604
606
608
CLK in1
(VSS-VDD0)
CLK out1
(VSS-VDD)
VSS
Stage 1
Stage 2
Stage 3
(B)
CLK in
CLK out
VDD
VDD0
VSS
(C)
SP in
SP out

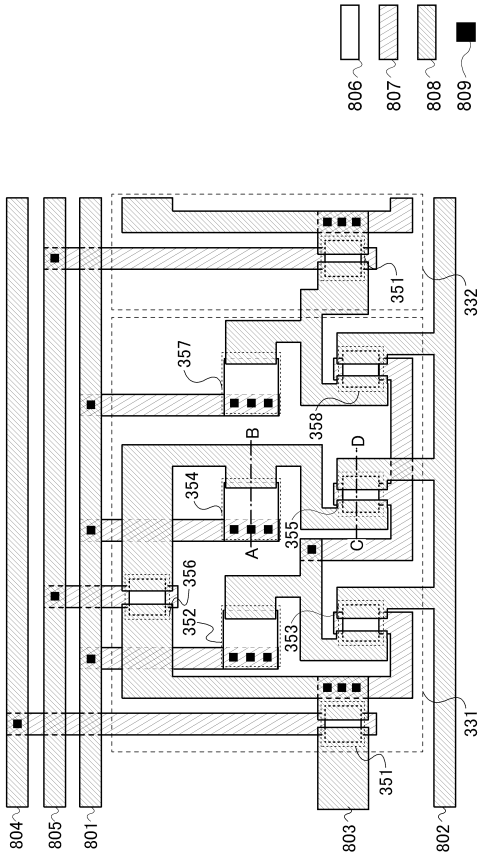
【図６】


(A)
VDD
701
Out
702
In1
703
In2
VSS
(B)
In
Stage 1
Stage 2
Stage 3
Stage 4
(C)
25
1
2
3
4
5
6
7
8
9
10
11
12
731
13
14
15
16
17
18
19
20
21
22
23
24

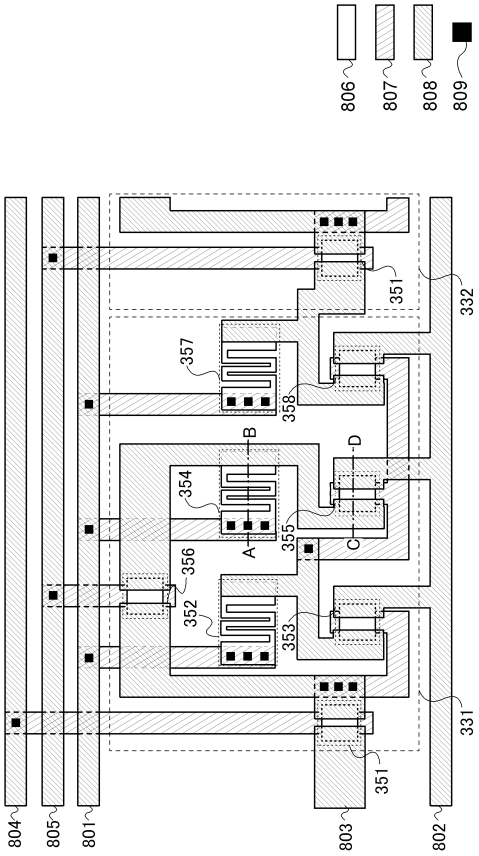
【図７】


CLK2
CLK1
SP
751
752
753
754
755
781
CLK CLKB
IN OUT
GOUT(E)
GOUT2
GOUT1

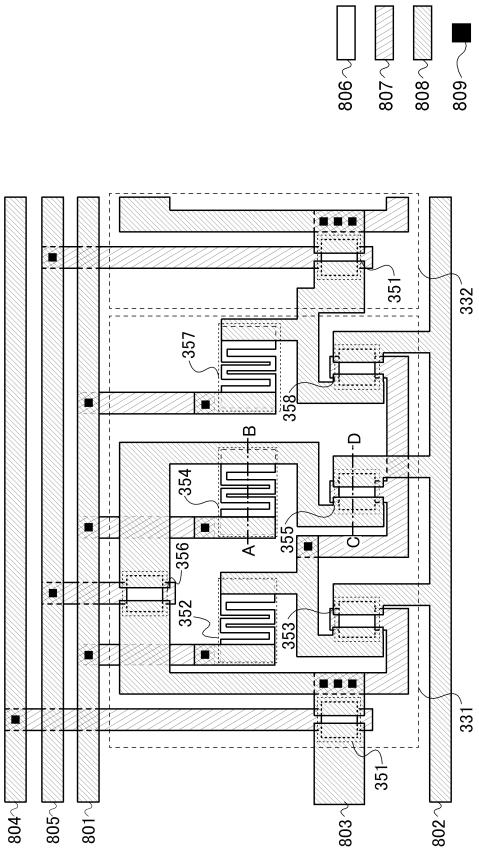
【図８】


806
807
808
809
804
805
801
803
802
351
331
332
352
353
354
355
356
357
358
A
B
C
D

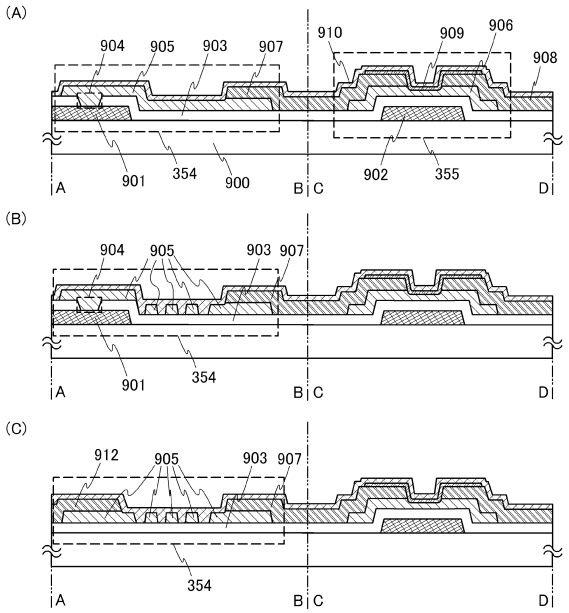
【図９】


806
807
808
809
804
805
801
803
802
351
331
332
352
353
354
355
356
357
358
A
B
C
D

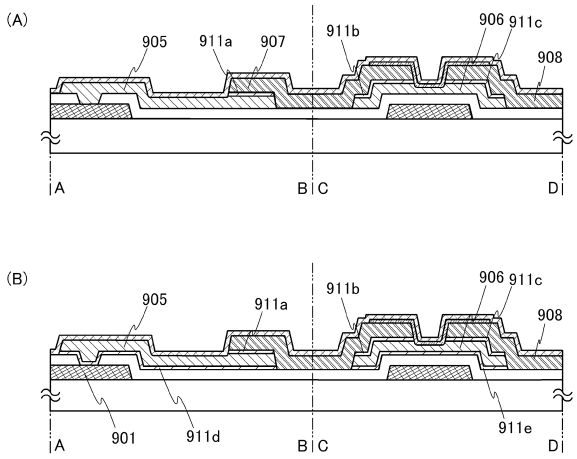
【図１０】


806
807
808
809
804
805
801
803
802
351
331
332
352
353
354
355
356
357
358
A
B
C
D

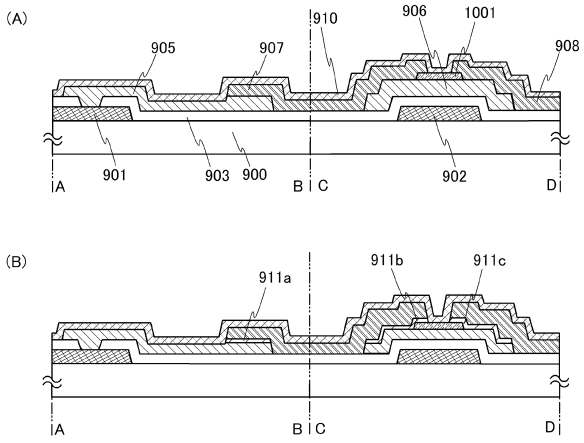
【図１１】



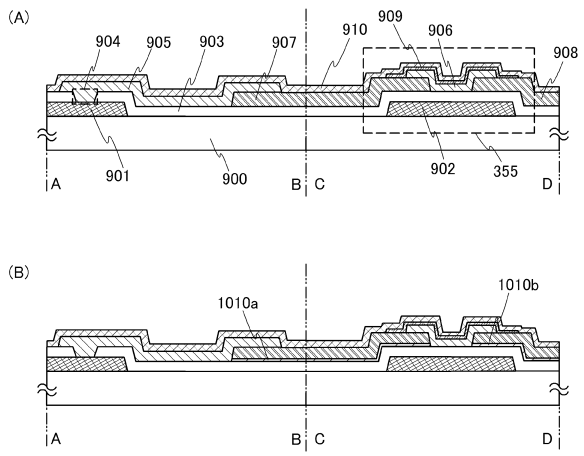
【図１２】



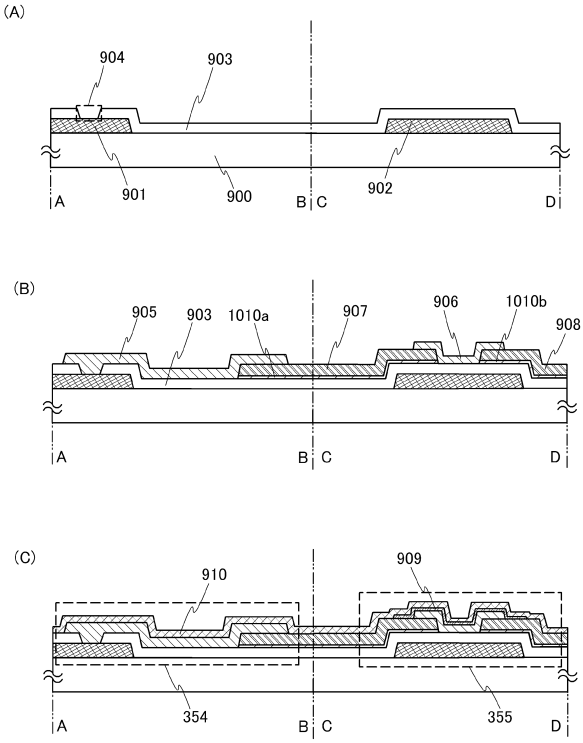
【図１３】



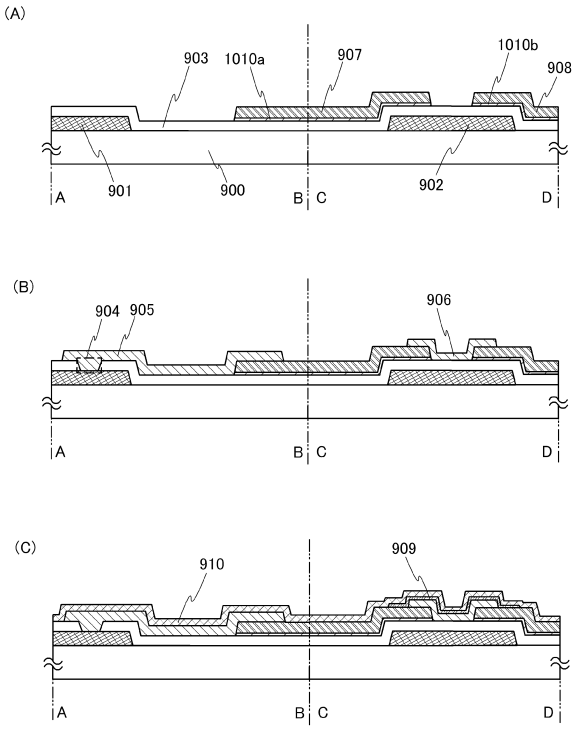
【図１４】



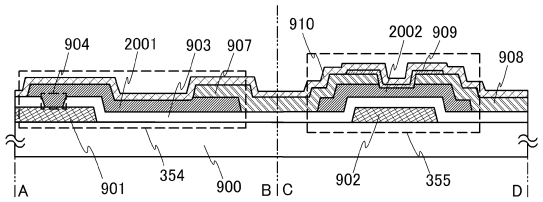
【図１５】



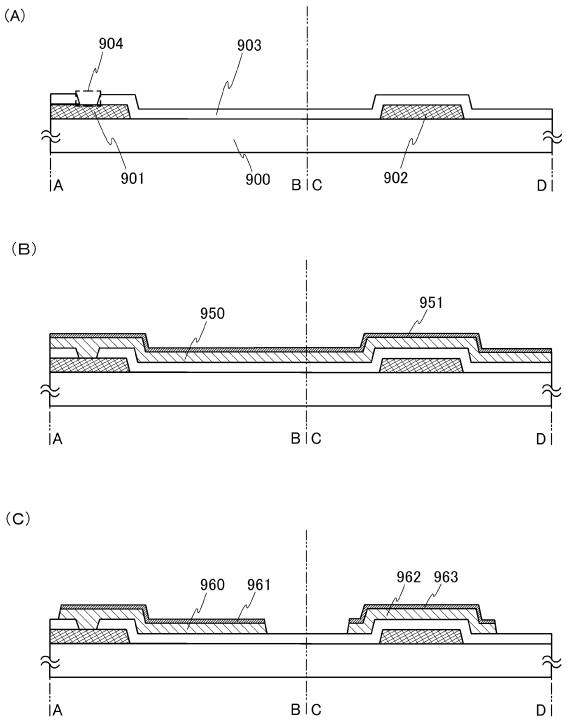
【図１６】



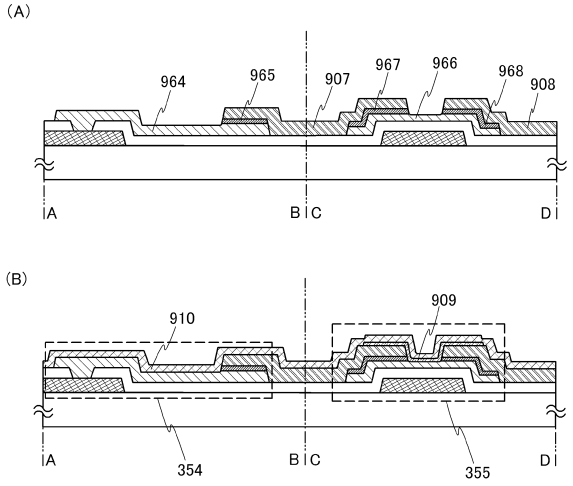
【図１７】



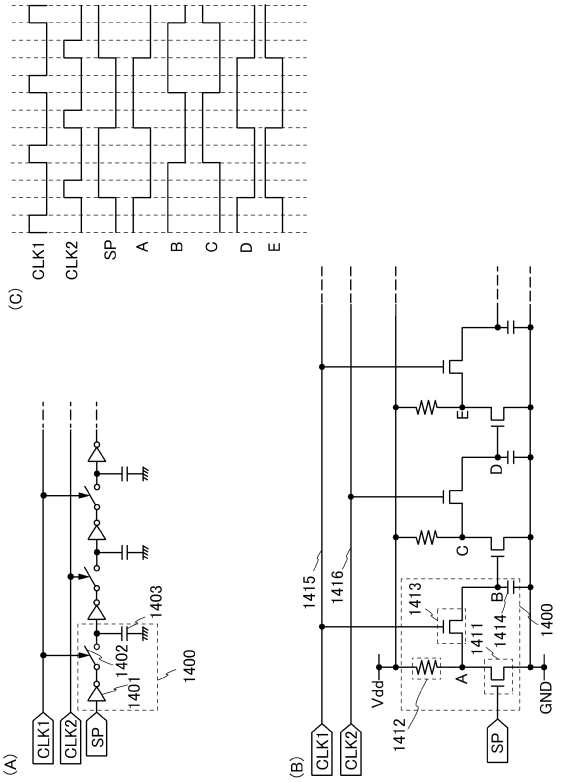
【図１８】



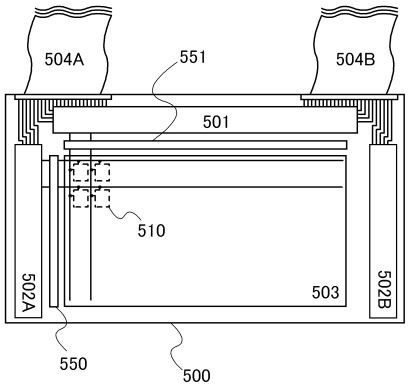
【図１９】



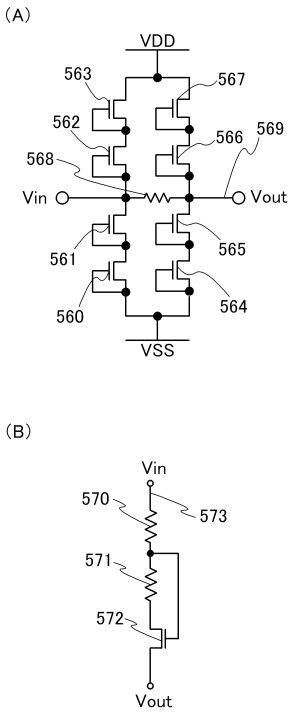
【図２０】



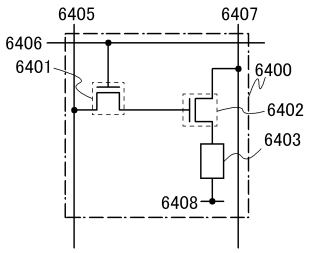
【図２１】



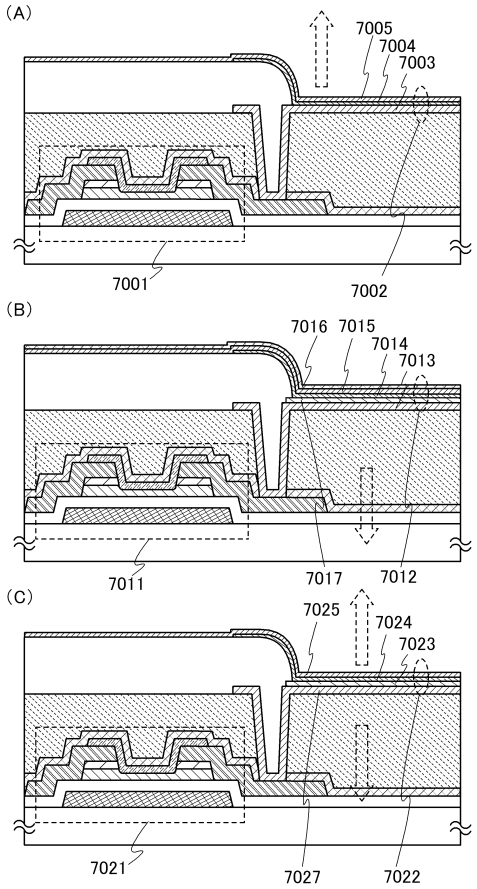
【図２２】



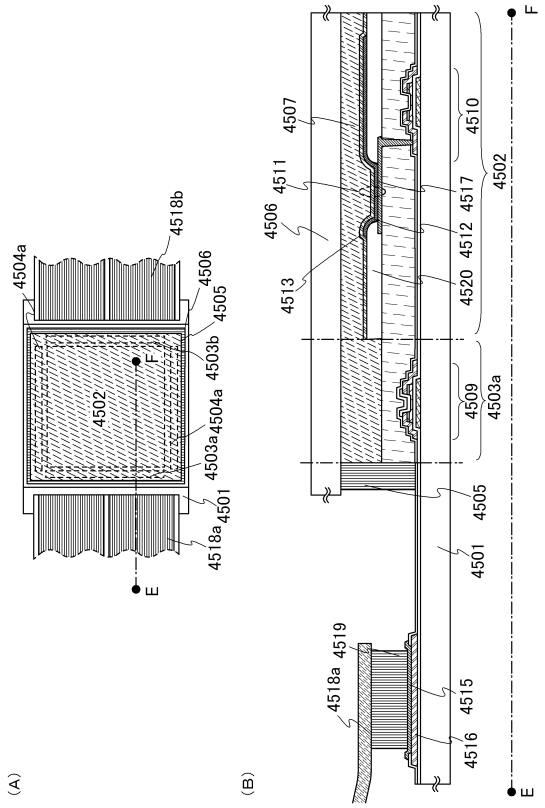
【図２３】



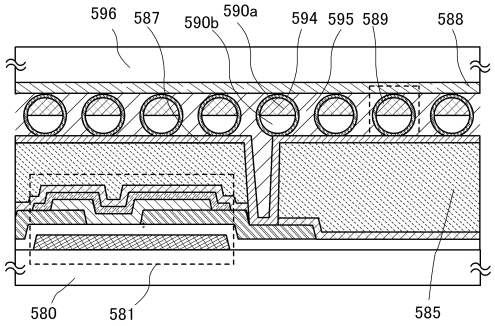
【図２４】



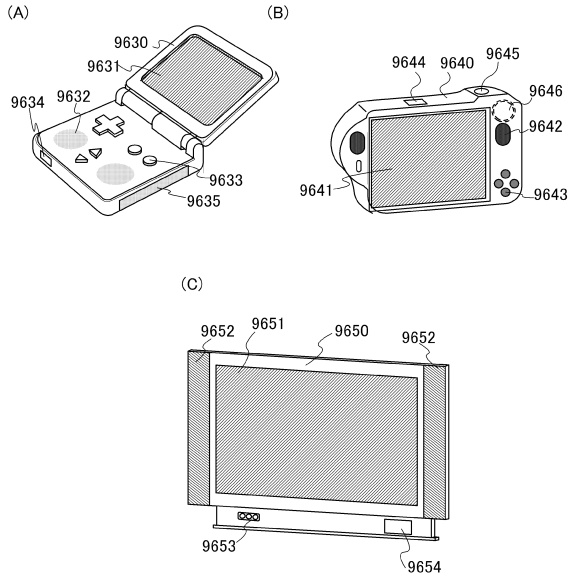
【図２５】



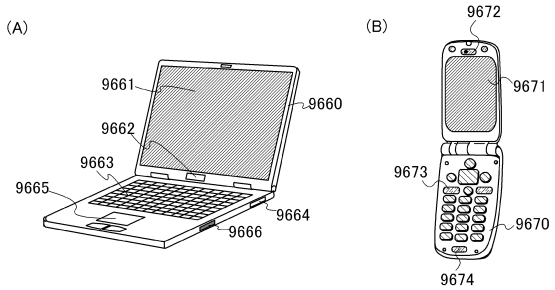
【図２６】



【図２７】


(A)
9630
9631
9634
9632
9633
9635
(B)
9644
9640
9645
9646
9642
9641
9643
(C)
9652
9651
9650
9652
9653
9654

【図２８】


(A)
9661
9660
9662
9663
9665
9664
9666
(B)
9672
9671
9673
9670
9674

フロントページの続き

(51)Int.Cl.			FI		
H05B	*33/14*	*(2006.01)*	H05B	33/14	Z
G09F	*9/30*	*(2006.01)*	G09F	9/30	338

(72)発明者　淺野　裕治
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　肥塚　純一
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　市川　武宜

(56)参考文献　特開２００８－０８５０４８（ＪＰ，Ａ）
特開２００８－３００５１８（ＪＰ，Ａ）
特開２００７－２２０８１７（ＪＰ，Ａ）
特開２００７－２５０９８３（ＪＰ，Ａ）
特開平０４－１００２７０（ＪＰ，Ａ）
特開２００６－１５６９２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２９／７８６
Ｇ０９Ｆ　９／３０
Ｈ０１Ｌ　２１／８２３４
Ｈ０１Ｌ　２７／０６
Ｈ０１Ｌ　２７／０８
Ｈ０１Ｌ　５１／５０
Ｈ０５Ｂ　３３／１４