

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5950507号
(P5950507)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int.Cl.

F 1

H01L 27/146 (2006.01)

H01L 27/14

A

H01L 27/08 (2006.01)

H01L 27/08

331B

H01L 21/76 (2006.01)

H01L 21/76

M

請求項の数 11 (全 17 頁)

(21) 出願番号

特願2011-103007 (P2011-103007)

(22) 出願日

平成23年5月2日(2011.5.2)

(65) 公開番号

特開2012-234988 (P2012-234988A)

(43) 公開日

平成24年11月29日(2012.11.29)

審査請求日

平成26年4月30日(2014.4.30)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 川端 康博

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 西出 隆二

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法およびCMOSイメージセンサーの製造方法

(57) 【特許請求の範囲】

【請求項 1】

シリコン基板の第1部分を覆い、前記シリコン基板の前記第1部分に隣接する第2部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する工程と、

前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバーズピーク部の下へ斜めイオン注入を行うことにより、第1導電型の第1の不純物領域を形成する工程と、

前記酸化シリコン膜のうち前記バーズピーク部よりも厚い部分の下へイオン注入を行うことにより、第1導電型の第2の不純物領域を形成する工程と、

前記窒化シリコン膜を除去した後に、前記第1導電型とは反対の第2導電型の不純物領域を前記第1部分に有する光電変換素子を形成する工程と、

前記第2導電型の不純物領域と前記シリコン基板の表面との間に、第1導電型の第3の不純物領域を形成する工程と、を備え、

前記第2導電型の不純物領域は、前記バーズピーク部を覆うレジスト膜をマスクとして前記第1部分にイオン注入を行うことにより、形成されることを特徴とする半導体装置の製造方法。

【請求項 2】

前記第1の不純物領域を形成する前記工程の後に、前記光電変換素子の信号電荷を転送するための転送ゲートを形成する工程を備えることを特徴とする請求項1に記載の半導体装置の製造方法。

10

20

【請求項 3】

前記斜めイオン注入の注入角は、前記バーズピーク部の上面の前記第2部分とは反対側の端と、前記バーズピーク部の前記上面の前記第2部分側の端と、を結ぶ直線が前記シリコン基板の正面の法線に対して成す角度以下であることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項 4】

前記第2部分は前記第1部分を囲んでおり、前記斜めイオン注入を、前記シリコン基板の正面に平行な方向における少なくとも2方向から行うことを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項 5】

前記酸化シリコン膜を形成する前記工程および前記第1の不純物領域を形成する前記工程において、前記シリコン基板と前記窒化シリコン膜との間には、酸化シリコン層と、前記酸化シリコン層と前記窒化シリコン膜との間に位置するポリシリコン層が設けられていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項 6】

前記斜めイオン注入のドーズ量が、 1×10^{12} 以上 1×10^{14} 以下 ions/cm² であり、

前記斜めイオン注入の注入エネルギーは、前記第1の不純物領域が前記バーズピーク部に接するように設定されており、

前記斜めイオン注入を、前記シリコン基板と前記酸化シリコン膜の界面で前記第1の不純物領域の不純物濃度が最大となるように行うことを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項 7】

前記第2の不純物領域は前記第2導電型の不純物領域よりも前記シリコン基板の深い位置まで形成されることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

【請求項 8】

前記第2の不純物領域を形成する前記工程では、前記窒化シリコン膜を除去した後に形成された前記第1部分を覆うレジスト膜をマスクとして、前記第2部分にイオン注入を行うことにより、前記第2の不純物領域を形成することを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項 9】

前記窒化シリコン膜を除去した後に、前記第1部分へイオン注入を行って、第1導電型のウェル領域を形成する工程を備え、

前記ウェル領域の不純物濃度は、前記第2の不純物領域の不純物濃度よりも低く、

前記第2導電型の不純物領域は、前記ウェル領域を介して、前記第2の不純物領域から離れて形成されることを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置の製造方法。

【請求項 10】

前記第2の不純物領域は、前記第2導電型の不純物領域よりも前記シリコン基板の深い位置で前記ウェル領域に接していることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項 11】

請求項1乃至10のいずれか1項に記載の半導体装置の製造方法を用いたCMOSイメージセンサーの製造方法であって、前記酸化シリコン膜の厚みが100~600nmであることを特徴とするCMOSイメージセンサーの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に酸化シリコン膜を有する素子分離構造に

10

20

30

40

50

関する。

【背景技術】

【0002】

半導体装置では、互いに隣り合う半導体素子の間に素子分離構造が設けられる。素子分離構造としては熱酸化によって局所的に形成された酸化シリコン膜と、酸化シリコン膜の下に形成された不純物領域を備える構造が知られている。

特許文献1には、窒化膜をマスクとして、素子分離膜を通して不純物をイオン注入し、チャネルトップ領域を形成することが開示されている。特許文献2には、素子分離絶縁層の下に、欠陥シールド領域を形成することが開示されている。特許文献3には、チャネルトップ層を形成できるようにイオン注入した後に、熱酸化によって選択酸化膜を形成するとともに注入したイオンを拡散させて、選択酸化膜のバーズピーク部を覆うチャネルトップ層を形成することが開示されている。特許文献4には、素子間分離用酸化シリコン膜の表層部にイオン注入した不純物を、アニール処理によって固相拡散させることによって、バーズピークの下にチャネルカット領域を形成することが開示されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平5-283404号公報

【特許文献2】特開平10-308507号公報

【特許文献3】特開2002-164528号公報

20

【特許文献4】特開平5-218409号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献3のようにチャネルトップ層を形成するためのイオン注入の後に選択酸化膜を形成する熱酸化を行うと、チャネルトップ層を成す不純物が広く拡散してしまい、ノイズの低減が十分でない場合があった。また、特許文献4のように素子間分離用酸化シリコン膜の表層部にイオン注入した不純物を固相拡散させると、チャネルカット領域が確実に形成できず、ノイズの低減が十分でない場合があった。

そこで本発明は、ノイズを十分に低減した半導体装置を提供することを目的とする。

30

【課題を解決するための手段】

【0005】

上記課題を解決するための本発明は、シリコン基板の第1部分を覆い、前記シリコン基板の前記第1部分に隣接する第2部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する工程と、前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバーズピーク部の下へ斜めイオン注入を行うことにより、第1導電型の第1の不純物領域を形成する工程と、前記酸化シリコン膜のうち前記バーズピーク部よりも厚い部分の下へイオン注入を行うことにより、第1導電型の第2の不純物領域を形成する工程と、前記窒化シリコン膜を除去した後に、前記第1導電型とは反対の第2導電型の不純物領域を前記第1部分に有する光電変換素子を形成する工程と、前記第2導電型の不純物領域と前記シリコン基板の表面との間に、第1導電型の第3の不純物領域を形成する工程と、を備え、前記第2導電型の不純物領域は、前記バーズピーク部を覆うレジスト膜をマスクとして前記第1部分にイオン注入を行うことにより、形成される半導体装置の製造方法である。

40

【発明の効果】

【0006】

本発明によれば、第1導電型の第1の不純物領域を精度よく形成することができる。その結果、第2導電型の不純物領域を有する半導体素子に生じるノイズが十分に低減された半導体装置を製造することができる。

【図面の簡単な説明】

50

【0007】

【図1】(a)半導体装置の一例を説明する平面模式図、(b)半導体装置の一例を説明する断面模式図。

【図2】半導体装置の製造方法の一例を説明する模式図。

【図3】半導体装置の製造方法の一例を説明する模式図。

【図4】半導体装置の製造方法の一例を説明する模式図。

【図5】半導体装置の製造方法の一例を説明する模式図。

【図6】半導体装置の製造方法の一例を説明する模式図。

【図7】半導体装置の製造方法の一例を説明する模式図。

【発明を実施するための形態】

10

【0008】

図1を用いて半導体装置の一例である撮像装置、具体的にはCMOSイメージセンサーを説明する。図1(a)は半導体装置のX-Y平面図であり、図1(b)は図1(a)のA-A'線における半導体装置の断面図である。なお、以下の説明では、第1導電型をp型、第1導電型とは反対の導電型である第2導電型をn型として説明するが、これとは逆に、第1導電型がn型、第2導電型がp型であってもよい。

【0009】

図1(a)は撮像装置の4画素を示している。各画素は第1の半導体素子群1111と第2の半導体素子群2111とを有しており、第1の半導体素子群1111と第2の半導体素子群2111はシリコン基板100に形成されている。なお、本例では、4つの画素の各々が第1の半導体素子群1111を有し、2つの画素が1つの第2の半導体素子群2111を共有している、いわゆる画素共有構造(2画素共有構造)となっている。勿論、各画素がそれぞれ別々の第2の半導体素子群2111を有していてもよいし、3つ以上の画素が1つの第2の半導体素子群2111を共有していてもよい。なお、撮像装置は、4画素に限らず、例えば100万個以上の多数の画素を含むことができる。また撮像装置は、画素に加えて、CMOSプロセスで形成される公知の周辺回路を含むこともできる。

20

【0010】

第1の半導体素子群1111は第1の素子活性部1110に、第2の半導体素子群2111は第2の素子活性部2110に、それぞれ設けられている。図1(a)では、第1の素子活性部1110、第2の素子活性部2110をそれぞれ太線で囲んで示している。なお、本例では、第2の素子活性部2110は3つの素子活性部に分けて配置されているが、第2の半導体素子群2111を1つの素子活性部にまとめて配置することもできる。

30

【0011】

第1の素子活性部1110は素子分離部3120に囲まれている。つまり、第1の半導体素子群1111は素子分離部3120で囲まれている。第2の素子活性部2110は、素子分離部3120を挟んで第1の素子活性部1110とは反対側に位置している。また、第2の素子活性部2110は素子分離部3120に囲まれている。つまり、第2の半導体素子群2111も素子分離部3120で囲まれている。

【0012】

素子分離部3120はLOCOS法によって形成された酸化シリコン膜300とシリコン基板100内に配された不純物領域121を含んでいる。酸化シリコン膜300はバーズピーク部310を有し、バーズピーク部310の下には第1導電型の第1の不純物領域121が設けられている。なお、図1(a)ではバーズピーク部310の表記を省略して第1の不純物領域121の位置を示している。

40

【0013】

第1の半導体素子群1111は半導体素子である光電変換素子111を含んでいる。ここでは、光電変換素子111はフォトダイオードであるが、フォトゲートであってもよい。第1の半導体素子群1111は、第2導電型の浮遊拡散領域115(フローティングデイフュージョン領域)を含んでいる。第1の半導体素子群1111は、光電変換素子111と浮遊拡散領域115との間に、半導体素子であるスイッチング素子を含んでいる。こ

50

のスイッチング素子は、MOS構造を有する転送ゲート600である。転送ゲート600はゲート電極601とゲート絶縁膜602とを含む。

【0014】

第2の半導体素子群2111は、半導体素子である増幅トランジスタ610とリセットトランジスタ620と選択トランジスタ630とウェルコンタクト640を含んでいる。増幅トランジスタ610とリセットトランジスタ620、選択トランジスタ630はそれぞれ、制御電極（ゲート）と2つの主電極（ソースとドレイン）を有するMOSFETである。各トランジスタの主電極116は、第1導電型の不純物領域であるウェル領域（不図示）に配された第2導電型の不純物領域として設けられている。第2の半導体素子群2111のウェル領域と、後述する第1の半導体素子群のウェル領域112は、ウェルコンタクト640を介して所定の電位に規定される。10

【0015】

浮遊拡散領域115は不図示の配線を介して増幅トランジスタ610のゲート611に接続されている。また、浮遊拡散領域115は不図示の配線を介して、リセットトランジスタ620のソースに接続されている。リセットトランジスタ620のドレインと増幅トランジスタ610のドレインには、不図示の配線によって電源電圧VDDが供給されている。増幅トランジスタ610のソースは、選択トランジスタ630のドレインと、共通の第2導電型の不純物領域からなる。選択トランジスタ630のソースには信号線を介して不図示の定電流源が接続されており、増幅トランジスタ610はその定電流源とソースフォロワ回路を構成している。20

【0016】

リセットトランジスタ620のゲート621にON信号を供給することで浮遊拡散領域115の電位を電源電圧VDDに基づく電位に規定し、浮遊拡散領域115の電荷をリセットする。リセットトランジスタ620のゲートおよび転送ゲート600にOFF信号を供給し光電変換素子111での信号電荷の蓄積を開始する。転送ゲート600にON信号を供給することにより、信号電荷は浮遊拡散領域115に転送されて、増幅トランジスタ610のゲート611の電位を変化させる。選択トランジスタ630のゲート631にON信号を供給することにより、光電変換素子111で生じた信号電荷に応じた電圧信号が信号線に現れる。このようにして取り出された信号は不図示の読み出し回路で読み出され、撮像装置の外部へ出力される。30

【0017】

図1(b)を用いて半導体装置の構成を詳述する。シリコン基板100は、第2導電型のシリコン基体101とシリコン基体101の上にエピタキシャル成長によって成膜された第2導電型のシリコン層102を有している。素子分離部3120は、酸化シリコン膜300と、第1導電型の第1の不純物領域121を含む構造（素子分離構造）を成している。更に、素子分離部3120は第1導電型の第2の不純物領域122を有することができる。第1の不純物領域121は酸化シリコン膜300の端部であるバーズピーク部310の下に位置しており、第2の不純物領域122は酸化シリコン膜300の中央部320の下に位置している。第1の不純物領域121の不純物濃度は第2の不純物領域122の不純物濃度よりも高いことが好ましいが、第1の不純物領域121の不純物濃度は第2の不純物領域122の不純物濃度以下であってもよい。第1の不純物領域121および第2の不純物領域122の不純物濃度は、例えば、 $1 \times 10^{15} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ である。第1の不純物領域121と第2の不純物領域122はどちらも酸化シリコン膜300に接している。第2の不純物領域122は第1の不純物領域121よりもシリコン基板100の深部にまで延在している。40

【0018】

光電変換素子111は、第2導電型のシリコン層102に配された第1導電型の不純物領域であるウェル領域112と、ウェル領域112の中に配された第2導電型の不純物領域である蓄積領域113とを有している。ウェル領域112と蓄積領域113はpn接合を成している。蓄積領域113とシリコン基板100の表面との間には第1導電型の不純

物領域である表面領域 114 が設けられている。ウェル領域 112 の不純物濃度は、第 2 の不純物領域 122 の濃度よりも低い。表面領域 114 の不純物濃度はウェル領域 112 の不純物濃度よりも高い。以上のように光電変換素子 111 は、いわゆる埋め込み型のフォトダイオードの構造を有している。

【0019】

LOCOS 法によって形成された酸化シリコン膜 300 のバーズピーク部 310 の近傍、特に第 1 部分 110 とバーズピーク部 310 の界面には結晶構造に不整合部が生じやすい。この不整合部で生じた電荷がノイズ（例えば、暗電流）の原因となる場合がある。なお、第 2 導電型が n 型である場合にはこれらのノイズの原因となる電荷は電子であり、第 2 導電型が p 型である場合にはこれらのノイズの原因となる電荷は正孔となる。第 1 導電型の第 1 の不純物領域 121 をバーズピーク部 310 の下に配することにより、不整合部で生じた電荷が光電変換素子 111 の第 2 導電型の蓄積領域 113 に移動して再結合することを抑制し、ノイズを低減することができる。また、光電変換素子 111 に限らず、第 2 導電型の浮遊拡散領域 115 や、第 2 の半導体素子群 2111 のトランジスタの主電極 116 である第 2 導電型の不純物領域に対しても、ノイズの影響を低減することができる。

【0020】

CMOS イメージセンサーは、シリコン基板 100 の上に設けられた複合部材 700 を備えることができる。複合部材 700 は、複数の配線層やこれらの配線を絶縁する層間絶縁層、配線層と半導体素子を接続するプラグ等の電気的機能を有する部材を必要に応じて含むことができる。また、複合部材 700 は、撮像装置への入射光を適切に光電変換素子 111 へ入射させるための光学的機能を有する部材も必要に応じて含むことができる。光学的機能を有する部材としては、入射光の通過領域を画定する遮光膜や、入射光を分光するカラーフィルタ、入射光を集光するマイクロレンズ、入射光の反射を防止する反射防止膜等が挙げられる。また、複合部材 700 は平坦化層や層間距離規定層等の機械的機能を有する部材や、金属等の拡散を防止する拡散防止層やパッシベーション層等の化学的機能を有する部材も含むことができる。また、1 つの部材が、電気的機能と機械的機能と光学的機能と化学的機能のうちの 2 つ以上を兼ね備えることもできる。

【0021】

本発明は、いわゆる裏面照射型の CMOS イメージセンサーにも適用でき、その場合には、光電変換素子 111 の受光面はシリコン基板 100 に対して、酸化シリコン膜 300 側とは反対側（シリコン基体 101 側）に設けられる。そして、複合部材 700 をシリコン基板 100 の両面に分けて配置することができる。また、CCD イメージセンサーにも本発明は適用でき、その場合には、半導体素子として、光電変換素子 111 に加えて電荷結合素子が用いられる。

【0022】

以下、半導体装置の製造方法を CMOS イメージセンサーを例にして説明する。なお、工程 d と工程 e が、第 1 の不純物領域 121 を形成するための、とりわけ特に重要な工程であるが、CMOS イメージセンサーの製造方法としてより好ましい形態を工程 a ~ 工程 o として説明する。

【0023】

（工程 a）：本工程を、図 2 (a) を用いて説明する。シリコン基体 101（シリコンウエハ）の上に、エピタキシャル成長によって第 2 導電型のシリコン層 102 を形成する。これにより、図 2 (b) に示す様に、シリコン基体 101 とシリコン層 102 とを有する第 2 導電型のシリコン基板 100 が得られる。シリコン基板 100 の正面 1000 は、本工程におけるシリコン層 102 の表面と一致する。なお、エピタキシャル成長を行わずに、シリコンウエハ自体をシリコン基板 100 として用いてもよいし、シリコン基板 100 は SOI (Silicon On Insulator) 構造を有していてもよい。また、第 2 導電型のシリコン層 102 をシリコンウエハにイオン注入を行うことによって形成してもよい。

10

20

30

40

50

【0024】

(工程b)：本工程を、図2(b)を用いて説明する。シリコン基板100(シリコン層)を酸化雰囲気中で熱処理(熱酸化)し、10~100nm程度の酸化シリコン層411を形成する。次いで、酸化シリコン層411の上に10~100nm程度のポリシリコン層421を形成する。さらにポリシリコン層421の上に窒化シリコン膜201を形成する。窒化シリコン膜201の厚みは100nm以上1000nm以下であると良い。なお、窒化シリコン膜201を厚くすると応力が大きくなり、後の工程に好ましくない影響を及ぼす場合がある。そのため、窒化シリコン膜201の厚みを500nm以下とすることが好ましい。窒化シリコン膜201の厚みを500nm以上とする場合には、窒化シリコン膜201を、密度及び厚さが異なる複数の窒化シリコン層を積層した複層膜とすることにより、窒化シリコン膜201に生じる応力を小さくすることが好ましい。例えば、減圧化学気相成長法(LPCVD)により比較的薄い第1の窒化シリコン層を形成し、この第1の窒化シリコン層上に、プラズマ化学気相成長法により第1の窒化シリコン層より厚い第2の窒化シリコン層を形成することができる。10

酸化シリコン層411とポリシリコン層421を、窒化シリコン膜201とシリコン基板100との間に中間膜401として設けることにより、窒化シリコン膜201と基板との間の応力を緩和することができる。中間膜401は酸化シリコン層411のみで構成されてもよいが、上記のように、酸化シリコン層411と窒化シリコン膜201との間にポリシリコン層421をさらに有する複層膜とすることが好ましい。

【0025】

(工程c)：本工程を、図2(c)を用いて説明する。窒化シリコン膜201の上にフォトレジスト(不図示)を塗布して、フォトリソグラフィ技術(露光・現像)を用いて、フォトレジストをパターニングする。パターニングされたフォトレジストをマスクとし、エッチング技術を用いて窒化シリコン膜201をパターニングする。これにより、窒化シリコン膜201はパターニングされた窒化シリコン膜200となる。20

これにより、シリコン基板100は、窒化シリコン膜200に覆われた第1部分110と、窒化シリコン膜200(および中間膜400)に覆われない第2部分120とに区分される。換言すれば、シリコン基板100の第1部分110のみが窒化シリコン膜200で覆われており、シリコン基板100の第1部分110以外の部分である第2部分110は、窒化シリコン膜200で覆われていない。第2部分120は第1部分110に隣接する。30

第1部分110が後に形成される半導体装置の第1の素子活性部1110に概ね対応し、第2部分120が後に形成される半導体装置の素子分離部3120に概ね対応する。そのため、フォトレジストマスクのパターン、さらには、窒化シリコン膜200のパターンは、半導体装置のレイアウトに応じて、適宜設計する。図1(a)で説明したように、第1の素子活性部1110は素子分離部3120に囲まれていることが好ましい。それは、素子活性部1110に形成される素子へのノイズの混入を低減するためである。そのため、第2部分120が第1部分110を囲むように、窒化シリコン膜200をパターニングすることが好ましい。なお、窒化シリコン膜201、中間膜401のパターニング方法はフォトリソグラフィ技術とエッチング技術を用いたものに限定されることなく、リフトオフ技術を用いることもできる。40

【0026】

(工程d)：本工程を、図2(d)および図7(a)、(b)を用いて説明する。シリコン基板100の上に配された窒化シリコン膜200をマスクとして、シリコン基板100の表面を熱酸化する。これにより、酸化シリコン膜300を形成する。この工程は、いわゆるLOCOS(Local Oxidation of Silicon)法を用いて行われる。シリコン基板100の表面のうち、第1部分110の表面は窒化シリコン膜200(および中間膜400)で覆われているので、第1部分110の表面の大部分は実質的に熱酸化されない。一方、シリコン基板100の表面のうち、第2部分120の表面は窒化シリコン膜200で覆われていないので、第2部分120の表面のほぼ全体が熱酸化50

される。このように、酸化シリコン膜300はシリコン基板100の表面に局所的に成長（選択成長）する。詳細には、酸化シリコン膜300はシリコン基板100の正面1000の上下に広がるように成長する。なお、酸化シリコン膜300は、中間膜400として設けた酸化シリコン層410と、本工程によって熱酸化されたポリシリコン層420を酸化シリコン膜300の一部として含み得る。

第1部分110の表面の端部は窒化シリコン膜200で覆われているものの、本工程では熱酸化される。第1部分110の表面の端部に形成される酸化シリコンの厚みは第2部分120の表面に形成される酸化シリコンの厚みほど大きくはないにせよ、無視できない厚みを有している。そして、第1部分110の表面の端部に形成される酸化シリコン部の厚みは、第2部分120から第1部分110に向かって徐々に小さくなっている。このような、第1部分110の表面の端部に形成される酸化シリコン部は、その形状から、慣用的にバーズピーク部310と呼ばれる。図7(a)はバーズピーク部310近傍の拡大図である。ここで、工程cで形成される酸化シリコン層410およびポリシリコン層420は実質的に均一な厚みを有するが、本工程で熱酸化を行うと、中間膜400の端部が熱酸化され酸化シリコン膜300と一体となる場合がある。中間膜400が酸化シリコン層410を含む場合には、バーズピーク部310は酸化シリコン層410の、第1部分110と窒化シリコン膜200との間に位置する部分の端部を含み得る。中間膜400がポリシリコン層を含む場合には、バーズピーク部310は、ポリシリコン層420の、第1部分110と窒化シリコン膜200との間に位置する部分の、熱酸化された端部を含み得る。このような点を考慮すると、バーズピーク部310の一端（第2部分120とは反対側の端）は、第1部分110上の酸化シリコン膜の厚みが、正面1000に平行な方向において変化し始める位置とを考えることができる。バーズピーク部310の他端（第2部分120側の端）は、第1部分110と第2部分120との境界の延長線上に位置する。なお、本工程によって窒化シリコン膜200は酸化シリコン膜300の成長に伴って図3(c)の窒化シリコン膜200の状態から図3(d)及び図7(a)のように反って変形し得る。しかしながら、工程cと本工程とで、窒化シリコン膜200の端の、正面1000に平行な方向における位置（すなわち、第1部分110と第2部分120との境界）の変化は微小であり、実質的に変化しないとみなすことができる。なお、バーズピーク部310の幅W（バーズピーク部310の一端から他端までの最短距離）は通常は、100~300nm程度である。また、中央部320の厚みは通常、100~600nm程度である。LOCOS法による素子分離構造を用いると、微細化がSTI（Shallow Trench Isolation）等の他の素子分離構造に比べて困難になる。本発明を適用できる半導体装置の大きさは特に限定されないが、撮像装置に適用する場合には、シリコン基板100の面積を200mm²以上とすると、画素の数と感度とを高水準で両立することが実用上容易になる。

なお、先の工程cにおいて、第2部分120の上に位置する中間膜400の一部または全部を除去してもよい。例えば、第2部分120の上のポリシリコン層420を工程bの状態よりも薄くしてもよいし、第2部分120の上のポリシリコン層420を完全に除去してさらに酸化シリコン層410を工程bの状態よりも薄くしてもよい。さらには、第2部分120の上の中間膜400を完全に除去して第2部分120を露出させてもよい。しかしながら、本工程dにおいて酸化シリコン膜300の形状をより好適に制御する上では、工程cにおいて、第2部分120上のポリシリコン層420の少なくとも一部と酸化シリコン層410を残しておくことが好ましい。

【0027】

（工程e）：本工程では、バーズピーク部310の下に第1の不純物領域121を形成するため、窒化シリコン膜200をマスクとして第2部分120の上方から第1部分110へイオン注入（第1のイオン注入）を行う。なお、本工程における第1部分110とは、工程cで説明した第1部分110の一部であって、工程dにおいて酸化されなかったシリコン基板100（シリコン層102）の一部である。また、本工程における第2部分120とは、工程cで説明した第2部分120の一部であって、工程dにおいて酸化されな

10

20

30

40

50

かったシリコン基板 100 (シリコン層 102) の一部である。

本工程を、図 3 (e1)、(e2)、(e3)、(e4) および図 7 (a)、(b) を用いて説明する。図 7 (b) は、おおむね第 1 の素子活性部 1110 に対応する領域の周辺の平面図であり、図 7 (b) の <1>、<2>、<3>、<4> は、図 3 (e1)、(e2)、(e3)、(e4) とそれぞれ対応している。

図 1 (a) に示す様に、第 1 の不純物領域 121 が素子活性部を囲むように設けることが好ましい。しかしながら、シリコン基板 100 の主面 1000 に平行な面内 (X-Y 面内) において、単一の方向の第 1 のイオン注入では、囲むように設けられる第 1 の不純物領域 121 のうちのせいぜい半分程度しか形成できない。そこで、図 7 (b) に示すように、第 1 のイオン注入は、シリコン基板 100 の主面 1000 に平行な面内 (X-Y 面内) において、複数の方向から行なうことが好ましい。本実施例では 4 方向のイオン注入 (矢印 D1 ~ D4) を行っている。
10

【0028】

次に、図 7 (a) を用いて、各第 1 のイオン注入におけるイオン注入角度について、詳細に述べる。第 1 のイオン注入における照射イオンのシリコン基板 100 に対する軌跡は、矢印で示す様に、シリコン基板 100 の主面 1000 に対して非平行かつ非垂直であり、第 1 のイオン注入はいわゆる斜めイオン注入となる。そのイオン注入方向は、第 2 の部分 120 の第 1 部分 110 に向かう方向である。

図 7 (a) の矢印のうち実線の矢印は第 1 の不純物領域 121 の形成に寄与する照射イオンの軌跡を示しており、矢印のうち破線の矢印は第 1 の不純物領域 121 の形成に寄与しない照射イオンの軌跡を示している。
20

【0029】

第 1 のイオン注入の注入角 θ は 10° 以上 80° 以下であるが、注入角度 θ はバーズピーク部 310 の形状に応じて設定することが望ましい。なお、注入角 θ は、シリコン基板 100 の主面 1000 に垂直な方向 (主面 1000 の法線) を基準 (0°) として定義される角度である。図 7 (a) にはバーズピーク部 310 の上面の一端 3111 (第 2 部分 120 とは反対側の端) と、上面の他端 3121 (第 2 部分 120 側の端) と、下面の一端 3112 (第 1 部分 110 側の端) と、下面の他端 3122 (第 2 部分 120 側の端) とを示している。さらに、上面の一端 3111 と上面の他端 3121 を結んだ仮想の直線を点線 A で示している。さらに、下面の一端 3112 と下面の他端 3122 を結んだ仮想の直線を点線 B、点線 B の法線であって上面の他端 3121 を通る仮想の直線を点線 B' で示している。
30

【0030】

角度 θ は主面 1000 の法線に対する直線 A の角度であり、角度 θ' は主面 1000 の法線に対する直線 B' の角度である。第 1 のイオン注入の入射角 ϕ は、 $\phi < \theta$ 以下であることが好ましく、 $\phi > \theta$ 以上であることがより好ましい。 $\phi > \theta$ である場合には本発明は好適であり、 $\phi < \theta$ が以上かつ以下 θ の範囲内 ($\phi < \theta$ かつ $\phi > \theta'$) であると、第 1 の不純物領域 121 を好適な位置に配することができる。典型的には、 $\phi < \theta$ は 60° 程度、 $\phi > \theta$ は 15° 程度であるから、 $\phi < \theta$ を 15° 以上 60° 以下とすればよい。なお、 $\phi > \theta$ である場合には $0^\circ < \phi < \theta$ とすればよいが、酸化シリコン膜 300 は、バーズピーク部 310 が $\phi < \theta$ を満足するように形成することが望ましい。
40

【0031】

このような角度で行われる第 1 のイオン注入によってバーズピーク部 310 の下に第 1 導電型の第 1 の不純物領域 121 が形成される。この第 1 の不純物領域 121 は、バーズピーク部 310 に接するように形成されることが望ましい。さらに、第 1 の不純物領域 121 のピーク濃度を有する部分はバーズピーク部 310 の直下に位置することが好ましい。特に、シリコン基板 100 と酸化シリコン膜 300 の界面、より詳細には、第 1 部分 110 とバーズピーク部 310 との界面で、もしくは界面からわずかに離れた位置で、不純物濃度が最大となるように、第 1 のイオン注入を行うことが好ましい。具体的には、第 1 のイオン注入の注入エネルギーをそのように設定すればよい。この時、第 1 の不純物領域 50

121は、バーズピーク部310から離れるにしたがって不純物濃度が小さくなるようなくなり、不純物濃度分布を有する。第1のイオン注入におけるエネルギーは、第1の不純物領域121の位置および濃度分布が上記になるように適宜設定される。具体的には、窒化シリコン膜200や酸化シリコン膜300の厚みと、イオン注入角に大きく依存するが、実用的には、10keV～200keVである。第1のイオン注入におけるドーザ量は、 1×10^{12} 以上 1×10^{14} 以下ions/cm²であると好ましい。

【0032】

注入角及び注入エネルギーを適切に設定することにより、図7(a)で矢印で示した軌跡の照射イオンのうちの大部分である、点線の矢印で示した軌跡のイオンは、窒化シリコン膜200及び酸化シリコン膜300に阻まれて基板内へは殆ど注入されない。一方、実線の矢印で示すイオンは、窒化シリコン膜200及び/又は酸化シリコン膜300を通過して、シリコン基板100(シリコン層102)内へ注入される。典型的には、照射イオンのうち酸化シリコン膜300の中央部320に照射されるイオンは、当該中央部320に阻まれて第2部分120には殆ど注入されない。そして、バーズピーク部310へ向かって照射されるイオンは、中央部320より薄いバーズピーク部310を通過して第1部分110へ注入される。実線の矢印で示したイオンの中でも、上面の他端3121の近くから第1部分110へ入射するイオンの軌跡をより太い矢印で示した。この太い矢印の軌跡でバーズピーク部310の上面の他端3121を通過ようにシリコン基板100に注入されたイオンが、第1の不純物領域121の中核(最も不純物濃度が高い部分であり、濃く示している)を成すと考えられる。

【0033】

なお、注入角を0°とした場合には、注入エネルギーが低いと、バーズピーク部310へ向かう照射イオンは窒化シリコン膜200に阻まれて、バーズピーク部310の下には注入されないであろう。一方、バーズピーク部310の下までイオンが注入されるほどに注入エネルギーを高くすると、照射イオンのほとんどが窒化シリコン膜200を通過してしまい、窒化シリコン膜200がマスクとして機能しなくなる。その結果、バーズピーク部310の下のみならず第1部分110のほぼ全域に注入されてしまうであろう。このように、斜めイオン注入を用いない場合には、所望の位置に第1の不純物領域121を形成することが不可能または著しく困難になると考えられる。

【0034】

工程dで用いたLOCOS法によって生じる酸化シリコン膜300のバーズピーク部310は、第1部分110と第2部分120の境界付近に形成される。しかし、酸化シリコン膜300を形成した後に、バーズピーク部310が形成された領域と正確に位置を合わせされたマスクを、別途形成することは困難である。また、酸化シリコン膜300の成長によって表面の形状が複雑になるため、別途形成したマスクの形状は不安定となり、第1のイオン注入のマスクとして良好に機能しなくなる場合もある。しかしながら、本工程eでは酸化シリコン膜300を成長させた際のマスクを、第1のイオン注入のマスクとして用いているため、第1の不純物領域121を自己整合的に好適な位置に配することができる。そして、バーズピーク部310の下に、直接、第1の不純物領域121を形成することができる。そのため、その位置や不純物濃度が好適に制御された第1の不純物領域121を精度よく形成することができる。その結果、後述する光電変換素子111に生じるノイズを十分に低減することができる。

【0035】

図3(e1)～図3(e4)では、このような第1のイオン注入を4方向で行っている工程を示している。図3(e1)および図7(b)の<1>に示した矢印D1は、シリコン基板100の正面に平行な面内(X-Y面内)における、第1のイオン注入の第1方向を示している。第1方向は、実質的に+X側(=0°)から-X(=180°)側へ向かう方向である。ここで、図3(e1)に示す位置に第1の不純物領域121が形成される。

また、図3(e2)および図7(b)の<2>に示した矢印D2は、シリコン基板10

10

20

30

40

50

0の正面に平行な面内(X-Y面内)における、第1のイオン注入の第2方向を示している。第2方向は、実質的に-Y(=270°)側から+Y(=90°)側へ向かう方向である。図3(e2)に示すように、更に、第1の不純物領域121が形成される。

図3(e3)および図7(b)の<3>に示した矢印D3は、シリコン基板100の正面に平行な面内(X-Y面内)における、第1のイオン注入の第3方向を示している。第3方向は、実質的に-X(=180°)側から+X(=0°)側へ向かう方向であり、第1方向とは逆の方向である。図3(e3)に示すように、更に、第1の不純物領域121が形成される。

そして、図3(e4)および図7(b)の<4>に示した矢印D4は、シリコン基板100の正面に平行な面内(X-Y面内)における、第1のイオン注入の第4方向を示している。第4方向は、実質的に+Y(=90°)側から-Y(=270°)側へ向かう方向であり、第2方向とは逆の方向である。これらの4方向からのイオン注入によって、囲むように設けられた第1の不純物領域121が形成される。つまり、各方向からのイオン注入で形成される第1の不純物領域は、互いに接続し、連続した第1の不純物領域121を形成する。

【0036】

図3(e1)～図3(e4)に示す工程、すなわち第1～4方向での各イオン注入を行う順序は特に限定されない。また、各方向での第1のイオン注入の条件(注入角等)は、それぞれ同様の条件を用いることができる。なお、図6(b)においては、第1の不純物領域121の形成に寄与するイオンの軌跡のみを実線の矢印(D1～D4)で示している。そして、第1の不純物領域121の形成に寄与しないイオンの軌跡(図3(e1)～(e4)、図7(a)における破線の矢印の記載を省略している。

【0037】

このように、バーズピーク部310の延在方向に垂直な複数の方向からそれぞれ、斜めイオン注入を行うことにより、好適に第1の不純物領域121を形成することができる。なお、ここでは、第1の素子活性部1110に概ね対応した部分の近傍に第1の不純物領域121を形成する工程を説明したが、本工程で、第2の素子活性部1110に概ね対応した部分の近傍にも第1の不純物領域121を同時に形成することができる。ただし、第1の不純物領域121をすべての素子活性部に対応して形成する必要はない。第1の不純物領域121が不要な素子活性部に対応する部分には、マスクを適宜配置して、バーズピーク部310の下に第1の不純物領域121が形成されないようにすることができる。

【0038】

(工程f)：本工程を、図4(f)を用いて説明する。窒化シリコン膜200を除去し、ポリシコン層を除去する。窒化シリコン膜200はH₃PO₄(リン酸)を用いたウェットエッチングで除去することができる。ポリシコン層はドライエッチングやウェットエッチングで除去することができる。そして、第1部分110の上に残った酸化シリコン層410を除去して第1部分110の表面を露出させる。酸化シリコン層410はHF(フッ酸)を用いたウェットエッチングで除去することができる。なお、酸化シリコン層410のウェットエッチングでは、酸化シリコン膜300の表面の一部もわずかにエッチングされるが、酸化シリコン膜300が完全に除去されないように、エッチング時間を調整する。

【0039】

(工程g)：本工程を、図4(g)を用いて説明する。第1部分110の表面を酸化して、酸化シリコンからなる薄いバッファ膜430を形成し、さらにバッファ膜430の上に、感光性樹脂からなる第1のレジスト膜210を形成する。なお、バッファ膜430の形成方法は、ドライ酸化でもよいしウェット酸化でもよい。このレジスト膜は、第1部分110を覆い、第2部分120を覆わないようにフォトリソグラフィ法によりパターンがされている。第1のレジスト膜210をマスクとして第2部分120の上方から第2部分120へイオン注入(第2のイオン注入)を行う。これによって、第2の不純物領域122を形成する。第2のイオン注入におけるドーズ量は、 1×10^{12} 以上 1×10^{14} 以

10

20

30

40

50

下 ions / cm² であると好ましい。また、第2の不純物領域 122 は、第1の不純物濃度よりもシリコン基板 100 の深い位置に存在するように形成される。第2のイオン注入の注入角は、15°以下とすることが好ましく、0°とすることがより好ましい。

【0040】

(工程 h) : 本工程を、図 5 (h) を用いて説明する。第1のレジスト膜 210 を除去した後に、シリコン基板 100 の上に、感光性樹脂からなる第2のレジスト膜 220 を形成する。第2のレジスト膜 220 は、第2部分 120 を覆い、第1部分 110 を覆わないようにフォトリソグラフィ法によりパターニングされている。第2のレジスト膜 220 をマスクとして第1部分 110 の上方から第1部分 110 へイオン注入 (第3のイオン注入) を行う。これによって、第1導電型のウェル領域 112 を形成する。ウェル領域 112 の不純物濃度は、第1の不純物領域 121 及び第2の不純物領域 122 の不純物濃度よりも低くなるよう行われる。

10

【0041】

(工程 i) : 本工程を、図 5 (i) を用いて説明する。第2のレジスト膜 220 とバッファ膜 430 を除去して、第1部分 110 を露出させる。

【0042】

(工程 j) : 本工程を、図 5 (j) を用いて説明する。熱酸化などのドライ酸化、あるいはISSG (In Situ Steam Generation) などのウェット酸化により、第1部分 110 の上に酸化シリコンからなるゲート絶縁膜 602 を形成する。さらに、第1部分 110 の上のゲート絶縁膜 602 の上に、ポリシリコン膜 501 を形成する。なお、ポリシリコン膜 501 は第2部分 120 の上の酸化シリコン膜 300 の上にも形成される。

20

【0043】

(工程 k) : 本工程を、図 5 (k) を用いて説明する。ポリシリコン膜 501 の上にフォトレジスト (不図示) を塗布して、フォトリソグラフィ技術 (露光・現像) を用いて、フォトレジストをパターニングする。パターニングされたフォトレジストをマスクとし、エッチング技術を用いてポリシリコン膜 501 をパターニングする。ポリシリコン膜 501 は転送ゲート 600 の形状に応じた形状にパターニングされ転送ゲート 600 のゲート電極 601 が形成される。

なお、図示はしないが、本工程において、第2の半導体素子群 2111 のゲート 611 、621 、631 も同時に形成することができる。

30

【0044】

(工程 l) : 本工程を、図 6 (l) を用いて説明する。シリコン基板 100 の上に、感光性樹脂からなる第3のレジスト膜 230 を形成する。この第3のレジスト膜 230 は、第1部分 110 の端部と第2部分 120 とを含む第3部分 130 及び、第1部分 110 の一部である第5部分 150 を覆う。そして、第3のレジスト膜 230 は、第1部分 110 の大部分である第4部分 140 を覆わないようにフォトリソグラフィ法によりパターニングされている。第3部分 130 は第1部分 110 の端部を含み、第3部分 130 の端部は第1部分 110 の端部に相当する。つまり、第3部分 130 は、第2部分 120 を含み、第2部分 120 から第1部分 110 に向かって拡張されている。このような第3のレジスト膜 230 をマスクとして第4部分 140 の上方から第4部分 140 へイオン注入 (第4のイオン注入) を行う。これによって、第2導電型の蓄積領域 113 を形成する。第3のレジスト膜 230 が第3部分 130 の端部を覆うことによって、蓄積領域 113 は、ウェル領域 112 を介して、第2の不純物領域 122 から離れて形成される。

40

【0045】

(工程 m) : 本工程を、図 6 (m) を用いて説明する。引き続き第3のレジスト膜 230 をマスクとして、第4部分 140 の上方から第4部分 140 へイオン注入 (第5のイオン注入) を行う。これにより第1導電型の表面領域 114 が形成される。以上のようにして、第1半導体素子群の光電変換素子 111 として、埋め込み型フォトダイオードが形成される。この時、第5のイオン注入はゲート電極 601 の上方から第4部分 140 へイオ

50

ン注入する斜めイオン注入でもよい。

【0046】

(工程n)：本工程を、図6(n)を用いて説明する。第3のレジスト膜230を除去して、シリコン基板100の上に感光性樹脂からなる第4のレジスト膜240を形成する。この第4のレジスト膜240は、第3部分130と第4部分140を覆い、第5部分150を覆わないようにフォトリソグラフィ法によりパターニングされている。第5部分150の上方から第5部分150へイオン注入(第6のイオン注入)を行う。これによって、第1の半導体素子群1111の容量素子として、第1導電型の浮遊拡散領域115が形成される。なお、図示はしないが、本工程において、第2の半導体素子群2111の主電極116をなす不純物領域も同時に形成することができる。

10

【0047】

(工程o)：本工程を、図6(o)を用いて説明する。第4のレジスト膜240を除去し、シリコン基板100の上に複合部材700を形成する。複合部材700は、層間絶縁層や配線層、さらに層間絶縁層の上に配置されるカラーフィルタやマイクロレンズ等が必要に応じて含まれる。

以上、CMOSイメージセンサーの製造方法を例にして説明してきたが、上記の記載に限定されることなく、適宜変更が可能である。

【0048】

上記した例では、第2導電型のシリコン基板100を用いて、第1導電型の第1の不純物領域121、第1導電型の第2の不純物領域122、第1導電型のウェル領域112を形成した形態を説明した。しかしながら、第1導電型のシリコン板100を用いて、当該シリコン基板100を第1導電型のウェル領域112として用い、シリコン基板100に第2導電型の蓄積領域113を形成してもよい。その場合にも、第1の不純物領域121と第2の不純物領域122とは第1導電型であればよく、第1の不純物領域121(および第2の不純物領域122)の不純物濃度を、シリコン基板100(ウェル領域)の不純物濃度よりも高くすることが好ましい。工程hのウェル領域112の形成を、窒化シリコン膜200を形成する前に行ってもよい。

20

【0049】

上記した工程eでは、シリコン基板100の主面1000に平行な面内(X-Y面内)における第1のイオン注入の方向を、図7(b)に示すようにそれぞれがバーズビーク部310の延在方向(X、Y方向)に垂直な第1~4方向とした例を説明した。しかしながら、バーズビーク部310に非垂直な方向からイオン注入を行ってもよい。例えば、=45°から=225°への方向と、=225°から=45°への方向と、=135°から=315°への方向と、=315°から=135°への方向の4方向からイオン注入を行ってもよい。この場合、X方向成分とY方向成分が重複するため、一回のイオン注入のドーズ量が半分程度とすることが可能となる。そのため、前者の4方向に比べて、第1のイオン注入に要する時間を短縮することができるであろう。

30

【0050】

また、例えば、=45°から=225°への方向と、その逆方向である=225°から=45°への方向の2方向からイオン注入を行っても、第1の不純物領域121が素子活性部を囲むように形成することができる。イオン注入の方向は2方向、4方向に限らず、8方向や16方向など、さらに多くてもよい。例えばイオン注入をしながらシリコン基板100を主面1000の面内方向で回転させるなどして、シリコン基板100の主面1000に平行な面内(X-Y面内)における第1のイオン注入の方向を連続的に変化させててもよい。なお、第1の不純物領域121は必要な箇所に形成すればよいものであって、必ずしも素子活性部を囲まなくてもよい。そのため、第1の不純物領域121が必要な箇所が、第1のイオン注入を1方向からのみ行ってもよい。

40

【0051】

また、例えばシリコン基板100をX-Y面において連続的に傾けるなどして、第1のイオン注入の注入角を、例えば範囲内で、連続的に変化させててもよい。工程

50

eと工程gを異なるマスク（窒化シリコン膜200と第1のレジスト膜210）を用いてイオン注入をする例を示したが、工程fを省略して、工程gの第2のイオン注入を窒化シリコン膜200をマスクとして行ってもよい。さらに、例えばシリコン基板100をX-Y面において連続的に傾けるなどして角度 θ を変化させ、第1のイオン注入と第2のイオン注入を連続的に行ってもよい。また、第1のイオン注入と第2のイオン注入の順序を入れ替えてよい。

【0052】

工程f以降についても、各工程の順序を適宜入れ替えたり、1つ以上の工程を省略したり、各工程を改変したりしてもよい。例えば、工程gで形成するバッファ膜430をゲート絶縁膜として用いてもよい。工程hで形成する第2のレジスト膜220を省略して第2部分120に対しても第3のイオン注入を行ってもよい。このようにすることによって、工程iを省略することができる。

また、第1～第6のイオン注入を行った後で、転送ゲート600のゲート絶縁膜及び/又はゲート電極を形成してもよい。

ただし、素子活性部に形成する第1の半導体素子群1111や第2の半導体素子群2111を構成する半導体素子を、素子分離部3120の少なくとも第1の不純物領域121を形成した後に形成することが望ましい。

なお、第2～6のイオン注入においても、必要に応じて斜めイオン注入を行ってもよい。また、第1～6のイオン注入、特に、第2のイオン注入と第3のイオン注入においては、注入エネルギーとドーズ量の少なくとも一方を異ならせた複数回のイオン注入を行ってもよい。このようにすることにより、各イオン注入で形成される不純物領域の不純物濃度分布を調整し、半導体装置の性能を向上することができる。

【0053】

第1～第4のレジスト膜を、フォトリソグラフィ法でパターニングされた感光性樹脂（フォトレジスト）としたが、これに限定されることはない。例えば、第1～第4のレジスト膜として、無機材料からなる膜をフォトリソグラフィ法及びエッチング法を用いてパターニングした、ハードマスクを用いてもよい。

【0054】

以上、撮像装置の例を説明してきたが、光電変換素子111を有する半導体装置（光電変換装置）としては、AE(Auto Exposure)センサーのような測光装置やAF(Auto Focus)センサーのような測距装置も挙げられる。また半導体装置としては、MPU等の演算装置やフラッシュメモリやDRAMのような記憶装置が挙げられる。半導体装置の中でも撮像装置は、とりわけ、ノイズが撮影画像の品質に大きく影響するため、ノイズの低減が強く求められる。そのため、撮像装置の製造方法に本発明を用いること効果的である。

【符号の説明】

【0055】

100 シリコン基板

110 第1部分

120 第2部分

200 窒化シリコン膜

300 酸化シリコン膜

310 パーズビーグ部

121 第1の不純物領域

111 光電変換素子

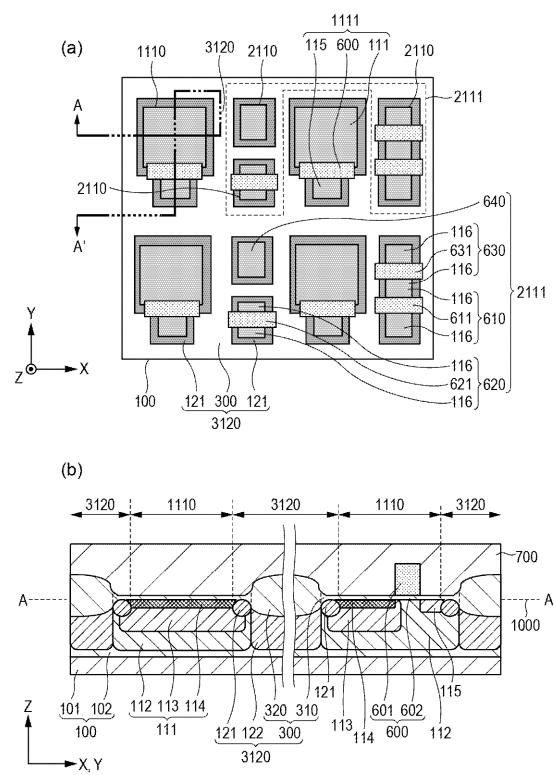
10

20

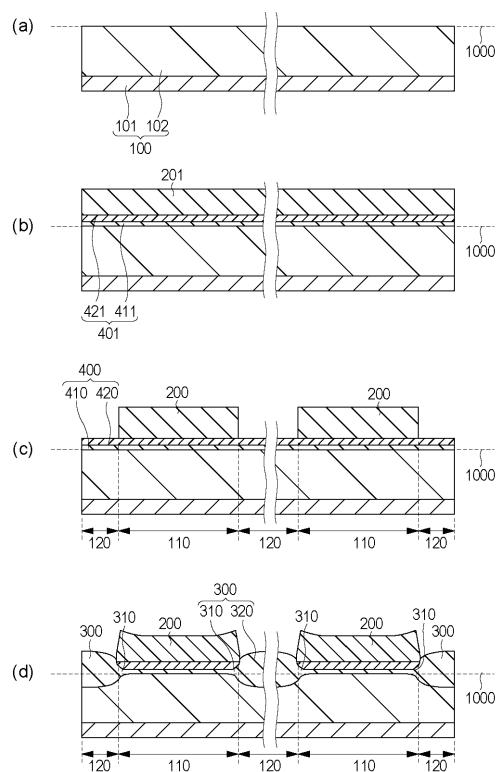
30

40

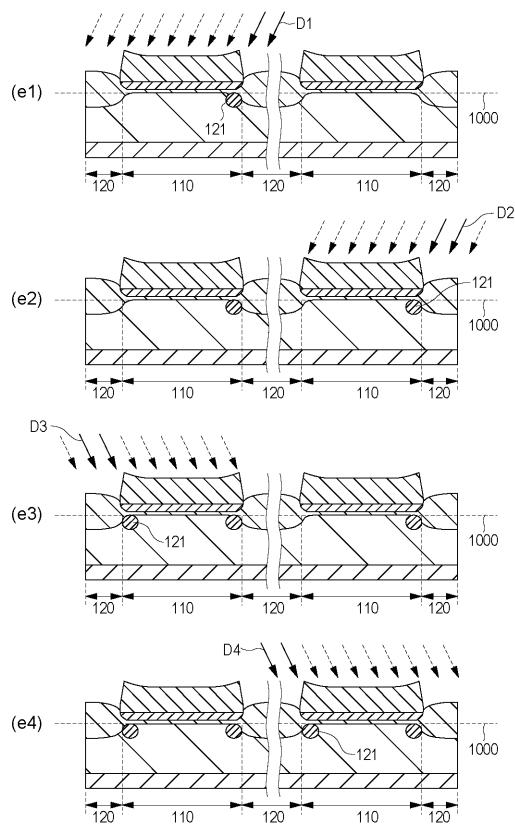
【図1】



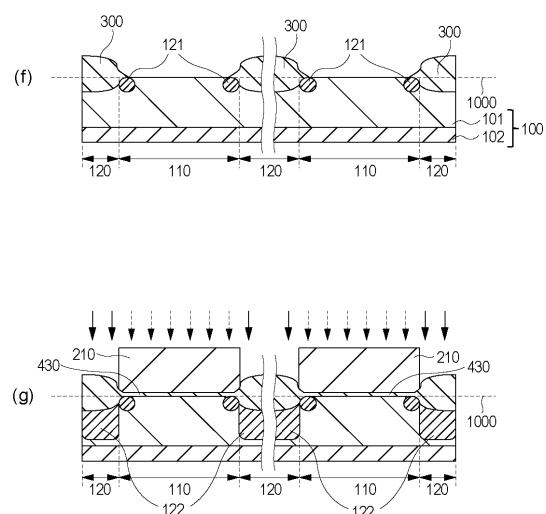
【図2】



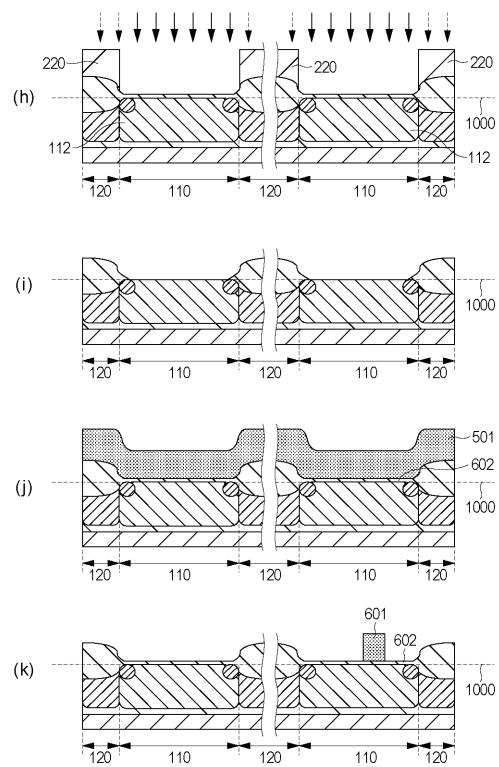
【図3】



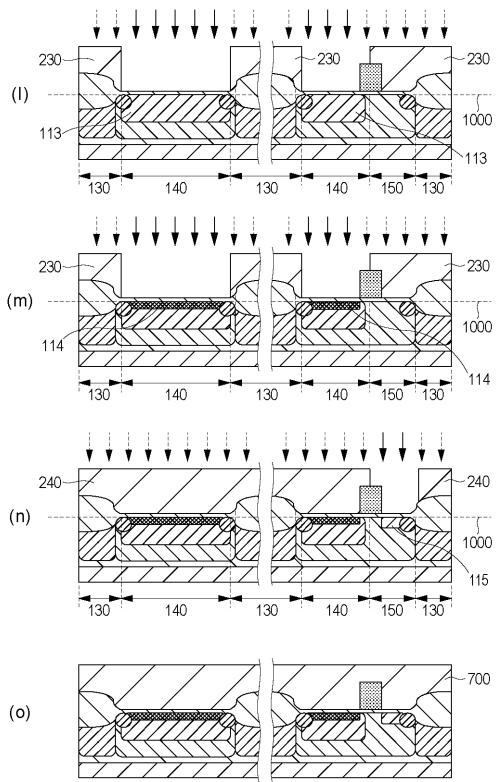
【図4】



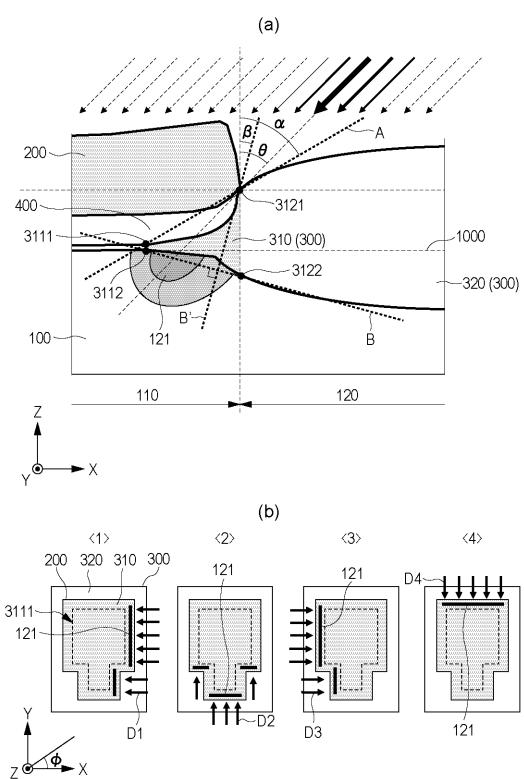
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開2003-124303(JP, A)
米国特許第05344787(US, A)
特開平02-068930(JP, A)
特開2001-237310(JP, A)
特開2002-222854(JP, A)
特開2000-299453(JP, A)
特開平10-074754(JP, A)
特開平04-196341(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H01L 21/76
H01L 27/08