

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5188382号
(P5188382)

(45) 発行日 平成25年4月24日(2013.4.24)

(24) 登録日 平成25年2月1日(2013.2.1)

(51) Int.Cl. F I
G 1 1 C 19/28 (2006.01) G 1 1 C 19/28 D
G 1 1 C 19/00 (2006.01) G 1 1 C 19/00 J

請求項の数 25 (全 42 頁)

<p>(21) 出願番号 特願2008-329104 (P2008-329104) (22) 出願日 平成20年12月25日(2008.12.25) (65) 公開番号 特開2010-152967 (P2010-152967A) (43) 公開日 平成22年7月8日(2010.7.8) 審査請求日 平成22年12月28日(2010.12.28)</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 (74) 代理人 100088672 弁理士 吉竹 英俊 (74) 代理人 100088845 弁理士 有田 貴弘 (72) 発明者 飛田 洋一 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 審査官 堀 拓也</p>
---	--

最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路

(57) 【特許請求の範囲】

【請求項1】

入力端子、出力端子およびクロック端子と、
 一定の第1電源電位を前記出力端子に供給することで、当該出力端子を充電する第1トランジスタと、

前記第1トランジスタを駆動するプルアップ駆動回路とを備えるシフトレジスタ回路であって、

前記プルアップ駆動回路は、

前記クロック端子に供給されるクロック信号を前記第1トランジスタの制御電極が接続する第1ノードに供給する第2トランジスタと、

前記第1ノードを昇圧する昇圧回路とを備え、

前記第2トランジスタは、

前記入力端子に入力される入力信号の活性化に応じてオン状態になり、前記クロック信号の活性化によって前記第1ノードが充電されたのに応じてオフ状態になり、

前記昇圧回路は、

前記第2トランジスタがオフ状態になるのに続いて前記第1ノードを昇圧することを特徴とするシフトレジスタ回路。

【請求項2】

請求項1記載のシフトレジスタ回路であって、

前記昇圧回路は、

一端が前記第 1 ノードに接続した第 1 容量素子を備え、
前記第 1 容量素子の他端が接続する第 2 ノードを充電することにより前記第 1 ノードを昇圧することを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 1 電源電位よりも絶対値が大きな第 2 電源電位を前記第 2 ノードに供給することによって前記第 2 ノードの充電を行うことを特徴とするシフトレジスタ回路。

10

【請求項 4】

請求項 2 または請求項 3 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 1 ノードに接続した制御電極を有し前記第 2 ノードを充電する負荷トランジスタを備え、
前記第 2 ノードが充電されるのに従い前記負荷トランジスタの制御電極が前記第 1 容量素子によって昇圧されるブートストラップ回路を含んでいることを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 2 または請求項 3 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 2 ノードを充電する負荷トランジスタと、
前記負荷トランジスタの制御電極と前記第 2 ノードとの間に接続する第 2 容量素子とを備え、
前記第 2 ノードが充電されるのに従い前記負荷トランジスタの制御電極が前記第 2 容量素子によって昇圧されるブートストラップ回路を含んでいることを特徴とするシフトレジスタ回路。

20

【請求項 6】

請求項 1 から請求項 5 のいずれか記載のシフトレジスタ回路であって、
所定のリセット端子に入力されるリセット信号の活性化に応じて、前記出力端子を放電する第 3 トランジスタをさらに備えることを特徴とするシフトレジスタ回路。

30

【請求項 7】

請求項 6 記載のシフトレジスタ回路であって、
前記出力端子を放電する第 4 トランジスタと、
前記第 4 トランジスタを駆動するプルダウン駆動回路とをさらに備え、
前記プルダウン駆動回路は、
前記入力信号の活性化に応じて前記第 4 トランジスタをオフ状態にし、
前記リセット信号の活性化に応じて前記第 4 トランジスタをオン状態にすることを特徴とするシフトレジスタ回路。

40

【請求項 8】

請求項 1 から請求項 5 のいずれか記載のシフトレジスタ回路であって、
前記出力端子を放電する第 3 トランジスタをさらに備え、
前記第 3 トランジスタの制御電極には、
少なくとも前記出力端子から出力される出力信号の活性期間の間、前記クロック端子に入力される前記クロック信号とは位相の異なる他のクロック信号が供給されることを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 8 記載のシフトレジスタ回路であって、
前記出力端子を放電する第 4 トランジスタと、

50

前記第 4 トランジスタを駆動するプルダウン駆動回路とをさらに備え、
 前記プルダウン駆動回路は、
 前記入力信号の活性化に応じて前記第 4 トランジスタをオフ状態にし、
 前記第 3 トランジスタの制御電極に供給される信号の活性化に応じて前記第 4 トランジスタをオン状態にする
 ことを特徴とするシフトレジスタ回路。

【請求項 10】

請求項 1 から請求項 9 のいずれか記載のシフトレジスタ回路であって、
 前記プルアップ駆動回路は、
 前記出力端子に接続した制御電極を有し、前記第 1 ノードと前記クロック端子との間に
 接続した第 5 トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。 10

【請求項 11】

請求項 1 から請求項 10 のいずれか記載のシフトレジスタ回路であって、
 前記入力端子に接続した制御電極を有し、前記出力端子と前記クロック端子間に接続し
 た第 6 トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。

【請求項 12】

複数のシフトレジスタ回路が縦続接続して成る多段のシフトレジスタ回路であって、
 前記多段の各段は、 20
 請求項 1 から請求項 11 のいずれか記載のシフトレジスタ回路であって、
 前段および後段の出力信号を受け、そのどちらを前記入力端子に供給するかを切り換え
 可能な切換回路をさらに備える
 ことを特徴とするシフトレジスタ回路。

【請求項 13】

入力端子、出力端子およびクロック端子と、
 一定の第 1 電源電位を前記出力端子に供給することで、当該出力端子を充電する第 1 ト
 ランジスタと、
 前記第 1 トランジスタを駆動するプルアップ駆動回路とを備え、
 前記プルアップ駆動回路は、 30
 前記第 1 電源電位よりも絶対値が大きな第 2 電源電位を前記第 1 トランジスタの制御電
 極が接続する第 1 ノードに供給することで、当該第 1 ノードを充電する第 2 トランジスタ
 と、
 前記クロック端子に供給されるクロック信号を前記第 2 トランジスタの制御電極が接続
 する第 2 ノードに供給する第 3 トランジスタと、
 前記第 2 ノードを昇圧する昇圧回路とを備え、
 前記第 3 トランジスタは、
 前記入力端子に入力される入力信号の活性化に応じてオン状態になり、前記クロック信
 号の活性化によって前記第 2 ノードが充電されたのに応じてオフ状態になり、
 前記昇圧回路は、 40
 前記第 3 トランジスタがオフ状態になるのに続いて前記第 2 ノードを昇圧する
 ことを特徴とするシフトレジスタ回路。

【請求項 14】

請求項 13 記載のシフトレジスタ回路であって、
 前記第 3 トランジスタの制御電極に接続した制御電極を有し、前記クロック信号を前記
 第 1 ノードに供給する第 4 トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。

【請求項 15】

請求項 13 または請求項 14 記載のシフトレジスタ回路であって、
 前記昇圧回路は、 50

一端が前記第 2 ノードに接続した第 1 容量素子を備え、
前記第 1 容量素子の他端が接続する第 3 ノードを充電することにより前記第 2 ノードを昇圧する
ことを特徴とするシフトレジスタ回路。

【請求項 1 6】

請求項 1 5 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 2 電源電位を前記第 3 ノードに供給することによって当該第 3 ノードを充電することを特徴とするシフトレジスタ回路。

【請求項 1 7】

請求項 1 5 または請求項 1 6 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 2 ノードに接続した制御電極を有し前記第 3 ノードを充電する負荷トランジスタを備え、
前記第 3 ノードが充電されるのに従い前記負荷トランジスタの制御電極が前記第 1 容量素子によって昇圧されるブートストラップ回路を含んでいる
ことを特徴とするシフトレジスタ回路。

【請求項 1 8】

請求項 1 5 または請求項 1 6 記載のシフトレジスタ回路であって、
前記昇圧回路は、
前記第 3 ノードを充電する負荷トランジスタと、
前記負荷トランジスタの制御電極と前記第 3 ノードとの間に接続する第 2 容量素子とを備え、
前記第 3 ノードが充電されるのに従い前記負荷トランジスタの制御電極が前記第 2 容量素子によって昇圧されるブートストラップ回路を含んでいる
ことを特徴とするシフトレジスタ回路。

【請求項 1 9】

請求項 1 3 から請求項 1 8 のいずれか記載のシフトレジスタ回路であって、
所定のリセット端子に入力されるリセット信号の活性化に応じて、前記出力端子を放電する第 5 トランジスタをさらに備える
ことを特徴とするシフトレジスタ回路。

【請求項 2 0】

請求項 1 9 記載のシフトレジスタ回路であって、
前記出力端子を放電する第 6 トランジスタと、
前記第 6 トランジスタを駆動するプルダウン駆動回路とをさらに備え、
前記プルダウン駆動回路は、
前記入力信号の活性化に応じて前記第 6 トランジスタをオフ状態にし、
前記リセット信号の活性化に応じて前記第 6 トランジスタをオン状態にする
ことを特徴とするシフトレジスタ回路。

【請求項 2 1】

請求項 1 3 から請求項 1 8 のいずれか記載のシフトレジスタ回路であって、
前記出力端子を放電する第 5 トランジスタをさらに備え、
前記第 5 トランジスタの制御電極には、
少なくとも前記出力端子から出力される出力信号の活性期間の間、前記クロック端子に入力される前記クロック信号とは位相の異なる他のクロック信号が供給される
ことを特徴とするシフトレジスタ回路。

【請求項 2 2】

請求項 2 1 記載のシフトレジスタ回路であって、
前記出力端子を放電する第 6 トランジスタと、
前記第 6 トランジスタを駆動するプルダウン駆動回路とをさらに備え、

10

20

30

40

50

前記プルダウン駆動回路は、
 前記入力信号の活性化に応じて前記第6トランジスタをオフ状態にし、
 前記第5トランジスタの制御電極に供給される信号の活性化に応じて前記第6トランジスタをオン状態にする
 ことを特徴とするシフトレジスタ回路。

【請求項23】

請求項13から請求項22のいずれか記載のシフトレジスタ回路であって、
 前記プルアップ駆動回路は、
 前記出力端子に接続した制御電極を有し、前記第1ノードと前記クロック端子との間に接続した第7トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。

10

【請求項24】

請求項13から請求項23のいずれか記載のシフトレジスタ回路であって、
 前記入力端子に接続した制御電極を有し、前記出力端子と前記クロック端子間に接続した第8トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。

【請求項25】

複数のシフトレジスタ回路が縦続接続して成る多段のシフトレジスタ回路であって、
 前記多段の各段は、
 請求項13から請求項24のいずれか記載のシフトレジスタ回路であって、
 前段および後段の出力信号を受け、そのどちらを前記入力端子に供給するかを切り換え可能な切換回路をさらに備える
 ことを特徴とするシフトレジスタ回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査線駆動回路に関するものであり、特に、例えば画像表示装置やイメージセンサなどの電気光学装置に使用される、同一導電型の電界効果トランジスタのみを用いて構成される走査線駆動回路に適用可能なシフトレジスタ回路に関するものである。

【背景技術】

30

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の1水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の1フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている（例えば特許文献1）。

40

【0004】

【特許文献1】特開2004-78172号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ゲート線駆動回路としてのシフトレジスタは、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では説明の便宜上、ゲート線駆動回路を構成する複数のシフトレジスタ回

50

路の各々を「単位シフトレジスタ」と称する。即ち、ゲート線駆動回路を構成する個々の単位シフトレジスタの出力端子は、その次段あるいは後段の単位シフトレジスタの入力端子に接続される。

【 0 0 0 6 】

特許文献 1 の図 7 に従来の単位シフトレジスタの構成が示されている。同図に示されているように、従来の単位シフトレジスタは、クロック信号 (C K V) が供給されるクロック端子と出力信号 (G O U T [N]) の出力端子との間に接続する第 1 トランジスタ (M 1) と、出力端子と第 1 電源端子 (V O F F) との間に接続する第 2 トランジスタ (M 2) とを備えている。単位シフトレジスタの出力信号 (G O U T [N]) は、第 1 トランジスタ (M 1) がオン、第 2 トランジスタ (M 2) がオフになった状態で、クロック信号 (C K V) が第 1 トランジスタ (M 1) を通して出力端子に伝達されることによって出力される。

10

【 0 0 0 7 】

特に、ゲート線駆動回路はその出力信号を用いてゲート線を高速に充電して活性化させる必要があるため、それを構成する個々の単位シフトレジスタにおいて、第 1 トランジスタ (M 1) に高い駆動能力 (電流を流す能力) が要求される。そのため、第 1 トランジスタ (M 1) のゲート幅 (チャネル幅) は広く設定される。

【 0 0 0 8 】

第 1 トランジスタ (M 1) のゲートが接続する第 1 ノード (N 1) には、出力信号 (G O U T [N]) を非活性レベルにする期間 (非選択期間) に当該第 1 ノード (N 1) を放電する第 3 トランジスタ (M 4) が接続されている。この第 3 トランジスタ (M 4) は第 1 ノード (N 1) と第 1 電源端子 (V O F F) との間に接続している。当該単位シフトレジスタは、第 1 ノード (N 1) を入力端とするインバータ (M 6 , M 7) を備えており、第 3 トランジスタ (M 4) ゲートは、そのインバータの出力端である第 2 ノード (N 2) に接続される。

20

【 0 0 0 9 】

この単位シフトレジスタは、非選択期間に第 2 ノード (N 2) が H レベルに維持されるように構成されている。よって非選択期間では、第 3 トランジスタ (M 4) はオン状態であり、第 1 ノード (N 1) は低インピーダンスの L レベルに維持され、それによって第 1 トランジスタ (M 1) はオフ状態に維持される。またこのとき第 2 トランジスタ (M 2) はオン状態になるので、出力端子 (G O U T [N]) は L レベルに固定される。

30

【 0 0 1 0 】

ところで、一般的な絶縁ゲート型電界効果トランジスタにおいては、ドレイン電極とソース電極間を導電チャネルで接続させることが可能なように、ドレイン (ソース) とゲート電極とは互いに一定面積の重なりを有するように配置される。そのためドレイン・ゲート (ソース) 間にはオーバーラップ容量と呼ばれる容量成分が存在する。特に、アモルファスシリコンを用いた薄膜トランジスタでは、このオーバーラップ容量が大きく、ものによってはゲート・チャネル間容量と同程度のオーバーラップ容量を有することもある。

【 0 0 1 1 】

上記の単位シフトレジスタにおいて、非選択期間では第 1 トランジスタ (M 1) はオフ状態であるが、そのドレイン (クロック端子) にはクロック信号 (C K V) が供給され続けている。そのためクロック信号 (C K V) が立ち上がる (L レベルから H レベルに変化する) とき、オーバーラップ容量を介する結合により、第 1 ノード (N 1) の電位が上昇する。このとき第 3 トランジスタ (M 4) がオンしているため、第 1 ノード (N 1) は瞬時に L レベルに戻り、第 1 トランジスタ (M 1) はオフ状態に維持されるので単位シフトレジスタの誤動作は防止される。

40

【 0 0 1 2 】

しかし、このときクロック端子からトランジスタ Q 1 のオーバーラップ容量、第 1 ノード (N 1) および第 3 トランジスタ (M 4) を経由して第 1 電源端子 (V O F F) へと流れる電流 (容量結合電流) が生じる。この電流は 1 つの単位シフトレジスタではそれほど大

50

きいものではないが、ゲート線駆動回路は同一のクロック信号が供給される単位シフトレジスタを多く有するため、ゲート線駆動回路で考えるとその電流は相当に大きくなる。

【0013】

つまり容量結合電流は、ゲート線駆動回路におけるシフトレジスタの段数、すなわちゲート線の本数に比例して大きくなる。よって表示装置の表示領域を大きくして画素のライン数が増えると、相当量の容量結合電流が流れる。その結果、表示領域の拡大化（大画面化）が消費電力によって制限されるという問題が生じる。

【0014】

特許文献1の図7の単位シフトレジスタにおいて、この問題を解決する方法としては第1トランジスタ（M1）のゲート幅を小さくしてオーバーラップ容量を小さくすることが考えられる。しかし先に述べたように、第1トランジスタ（M1）は高い駆動能力が要求されるため、ゲート幅を狭くするのは好ましくない。

【0015】

本発明は以上のような課題を解決するためになされたものであり、クロック信号に起因する消費電力が低く、且つ駆動能力の高いシフトレジスタ回路を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の第1の局面に係るシフトレジスタ回路は、入力端子、出力端子およびクロック端子と、一定の第1電源電位を前記出力端子に供給することで、当該出力端子を充電する第1トランジスタと、前記第1トランジスタを駆動するプルアップ駆動回路とを備えるシフトレジスタ回路であって、前記プルアップ駆動回路は、前記クロック端子に供給されるクロック信号を前記第1トランジスタの制御電極が接続する第1ノードに供給する第2トランジスタと、前記第1ノードを昇圧する昇圧回路とを備え、前記第2トランジスタは、前記入力端子に入力される入力信号の活性化に応じてオン状態になり、前記クロック信号の活性化によって前記第1ノードが充電されたのに応じてオフ状態になり、前記昇圧回路は、前記第2トランジスタがオフ状態になるのに続いて前記第1ノードを昇圧するものである。

【0017】

また本発明の第2の局面に係るシフトレジスタ回路は、入力端子、出力端子およびクロック端子と、一定の第1電源電位を前記出力端子に供給することで、当該出力端子を充電する第1トランジスタと、前記第1トランジスタを駆動するプルアップ駆動回路とを備え、前記プルアップ駆動回路は、前記第1電源電位よりも絶対値が大きな第2電源電位を前記第1トランジスタの制御電極が接続する第1ノードに供給することで、当該第1ノードを充電する第2トランジスタと、前記クロック端子に供給されるクロック信号を前記第2トランジスタの制御電極が接続する第2ノードに供給する第3トランジスタと、前記第2ノードを昇圧する昇圧回路とを備え、前記第3トランジスタは、前記入力端子に入力される入力信号の活性化に応じてオン状態になり、前記クロック信号の活性化によって前記第2ノードが充電されたのに応じてオフ状態になり、前記昇圧回路は、前記第3トランジスタがオフ状態になるのに続いて前記第2ノードを昇圧するものである。

【発明の効果】

【0018】

本発明に係るシフトレジスタ回路においては、出力端子を充電する第1トランジスタにクロック信号が供給されない。シフトレジスタ回路の駆動能力の向上のため、第1トランジスタは、ゲート幅の大きい（オーバーラップ容量の大きな）ものが使用される。従来のシフトレジスタ回路では、この第1トランジスタにクロック信号が供給されていたため、オーバーラップ容量に容量結合電流が流れ、これが消費電力を増大させる要因の一つであった。本発明のシフトレジスタ回路では、第1トランジスタにクロック信号が供給されないため、従来のシフトレジスタ回路よりも消費電力を低減できる。

【発明を実施するための最良の形態】

10

20

30

40

50

【 0 0 1 9 】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【 0 0 2 0 】

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、ポリシリコン、アモルファスシリコン、ペントセン等の有機半導体、単結晶シリコンあるいはIGZO (In-Ga-Zn-O) 等の酸化物半導体などを用いることができる。

10

【 0 0 2 1 】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも3つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャンネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いにその呼称が入れ代わる。例えば、N型トランジスタであれば、相対的に電位（以下「レベル」とも称する）の高い電極をドレイン、低い電極をソースと呼称する（P型トランジスタの場合はその逆となる）。

20

【 0 0 2 2 】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFET）であってもよい。トランジスタが形成される基板としては、単結晶基板あるいはSOI、ガラス、樹脂などの絶縁性基板であってもよい。

【 0 0 2 3 】

本発明のゲート線駆動回路は、単一導電型のトランジスタのみを用いて構成される。例えばN型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高いH（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同じしきい値電圧よりも低いL（ロー）レベルで非活性状態（オフ状態、非導通（遮断）状態）となる。そのためN型トランジスタを用いた回路においては信号のHレベルが「活性レベル」、Lレベルが「非活性レベル」となる。また、N型トランジスタを用いて構成した回路の各ノードは、充電されてHレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてLレベルになることで、活性レベルから非活性レベルへの変化が生じる。

30

【 0 0 2 4 】

逆にP型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低いLレベルになると活性状態（オン状態、導通状態）となり、同じしきい値電圧よりも高いHレベルで非活性状態（オフ状態、非導通状態）となる。そのためP型トランジスタを用いた回路においては信号のLレベルが「活性レベル」、Hレベルが「非活性レベル」となる。また、P型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係がN型トランジスタの場合と逆になり、充電されてLレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてHレベルになることで、活性レベルから非活性レベルへの変化が生じる。

40

【 0 0 2 5 】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

50

【 0 0 2 6 】

本発明においては、互いに位相の異なるクロック信号（多相クロック信号）が用いられる。以下では説明の簡単のため、一のクロック信号の活性期間とその次に活性化するクロック信号の活性期間との間に一定の間隔を設けている（図4の時刻 t_2 ～時刻 t_3 間および時刻 t_4 ～時刻 t_5 間の間隔）。しかし本発明では各クロック信号の活性期間が実質的に重ならないければよく、上記の間隔は無くてもよい。例えば活性レベルをHレベルとすると、一のクロック信号の立ち下がりタイミングとその次に活性化するクロック信号の立ち上がりタイミングとが同時であってもよい。

【 0 0 2 7 】

<実施の形態1>

図1は、本発明の実施の形態1に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置100の全体構成を示している。なお、本発明のゲート線駆動回路は、液晶表示装置への適用に限定されるものではなく、エレクトロルミネッセンス（EL）、有機EL、プラズマディスプレイ、電子ペーパー、イメージセンサなどの電気光学装置に広く適用することが可能である。

【 0 0 2 8 】

液晶表示装置100は、液晶アレイ部10と、ゲート線駆動回路（走査線駆動回路）30と、ソースドライバ40とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路30に搭載される。

【 0 0 2 9 】

液晶アレイ部10は、行列状に配設された複数の画素15を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 GL_1, GL_2, \dots （総称「ゲート線GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 DL_1, DL_2, \dots （総称「データ線DL」）がそれぞれ設けられる。図1には、第1行の第1列および第2列の画素15、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1, DL_2 が代表的に示されている。

【 0 0 3 0 】

各画素15は、対応するデータ線DLと画素ノード N_p との間に設けられる画素スイッチ素子16と、画素ノード N_p および共通電極ノードNCの間に並列に接続されるキャパシタ17および液晶表示素子18とを有している。画素ノード N_p と共通電極ノードNCとの間の電圧差に応じて、液晶表示素子18中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子18の表示輝度が変化する。これにより、データ線DLおよび画素スイッチ素子16を介して画素ノード N_p へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード N_p と共通電極ノードNCとの間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【 0 0 3 1 】

ゲート線駆動回路30は、所定の走査周期に基づき、ゲート線GLを順に選択して活性化させる。画素スイッチ素子16のゲート電極は、それぞれ対応するゲート線GLと接続される。特定のゲート線GLが選択されている間は、それに接続する各画素において、画素スイッチ素子16が導通状態になり画素ノード N_p が対応するデータ線DLと接続される。そして、画素ノード N_p へ伝達された表示電圧がキャパシタ17によって保持される。一般的に、画素スイッチ素子16は、液晶表示素子18と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成されるTFTで構成される。

【 0 0 3 2 】

ソースドライバ40は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧を、データ線DLへ出力するためのものである。ここでは一例として、表示信号SIGは6ビットの信号であり、表示信号ビットDB0～DB5から構成されるものとする。6ビットの表示信号SIGに基づく、各画素において、 $2^6 = 64$ 段

10

20

30

40

50

階の階調表示が可能となる。さらに、R (Red)、G (Green) および B (Blue) の3つの画素により1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0033】

また、図1に示すように、ソースドライバ40は、シフトレジスタ50と、データラッチ回路52、54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とから構成されている。

【0034】

表示信号SIGにおいては、各々の画素15の表示輝度に対応する表示信号ビットDB0～DB5がシリアルに生成される。すなわち、各タイミングにおける表示信号ビットDB0～DB5は、液晶アレイ部10中のいずれか1つの画素15における表示輝度を示している。

10

【0035】

シフトレジスタ50は、表示信号SIGの設定が切り換わる周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットDB0～DB5の取り込みを指示する。データラッチ回路52は、シリアルに生成される表示信号SIGを順に取り込み、1つの画素ライン分の表示信号SIGを保持する。

【0036】

データラッチ回路54に inputsされるラッチ信号LTは、データラッチ回路52に1つの画素ライン分の表示信号SIGが取り込まれるタイミングで活性化する。データラッチ回路54はそれに応答して、そのときデータラッチ回路52に保持されている1つの画素ライン分の表示信号SIGを取り込む。

20

【0037】

階調電圧生成回路60は、高電圧VDHおよび低電圧VDLの間に直列に接続された63個の分圧抵抗で構成され、64段階の階調電圧V1～V64をそれぞれ生成する。

【0038】

デコード回路70は、データラッチ回路54に保持されている表示信号SIGをデコードし、当該デコード結果に基づいて各デコード出力ノードNd₁、Nd₂... (総称「デコード出力ノードNd」) に出力する電圧を、階調電圧V1～V64のうちから選択して出力する。

【0039】

30

その結果、デコード出力ノードNdには、データラッチ回路54に保持された1つの画素ライン分の表示信号SIGに対応した表示電圧(階調電圧V1～V64のうちの1つ)が同時に(パラレルに)出力される。なお、図1においては、第1列目および第2列目のデータ線DL₁、DL₂に対応するデコード出力ノードNd₁、Nd₂が代表的に示されている。

【0040】

アナログアンプ80は、デコード回路70からデコード出力ノードNd₁、Nd₂...に出力された各表示電圧に対応したアナログ電圧を電流増幅して、それぞれデータ線DL₁、DL₂...に出力する。

【0041】

40

ソースドライバ40が、所定の走査周期に基づいて、一連の表示信号SIGに対応する表示電圧を1画素ライン分ずつデータ線DLへ繰り返し出力し、ゲート線駆動回路30がその走査周期に同期してゲート線GL₁、GL₂...を順に駆動することにより、液晶アレイ部10に表示信号SIGに基づいた画像の表示が成される。

【0042】

なお、図1には、ゲート線駆動回路30およびソースドライバ40が液晶アレイ部10と一体的に形成された液晶表示装置100の構成を例示したが、ゲート線駆動回路30と液晶アレイ部10とを一体的に形成し、ソースドライバ40については液晶アレイ部10の外部回路として設ける、あるいはゲート線駆動回路30およびソースドライバ40については、液晶アレイ部10の外部回路として設けることも可能である。

50

【 0 0 4 3 】

図2は、ゲート線駆動回路30の構成を示す図である。このゲート線駆動回路30は、縦続接続（カスケード接続）した複数の単位シフトレジスタ $SR_1, SR_2, SR_3, SR_4, \dots$ で構成される多段のシフトレジスタから成っている（説明の便宜上、縦続接続するシフトレジスタ回路 SR_1, SR_2, \dots を「単位シフトレジスタ SR 」と総称する）。各単位シフトレジスタ SR は、1つの画素ラインすなわち1つのゲート線 GL ごとに設けられ、その各々の出力端子 OUT が、対応するゲート線 GL に接続される。

【 0 0 4 4 】

本実施の形態のゲート線駆動回路30では、最後段の単位シフトレジスタ SR_n のさらに次段に、ゲート線に接続されないダミーの単位シフトレジスタ SRD （以下「ダミー段」）が設けられている。基本的にダミー段 SRD も他の単位シフトレジスタ SR と同様の構成を有している。

10

【 0 0 4 5 】

また図2に示すクロック信号発生器31は、互いに位相の異なる（活性期間が重ならない）クロック信号 $CLK, /CLK$ からなる2相クロックをゲート線駆動回路30の単位シフトレジスタ SR に入力するものである。このクロック信号 $CLK, /CLK$ は互いに逆相であり、表示装置の走査周期に同期したタイミングで、交互に活性化するように制御されている。

【 0 0 4 6 】

各単位シフトレジスタ SR は、入力端子 IN 、出力端子 OUT 、クロック端子 CK およびリセット端子 RST を有している。図2のように、各単位シフトレジスタ SR のクロック端子 CK には、クロック信号 $CLK, /CLK$ のいずれかが供給される。具体的には、クロック信号 CLK は奇数段の単位シフトレジスタ SR_1, SR_3, SR_5, \dots に供給され、クロック信号 $/CLK$ は偶数段の単位シフトレジスタ SR_2, SR_4, SR_6, \dots に供給される。

20

【 0 0 4 7 】

図2の例では最後段である第 n 段目（第 n ステージ）の単位シフトレジスタ SR_n は偶数段であり、当該単位シフトレジスタ SR_n には、クロック信号 $/CLK$ が供給されている。よって、ダミー段 SRD は奇数段となり、そのクロック端子 CK にはクロック信号 CLK が供給される。

30

【 0 0 4 8 】

第1段目（第1ステージ）である単位シフトレジスタ SR_1 の入力端子 IN には、ゲート線駆動回路30に信号のシフト動作を開始させるためのスタートパルス SP が入力される。スタートパルス SP は、スタート信号発生器32で生成される。本実施の形態において、スタートパルス SP は画像信号の各フレーム期間の先頭に対応するタイミングで活性化される（ H レベルになる）信号である。また第2段目以降の各単位シフトレジスタ SR では、入力端子 IN はその前段の単位シフトレジスタ SR の出力端子 OUT に接続される。

【 0 0 4 9 】

各単位シフトレジスタ SR のリセット端子 RST は、その次段の単位シフトレジスタ SR の出力端子 OUT に接続される。最後段の単位シフトレジスタ SR_n のリセット端子 RST は、ダミー段 SRD の出力端子 OUT に接続される。なお、ダミー段 SRD のリセット端子 RST には、そのクロック端子 CK に入力されるクロック信号 CLK とは位相の異なるクロック信号 $/CLK$ が入力される。

40

【 0 0 5 0 】

このように各単位シフトレジスタ SR の出力端子 OUT から出力される出力信号 G は、垂直（又は水平）走査パルスとしてそれぞれ対応するゲート線 GL へと供給されると共に、自己の次段の入力端子 IN および自己の前段のリセット端子 RST へと供給される。

【 0 0 5 1 】

ゲート線駆動回路30の単位シフトレジスタ SR の各々は、クロック信号 $CLK, /C$

50

L Kに同期して、入力端子I Nに入力される信号（スタートパルスS Pあるいは前段の出力信号G）を時間的にシフトさせながら、対応するゲート線G L並びに後段の単位シフトレジスタS Rへと伝達する。その結果、各単位シフトレジスタS Rの出力信号は、 G_1 、 G_2 、 G_3 ...と順番に活性化される（単位シフトレジスタS Rの動作の詳細は後述する）。従って、一連の単位シフトレジスタS Rは、所定の走査周期に基づいたタイミングでゲート線G Lを順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

【0052】

図3は、本発明の実施の形態1に係る単位シフトレジスタS Rの構成を示す回路図である。本実施の形態の単位シフトレジスタS Rを構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、以下に示す実施の形態および変更例においては全てN型T F Tであるものとする。

10

【0053】

なおゲート線駆動回路30においては、縦続接続された各単位シフトレジスタS Rの構成は実質的にどれも同じであるので、ここでは代表的に第k段目の単位シフトレジスタS R_kについて説明する。また単位シフトレジスタS R_kのクロック信号C L Kにはクロック信号C L Kが入力されているものとする（図2の奇数段目がこれに該当する）。

【0054】

図3の如く、単位シフトレジスタS R_kは、図2にも示した入力端子I N、出力端子O U T、クロック端子C Kおよびリセット端子R S Tの他に、低電位側電源電位（ロー側電源電位）V S Sが供給される第1電源端子S 1、高電位側電源電位（ハイ側電源電位）V D D 1、V D D 2、V D D 3がそれぞれ供給される第2、第3および第4電源端子S 2、S 3、S 4を有している。ハイ側電源電位V D D 1～V D D 3は、全て同一レベルであってもよい。以下の説明ではロー側電源電位V S Sを回路の基準電位（=0）として説明するが、実使用では、画素に書き込まれるデータの電圧を基準にして基準電位が設定され、例えばハイ側電源電位V D D 1～V D D 3は17V、ロー側電源電位V S Sは-12Vなどと設定される。

20

【0055】

単位シフトレジスタS R_kは、出力回路20、プルアップ駆動回路21、プルダウン駆動回路22から構成されている。出力回路20は、出力信号G_kの活性化および非活性化を行うものであり、以下のトランジスタQ 1、Q 2、Q 1 2、Q 1 3から構成されている。

30

【0056】

トランジスタQ 1は、出力端子O U Tと第2電源端子S 2との間に接続しており、電位V D D 1を出力端子O U Tに供給することで出力端子O U Tを充電するものである。トランジスタQ 2は、出力端子O U Tと第1電源端子S 1との間に接続しており、電位V S Sを出力端子O U Tに供給することで出力端子O U Tを放電するものである。ここでトランジスタQ 1のゲート（制御電極）が接続するノードを「ノードN 1」、トランジスタQ 2のゲートが接続するノードを「ノードN 2」と定義する。詳細は後述するが、ノードN 1はプルアップ駆動回路21の出力端となり、ノードN 2はプルダウン駆動回路22の出力端となる。

40

【0057】

トランジスタQ 1 2は、トランジスタQ 2と同様に出力端子O U Tと第1電源端子S 1との間に接続するが、そのゲート（制御電極）はリセット端子R S Tに接続される。即ち、トランジスタQ 1 2は、リセット端子R S Tに供給されるリセット信号である次段の出力信号G_{k+1}（最後段の単位シフトレジスタS R_nの場合はダミー段S R Dの出力信号G D M）の活性化に応じて出力端子O U Tを放電するものである。トランジスタQ 1 3は、入力端子I Nに接続したゲートを有し、出力端子O U Tとクロック端子C Kとの間に接続する。即ち、トランジスタQ 1 3は、入力端子I Nに供給される入力信号である前段の出力信号G_{k-1}（最前段の単位シフトレジスタS R₁の場合はスタートパルスS P）の活性化に応じて、クロック端子C Kに入力されるクロック信号C L K（奇数段の場合はクロック信

50

号 / C L K) を出力端子 O U T に供給するものである。

【 0 0 5 8 】

プルアップ駆動回路 2 1 は、トランジスタ Q 1 (出力プルアップトランジスタ) を駆動する回路であり、その出力端はトランジスタ Q 1 のゲート (ノード N 1) に接続される。プルアップ駆動回路 2 1 は、トランジスタ Q 1 を、ゲート線 G L_k の選択期間はオンにし、非選択期間はオフにするよう機能する。そのためプルアップ駆動回路 2 1 は、入力端子 I N に入力される前段の出力信号 G_{k-1} の活性化に応じてノード N 1 (トランジスタ Q 1 のゲート) を充電し、リセット端子 R S T に入力される次段の出力信号 G_{k+1} の活性化に応じてノード N 1 を放電するように動作する。

【 0 0 5 9 】

プルアップ駆動回路 2 1 は、以下のトランジスタ Q 3 ~ Q 5 , Q 8 ~ Q 1 1 , Q 1 4 ~ Q 1 6 から構成される。ノード N 1 とクロック端子 C K との間に接続するトランジスタ Q 3 は、クロック端子 C K に入力されるクロック信号 C L K をノード N 1 に供給するものである。トランジスタ Q 3 のゲートが接続するノードを「ノード N 3」と定義する。

【 0 0 6 0 】

トランジスタ Q 4 , Q 5 は共に、ノード N 1 と第 1 電源端子 S 1 との間に接続し、それぞれがノード N 1 を放電するものである。トランジスタ Q 4 のゲートはリセット端子 R S T に接続され、トランジスタ Q 5 のゲートはノード N 2 に接続される。

【 0 0 6 1 】

また第 2 電源端子 S 2 と第 1 電源端子 S 1 との間には、トランジスタ Q 9 , Q 1 0 が直列に接続されている。トランジスタ Q 9 , Q 1 0 間の接続ノードを「ノード N 4」と定義すると、トランジスタ Q 9 は、第 2 電源端子 S 2 とノード N 4 との間に接続し、そのゲートはノード N 1 に接続される。トランジスタ Q 1 0 は、ノード N 4 と第 1 電源端子 S 1 との間に接続する。トランジスタ Q 1 0 のゲートが接続するノードを「ノード N 5」と定義する。またノード N 4 と第 1 電源端子 S 1 との間には、ゲートがノード N 2 に接続したトランジスタ Q 1 1 も接続される。

【 0 0 6 2 】

トランジスタ Q 1 0 は、トランジスタ Q 9 よりもオン抵抗が充分小さく (つまり駆動能力が大きく) 設定されている。よってトランジスタ Q 9 , Q 1 0 は、ノード N 5 を入力端、ノード N 4 を出力端とするレシオ型インバータを構成している。当該インバータにおいて、トランジスタ Q 9 は負荷素子、トランジスタ Q 1 0 は駆動素子として機能する。但し、トランジスタ Q 9 , Q 1 0 が実質的にインバータとして機能できるのは、ノード N 1 が H レベルのとき (出力信号 G_k の活性期間に相当) である。それ以外の期間には、トランジスタ Q 1 1 がオンになってノード N 4 のレベルは L レベルに固定される。

【 0 0 6 3 】

またノード N 1 とノード N 4 との間 (トランジスタ Q 9 のゲート・ソース間) には容量素子 C 1 が接続される。この容量素子 C 1 は、ノード N 1 , N 4 間を容量結合しており、ノード N 4 のレベルが上昇するのに従ってノード N 1 を昇圧するよう機能する。

【 0 0 6 4 】

ノード N 5 と第 3 電源端子 S 3 との間には、ゲートが入力端子 I N に接続したトランジスタ Q 1 4 が接続する。即ち、トランジスタ Q 1 4 は前段の出力信号 G_{k-1} (入力信号) の活性化に応じてノード N 5 を充電するものである。なお、トランジスタ Q 1 4 のドレインは、第 3 電源端子 S 3 でなく入力端子 I N に接続させてもよい (即ち、トランジスタ Q 1 4 は入力端子 I N とノード N 5 との間にダイオード接続されていてもよい)。

【 0 0 6 5 】

またノード N 5 と第 1 電源端子 S 1 との間には、それぞれノード N 5 を放電するトランジスタ Q 1 5 , Q 1 6 が接続される。トランジスタ Q 1 5 のゲートはノード N 2 に接続され、トランジスタ Q 1 6 のゲートは出力端子 O U T に接続される。

【 0 0 6 6 】

ノード N 3 とノード N 5 との間には、ゲートが第 3 電源端子 S 3 に接続したトランジス

10

20

30

40

50

タQ 8 が接続される。トランジスタQ 8 は、ゲート電位が一定に固定されているが、ノードN 3 , N 5 の電位変化に応じてオン、オフが切り換わり、それによってノードN 3 の充電および放電が行われる（詳細は後述する）。

【 0 0 6 7 】

一方、プルダウン駆動回路 2 2 は、トランジスタQ 2（出力プルダウントランジスタ）を駆動する回路であり、その出力端はトランジスタQ 2 のゲート（ノードN 2）に接続される。プルダウン駆動回路 2 2 は、トランジスタQ 2 を、ゲート線 GL_k の選択期間はオフにし、非選択期間はオンにするよう機能する。そのためプルダウン駆動回路 2 2 は、前段の出力信号 G_{k-1} （入力信号）の活性化に応じてノードN 2 を放電し、次段の出力信号 G_{k+1} （リセット信号）の活性化に応じてノードN 2 を充電するように動作する。

10

【 0 0 6 8 】

また上記のとおり、ノードN 2 にはプルアップ駆動回路 2 1 のトランジスタQ 5 , Q 1 1 , Q 1 5 のゲートも接続されており、プルダウン駆動回路 2 2 はこれらの駆動にも用いられている。

【 0 0 6 9 】

プルダウン駆動回路 2 2 は、以下のトランジスタQ 6 , Q 7 , Q 1 7 ~ Q 1 9 により構成されている。トランジスタQ 6 は、ノードN 2 と第 4 電源端子S 4 との間に接続し、そのゲートは第 4 電源端子S 4 に接続されている（即ちトランジスタQ 6 はダイオード接続されている）。トランジスタQ 7 はノードN 2 と第 1 電源端子S 1 との間に接続する。トランジスタQ 7 のゲートが接続するノードを「ノードN 6」と定義する。

20

【 0 0 7 0 】

トランジスタQ 7 は、トランジスタQ 6 よりもオン抵抗が充分小さく（つまり駆動能力が大きく）設定されている。よって、ノードN 6 の電位が上昇するとノードN 2 の電位は下降し、ノードN 6 の電位が下降するとノードN 2 の電位は上昇する。即ちトランジスタQ 6 , Q 7 は、ノードN 6 を入力端、ノードN 2 を出力端とするレシオ型インバータを構成している。当該インバータでは、トランジスタQ 6 は負荷素子、トランジスタQ 7 は駆動素子として機能する。

【 0 0 7 1 】

ノードN 6 と第 4 電源端子S 4 との間には、ゲートが入力端子I N に接続したトランジスタQ 1 7 が接続される。ノードN 6 と第 1 電源端子S 1 との間には、それぞれノードN 6 を放電するトランジスタQ 1 8 , Q 1 9 が接続される。トランジスタQ 1 8 のゲートはノードN 2 に接続され、トランジスタQ 1 9 のゲートはリセット端子R S T に接続される。

30

【 0 0 7 2 】

以下、本実施の形態に係る単位シフトレジスタS R の具体的な動作を説明する。ゲート線駆動回路 3 0 を構成する各単位シフトレジスタS R およびダミー段S R D の動作は実質的にどれも同じであるので、ここでも代表的に第 k 段目の単位シフトレジスタS R_k の動作を説明する。また単位シフトレジスタS R_k には、クロック端子C K にクロック信号C L K が入力されているものとする（図 2 の奇数段目がこれに該当する）。

【 0 0 7 3 】

説明の簡単のため、以下では特に示さない限り、クロック信号C L K , / C L K およびスタートパルスS P のHレベルの電位は全て等しいと仮定し、そのレベルをV D D とする。またV D D はハイ側電源電位V D D 1 ~ V D D 3 のレベルとも等しいとする（即ち、V D D 1 = V D D 2 = V D D 3 = V D D）。またクロック信号C L K , / C L K およびスタートパルスS P のLレベルの電位はロー側電源電位V S S と等しいものとし、その電位を0 V とする（V S S = 0）。さらに、各トランジスタのしきい値電圧は全て等しいと仮定し、その値をV t h とする。なお、クロック信号C L K , / C L K は、互いに1 水平期間（1 H）の位相差を持つ繰り返し信号である（図 4 参照）。

40

【 0 0 7 4 】

図 4 は、実施の形態 1 に係る単位シフトレジスタの動作を説明するためのタイミング図

50

である。単位シフトレジスタ $S R_k$ の動作を、同図を参照しつつ説明する。

【 0 0 7 5 】

まず時刻 t_1 直前における単位シフトレジスタ $S R_k$ の初期状態として、ノード $N 1$ が L レベル ($V S S$)、ノード $N 2$ が H レベル ($V D D - V t h$) であると仮定する (以下、この状態を「リセット状態」と称す)。リセット状態では、トランジスタ $Q 1$ がオフ、トランジスタ $Q 2$ がオンであり、出力端子 $O U T$ (出力信号 G_k) は L レベルに保たれる。即ち単位シフトレジスタ $S R_k$ が接続するゲート線 $G L_k$ は非選択状態にある。

【 0 0 7 6 】

また時刻 t_1 の直前では、単位シフトレジスタ $S R_k$ のクロック端子 $C K$ (クロック信号 $C L K$)、リセット端子 $R S T$ (次段の出力信号 G_{k+1})、入力端子 $I N$ (前段の出力信号 G_{k-1}) は何れも L レベルであるとする。よってトランジスタ $Q 4$, $Q 1 2 \sim Q 1 4$, $Q 1 7$, $Q 1 9$ はオフ状態である。一方、ノード $N 2$ が H レベルなのでトランジスタ $Q 1 1$, $Q 1 5$, $Q 1 8$ はオン状態であり、そのためノード $N 4$, $N 5$, $N 6$ は L レベル ($V S S$) になっている。またノード $N 5$ が L レベルのときトランジスタ $Q 8$ はオン状態であるので、ノード $N 3$ も L レベル ($V S S$) になっている。よってトランジスタ $Q 3$ はオフ状態である。

【 0 0 7 7 】

その状態から、時刻 t_1 で、クロック信号 $C L K$ の立ち上がりと共に、前段の出力信号 G_{k-1} が活性化されたとする。

【 0 0 7 8 】

プルダウン駆動回路 2 2 では、前段の出力信号 G_{k-1} のレベルが上昇すると、トランジスタ $Q 1 7$ がオンになる。このときトランジスタ $Q 1 8$ もオンしているが、トランジスタ $Q 1 7$ はトランジスタ $Q 1 8$ よりもオン抵抗が充分低く設定されており、ノード $N 6$ のレベルは上昇する。応じて、トランジスタ $Q 7$ がオンになり、ノード $N 2$ は L レベルになる。よってトランジスタ $Q 1 8$ はオフになり、ノード $N 6$ は電位 $V D D - V t h$ の H レベルになる。

【 0 0 7 9 】

一方、プルアップ駆動回路 2 1 では、前段の出力信号 G_{k-1} のレベルが上昇すると、トランジスタ $Q 1 4$ がオンになる。このとき出力信号 G_k は L レベルなのでトランジスタ $Q 1 6$ はオフ状態であり、また上記のプルダウン駆動回路 2 2 の動作によりノード $N 2$ が L レベルに変化するのでトランジスタ $Q 1 5$ もオフになる。よってノード $N 5$ はトランジスタ $Q 1 4$ により充電されて、電位 $V D D - V t h$ の H レベルになる。

【 0 0 8 0 】

ノード $N 5$ のレベルが上昇するとき、オン状態のトランジスタ $Q 8$ を通してノード $N 3$ へと電流が流れ込む。トランジスタ $Q 8$ のゲートは電位 $V D D$ であるので、ノード $N 3$ はノード $N 5$ と同じ電位 $V D D - V t h$ になる。

【 0 0 8 1 】

なお、ノード $N 2$ が L レベルになったときトランジスタ $Q 5$ がオフになるが、それとほぼ同時にノード $N 3$ が H レベルになることでトランジスタ $Q 3$ がオンし、ノード $N 1$ へは L レベル ($V S S$) になっているクロック信号 $C L K$ が供給されるため、ノード $N 1$ は L レベルに維持される。同様にノード $N 2$ が L レベルになったときトランジスタ $Q 1 1$ もオフになるが、それとほぼ同時にノード $N 5$ が H レベルになりトランジスタ $Q 1 0$ がオンするので、ノード $N 4$ も L レベルに維持される。

【 0 0 8 2 】

出力回路 2 0 では、前段の出力信号 G_{k-1} の活性化に応じてトランジスタ $Q 1 3$ がオンになり、 L レベル ($V S S$) になっているクロック信号 $C L K$ が出力端子 $O U T$ へと供給される。そのため、上記のプルダウン駆動回路 2 2 の動作によりノード $N 2$ が L レベルになりトランジスタ $Q 2$ がオフになっても、出力信号 G_k は低インピーダンスで L レベルに維持される。

【 0 0 8 3 】

10

20

30

40

50

その後、時刻 t_2 でクロック信号 CLK が立ち下がるが、前段の出力信号 G_{k-1} は H レベルに維持される（詳細は後述する）。また時刻 t_2 では、単位シフトレジスタ SR_k の各ノードのレベル変化は無い。

【0084】

時刻 t_3 で、クロック信号 CLK が立ち上がると、オン状態のトランジスタ Q_3 を通じてノード N_1 が充電される。ノード N_1 のレベルが上昇するとき、トランジスタ Q_3 のゲート・チャンネル間容量を介する結合により、ノード N_3 の電位が昇圧される。このときトランジスタ Q_8 はオフになるので、ノード N_3 はトランジスタ Q_3 を非飽和領域で動作させる電位にまで上昇する。よってノード N_1 は高速に充電（プリチャージ）され、クロック信号 CLK と同じ電位 VDD の H レベルになる。このようにノード N_1 が H レベル、ノード N_2 が L レベルになった状態を、単位シフトレジスタ SR_k の「セット状態」と称する。

10

【0085】

セット状態では、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになるので、出力端子 OUT はトランジスタ Q_1 を通じて第 2 電源端子 S_2 から流れ込む電流によって充電され、出力信号 G_k のレベルが上昇する。

【0086】

なお、ノード N_1 が H レベルになった時点では、前段の出力信号 G_{k-1} は立ち下がる前でありトランジスタ Q_{13} はオンしているため、出力端子 OUT へはトランジスタ Q_{13} を通じてクロック端子 CK から電流が流れ込む。つまり図 3 の回路では、トランジスタ Q_{13} を流れる電流も、出力端子 OUT の立ち上がりに寄与している。

20

【0087】

またノード N_1 が H レベルになったときトランジスタ Q_9 もオンするが、ノード N_5 が H レベルでありオン抵抗の小さいトランジスタ Q_{10} がオンしているため、この時点ではノード N_4 は L レベルのままである。より詳細には、図 4 に示されているように、時刻 t_3 でノード N_1 のレベルが上昇するとき、容量素子 C_1 による結合によりノード N_4 のレベルも僅かに上昇する。さらに、このノード N_4 のレベル上昇は、トランジスタ Q_{10} のドレイン・ゲート間のオーバーラップ容量を介して、ノード N_5 のレベルを若干上昇させる。

【0088】

出力端子 OUT の充電が進み、出力信号 G_k のレベルがトランジスタ Q_{16} のしきい値電圧 V_{th} を超えると、トランジスタ Q_{16} がオンし、ノード N_5 のレベルが低下する（トランジスタ Q_{16} はトランジスタ Q_{14} よりもオン抵抗が充分低く設定されている）。するとトランジスタ Q_8 はオン状態になり、ノード N_3 からノード N_5 へと電流が流れ、ノード N_3 のレベルはノード N_5 に追従して低下する。応じてトランジスタ Q_3 はオフになり、ノード N_1 は高インピーダンス状態（フローティング状態）の H レベルになる。

30

【0089】

またノード N_5 が L レベルになるとトランジスタ Q_{10} がオフになる。このときノード N_1 は H レベルでありトランジスタ Q_9 はオン状態である。よってノード N_4 はトランジスタ Q_9 により充電され、そのレベルが上昇する（時刻 t_D ）。ノード N_4 のレベルが上昇するとき、容量素子 C_1 を介する結合により、ノード N_1 が昇圧される。なお、トランジスタ Q_9 がノード N_4 を充電するとき、容量素子 C_1 によってトランジスタ Q_9 自身のゲート（ノード N_1 ）が昇圧され、トランジスタ Q_9 は非飽和領域で動作するので、ノード N_4 は電位 VDD まで上昇する（つまりトランジスタ Q_9 および容量素子 C_1 はブートストラップ回路を構成している）。

40

【0090】

このようにノード N_1 が昇圧されるタイミング、すなわちノード N_4 のレベルが上昇する時刻 t_D は、ノード N_5 のレベルが低下してトランジスタ Q_3 がオフになった直後になる。またノード N_1 は、トランジスタ Q_3 がオフになるまでの充電（プリチャージ）によって充分高いレベルに達している。従って時刻 t_D でノード N_1 が昇圧されると、当該ノ

50

ードN1はトランジスタQ1を非飽和領域で動作させるのに十分な電位にまで高められる。その結果、出力信号 G_k のHレベルの電位は、第2電源端子S2と同じVDDにまで達する。

【0091】

理論的には、ノードN4のレベルが上昇する時刻 t_D (ノードN1が昇圧される時刻)が、トランジスタQ3がオフした後(ノードN3, N5がLレベルになった後)になるように、ノードN1の充電が開始されるクロック信号CLKの立ち上がりタイミングから一定時間だけ遅れていればよい。図3の単位シフトレジスタ SR_k では、出力信号 G_k の立ち上がりに応じてノードN5が放電され、さらにそれにに応じてノードN4が充電されるように構成することで、その遅延時間を確保していたが、他の手法を採用してもよい。例えば、ゲート線駆動回路30にクロック信号CLKを遅延させる遅延回路を設け、その出力信号の立ち上がりに応じてノードN1が昇圧されるように構成してもよい。

10

【0092】

なお、前段の出力信号 G_{k-1} は、当該単位シフトレジスタ SR_k の出力信号 G_k が所定の電位にまで上昇し、前段の単位シフトレジスタ SR_{k-1} のトランジスタQ12がオンすることで立ち下げられる(そのため当該単位シフトレジスタ SR_k の出力信号 G_k と前段の出力信号 G_{k-1} とは、活性期間に若干の重なりが生じる)。

【0093】

前段の出力信号 G_{k-1} がLレベルになると、出力回路20ではトランジスタQ13がオフとなり、出力信号 G_k の立ち上げに対するトランジスタQ13の寄与はそこで終了する。一方、プルアップ駆動回路21では、トランジスタQ14がオフになり、ノードN5のLレベルの電位はVSSになる。またプルダウン駆動回路22では、トランジスタQ17がオフになるのでノードN6はフローティング状態でHレベルに維持される。

20

【0094】

なお、図4において、時刻 t_3 からの一定期間にノードN6のレベルが若干下がっているが、これは前段の出力信号 G_{k-1} が立ち下がる時に、トランジスタQ17のゲート・ソース間のオーバーラップ容量を介する結合により、ノードN6のレベルが引き下げられるからである。

【0095】

ここでトランジスタQ8の動作に注目する。まず単位シフトレジスタ SR_k がリセット状態の期間は、ノードN5がLレベル(VSS)であるのでゲート電位がVDDのトランジスタQ8はオンになり、ノードN3をノードN5と同じ電位VSSに維持する。そして前段の出力信号 G_{k-1} の立ち上がりに応じてノードN5が充電される段階(時刻 t_1 ~時刻 t_3)では、ノードN5からノードN3へと電流を流し、ノードN3を電位 $VDD - V_{th}$ のHレベルにする。

30

【0096】

そしてクロック信号CLKの立ち上がりに応じてノードN1の充電(プリチャージ)が開始される段階(時刻 t_3)では、トランジスタQ3のゲート・チャンネル間容量によりノードN3が昇圧されるので、電位関係によりノードN5側がトランジスタQ8のソースとなる。このときノードN5の電位は $VDD - V_{th}$ であるので、トランジスタQ8のゲート(第3電源端子S3)・ソース(ノードN5)間電圧は V_{th} となり、当該トランジスタQ8はオンとオフの境界状態になる。よってトランジスタQ8にはノードN3からノードN5への方向にサブスレッシュホールド電流が流れるが、これは微小な電流なので、ノードN30が昇圧されている短い期間($t_D - t_3$)にノードN3から放出される電荷は無視できる程度である。

40

【0097】

そして出力信号 G_k の立ち上がりに応じてノードN5が放電される段階(時刻 t_3 ~時刻 t_D)では、トランジスタQ8はオンになり、今度はノードN3からノードN5へと電流を流し、ノードN3をLレベル(VSS)にする。その後もノードN5がLレベルの間はトランジスタQ8はオン状態であり、ノードN3はLレベルに維持される。

50

【 0 0 9 8 】

このようにトランジスタQ 8は、ノードN 3およびノードN 5の電位変化に応じて、その機能が変化する。即ち、トランジスタQ 8は、ノードN 5の充電時にはノードN 5のレベルを直接ノードN 3に伝達する抵抗素子として働き、ノードN 3の昇圧時にはノードN 3とノードN 5との間を遮断する遮断素子として働き、さらに、ノードN 5の放電時にはノードN 3の電荷をノードN 5に放出する抵抗素子として働く。

【 0 0 9 9 】

ここではトランジスタQ 8のゲートに供給される電位V D D 2は、前段の出力信号G_{k-1}のHレベルの電位（つまりクロック信号C L K , / C L KのHレベルの電位）と同じV D Dとして説明したが、トランジスタQ 8がこのように動作可能な電位であればよい。例えば電位V D D 2が低過ぎると、トランジスタQ 8がノードN 3を十分に高いレベルまで充電できず、ノードN 3が昇圧されてもトランジスタQ 3が非飽和領域で動作できないので好ましくない。一方、電位V D D 2がV D Dよりも高く設定されると、ノードN 3が昇圧されるときにトランジスタQ 8がオフにならない（遮断素子として機能しない）ので問題である。つまり電位V D D 2は、V D D以下であり、且つノードN 3の昇圧時にトランジスタQ 3が非飽和領域で動作可能な範囲であればよい。

【 0 1 0 0 】

再び図4を参照する。時刻t₄でクロック信号C L Kが立ち下がるが、単位シフトレジスタS R_kの各ノードのレベル変化はない。よって出力信号G_kはHレベルに維持される。

【 0 1 0 1 】

続く時刻t₅でクロック信号/ C L Kが立ち上がると、次段の出力信号G_{k+1}が活性化される。すると出力回路20では、トランジスタQ 12がオンになるので、出力端子O U Tが放電され、出力信号G_kはLレベルになる。またこのときプルアップ駆動回路21のトランジスタQ 4がオンになり、ノードN 1が放電されてLレベルになる。よってトランジスタQ 1はオフになり、トランジスタQ 1, Q 12を通して流れる貫通電流の発生が抑えられる。

【 0 1 0 2 】

またプルダウン駆動回路22においては、トランジスタQ 19がオンになるので、ノードN 6が放電されてLレベルになる。応じてトランジスタQ 7がオフになり、ノードN 2がHレベルになる。つまり、単位シフトレジスタS Rはリセット状態（時刻t₁直前の初期状態）に戻る。従って、トランジスタQ 2, Q 5, Q 11, Q 15, Q 18がオンになり、出力端子O U T、ノードN 1, N 4, N 5, N 6が低インピーダンスのLレベルになる。この状態は、次のフレーム期間で前段の出力信号G_{k-1}が活性化されるまで維持される。

【 0 1 0 3 】

このように図3の単位シフトレジスタS R_kは、前段の出力信号G_{k-1}（あるいはスタートパルスS P）の活性化に応じてトランジスタQ 3がオンになり、その次にクロック端子C Kのクロック信号が活性化するのに応じて出力信号G_kを活性レベル（Hレベル）にし、その後、次段の出力信号G_{k+1}（あるいはダミー段S R Dの出力信号G D M）の活性化に応じて出力信号G_kを非活性レベル（Lレベル）にする。

【 0 1 0 4 】

よってゲート線駆動回路30においては、単位シフトレジスタS R₁に入力されるスタートパルスS Pの活性化を切っ掛けにして、クロック信号C L K , / C L Kに同期したタイミングで出力信号G₁, G₂, G₃...が順に活性化される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線G L₁, G L₂, G L₃...を順番に駆動することができる。

【 0 1 0 5 】

先に述べたように、従来の単位シフトレジスタ（特許文献1の図7）では、ゲート線の充電に用いられる第1トランジスタ（M 1）にクロック信号（C K V）が供給されていた。そのためクロック信号（C K V）の立ち上がり時に、第1トランジスタ（M 1）のオー

10

20

30

40

50

バラップ容量を通して流れる容量結合電流が生じる。この電流は1つの単位シフトレジスタではそれほど大きいものではないが、ゲート線駆動回路は同一のクロック信号が供給される単位シフトレジスタを多く有するため、ゲート線駆動回路で考えるとその電流は相当に大きくなる。特に、上記第1トランジスタはゲート線を高速に充電できるようにゲート幅が広く設定されるのでオーバラップ容量が大きい。そのため容量結合電流も大きく、それによる消費電力の増大を招いていた。

【0106】

一方、図3の単位シフトレジスタ SR_k において、クロック信号 CLK が供給されるのはトランジスタ Q_3 とトランジスタ Q_{13} である。トランジスタ Q_3 はノード N_1 を充電するものであるが、ノード N_1 に關与する容量成分は、ゲート線 GL_k の寄生容量に比べると極めて小さい。具体的には、ノード N_1 に關与する容量成分は、容量素子 C_1 と、トランジスタ Q_1 のゲート容量、ゲート・ドレインオーバラップ容量およびゲート・ソースオーバラップ容量と、トランジスタ Q_4 、 Q_5 それぞれのドレイン・ゲートオーバラップ容量である。これら容量成分の総和は、ゲート線 GL_k の寄生容量よりも1桁以上小さい。そのためトランジスタ Q_3 のゲート幅は、ゲート線 GL_k の充電に用いられるトランジスタ Q_1 のゲート幅よりも相当量小さくてよい。

10

【0107】

またトランジスタ Q_{13} の動作の主目的は、前段の出力信号 G_{k-1} の活性期間に、出力端子 OUT が高インピーダンス状態になることを防止することである。出力端子 OUT は、前段の出力信号 G_{k-1} が活性化するまではトランジスタ Q_2 によって L レベルに維持されているので、トランジスタ Q_{13} は既に放電されている出力端子 OUT を L レベルに維持すればよい。よってトランジスタ Q_{13} は大きな電流を流す必要がなく、高い駆動能力は要求されない。そのためトランジスタ Q_{13} は、トランジスタ Q_1 よりも1桁以上小さいゲート幅のものでよい。

20

【0108】

このように図3の単位シフトレジスタ SR_k では、ゲート幅が小さいトランジスタ Q_3 、 Q_{13} だけにクロック信号が供給される（ゲート幅が大きいトランジスタ Q_1 にはクロック信号が供給されない）。トランジスタ Q_3 、 Q_{13} はオーバラップ容量が小さいので、それに生じる容量結合電流が小さい。よって単位シフトレジスタ SR_k の消費電力を小さくできる。特に、ゲート線駆動回路30のような多段の単位シフトレジスタにおいて、その効果は大きくなる。

30

【0109】

なお、上記したように図3の単位シフトレジスタ SR_k では、ノード N_1 が充分高い電位に昇圧されるように、ノード N_1 の充電開始（時刻 t_3 ）に遅れてトランジスタ Q_{10} がオフになる（時刻 t_D ）。そのため図4の時刻 t_3 ～時刻 t_D の間に、トランジスタ Q_9 、 Q_{10} を通して第2電源端子 S_2 から第1電源端子 S_1 へと流れる貫通電流が生じる。しかしその期間は短く、またその貫通電流は選択期間にある1段の単位シフトレジスタだけに生じるものであるので、ゲート線駆動回路30全体の電力消費には殆ど影響しない。

【0110】

[第1の変更例]

図3においては、トランジスタ Q_{13} は出力端子 OUT とクロック端子 CK との間に接続させていたが、図5に示すように、トランジスタ Q_{13} のソースは第1電源端子 S_1 に接続させてもよい。但し、上記したように本実施の形態では当該単位シフトレジスタ SR_k の出力信号 G_k と前段の出力信号 G_{k-1} とはその活性期間に若干の重なりがあるので、図5の構成ではその重なり期間にトランジスタ Q_1 、 Q_{13} を通して貫通電流が流れ、それが消費電力を増大させる要因となり得る点に留意する必要がある。

40

【0111】

他方、図3の構成では、出力信号 G_k の立ち上げにトランジスタ Q_{13} も寄与することができる。この場合、上記の貫通電流は生じないが、トランジスタ Q_{13} のソース（ドレ

50

イン)・ゲートオーバーラップ容量を流れる容量結合電流が生じ、これも消費電力増大の要因となる。どちらの構成を採用するかは、単位シフトレジスタ $S R_k$ の回路に要求される電気的特性に応じて選択すればよい。

【0112】

なお、トランジスタ Q_{13} は、前段の出力信号 G_{k-1} の活性期間に出力端子 OUT が高インピーダンスになることを防止するものであるが、その期間(1水平期間(1H))は短いので、その間に出力端子 OUT が高インピーダンスになっても、画像表示装置の表示特性上問題となることは殆どない。よってトランジスタ Q_{13} は省略してもよい。

【0113】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

10

【0114】

[第2の変更例]

図3の単位シフトレジスタ $S R_k$ において、プルダウン駆動回路22のトランジスタ Q_6 は、インバータの負荷素子として働く。プルダウン駆動回路22のインバータの負荷素子は、ゲート線 GL_k の非選択期間にノード N_2 をHレベルに保持する働きができるものであればよい。よってトランジスタ Q_6 に代えて、例えば定電流素子や抵抗素子などの電流駆動素子を用いてもよい。

【0115】

また図3では、トランジスタ Q_6 のゲートに一定のハイ側電源電位 VDD_3 を供給していたが、それに代えて次段の出力信号 G_{k+1} と同相のクロック信号 CLK を供給してもよい。単位シフトレジスタ $S R_k$ が出力信号 G_k を活性化させるのに際し、トランジスタ Q_7 は2水平期間(図4の時刻 t_1 ~ 時刻 t_5) オンになる。図3の回路ではその2水平期間、終始トランジスタ Q_6 , Q_7 を通して貫通電流が流れるが、トランジスタ Q_7 のゲートにクロック信号 CLK を供給した場合にはそのうち半分の期間はトランジスタ Q_6 がオフになるので、貫通電流を半分にすることができる。あるいは、トランジスタ Q_6 のゲートとドレインの両方にクロック信号 CLK を供給してもよい。

20

【0116】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

【0117】

[第3の変更例]

図6は、実施の形態1の第3の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図3の回路に対し、プルダウン駆動回路22のトランジスタ Q_{18} のソースを入力端子 IN に接続させている。

30

【0118】

図3の回路では、前段の出力信号 G_{k-1} が活性化されてトランジスタ Q_{17} がノード N_6 を充電し始めた時点では、トランジスタ Q_{18} はオン状態である。トランジスタ Q_{18} は、ノード N_6 の充電が進んでトランジスタ Q_7 がオンになり、応じてノード N_2 がLレベルになったときにオフになる。そのためトランジスタ Q_{17} はトランジスタ Q_{18} よりもオン抵抗が充分小さいことが必要である。

【0119】

それに対し、図6の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} が活性化したとき、トランジスタ Q_{18} はそのソース電位が高くなるためオフになる。つまり、トランジスタ Q_{17} がオンになるとほぼ同時にトランジスタ Q_{18} がオフになり、その状態でノード N_6 の充電が行われる。よって本変更例によれば、トランジスタ Q_{17} , Q_{18} のオン抵抗値と無関係にノード N_6 の充電が可能になり、回路設計が容易になる。

40

【0120】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

【0121】

[第4の変更例]

図7は、実施の形態1の第4の変更例に係る単位シフトレジスタ $S R_k$ の回路図である

50

。当該単位シフトレジスタ $S R_k$ は、図 3 の回路に対し、プルアップ駆動回路 2 1 のトランジスタ $Q 4$ のソース（ドレイン）をクロック端子 $C K$ に接続させ（トランジスタ $Q 4$ をノード $N 1$ とクロック端子 $C K$ との間に接続させ）、当該トランジスタ $Q 4$ のゲートを出力端子 $O U T$ に接続させたものである。

【 0 1 2 2 】

図 3 の単位シフトレジスタ $S R_k$ では、出力信号 G_k の非活性化（ H レベルから L レベルへの変化）は、次段の出力信号 G_{k+1} の活性化に応じてトランジスタ $Q 1 2$ がオンすることにより行われる。このときトランジスタ $Q 4$ も次段の出力信号 G_{k+1} の活性化に応じてオンになり、ノード $N 1$ が L レベルになってトランジスタ $Q 1$ がオフになる。それにより、トランジスタ $Q 1$, $Q 1 2$ を通して流れる貫通電流が抑制される。しかしノード $N 1$ の放電には一定の時間を要するため、トランジスタ $Q 1$ がオフになるタイミングはトランジスタ $Q 1 2$ がオフになるタイミングよりもその放電時間分だけ遅れる。そのためトランジスタ $Q 1$, $Q 1 2$ が同時にオン状態になる時間が僅かに存在し、その期間に貫通電流が流れる。

10

【 0 1 2 3 】

図 7 の回路では、出力信号 G_k が H レベルのとき、クロック信号 $C L K$ の立ち下がる時点（図 4 の時刻 t_4 に相当）でトランジスタ $Q 4$ によるノード $N 1$ の放電が開始され、それによりトランジスタ $Q 1$ がオフになる。このとき出力信号 G_k の H レベルは、ゲート線の寄生容量によって保持される。但し、トランジスタ $Q 1$ のゲート容量およびオーバーラップ容量を介した結合のため、ノード $N 1$ が L レベルになるときに出力信号 G_k のレベルが若干低下する（この低下量は、トランジスタ $Q 1$ のゲート容量およびオーバーラップ容量とゲート線 $G L_k$ の寄生容量との比で決まる）。

20

【 0 1 2 4 】

一方、トランジスタ $Q 1 2$ は、図 3 の場合と同様に次段の出力信号 G_{k+1} の活性化に応じてオンになり、それによって出力信号 G_k が非活性化される。

【 0 1 2 5 】

本変更例によれば、図 3 の回路よりも、トランジスタ $Q 1$ がオフになるタイミングが早くなるので、トランジスタ $Q 1$, $Q 1 2$ が共にオンする期間を短くでき貫通電流の発生を抑制することができる。

【 0 1 2 6 】

図 4 に示されているようにクロック信号 $C L K$ の立ち下がりとクロック信号 $/ C L K$ の立ち上がりには一定の時間間隔（時刻 t_4 ~ 時刻 t_5 ）があるが、特にトランジスタ $Q 4$ によるノード $N 1$ の放電時間をこの時間間隔より短く設定すれば、トランジスタ $Q 1$, $Q 1 2$ が共にオンする期間を完全に無くすることができる。

30

【 0 1 2 7 】

但し図 7 の回路では、トランジスタ $Q 4$ のソース（ドレイン）にもクロック信号 $C L K$ が供給されるので、トランジスタ $Q 3$, $Q 1 3$ のみならず、トランジスタ $Q 4$ においてもそのオーバーラップ容量を流れる容量結合電流が発生する。従って、その容量結合電流による消費電力が、図 3 の回路で生じていたトランジスタ $Q 1$, $Q 1 2$ を流れる貫通電流による消費電力よりも小さい場合でなければ、本変更例による消費電力低減の効果は事実上得られない。

40

【 0 1 2 8 】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

【 0 1 2 9 】

[第 5 の変更例]

図 8 は、実施の形態 1 の第 5 の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、ゲート線 $G L_k$ に供給する出力信号 G_k （本変更例では以下「第 1 出力信号」と称す）とは別に、単位シフトレジスタ $S R_{k-1}$ のトランジスタ $Q 4$ のゲートに供給するための出力信号 $G D_k$ （以下「第 2 出力信号」）を生成することを可能にしたものである。つまり本変更例の単位シフトレジスタ $S R_k$ においては、トラ

50

ンジスタQ4のゲートには、次段の第2出力信号 $G D_{k+1}$ が供給される。

【0130】

図8の単位シフトレジスタ $S R_k$ は、図3の回路に対し、出力回路20にトランジスタQ1D、Q2D、Q12D、Q13Dから成る第2出力信号 $G D_k$ の生成回路を設けたものである。トランジスタQ1Dは、第2出力信号 $G D_k$ の出力端子OUTDと第2電源端子S2との間に接続し、そのゲートはノードN1に接続する。トランジスタQ2Dは、出力端子OUTDと第1電源端子S1との間に接続し、そのゲートはノードN2に接続する。トランジスタQ12Dは出力端子OUTDと第1電源端子S1との間に接続し、そのゲートはリセット端子RSTに接続される。トランジスタQ13Dは出力端子OUTDとクロック端子CKとの間に接続し、そのゲートは入力端子INに接続される。

10

【0131】

図8から分かるように、本変更例に係る単位シフトレジスタ $S R_k$ では、トランジスタQ1、Q2、Q12、Q13から成る第1出力信号 G_k の生成回路と、トランジスタQ1D、Q2D、Q12D、Q13Dから成る第2出力信号 $G D_k$ の生成回路とは、同じ構成を有している。そのため第1出力信号 G_k と第2出力信号 $G D_k$ とはほぼ同じ波形の信号となる。従って、図8の単位シフトレジスタ $S R_k$ は、図3の回路と同様に動作することができる。

【0132】

第1出力信号 G_k が供給されるゲート線 $G L_k$ は、大きな寄生容量を有している。一方、第2出力信号 $G D_k$ が供給される前段のトランジスタQ4のゲート容量は、ゲート線 $G L_k$ の寄生容量に比べて極めて小さい。そのため第2出力信号 $G D_k$ は、第1出力信号 G_k よりもその立ち上がり速度が速くなる。

20

【0133】

従って、単位シフトレジスタ $S R_k$ では、トランジスタQ12のゲートに供給される次段の第1出力信号 G_{k+1} よりも、トランジスタQ4のゲートに供給される次段の第2出力信号 $G D_{k+1}$ の方が高速に立ち上がる。よって図3の場合よりも、トランジスタQ4がノードN1を放電するタイミングが早くなり、トランジスタQ1、Q12の両方がオンになる期間が短くなる。その結果、トランジスタQ1、Q12を流れる貫通電流を低減することができる。

【0134】

なお、第2出力信号 $G D_k$ は、第1出力信号 G_k とほぼ同じ波形の信号であるので、次段の入力端子IN（つまりトランジスタQ14、Q17のゲート）にも出力信号 G_k を供給してもよい。

30

【0135】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。但し、後述する実施の形態7に適用する場合には、第2出力信号 $G D_k$ を前段の単位シフトレジスタ $S R_{k-1}$ のトランジスタQ4に供給するか、次段の単位シフトレジスタ $S R_{k+1}$ のトランジスタQ4に供給するかを、信号のシフト方向に応じて切り換える回路が必要になる。

【0136】

[第6の変更例]

表示装置において、ゲート線駆動回路30からゲート線GLに供給される出力信号Gの立ち下がり、表示信号が画素に書き込まれるタイミングを規定する。表示信号のタイミングを固定して考えると、例えば第k行目のゲート線 $G L_k$ に供給される出力信号 G_k の立ち下がりが遅い場合、第k行目の画素にその次の行（第k+1行目）に書き込まれるべきデータが誤書き込みされるため問題となる。そこで本変更例では、出力信号Gの立ち下がり速度を高速化することが可能な単位シフトレジスタSRを提案する。

40

【0137】

ここで、図3の単位シフトレジスタ $S R_k$ においては、出力信号 G_k の立ち下げ（非活性化）は次段の出力信号 G_{k+1} の立ち上がりに応じてトランジスタQ12がオンすることによって行われていた。そのため出力信号 G_k の立ち下がり速度は、次段の出力信号 G_{k+1} の

50

立ち上がり速度に依存することになる。

【 0 1 3 8 】

一方、次段の出力信号 G_{k+1} の立ち上げ（活性化）は、単位シフトレジスタ $S R_{k+1}$ において、トランジスタ $Q 1$ がオンすることから始まり、応じてトランジスタ $Q 1 6$ がオンし、続いてトランジスタ $Q 1 0$ がオフになり、ノード $N 4$ がトランジスタ $Q 9$ により充電され、それに従いノード $N 1$ が容量素子 $C 1$ により昇圧される、という一連の動作により行われる。このため出力信号 G_{k+1} の立ち上がり速度は、各トランジスタの電気的特性（しきい値電圧やキャリアの移動度）や、使用条件（電圧、温度）の影響を受けやすい。つまり図 3 の単位シフトレジスタ $S R_k$ の出力信号 G_k の立ち下がり速度は、単位シフトレジスタ $S R_{k+1}$ が有する各トランジスタの電気的特性や使用条件の影響を受けやすい。

10

【 0 1 3 9 】

図 9 は、実施の形態 1 の第 6 の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図 3 の回路に対し、プルダウン駆動回路 2 2 にトランジスタ $Q 2 0 \sim Q 2 3$ から成る回路を設けたものである。このトランジスタ $Q 2 0 \sim Q 2 3$ から成る回路は、図 3 において次段の出力信号 G_{k+1} により制御されていたトランジスタ $Q 4$, $Q 1 2$, $Q 1 9$ を制御するものであり、それらのゲートに対し少なくとも出力信号 G_k の活性期間の間、クロック信号 $/ C L K$ を供給するものである。

【 0 1 4 0 】

そのため図 9 の単位シフトレジスタ $S R_k$ には、そクロック信号 $C L K$, $/ C L K$ の両方が供給される。本変更例では、図 3 のクロック端子 $C K$ に相当する端子を「第 1 クロック端子 $C K 1$ 」とし、それとは位相の異なるクロック信号 $/ C L K$ が供給される端子を「第 2 クロック端子 $C K 2$ 」と定義する。つまり図 2 の構成のゲート線駆動回路 3 0 において、奇数段では第 1 クロック端子 $C K 1$ にクロック信号 $C L K$ 、第 2 クロック端子 $C K 2$ にクロック信号 $/ C L K$ がそれぞれ供給される。偶数段では第 1 クロック端子 $C K 1$ にクロック信号 $/ C L K$ 、第 2 クロック端子 $C K 2$ にクロック信号 $C L K$ がそれぞれ供給される。

20

【 0 1 4 1 】

本変更例では、トランジスタ $Q 4$, $Q 1 2$, $Q 1 9$ のゲートが接続するノードを「ノード $N 7$ 」と定義する。トランジスタ $Q 2 0$ は、ノード $N 7$ と第 2 クロック端子 $C K 2$ との間に接続され、トランジスタ $Q 2 1$ はノード $N 7$ と第 1 電源端子 $S 1$ との間に接続される。またトランジスタ $Q 2 0$ のゲートが接続するノードを「ノード $N 8$ 」と定義すると、トランジスタ $Q 2 2$ はノード $N 8$ と第 4 電源端子 $S 4$ との間に接続され、トランジスタ $Q 2 3$ はノード $N 8$ と第 1 電源端子 $S 1$ との間に接続される。トランジスタ $Q 2 2$ のゲートは、当該単位シフトレジスタ $S R_k$ の出力端子 $O U T$ に接続され、トランジスタ $Q 2 1$, $Q 2 3$ のゲートは次段の単位シフトレジスタ $S R_{k+1}$ のノード $N 2$ に接続される。なお、トランジスタ $Q 2 2$ のドレインは出力端子 $O U T$ に接続させてもよい（つまりトランジスタ $Q 2 2$ を出力端子 $O U T$ とノード $N 8$ との間にダイオード接続させる）。

30

【 0 1 4 2 】

単位シフトレジスタ $S R_k$ の選択期間になる前は、出力信号 G_k が L レベルであり、また次段の単位シフトレジスタ $S R_{k+1}$ のノード $N 2$ は H レベルになっているので、トランジスタ $Q 2 2$ はオフ、トランジスタ $Q 2 1$, $Q 2 3$ はオンしている。よってノード $N 8$ は L レベルであり、トランジスタ $Q 2 0$ はオフ状態であるため、ノード $N 7$ も L レベルである。

40

【 0 1 4 3 】

単位シフトレジスタ $S R_k$ の選択期間（出力信号 G_k の活性期間）になり出力信号 G_k が立ち上がると（図 4 の時刻 t_3 ）、トランジスタ $Q 2 2$ がオンになる。このとき次段の単位シフトレジスタ $S R_{k+1}$ のノード $N 2$ が L レベルになるのでトランジスタ $Q 2 1$, $Q 2 3$ はオフになる。そのためノード $N 8$ は H レベル（ $V_{DD} - V_{th}$ ）になり、トランジスタ $Q 2 0$ がオンし、クロック信号 $/ C L K$ がノード $N 7$ に供給される。但しこの時点ではクロック信号 $/ C L K$ は L レベルなのでノード $N 7$ は L レベルのままである。

50

【 0 1 4 4 】

そしてクロック信号 / C L K が立ち上がると次段の出力信号 G_{k+1} のレベルが上昇し始める (図 4 の時刻 t_5) 。一方、当該単位シフトレジスタ $S R_k$ では、クロック信号 / C L K が立ち上がりに応じてノード N 7 の電位が上昇する。このときトランジスタ Q 2 0 のゲートチャネル間容量を介する結合によりノード N 8 が昇圧されるので、トランジスタ Q 2 0 は非飽和領域で動作する。そのためノード N 7 は高速に充電されて電位 V D D の H レベルになる。よってクロック信号 / C L K の立ち上がりとほぼ同時にトランジスタ Q 1 2 がオンになって出力端子 O U T が放電され、出力信号 G_k が立ち下がる。

【 0 1 4 5 】

このように図 9 の単位シフトレジスタ $S R_k$ では、出力信号 G_k は、クロック信号 / C L K の立ち上がりのタイミングで素早く立ち下がる。また出力信号 G_k の立ち下がり速度が、次段の出力信号 G_{k+1} の立ち上がり速度に依存しないので、トランジスタ特性や使用条件にも殆ど影響されない。よって、画像表示装置における上記の誤書き込みの問題が解決される。

10

【 0 1 4 6 】

なお、トランジスタ Q 1 2 がオンするタイミングが早くなるが、図 9 の単位シフトレジスタ $S R_k$ ではそれと同時にトランジスタ Q 4 のオンになり、ノード N 1 が放電されてトランジスタ Q 1 がオフになるため、トランジスタ Q 1 , Q 1 2 を流れる貫通電流の増大も抑えられる。またトランジスタ Q 1 9 もそれと同時にオンになるため、単位シフトレジスタ $S R_k$ はクロック信号 / C L K の立ち上がりとほぼ同時にリセット状態になる。

20

【 0 1 4 7 】

[第 7 の変更例]

図 3 の単位シフトレジスタ $S R_k$ において、ノード N 4 のレベルの上昇速度は、トランジスタ Q 9 のオン抵抗によって決まるためノード N 1 の電位に依存する。またノード N 1 の電位は容量素子 C 1 によりノード N 1 がどの程度昇圧されるかによって決まる。

【 0 1 4 8 】

このノード N 1 の昇圧動作において、ノード N 1 の寄生容量であるトランジスタ Q 1 のゲート容量 (オバラップ容量を含む) は当該ノード N 1 の昇圧を抑制するように働くが、トランジスタ Q 1 はゲート幅を広くする必要があるため、そのゲート容量は大きい。つまり図 3 の回路では、ノード N 1 の寄生容量が大きく、ノード N 1 が十分に高いレベルにまで昇圧されずにノード N 4 のレベルの上昇速度が遅くなることが懸念される。ここではこの問題への対策を施した変更例を示す。

30

【 0 1 4 9 】

図 1 0 は、実施の形態 1 の第 7 の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ では、トランジスタ Q 9 のゲートを、寄生容量の大きいノード N 1 から分離させている。

【 0 1 5 0 】

図 1 0 の回路では、トランジスタ Q 3 , Q 5 に対して並列にトランジスタ Q 3 A , Q 5 A を設け、トランジスタ Q 9 のゲートをトランジスタ Q 3 A , Q 5 A 間の接続ノード (「ノード N 1 A 」 と定義する) に接続させている。

40

【 0 1 5 1 】

トランジスタ Q 3 A は、ノード N 1 A とクロック端子 C K との間に接続し、そのゲートはトランジスタ Q 3 のゲート (ノード N 3) に接続される。トランジスタ Q 5 A はノード N 1 A と第 1 電源端子 S 1 との間に接続し、そのゲートはトランジスタ Q 5 のゲート (ノード N 2) に接続される。またノード N 1 A とノード N 4 との間には容量素子 C 1 A が接続される。

【 0 1 5 2 】

トランジスタ Q 3 A , Q 5 A および容量素子 C 1 A から成る回路と、トランジスタ Q 3 , Q 5 および容量素子 C 1 から成る回路とは、互いに同じ構成を有しているため同じように動作する。つまりノード N 1 A は、ノード N 1 とほぼ同じようにレベル変化する。従っ

50

て図10の単位シフトレジスタ SR_k は、図3の回路と同様に動作することができる。なお、トランジスタ Q_9 がノード N_4 を充電するとき、容量素子 C_{1A} によってトランジスタ Q_9 自身のゲート(ノード N_{1A})が昇圧され、トランジスタ Q_9 は非飽和領域で動作するので、図10の回路でもノード N_4 は電位 V_{DD} まで上昇する(つまりトランジスタ Q_9 および容量素子 C_{1A} はブートストラップ回路を構成している)。

【0153】

但し、ノード N_{1A} にはトランジスタ Q_4 に相当するものが設けられていないため、ノード N_{1A} はノード N_1 よりも立ち下がりのタイミングが遅れる。しかしトランジスタ Q_4 はトランジスタ Q_1 、 Q_{12} を流れる貫通電流を抑制する目的で設けられているので、ノード N_{1A} には設ける必要がない。

10

【0154】

図10の単位シフトレジスタ SR_k によれば、トランジスタ Q_9 のゲートが、寄生容量の大きなノード N_1 に接続しない分、図3の回路よりもトランジスタ Q_9 のゲートの寄生容量を小さくすることができる。

【0155】

ノード N_{1A} の寄生容量は容量素子 C_{1A} に比べて無視できる程度に小さい。そのためノード N_4 のレベルが電位 V_{DD} まで上昇したとき、ノード N_{1A} は略 $2 \times V_{DD}$ のレベルにまで上昇する。従ってノード N_4 の立ち上がりが高速化され、応じてノード N_1 の立ち上がりも高速化される。その結果、出力信号 G_k の立ち上がりも高速化される。

【0156】

20

但し本変更例では、トランジスタ Q_{3A} にもクロック信号 CLK が供給されるため、トランジスタ Q_{3A} のオーバーラップ容量を流れる容量結合電流が生じる点に留意すべきである。

【0157】

<実施の形態2>

図11は実施の形態2に係る単位シフトレジスタの構成を示す回路図である。同図のように、本実施の形態では、実施の形態1の単位シフトレジスタ SR (図3)に対し、トランジスタ Q_9 のドレインに所定の電位 V_{DD5} を供給する電圧発生回路33を接続させたものである。

【0158】

30

この電圧発生回路33は、高電位側電源電位 V_{DD4} が供給される第5電源端子 S_5 と、電位 V_{DD5} を出力するための電圧出力端子 VT と、所定のクロック信号が入力される少なくとも1つのクロック入力端子を有している(図11にはクロック入力端子 CKT が代表的に示されている)。本実施の形態では、そのクロック入力端子に入力されるクロック信号として、縦続接続した複数の単位シフトレジスタ SR (即ちゲート線駆動回路30)を駆動する多相クロック信号のうちのいずれかが用いられる(図11にはクロック信号 CLK が代表的に示されている)。

【0159】

電圧発生回路33は、第5電源端子 S_5 に供給される電位 V_{DD4} 、クロック入力端子 CKT に入力されるクロック信号を基にして、電源電位 V_{DD4} よりも高い出力電位 V_{DD5} を生成するものである。また、この電位 V_{DD5} は、低電位側電源電位 V_{SS} を基準として、クロック信号 CLK 、 $\neg CLK$ の振幅(H レベルの電位)よりも高いものである。

40

【0160】

図12は電圧発生回路33の具体的な回路構成の一例を示している。この電圧発生回路33は、高電位出力を得るために、チャージポンプ回路 CP が用いられている。当該チャージポンプ回路 CP は、トランジスタ Q_{30} 、 Q_{31} および容量素子 C_5 により構成されている。また当該チャージポンプ回路 CP の出力端、すなわち電圧出力端子 VT には容量素子 C_6 が設けられている。

【0161】

50

本実施の形態では、この電圧発生回路 33 (チャージポンプ回路 CP および安定化容量 C6) を、シフトレジスタ回路と同じ絶縁基板上に形成する。基本的にチャージポンプ回路は、少なくとも 2 つの整流素子 (ダイオード素子) と少なくとも 1 つの容量素子とから構成される。本実施の形態では、ダイオード素子として、シフトレジスタ回路に使用されるものと同じ構造を有するトランジスタ Q30, Q31 がダイオード接続されたものを使用する。また容量素子としては、画素容量 (図 1 に示したキャパシタ 17) と同じ構造の容量素子 C5 を使用する。容量素子 C6 は、チャージポンプ回路 CP の出力を安定させるためのものであり、これも画素容量と同じ構造のものが使用される。そうすることにより、電圧発生回路 33 をシフトレジスタや画素回路の形成と並行して行うことができるようになるので、製造工程の増加を伴わず、また製造コストの増加も抑えられる。

10

【0162】

図 12 に示すように、ダイオード素子としてのトランジスタ Q30, Q31 (以下それぞれ「ダイオード素子 Q30」、「ダイオード素子 Q31」と称す) は、高電位側電源電位 VDD4 が供給される第 5 電源端子 S5 と出力電位 VDD5 を出力するための電圧出力端子 VT との間に直列に接続される。ダイオード素子 Q30, Q31 は共に第 5 電源端子 S5 側をアノード、電圧出力端子 VT 側がカソードとなるように接続される。

【0163】

容量素子 C5 はダイオード素子 Q30, Q31 間の接続ノード (以下「ノード N9」) とクロック入力端子 CKT との間に接続される。この容量素子 C5 は、ノード N9 を繰り返し昇圧するチャージポンプ動作を行うためのものである。クロック入力端子 CKT には任意のクロック信号が入力されればよい。そのクロック信号としては、各单位シフトレジスタ SR を駆動するクロック信号 CLK, /CLK の何れかを利用することができる。そうすれば、チャージポンプ回路 CP を駆動するためのクロック信号の発生回路を別途設ける必要がなく、回路規模の増大が抑えられる。本実施の形態では、図 12 の回路のクロック入力端子 CKT には、クロック信号 CLK が入力されるものとする。以下、容量素子 C5 を「チャージポンプ容量」と称する。

20

【0164】

一方、容量素子 C6 は、電圧出力端子 VT から負荷 (単位シフトレジスタ SR のノード N4) に向けて電流が流れたときに、出力電位 VDD5 を安定化するためのものであり、電圧出力端子 VT と低電位側電源電位 VSS が供給される第 1 電源端子 S1 との間に接続されている。以下、容量素子 C6 を「安定化容量」と称する。なお、安定化容量 C6 の一端の接続先は第 1 電源端子 S1 に限定されず、一定電圧が供給される低インピーダンスのノードであればよく、その接続先は問わない。

30

【0165】

以下、図 12 の回路の動作を説明する。電圧発生回路 33 を構成する各トランジスタのしきい値電圧も V_{th} とする。

【0166】

第 5 電源端子 S5 に電位 VDD4 が供給されるとダイオード素子 Q30 がオンするため、ノード N9 の電位は $VDD4 - V_{th}$ となる。さらにこのノード N9 の電位により、ダイオード素子 Q31 がオンして電圧出力端子 VT の電位は $VDD4 - 2 \times V_{th}$ になる。

40

【0167】

その後、クロック信号 CLK (振幅 VDD) が立ち上がると、チャージポンプ容量 C5 を介する結合によってノード N9 が昇圧される。ノード N9 の寄生容量を無視すると、ノード N9 の電位は $VDD4 - V_{th} + VDD$ にまで上昇する。このノード N9 の電位上昇により、ダイオード素子 Q31 がオンしてノード N9 から電圧出力端子 VT へ電流が流れる。それにより、電圧出力端子 VT のレベルは一定量上昇し、逆にノード N9 は電荷が流出した分だけレベルが低下する。

【0168】

その後、クロック信号 CLK が立ち下がると、チャージポンプ容量 C5 を介する結合によりノード N9 の電位は引き下げられる。先ほどノード N9 が昇圧されたとき、当該ノード

50

ドN9からは電圧出力端子VTへ電荷が流出しているため、電位が引き下げられた後のノードN9のレベルは、その昇圧前（クロック信号CLKが立ち上がる前）のVDD4 - V_{th}よりも低くなる。しかしノードN9の電位が低下するとダイオード素子Q30がオンするので、ノードN9はすぐに電源端子S5から充電されてVDD4 - V_{th}に戻る。

【0169】

なお、先ほどノードN9が昇圧されたときに電圧出力端子VTの電位は上昇しているため、電圧出力端子VTよりもノードN9の方が電位が低くなるが、ダイオード素子Q31は電圧出力端子VTからノードN9への向きの電流を阻止するため、電圧出力端子VTの電位は上昇されたまま維持される。

【0170】

その後もクロック信号CLKが入力される度に以上の動作が繰り返され、最終的に電圧出力端子VTの電位VDD5は、 $VDD4 - 2 \times V_{th} + VDD$ となる。

【0171】

ここで、上記の電位VDD1～VDD4の値は全て等しく、その値をクロック信号CLK、/CLKのHレベルと同じくVDDであると仮定すると、最終的な電圧発生回路33の出力電位VDD5は $2 \times VDD - 2 \times V_{th}$ となり、それがトランジスタQ9のドレイン電位となる。同じ仮定の下では、例えば実施の形態1の単位シフトレジスタSRのトランジスタQ9のドレイン電位はVDD (= VDD1)である。つまり本実施の形態の単位シフトレジスタSRによれば、高電位側電源電位のそれぞれがクロック信号CLK、/CLKのHレベルと同じ電位VDDである場合であっても、電圧発生回路33によって、トランジスタQ9のドレインにはより高い電位VDD5 (= $2 \times VDD - 2 \times V_{th}$)が供給される。

【0172】

従って本実施の形態では、トランジスタQ9がノードN4を実施の形態1の場合よりも高い電位に充電することができる。その結果、ノードN1がより高いレベルにまで昇圧されるので、出力信号G_kの出力時におけるトランジスタQ1のオン抵抗は小さくなる。よって、出力信号G_kの立ち上がりが高速化され、シフトレジスタ回路の動作の高速化が可能になるという効果が得られる。また逆に言えば、トランジスタQ1のチャネル幅を小さくしても、出力信号G_kの立ち上がりの速度の低下が抑制されるので、シフトレジスタ回路の占有面積を小さくすることができる。

【0173】

また本実施の形態では、電圧発生回路33（チャージポンプ回路CPおよび安定化容量C6）をシフトレジスタ回路と同じ基板内に形成するものとして説明したが、その構成要素の全部、あるいは一部を基板の外部に形成して接続させてもよい。その場合、当該基板の面積の増大を抑制することができるが、基板内の回路と電圧発生回路33（あるいはその一部）とを接続するための外部接続端子を基板上に設ける必要が生じるので、それだけ端子数が増加する。

【0174】

例えば、電圧発生回路33のチャージポンプ回路CPのダイオード素子をシフトレジスタ回路と同じ基板内に形成し、容量素子（チャージポンプ容量および安定化容量）を外付けにすることが考えられる。その場合、ダイオード素子としてシフトレジスタ回路のものと同一構造のトランジスタを用いることで製造工程を簡略化することができると共に、容量素子の大容量化が容易になる。また例えば、ダイオード素子および安定化容量を外付けにし、チャージポンプ容量を基板内に形成すれば、回路の寄生容量を小さくできるという利点を得られる。

【0175】

[第1の変更例]

図12に示した電圧発生回路33では、クロック信号CLKの立ち上がり時にチャージポンプ容量C5を通して電圧出力端子VTに電荷が供給されるが、それが立ち下ると電圧出力端子VTへの電荷の供給は停止する。よってクロック信号CLKがLレベルの間は

10

20

30

40

50

、電圧発生回路 33 は安定化容量 C6 に蓄積されている電荷によって負荷（単位シフトレジスタ SR のノード N4）へ電流を供給する。つまりクロック信号 CLK が L レベルの間は、安定化容量 C6 の電荷は放電されるのみであるので、電圧出力端子 VT の電位（電位 VDD5）が低下する。

【0176】

図 13 は実施の形態 2 に係る電圧発生回路 33 の第 1 の変更例の構成を示す回路図である。当該電圧発生回路 33 は、互いに並列に接続された 2 つのチャージポンプ回路 CP1、CP2 を有している。

【0177】

チャージポンプ回路 CP1 は、ダイオード接続されたトランジスタ（ダイオード素子）Q30a、Q31a および、その間のノード N9a とクロック入力端子 CKTa との間に接続したチャージポンプ容量 C5a から成っている。同様に、チャージポンプ回路 CP2 は、ダイオード素子 Q30b、Q31b および、その間のノード N9b とクロック入力端子 CKTb との間に接続したチャージポンプ容量 C5b から成る。即ち、図 13 のチャージポンプ回路 CP1、CP2 のそれぞれは、図 12 に示したチャージポンプ回路 CP と同じ構造のものである。

【0178】

それらチャージポンプ回路 CP1、CP2 それぞれのクロック入力端子 CKTa、CKb には、各々位相の異なるクロック信号が入力される。本変更例においては、それらのクロック信号として、シフトレジスタ回路（ゲート線駆動回路 30）を駆動しているクロック信号 CLK、/CLK を用いる。即ち図 13 のように、クロック入力端子 CKTa にはクロック信号 CLK、クロック入力端子 CKTb にはクロック信号 /CLK が、それぞれ入力される。

【0179】

従って、図 13 の電圧発生回路 33 では電圧出力端子 VT に、クロック信号 CLK の立ち上がり時にチャージポンプ回路 CP1 から電荷が供給され、クロック信号 /CLK の立ち上がり時にチャージポンプ回路 CP2 から電荷が供給される。つまり電圧出力端子 VT には、クロック信号 CLK、/CLK によって交互に電荷が供給されることとなり、上記した電圧出力端子 VT の電位低下の問題は解決される。

【0180】

本変更例では 2 つのチャージポンプ回路を用いて電圧発生回路 33 を構成したが、電圧出力端子 VT のレベル低下がある程度許容される場合には、電圧発生回路 33 が備えるチャージポンプ回路は 1 つ（即ち図 12 の構成）であってもよい。

【0181】

[第 2 の変更例]

第 2 の変更例では、図 12 および図 13 に示した構成よりも出力電位 VDD5 を高くできる電圧発生回路 33 を提案する。

【0182】

図 14 は実施の形態 2 に係る電圧発生回路 33 の第 2 の変更例の構成を示す回路図である。本変更例においても電圧発生回路 33 は、チャージポンプ回路 CP と安定化容量 C6 とから成るが、チャージポンプ回路 CP の構成が図 12 とは異なっている。

【0183】

図 14 に示すように本変更例のチャージポンプ回路 CP は、図 12 のトランジスタ Q30 を、トランジスタ Q32、Q33 および容量素子 C7 から成る回路に置き換えたものである。

【0184】

トランジスタ Q32 は、ダイオード素子 Q31 のアノードであるノード N9 と第 5 電源端子 S5 との間に接続される。トランジスタ Q33 は、第 5 電源端子 S5 とトランジスタ Q32 のゲートノード（以下「ノード N10」）との間に接続され、そのゲートはノード N9 に接続される。容量素子 C7 は、ノード N10 とクロック入力端子 CKT2 との間に

10

20

30

40

50

接続している。

【0185】

クロック入力端子CKT1, CKT2のそれぞれには、互いに位相の異なる(Hレベルをとる活性期間が重複しない)クロック信号が入力される。それらのクロック信号としては、シフトレジスタ回路(ゲート線駆動回路30)を駆動しているクロック信号CLK, /CLKを用いることができる。本変更例においては、図14のように、クロック入力端子CKT1にはクロック信号CLK、クロック入力端子CKT2にはクロック信号/CLKが入力されるものとする。

【0186】

次に本変更例に係る電圧発生回路33のチャージポンプ回路CPの動作について説明する。ここでもクロック信号CLK, /CLKの振幅をVDDとし、電圧発生回路33の各トランジスタのしきい値電圧はVthとする。

10

【0187】

上記したように、図12の回路のノードN9にはトランジスタQ30によりVDD4 - Vthのレベルに充電されるが、それに対し図14のチャージポンプ回路CPのノードN9は、トランジスタQ32, Q33および容量素子C7から成る回路によってVDD4のレベルに充電される。その理由は、クロック信号/CLKの立ち上がり時にトランジスタQ32のゲート(ノードN10)が昇圧され、このときトランジスタQ32が非飽和動作してノードN9を充電するためである。

【0188】

20

従って、本変更例のチャージポンプ回路CPでは、クロック信号CLKが立ち上がってノードN9が昇圧されると、当該ノードN9の電位はVDD4 + VDDにまで上昇する。このノードN9の電位上昇により、ダイオード素子Q31がオンしてノードN9から電圧出力端子VTへ電流が流れる。それにより、電圧出力端子VTのレベルは一定量上昇し、逆にノードN9は電荷が流出した分だけレベルが低下する。

【0189】

なおノードN9の昇圧時には、トランジスタQ33が非飽和動作するので、ノードN10は第5電源端子S5と同じVDD4に充電される。このときノードN9が昇圧されているため、電位関係からトランジスタQ32は、第5電源端子S5側がソース、ノードN9側がドレインとなるが、そのゲート(ノードN10)とソース(第5電源端子S5)の電位が等しいのでノードN9から第5電源端子S5への電流は流れない。つまり、トランジスタQ32は、第5電源端子S5からノードN9への充電を行うが、その逆方向の電流は阻止する整流素子として機能している。

30

【0190】

また、先ほどノードN9が昇圧されたときに電圧出力端子VTの電位は上昇しているので、電圧出力端子VTよりもノードN9の方が電位が低くなるが、ダイオード素子Q31は電圧出力端子VTからノードN9への向きの電流を阻止するため、電圧出力端子VTの電位は上昇されたまま維持される。

【0191】

その後、クロック信号CLKが立ち下がると、チャージポンプ容量C5を介する結合によりノードN9の電位は引き下げられる。このときノードN9のレベルは、その昇圧前(クロック信号CLKが立ち上がる前)のVDD4よりも低くなる。しかし次にクロック信号/CLKが立ち上がると、トランジスタQ32が再び非飽和動作してノードN9を充電するので、当該ノードN9のレベルはVDD4に戻る。

40

【0192】

その後もクロック信号CLK, /CLKが入力される度に以上の動作が繰り返され、最終的に電圧出力端子VTの電位VDD5は、VDD4 - Vth + VDDとなる。ここで、上記の電位VDD1 ~ VDD4の値は全て等しく、その値をクロック信号CLK, /CLKのHレベルと同じくVDDであると仮定すると、最終的な電圧発生回路33の出力電位VDD5は2 × VDD - Vthとなる。

50

【 0 1 9 3 】

このように本変更例のチャージポンプ回路CPでは、トランジスタQ32が非飽和動作でノードN9を充電するので、ノードN9のノードが図12の回路の場合よりもトランジスタのしきい値電圧V_{th}分だけ高く充電される。応じて、クロック信号CLKによるノードN9の昇圧時のレベルもV_{th}だけ高くなり、その結果、最終的な電圧出力端子VTの電位も図12の回路よりもV_{th}分だけ高くすることができる。

【 0 1 9 4 】

なお本変更例では、電圧発生回路33のクロック入力端子CKT1, CKT2にそれぞれクロック信号CLK, /CLKが入力される例を示したが、先に述べたようにクロック入力端子CKT1, CKT2に入力される信号は、互いに位相が異なる(活性期間が重ならない)クロック信号であればよい。

10

【 0 1 9 5 】

また図14のチャージポンプ回路CPでは、容量素子C7はトランジスタQ32のゲートのみを昇圧すればよいので、容量素子C7の容量値はチャージポンプ容量C5に比べ小さくてもよい。同様に、トランジスタQ33もトランジスタQ32のゲートを充電するのみであるので、そのオン抵抗はトランジスタQ32よりも高くてもよい。

【 0 1 9 6 】

[第3の変更例]

図15は第3の変更例に係る電圧発生回路33の構成を示す回路図である。当該電圧発生回路33は、第2の変更例と同様に、互いに並列に接続された2つのチャージポンプ回路CP1, CP2を有している。但し本変更例では、チャージポンプ回路CP1, CP2のそれぞれは、図15に示したチャージポンプ回路CPと同じ構造のものである。

20

【 0 1 9 7 】

チャージポンプ回路CP1, CP2それぞれのクロック入力端子CKT1a, CKT1b(図15のクロック入力端子CKT1に対応)には、各々位相の異なるクロック信号が入力される。本変更例においては、それらのクロック信号として、シフトレジスタ回路(ゲート線駆動回路30)を駆動しているクロック信号CLK, /CLKを用いる。即ち図13のように、チャージポンプ回路CP1のクロック入力端子CKT1aにはクロック信号CLK、チャージポンプ回路CP2のクロック入力端子CKT1bにはクロック信号/CLKが、それぞれ入力される。

30

【 0 1 9 8 】

そして、チャージポンプ回路CP1のクロック入力端子CKT2aには、クロック入力端子CKT1aのクロック信号CLKとは位相の異なるクロック信号/CLKが入力される。同様に、チャージポンプ回路CP2のクロック入力端子CKT2bには、クロック入力端子CKT1bのクロック信号/CLKとは位相の異なるクロック信号CLKが入力される。

【 0 1 9 9 】

従って、図15の電圧発生回路33では電圧出力端子VTに、クロック信号CLKの立ち上がり時にチャージポンプ回路CP1から電荷が供給され、クロック信号/CLKの立ち上がり時にチャージポンプ回路CP2から電荷が供給される。つまり電圧出力端子VTには、クロック信号CLK, /CLKのいずれかによって殆どの期間、電荷が供給されることとなり、電圧出力端子VTの電位低下の問題は解決される。

40

【 0 2 0 0 】

本変更例においても、電圧出力端子VTのレベル低下がある程度許容される場合には、電圧発生回路33が備えるチャージポンプ回路は1つ(即ち図14の構成)であってもよい。

【 0 2 0 1 】

< 実施の形態3 >

図16は、実施の形態3に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図10の単位シフトレジスタSR_kに対し、トランジスタQ9のド

50

レインに実施の形態 2 で説明した電圧発生回路 3 3 を接続させたものである。

【 0 2 0 2 】

図 1 6 の単位シフトレジスタ $S R_k$ では、トランジスタ Q_9 のゲート (ノード $N 1 A$) は寄生容量の大きいノード $N 1$ から分離されている。ノード $N 1 A$ の寄生容量は容量素子 $C 1 A$ に比べ無視できるほど小さいので、ノード $N 4$ のレベルが上昇したときノード $N 1 A$ は略 $V D D + V D D 5$ にまで昇圧される。よってトランジスタ Q_9 は非飽和領域で動作して、ノード $N 4$ を高速に電位 $V D D 5$ にまで充電する。

【 0 2 0 3 】

その結果、容量素子 $C 1$ を介してノード $N 1$ が高速に昇圧され、且つ、昇圧後のノード $N 1$ のレベルは図 1 0 の場合よりも高くなる。従って、出力信号 G_k の立ち上がりをより高速化できる。

10

【 0 2 0 4 】

但し図 1 6 の単位シフトレジスタ $S R_k$ では、図 1 0 の場合と同様に、トランジスタ $Q 3 A$ にもクロック信号 $C L K$ が供給されるため、トランジスタ $Q 3 A$ のオーバーラップ容量を流れる容量結合電流が生じる点に留意すべきである。

【 0 2 0 5 】

< 実施の形態 4 >

図 1 7 は実施の形態 4 に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、ノード $N 1$ を容量素子 $C 1$ で昇圧させる代わりに、電圧発生回路 3 3 の出力を電源に用いて充電することで、ノード $N 1$ をクロック信号 $C L K$, $/ C L K$ の H レベル ($V D D$) よりも高い電位にするように構成したものである。

20

【 0 2 0 6 】

図 1 7 の如く、当該単位シフトレジスタ $S R_k$ には、トランジスタ $Q 3 \sim Q 5$ から成る回路と同じ構成をしたトランジスタ $Q 3 B \sim Q 5 B$ から成る回路が設けられる。トランジスタ $Q 9$ のゲートは、ノード $N 1$ から分離されており、トランジスタ $Q 3 B$ とトランジスタ $Q 4 B$, $Q 5 B$ との間の接続ノード (「ノード $N 1 B$ 」 と定義する) に接続される。また容量素子 $C 1$ もノード $N 1$ から分離されており、ノード $N 4$ とノード $N 1 B$ との間に接続される。

【 0 2 0 7 】

また当該単位シフトレジスタ $S R_k$ では、図 1 6 と同様に、トランジスタ $Q 9$ のドレインに電圧発生回路 3 3 が接続されている。さらに電圧発生回路 3 3 の電圧出力端子 $V T$ とノード $N 1$ との間には、電圧発生回路 3 3 の出力を電源にしてノード $N 1$ を充電するためのトランジスタ $Q 2 4$ が接続される。トランジスタ $Q 2 4$ のゲートは、ノード $N 1 B$ に接続される。

30

【 0 2 0 8 】

図 1 7 の単位シフトレジスタ $S R_k$ の動作は図 3 の回路とほぼ同様であるが、トランジスタ $Q 1$ のゲート (ノード $N 1$) が、容量素子 $C 1$ を介する結合によって昇圧されるのではなく、トランジスタ $Q 2 4$ による充電によって電位 $V D D$ よりも高いレベルにまで昇圧される。

【 0 2 0 9 】

一方、図 1 7 の容量素子 $C 1$ は、トランジスタ $Q 2 4$ のゲート (ノード $N 1 B$) を昇圧するように機能する。このノード $N 1 B$ の昇圧動作は、図 3 の回路におけるノード $N 1$ の昇圧動作と同じである。

40

【 0 2 1 0 】

トランジスタ $Q 9$ のドレイン電位は電位 $V D D 5$ であるが、トランジスタ $Q 9$ がノード $N 4$ を充電するとき、容量素子 $C 1$ を介する結合によってノード $N 1 B$ が昇圧されるため、トランジスタ $Q 9$ は非飽和領域で動作する (つまりトランジスタ $Q 9$ および容量素子 $C 1$ はブートストラップ回路を構成している) 。よってノード $N 4$ は電位 $V D D 5$ にまで充電される。またノード $N 1$ の充電に用いられるトランジスタ $Q 2 4$ は、ゲート線 $G L_k$ の充電に用いられるトランジスタ $Q 1$ のように大きな駆動能力は要求されないため、そのゲ

50

ート幅はトランジスタQ 1のそれよりも桁違いに小さくてよい。よってノードN 1 Bの寄生容量は、容量素子C 1に比べて無視できる程度に小さくできる。従って、ノードN 1 BのレベルはVDD + VDD5に近いレベルに昇圧される。

【0211】

従って、トランジスタQ 2 4も非飽和領域で動作してノードN 1を充電し、ノードN 1の電位はVDD5にまで高められる。その結果、トランジスタQ 1の駆動能力が上がり、出力信号G_kの立ち上がり速度が高速化される。

【0212】

図3の単位シフトレジスタSR_kでは、ノードN 1(トランジスタQ 1のゲート)の昇圧は容量素子C 1によって行われる。ゲート線GL_kの充電に用いられるトランジスタQ 1は高い駆動能力が要求されるため、そのゲート幅が広く、大きなゲート容量を有する。そのためノードN 1の寄生容量は比較的大きい。ノードN 1の寄生容量はノードN 1の昇圧を抑えるように働くので、その昇圧効率が悪くなる。

10

【0213】

それに対し、図17の単位シフトレジスタSR_kでは、トランジスタQ 2 4による充電によってノードN 1を昇圧しているため、その昇圧量はノードN 1の寄生容量の大きさに無関係である。つまり、単位シフトレジスタSR_kの駆動能力を高めるためにトランジスタQ 1のゲート幅を大きくしても、ノードN 1の昇圧効率が悪くなることはない。従って、単位シフトレジスタSR_kの駆動能力の向上に寄与できる。

【0214】

<実施の形態5>

図18は実施の形態5に係る単位シフトレジスタの構成を示す回路図である。同図の回路は、実施の形態4の単位シフトレジスタSR_k(図17)に対して、実施の形態1の第7の変更例(図10)を適用したものである。

20

【0215】

即ち、図18の回路では、トランジスタQ 3 B, Q 5 Bに対して並列にトランジスタQ 3 A, Q 5 Aを設け、トランジスタQ 9のゲートをトランジスタQ 3 A, Q 5 A間の接続ノード(ノードN 1 A)に接続させている。それによって、トランジスタQ 9のゲートをノードN 1 Bから分離させている。またノードN 1 AとノードN 4との間には容量素子C 1 Aが接続されている。

30

【0216】

トランジスタQ 3 A, Q 5 Aおよび容量素子C 1 Aから成る回路と、トランジスタQ 3 B, Q 5 Bおよび容量素子C 1から成る回路とは、互いに同じ構成を有しているため同じように動作する。つまりノードN 1 Aは、ノードN 1 Bとほぼ同じようにレベル変化する。従って図18の単位シフトレジスタSR_kは、図17の回路と同様に動作することができる。

【0217】

図18の単位シフトレジスタSR_kにおいて、ノードN 1 Aは、トランジスタQ 9のゲート容量が接続されないため、その寄生容量は図17よりもさらに小さい。そのため図17の回路よりもトランジスタQ 9のゲートをより効率的に昇圧することができる。よってノードN 4の立ち上がりが高速化され、応じてノードN 1 Bの立ち上がりが高速化される。その結果、ノードN 1の昇圧速度も速くなり、出力信号G_kの立ち上がりも高速化される。

40

【0218】

但し図10の回路と同様に、トランジスタQ 3 Aにもクロック信号CLKが供給されるため、トランジスタQ 3 Aのオーバラップ容量を流れる容量結合電流が生じる点に留意すべきである。

【0219】

<実施の形態6>

図19は、実施の形態6に係る単位シフトレジスタSR_kの回路図である。当該単位シ

50

フトレジスタ $S R_k$ は、図 17 の回路から、トランジスタ Q_3 を省略したものである。

【0220】

図 17 の回路では、ノード N_1 は、クロック信号 CLK の立ち上がりに応じてトランジスタ Q_3 により VDD にまで充電（プリチャージ）され、さらにトランジスタ Q_{24} により VDD_5 にまで充電（昇圧）される。それに対し、図 19 の単位シフトレジスタ $S R_k$ では、ノード N_1 の充電を全てトランジスタ Q_{24} が行うことになる。

【0221】

本実施の形態によれば、トランジスタ Q_3 が省略された分、消費電力を削減できる。但し、トランジスタ Q_3 によるノード N_1 の充電（プリチャージ）が行われないため、ノード N_1 が充電されるタイミングが遅れ、応じて出力端子 OUT の立ち上がりが遅くなる。

10

【0222】

図 18 の回路においても同様にトランジスタ Q_3 を省略してもよく、その分の消費電力を削減することができる。

【0223】

また本実施の形態に係る単位シフトレジスタ $S R_k$ では、トランジスタ Q_{16} のゲートを、出力端子 OUT ではなくノード N_1 に接続させてもよい。上記の各実施の形態ではトランジスタ Q_{16} を出力信号 G_k で制御することにより、ノード N_1 の充電開始からノード N_4 のレベル上昇までの遅延時間を確保していたが、上記のように本実施の形態ではノード N_1 が充電されるタイミングが遅れるため、トランジスタ Q_{16} のゲートをノード N_1 に接続させても十分にその遅延時間を確保することができるからである。またそのようにすれば、トランジスタ Q_{16} のゲートがゲート線 GL_k から分離され、トランジスタ Q_{16} の動作がゲート線 GL_k のノイズの影響を受けることが防止できるという効果も得られる。

20

【0224】

<実施の形態 7>

実施の形態 7 では、本発明を信号のシフト方向を変更可能なシフトレジスタに適用する。そのようなシフトレジスタを用いて構成されたゲート線駆動回路 30 は、双方向の走査が可能である。

【0225】

図 20 は実施の形態 7 に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図 3 の回路に対し、信号のシフト方向を切り換えるための切換回路 24 を設けたものである。

30

【0226】

図 3 の回路においては、トランジスタ Q_{13} 、 Q_{14} 、 Q_{17} のゲート（入力端子 IN ）に前段の出力信号 G_{k-1} が入力され、トランジスタ Q_4 、 Q_{12} 、 Q_{19} のゲート（リセット端子 RST ）に次段の出力信号 G_{k+1} が入力されるように固定されていたが、図 20 の切換回路 24 は、その 2 つの信号を、第 1 および第 2 電圧信号 V_n 、 V_r のレベルに応じて入れ換えることが可能なものである。

【0227】

図 20 に示されるように、切換回路 24 は、トランジスタ Q_{25n} 、 Q_{25r} 、 Q_{26n} 、 Q_{26r} 、 Q_{27n} 、 Q_{27r} 、 Q_{28n} 、 Q_{28r} から成っている。また切換回路 24 は、前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} をそれぞれ受ける第 1 および第 2 入力端子 IN_1 、 IN_2 と、第 1 および第 2 電圧信号 V_n 、 V_r をそれぞれ受ける第 1 および第 2 電圧信号端子 T_1 、 T_2 とを備えている。

40

【0228】

切換回路 24 は 2 つの出力端を有しており、それらをそれぞれ「ノード N_{11} 」、「ノード N_{12} 」と定義する。本実施の形態では、トランジスタ Q_{13} 、 Q_{14} 、 Q_{17} のゲートをノード N_{11} は接続させ、トランジスタ Q_4 、 Q_{12} 、 Q_{19} のゲートをノード N_{12} に接続させる。ノード N_{11} は、図 3 の回路の入力端子 IN に相当し、ノード N_{12} は図 3 の回路のリセット端子 RST に相当する。つまり切換回路 24 は、前段の出力信号

50

G_{k-1} と次段の出力信号 G_{k+1} のうち、どちらを図3の入力端子 IN (ノード $N11$)に供給し、どちらを図3のリセット端子 RST (ノード $N12$)に供給するかを切り換えるものである。

【0229】

図20の如く、トランジスタ $Q25n$ は、第1入力端子 $IN1$ とノード $N11$ との間に接続し、そのゲートはトランジスタ $Q27n$ を介して第1電圧信号端子 $T1$ に接続する。トランジスタ $Q25r$ は、第2入力端子 $IN2$ とノード $N11$ との間に接続し、そのゲートはトランジスタ $Q27r$ を介して第2電圧信号端子 $T2$ に接続する。トランジスタ $Q26n$ は、第2入力端子 $IN2$ とノード $N12$ との間に接続し、そのゲートはトランジスタ $Q28n$ を介して第1電圧信号端子 $T1$ に接続する。トランジスタ $Q26r$ は、第1入力端子 $IN1$ とノード $N12$ との間に接続し、そのゲートはトランジスタ $Q28r$ を介して第2電圧信号端子 $T2$ に接続する。トランジスタ $Q27n$ 、 $Q27r$ 、 $Q28n$ 、 $Q28r$ のゲートはいずれも第2電源端子 $S2$ に接続される。

10

【0230】

ここで、第1および第2電圧信号 Vn 、 Vr は、信号のシフト方向(走査方向)を決定するための制御信号である。当該単位シフトレジスタ SR_k に、前段から後段への向き(「順方向」と定義する)に信号をシフトする動作を行わせる場合、第1電圧信号 Vn はHレベル、第2電圧信号 Vr はLレベルに設定される。また後段から前段への向き(「逆方向」と定義する)に信号をシフトする動作を行わせる場合には、第1電圧信号 Vn はLレベル、第2電圧信号 Vr はHレベルに設定される。

20

【0231】

以下、切換回路24の動作を説明する。図20に示すように、トランジスタ $Q25n$ 、 $Q25r$ 、 $Q26n$ 、 $Q26r$ のゲートが接続するノードをそれぞれノード $N13n$ 、 $N13r$ 、 $N14n$ 、 $N14r$ と定義する。

【0232】

第1電圧信号 Vn がHレベル、第2電圧信号 Vr がLレベルの場合、ノード $N13n$ 、 $N14n$ がHレベル($VDD - V_{th}$)となり、ノード $N13r$ 、 $N14r$ はLレベル(VSS)となる。よってトランジスタ $Q25n$ 、 $Q26n$ はオン、トランジスタ $Q25r$ 、 $Q26r$ はオフになる。従って、第1入力端子 $IN1$ に入力された前段の出力信号 G_{k-1} はノード $N11$ に供給され、第2入力端子 $IN2$ に入力された次段の出力信号 G_{k+1} はノード $N12$ に供給される。

30

【0233】

この場合、図20の単位シフトレジスタ SR_k は図3と等価になる。そのため図20の単位シフトレジスタ SR_k が複数個縦続接続して構成されたゲート線駆動回路30は、順方向シフトの動作すなわち単位シフトレジスタ SR_1 、 SR_2 、 SR_3 、...の順に信号をシフトさせる動作を行うことができる。

【0234】

なお、前段の出力信号 G_{k-1} の立ち上がり時には、トランジスタ $Q25n$ のゲート・チャンネル間容量を介する結合により、ノード $N13n$ が昇圧され、トランジスタ $Q25n$ は非飽和領域で動作する。よってそのときのノード $N11$ のレベルは、前段の出力信号 G_{k-1} と同じく電位 VDD になる。同様に、次段の出力信号 G_{k+1} の立ち上がり時には、トランジスタ $Q26n$ のゲート・チャンネル間容量を介する結合により、ノード $N14n$ が昇圧され、トランジスタ $Q26n$ が非飽和領域で動作する。よってそのときノード $N12$ のレベルは、次段の出力信号 G_{k+1} と同じく電位 VDD になる。

40

【0235】

一方、第1電圧信号 Vn がLレベル、第2電圧信号 Vr がHレベルの場合、ノード $N13r$ 、 $N14r$ がHレベル($VDD - V_{th}$)となり、ノード $N13n$ 、 $N14n$ はLレベル(VSS)となる。よってトランジスタ $Q25r$ 、 $Q26r$ はオン、トランジスタ $Q25n$ 、 $Q26n$ はオフになる。従って、第1入力端子 $IN1$ に入力された前段の出力信号 G_{k-1} はノード $N12$ に供給され、第2入力端子 $IN2$ に入力された次段の出力信号 G_k

50

G_{k+1} はノードN11に供給される。

【0236】

この場合、図20の単位シフトレジスタ SR_k は、次段の出力信号 G_{k+1} の活性化に応じて出力信号 G_k を活性化させ、前段の出力信号 G_{k-1} の活性化に応じて出力信号 G_k を非活性化させるように動作する。そのため図20の単位シフトレジスタ SR_k が複数個縦続接続して構成されたゲート線駆動回路30は、逆方向シフトの動作すなわち単位シフトレジスタ $SR_n, SR_{n-1}, SR_{n-2}, \dots$ の順に信号をシフトさせる動作を行うことができるようになる。

【0237】

なお、次段の出力信号 G_{k+1} の立ち上がり時には、トランジスタQ25rのゲート・チャンネル間容量を介する結合により、ノードN13rが昇圧され、トランジスタQ25rが非飽和領域で動作する。よってそのときノードN11のレベルは、次段の出力信号 G_{k+1} と同じく電位VDDになる。同様に、前段の出力信号 G_{k-1} の立ち上がり時には、トランジスタQ26rのゲート・チャンネル間容量を介する結合により、ノードN14rが昇圧され、トランジスタQ26rは非飽和領域で動作する。よってそのときのノードN12のレベルは、前段の出力信号 G_{k-1} と同じく電位VDDになる。

【0238】

また、図20の出力回路20、プルアップ駆動回路21およびプルダウン駆動回路22の動作は、図3のものと同様であるため、本実施の形態の単位シフトレジスタ SR_k においても実施の形態1と同様の効果が得られる。但し、切換回路24を通して前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} が供給されるため、図3の回路よりも前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} に対する応答が若干遅くなる。

【0239】

本実施の形態は、上記の実施の形態1～6の単位シフトレジスタ SR_k の何れにも適用可能である。

【0240】

<実施の形態8>

以上の各実施の形態の単位シフトレジスタ SR_k では、トランジスタQ16のゲートを出力端子OUTに接続させていた。そのためトランジスタQ16の動作は、出力端子OUTに接続したゲート線 GL_k に発生したノイズの影響を受けやすく、当該ノイズによって単位シフトレジスタ SR_k の誤動作が引き起こされる場合がある。本実施形態では、その対策を施した例を示す。

【0241】

図21は、実施の形態8に係る単位シフトレジスタの回路図である。当該単位シフトレジスタ SR_k では、トランジスタQ16のゲートに、プッシュプル型のバッファ回路を介してノードN1の信号を供給するように構成したものである。トランジスタQ16のゲートが出力端子OUT(ゲート線 GL_k)から分離されるため、ゲート線 GL_k に発生したノイズがトランジスタQ16の動作に影響することを防止できる。

【0242】

トランジスタQ16のゲートが接続するノードを「ノードN15」と定義すると、上記バッファ回路は、ノードN15と第2電源端子S2との間に接続するトランジスタQ41と、ノードN15と第1電源端子S1との間に接続するトランジスタQ42とから成っている。トランジスタQ41のゲートはノードN1に接続され、トランジスタQ42のゲートはノードN2に接続される。図4のタイミング図からも分かるように、ノードN1がHレベルになるときはノードN2がLレベルになっているので、トランジスタQ41, Q42は同時にオンしない。つまり当該バッファ回路はプッシュプル動作し、よってトランジスタQ41, Q42を通して貫通電流は流れない。

【0243】

ここで、上記の各実施の形態では、トランジスタQ16を出力信号 G_k で制御することにより、ノードN1の充電開始からノードN4のレベル上昇までの遅延時間を確保してい

10

20

30

40

50

た。つまりその遅延時間は、トランジスタQ1による出力端子OUTの充電時間によって確保されていた。一方、本実施の形態では、トランジスタQ41によるノードN15の充電時間によって、その遅延時間を確保することができる。従って、図21の回路は図3の回路と同様に動作することができる。

【0244】

本実施の形態は、上記の実施の形態1～7の単位シフトレジスタSR_kの何れにも適用可能である。但し、実施の形態1の第5の変更例(図8)の場合は、本実施の形態を適用するまでもなく、トランジスタQ16のゲートを第2出力信号GD_kの出力端子OUTDに接続させればよい。そうすれば、本実施の形態と同様にトランジスタQ16のゲートが出力端子OUTから分離され、ゲート線GL_kのノイズがトランジスタQ16の動作に影響することを防止できる。

10

【図面の簡単な説明】

【0245】

【図1】液晶表示装置の構成を示す概略ブロック図である。

【図2】実施の形態1に係るゲート線駆動回路の構成を示す図である。

【図3】実施の形態1に係る単位シフトレジスタの回路図である。

【図4】実施の形態1に係る単位シフトレジスタの動作を説明するためのタイミング図である。

【図5】実施の形態1の第1の変更例に係る単位シフトレジスタの回路図である。

【図6】実施の形態1の第3の変更例に係る単位シフトレジスタの回路図である。

20

【図7】実施の形態1の第4の変更例に係る単位シフトレジスタの回路図である。

【図8】実施の形態1の第5の変更例に係る単位シフトレジスタの回路図である。

【図9】実施の形態1の第6の変更例に係る単位シフトレジスタの回路図である。

【図10】実施の形態1の第7の変更例に係る単位シフトレジスタの回路図である。

【図11】実施の形態2に係る単位シフトレジスタの回路図である。

【図12】実施の形態2に係る電圧発生回路の回路図である。

【図13】実施の形態2の第1の変更例に係る電圧発生回路の回路図である。

【図14】実施の形態2の第2の変更例に係る電圧発生回路の回路図である。

【図15】実施の形態2の第3の変更例に係る電圧発生回路の回路図である。

【図16】実施の形態3に係る単位シフトレジスタの回路図である。

30

【図17】実施の形態4に係る単位シフトレジスタの回路図である。

【図18】実施の形態5に係る単位シフトレジスタの回路図である。

【図19】実施の形態6に係る単位シフトレジスタの回路図である。

【図20】実施の形態7に係る単位シフトレジスタの回路図である。

【図21】実施の形態8に係る単位シフトレジスタの回路図である。

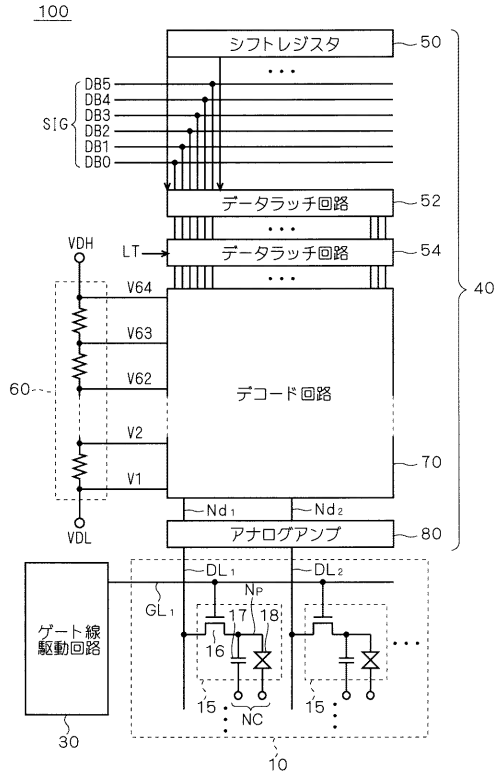
【符号の説明】

【0246】

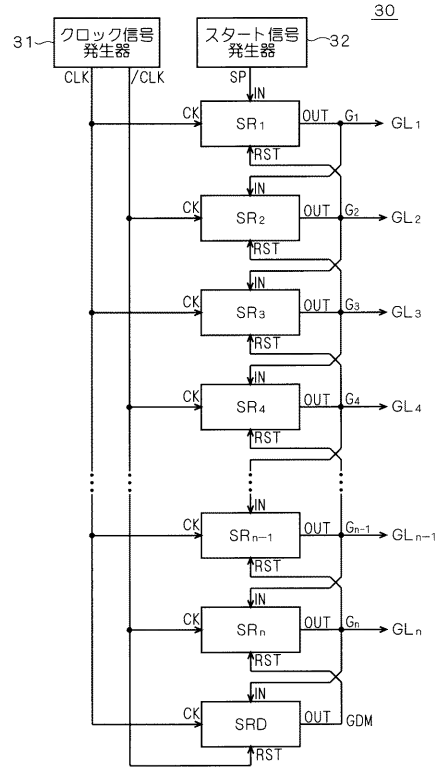
SR 単位シフトレジスタ、20 出力回路、21 プルアップ駆動回路、22 プルダウン駆動回路、24 切換回路、30 ゲート線駆動回路、31 クロック信号発生器、32 スタート信号発生器、33 電圧発生回路。

40

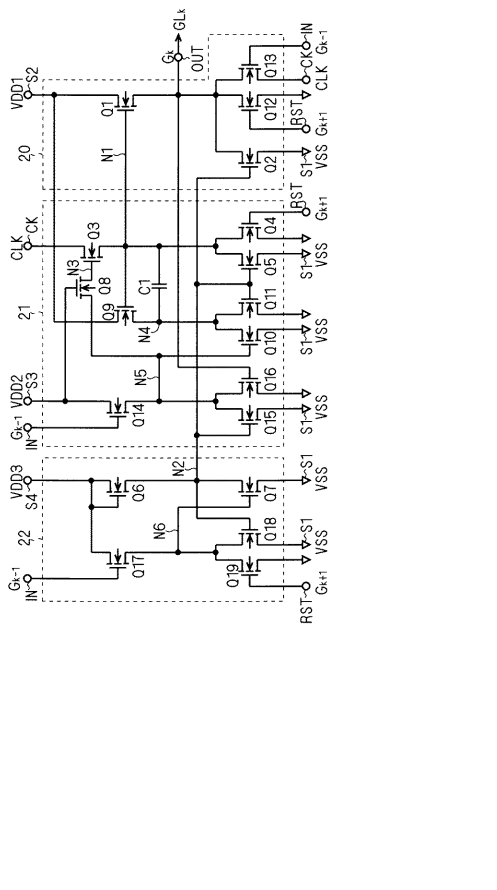
【図1】



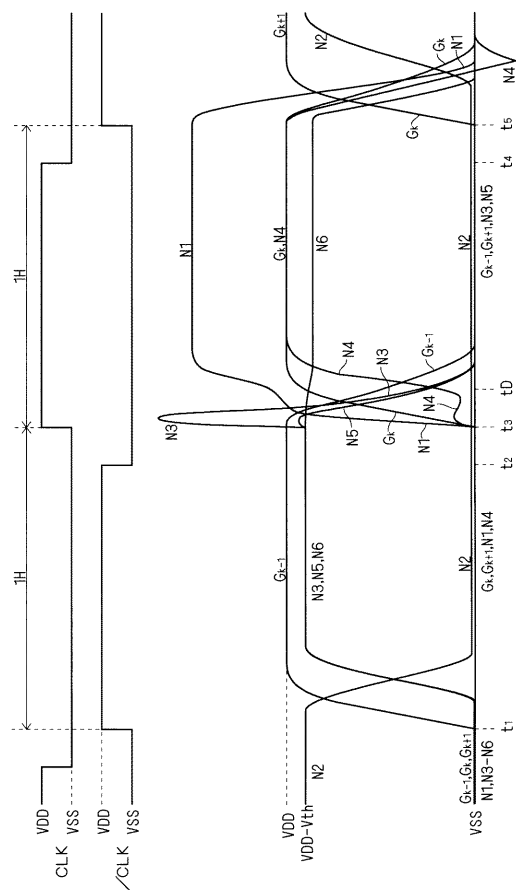
【図2】



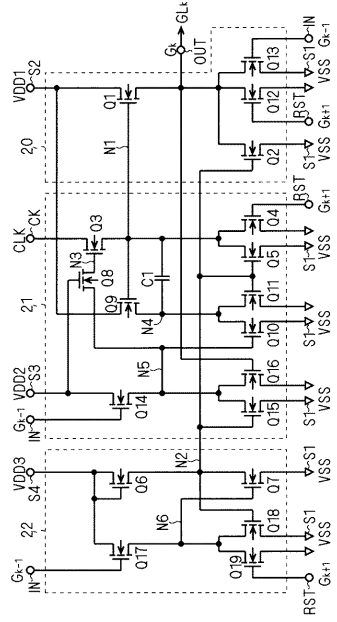
【図3】



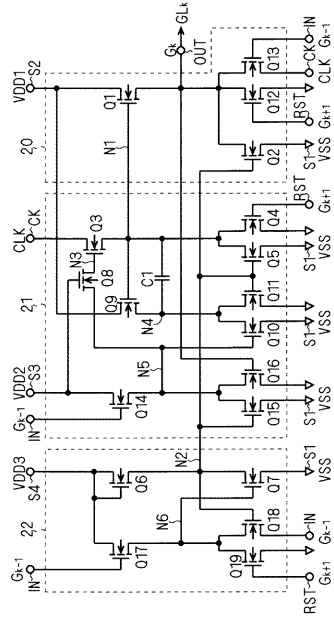
【図4】



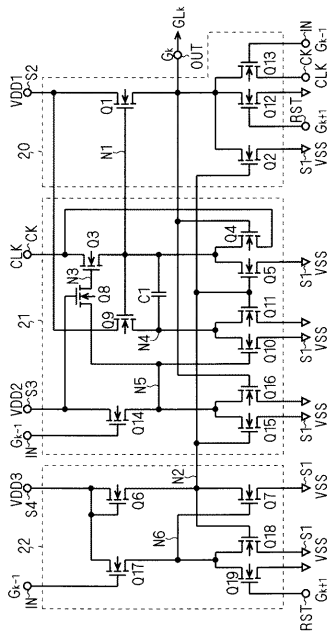
【 図 5 】



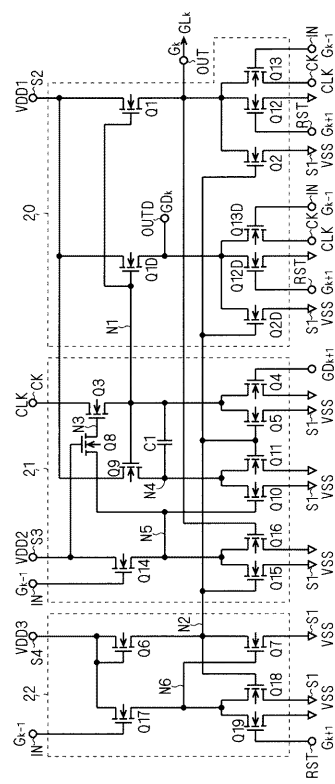
【 図 6 】



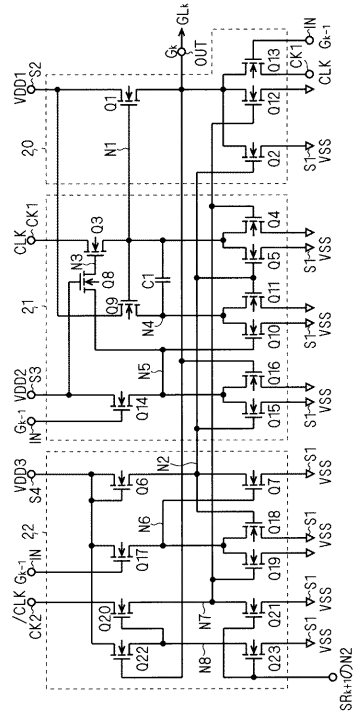
【 図 7 】



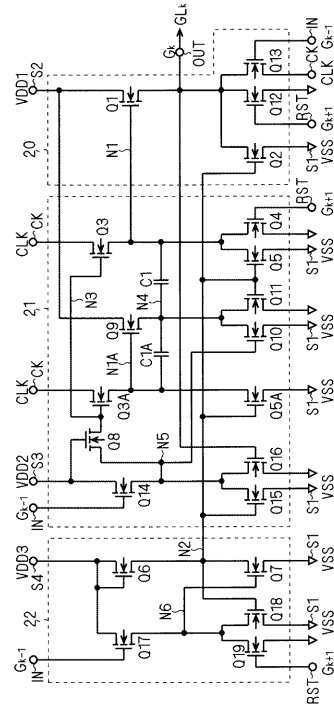
【 図 8 】



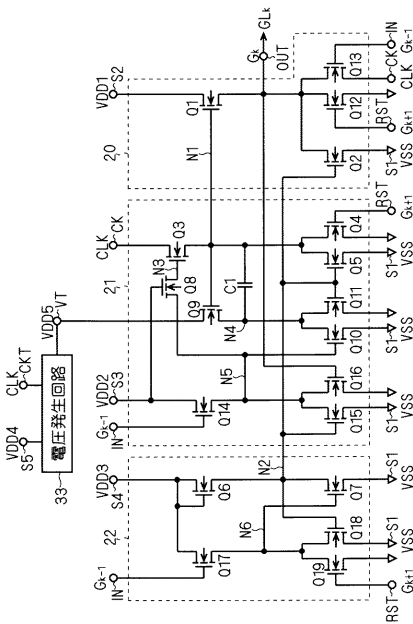
【 図 9 】



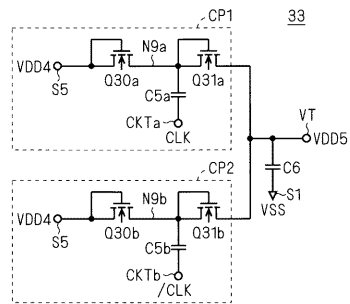
【 図 10 】



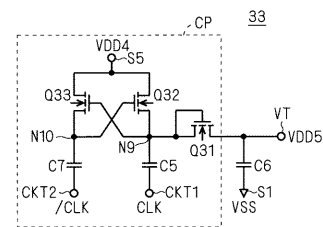
【 図 11 】



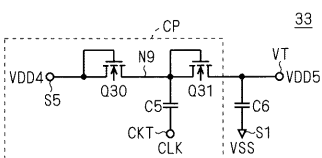
【 図 13 】



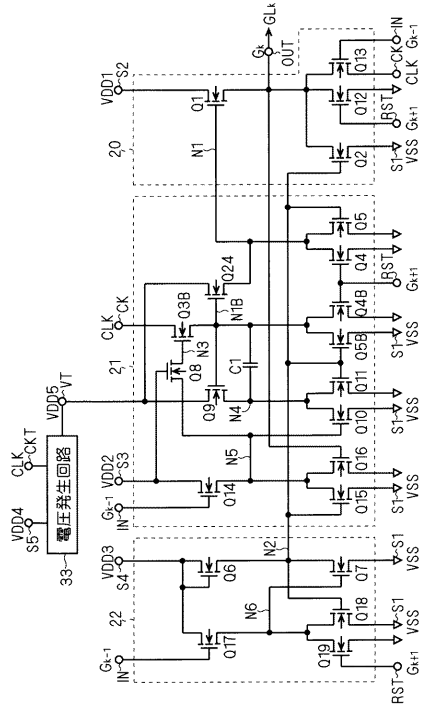
【 図 14 】



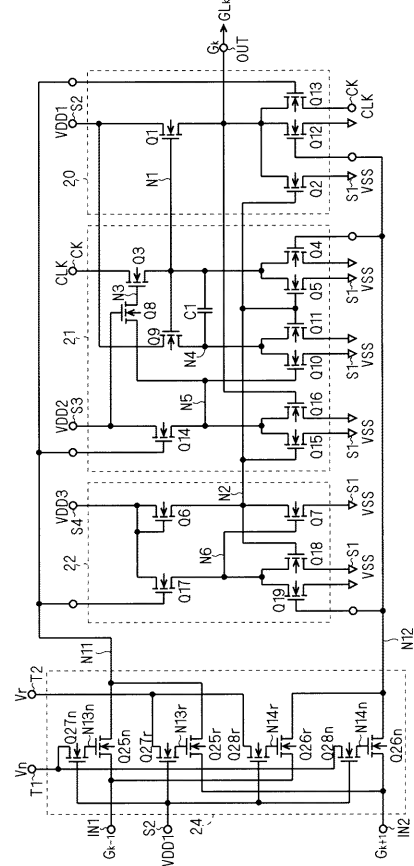
【 図 12 】



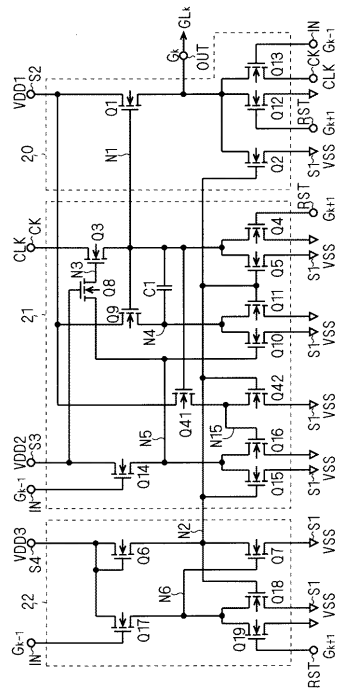
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

- (56)参考文献 特開2005-143068(JP,A)
特開2006-050288(JP,A)
特開2006-293299(JP,A)
特開2003-163586(JP,A)
特開2007-323041(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 19/28

G11C 19/00