



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0080156
(43) 공개일자 2023년06월07일

- (51) 국제특허분류(Int. Cl.)
H10B 43/30 (2023.01) G11C 11/56 (2021.01)
H01L 29/423 (2006.01) H01L 29/792 (2006.01)
- (52) CPC특허분류
H10B 43/30 (2023.02)
G11C 11/56 (2013.01)
- (21) 출원번호 10-2021-0167630
(22) 출원일자 2021년11월29일
심사청구일자 2021년11월29일
- (71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
한국과학기술정보연구원
대전광역시 유성구 대학로 245 (어은동)
- (72) 발명자
유영준
대전광역시 유성구 대덕대로541번길 68 대덕연구
원현대아파트 103동 202호
김한솔
대전광역시 유성구 어은로 57 한빛아파트 136동
906호
(뒷면에 계속)
- (74) 대리인
이은철, 김재문

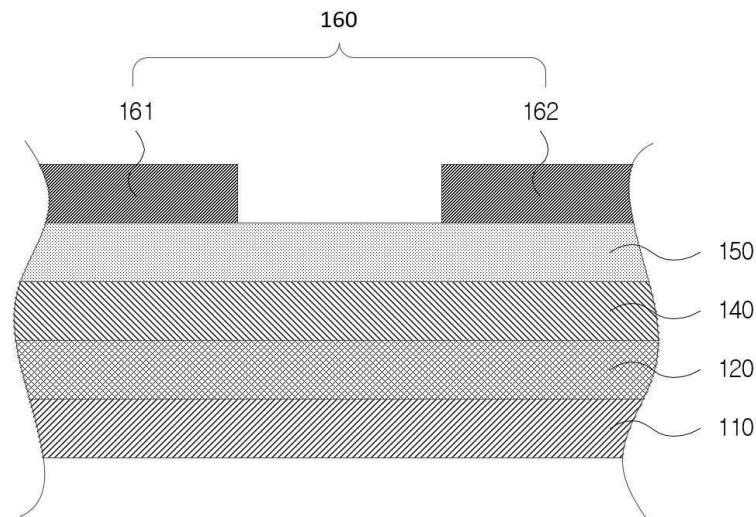
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 멀티 레벨 구동이 가능한 메모리 소자

(57) 요약

본 발명은 멀티 레벨 구동이 가능한 메모리 소자에 관한 것으로, 게이트 전극, 게이트 전극 상에 형성되는 게이트 절연층, 전하저장층 상에 적층 형성되는 터널링 절연층, 터널링 절연층 상에 적층 형성되는 채널층, 및 채널층 상에 서로 이격되어 형성되는 소스 전극 및 드레인 전극을 포함하고, 터널링 절연층은 게이트 전극 및 드레인 전극 각각에 인가된 전압에 의해 채널층 및 게이트 전극 중 어느 하나로부터 터널링되는 전하를 억제하되, 드레인 전극에 인가된 전압에 따라 터널링 전하의 밀도가 설정되어 다수개의 전류 레벨을 출력 및 저장하는 구성으로 절연층의 두께에 따라 다수의 전류 레벨을 저장 및 출력함에 따라 대량의 정보를 신속하게 처리할 수 있고, 소비 전력을 최적화하여 소자의 효율을 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/4234 (2013.01)

H01L 29/792 (2013.01)

(72) 발명자

권오훈

대전광역시 유성구 구죽로 104 하나빌 305호

김중윤

충청북도 청주시 서원구 월평로 24 현대대우아파트
810호 204호

강석주

대전광역시 유성구 장대로71번길 34 장대푸르지오
101동 601호

변혜령

대전광역시 유성구 대학로 99 충남대학교 학생생활
관 10동 705호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711148112
과제번호	2019R1A2C1002787
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	2차원 물질 이중 집합 구조의 광전자 표면 특성 기초연구
기 여 율	37/100
과제수행기관명	충남대학교
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1345343004
과제번호	2020R1A6A1A03047771
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	대학중점연구소지원사업
연구과제명	나노소재 기반 진화형 환경 복합센서 연구
기 여 율	30/100
과제수행기관명	충남대학교
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1415171653
과제번호	P0008458
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	산업혁신인재성장지원(R&D)
연구과제명	반도체소재부품장비기술인력양성
기 여 율	10/100
과제수행기관명	한국반도체산업협회
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711139387
과제번호	K-21-L02-C09-S01
부처명	과학기술정보통신부
과제관리(전문)기관명	한국과학기술정보연구원
연구사업명	한국과학기술정보연구원연구운영비지원(R&D)
연구과제명	초거대 계산기술 확보를 통한 과학·공학 초거대문제 해결 연구·지원
기 여 율	23/100
과제수행기관명	한국과학기술정보연구원
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

게이트 전극;

상기 게이트 전극 상에 형성되는 게이트 절연층;

상기 게이트 절연층 상에 적층 형성되는 터널링 절연층;

상기 터널링 절연층 상에 적층 형성되는 채널층; 및

상기 채널층 상에 서로 이격되어 형성되는 소스 전극 및 드레인 전극을 포함하고,

상기 터널링 절연층은 게이트 전극 및 드레인 전극 각각에 인가된 전압에 의해 상기 채널층 및 게이트 전극 중 어느 하나로부터 터널링되는 전하를 억제하되, 상기 드레인 전극에 인가된 전압에 따라 터널링 전하의 밀도가 설정되어 다수개의 전류 레벨을 출력 및 저장하는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 2

제1항에 있어서,

상기 게이트 전극은 금속류, 금속산화물, 및 실리콘 중 어느 하나인 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 3

제1항에 있어서,

상기 채널층은 n-type, p-type, 및 Ambipolar 중 어느 하나의 특성을 가지는 유기화합물 또는 무기화합물인 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 4

제3항에 있어서,

상기 유기화합물은 탄소, 산소, 질소, 및 수소 중 어느 하나의 원소로 이루어진 벤젠, 나프탈렌 안트라센, 테트라센, 펜타센, 헥사센, 및 헵타센 고리의 물질 중 어느 하나의 군으로부터 선택되는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 5

제3항에 있어서,

상기 무기화합물은 2차원 화합물, 페로브스카이트(Perovskite) 구조의 물질, 및 퀀텀닷(Quantum Dot) 물질 중 어느 하나의 군으로부터 선택되는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 6

제1항에 있어서,

상기 터널링 절연층은 육방정계 물질, 유기화합물, 및 무기산화물 중 어느 하나의 군으로부터 선택되는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 7

제1항에 있어서,

상기 터널링 절연층은 두께가 10 nm 내지 200 nm 인 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 8

제1항에 있어서,

상기 드레인 전극 및 소스 전극 상에 외부의 산소 및 수분으로부터 보호하는 봉지층을 더 포함하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 9

게이트 전극;

상기 게이트 전극 상에 형성되는 게이트 절연층;

상기 게이트 절연층 상에 적층 형성되어 전하를 저장하는 전하저장층;

상기 전하저장층 상에 적층 형성되는 터널링 절연층;

상기 터널링 절연층 상에 적층 형성되는 채널층; 및

상기 채널층 상에 서로 이격되어 형성되는 소스 전극 및 드레인 전극을 포함하고,

상기 터널링 절연층은 상기 전하저장층 및 상기 채널층 중 적어도 하나가 융합되어 전하저장 융합층 및 채널 융합층을 형성하는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 10

제9항에 있어서,

상기 전하저장층은 상기 채널층으로부터 터널링하는 전하를 수집하는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 11

제9항에 있어서,

상기 전하저장층은 그래핀계 물질, 금속, 금속산화물, 유기화합물, 및 무기화합물 중 어느 하나의 군으로부터 선택되는 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

청구항 12

제9항에 있어서,

상기 전하저장 융합층 및 채널 융합층 중 어느 하나는 전하의 이동도가 상기 채널층보다 낮고 상기 터널링 절연층보다 높은 것을 특징으로 하는 멀티 레벨 구동이 가능한 메모리 소자.

발명의 설명

기술 분야

- [0001] 본 발명은 멀티 레벨 구동이 가능한 메모리 소자에 관한 것으로, 이를 위해 멀티 레벨로 저장 및 출력할 수 있도록 한 기술에 관한 것이다.

배경 기술

- [0003] 종래의 메모리 소자는 소자의 출력 전압에 따라 오프상태(Off-state) 1개와 온상태(On-state) 1개로 0 또는 1의 2진법 기반으로 작동한다. 2진법 기반의 메모리 소자는 각 메모리 마다 출력 전압에 의해 정보 전달이 이루어지기 때문에 많은 양의 정보를 신속하게 전달하기 위해서는 상당한 개수의 메모리가 필요하다.
- [0004] 메모리 소자의 크기를 줄이는 방법을 채택하고 있으나, 소자의 크기를 줄이면서 개수를 늘리는 방법에는 한계가 있어 메모리 소자에서 다양한 구조 변형을 시도하고 있고, 하나의 메모리 소자에서 다진법을 구현하기 위해 소자 형태에 따라 나타나는 전류밀도로 다수의 전류 레벨을 저장 및 출력하는 연구가 진행되었다.
- [0005] 그러나, 종래의 다진법 소자는 두 개의 게이트 전극을 구비하여 소스 전극 및 드레인 전극 각각에 인가된 전압과 두개의 게이트 전극에 인가된 전압을 제어하여 다수의 전류 레벨을 저장 및 출력하나 두 개의 게이트 전극에 의해 소비 전력이 증가하며, 다수의 전류 레벨을 저장 및 출력하는 소자는 두 개의 게이트에 인가된 전압에 따라 결정되기 때문에 다진법 회로라 하더라도 출력될 수 있는 레벨의 수가 제한되는 문제가 있다.
- [0006] 따라서, 소자의 소비 전력을 최적화하면서 전류밀도에 따라 다수개의 전류 레벨을 생성하여 n 개의 멀티 레벨을 저장 및 출력하는 소자의 개발이 필요하다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 대한민국 등록특허 제10-2199607호(2021.01.08)

발명의 내용

해결하려는 과제

- [0009] 본 발명은, 하나의 메모리 소자에서 출력하고자 하는 진법에 따라 절연층 두께를 설정하여 터널링 전하에 따른 다수의 전류 레벨을 출력할 수 있는 멀티 레벨 구동이 가능한 메모리 소자를 제공할 수 있다.

과제의 해결 수단

- [0011] 본 발명의 일 측면에 따른 멀티 레벨 구동이 가능한 메모리 소자는 게이트 전극; 상기 게이트 전극 상에 형성되는 게이트 절연층; 상기 게이트 절연층 상에 적층 형성되는 터널링 절연층; 상기 터널링 절연층 상에 적층 형성되는 채널층; 및 상기 채널층 상에 서로 이격되어 형성되는 소스 전극 및 드레인 전극을 포함하고, 상기 터널링 절연층은 게이트 전극 및 드레인 전극 각각에 인가된 전압에 의해 상기 채널층 및 게이트 전극 중 어느 하나로부터 터널링되는 전하를 억제하되, 상기 드레인 전극에 인가된 전압에 따라 터널링 전하의 밀도가 설정되어 다수개의 전류 레벨을 출력 및 저장할 수 있다.
- [0012] 바람직하게는, 상기 게이트 전극은 금속류, 금속산화물, 및 실리콘 중 어느 하나일 수 있다.
- [0013] 바람직하게는, 상기 채널층은 n-type, p-type, 및 Ambipolar 중 어느 하나의 특성을 가지는 유기화합물 또는 무

기화합물일 수 있다.

- [0014] 바람직하게는, 상기 유기화합물은 탄소, 산소, 질소, 및 수소 중 어느 하나의 원소로 이루어진 벤젠, 나프탈렌, 안트라센, 테트라센, 펜타센, 헥사센, 및 헵타센 고리의 물질 중 어느 하나의 군으로부터 선택될 수 있다.
- [0015] 바람직하게는, 상기 무기화합물은 2차원 화합물, 페로브스카이트(Perovskite) 구조의 물질, 및 퀀텀닷(Quantum Dot) 물질 중 어느 하나의 군으로부터 선택될 수 있다.
- [0016] 바람직하게는, 상기 터널링 절연층은 육방정계 물질, 유기화합물, 및 무기산화물 중 어느 하나의 군으로부터 선택될 수 있다.
- [0017] 바람직하게는, 상기 터널링 절연층은 두께가 10 nm 내지 200 nm 일 수 있다.
- [0018] 바람직하게는, 상기 드레인 전극 및 소스 전극 상에 외부의 산소 및 수분으로부터 보호하는 봉지층을 더 포함할 수 있다.
- [0019] 본 발명의 다른 측면에 따른 멀티 레벨 구동이 가능한 메모리 소자는 게이트 전극; 상기 게이트 전극 상에 형성되는 게이트 절연층; 상기 게이트 절연층 상에 적층 형성되어 전하를 저장하는 전하저장층; 상기 전하저장층 상에 적층 형성되는 터널링 절연층; 상기 터널링 절연층 상에 적층 형성되는 채널층; 및 상기 채널층 상에 서로 이격되어 형성되는 소스 전극 및 드레인 전극을 포함하고, 상기 터널링 절연층은 상기 전하저장층 및 상기 채널층 중 적어도 하나가 융합되어 전하저장 융합층 및 채널 융합층을 형성할 수 있다.
- [0020] 바람직하게는, 상기 전하저장층은 상기 채널층으로부터 터널링하는 전하를 수집할 수 있다.
- [0021] 바람직하게는, 상기 전하저장층은 그래핀계 물질, 금속, 금속산화물, 유기화합물, 및 무기화합물 중 어느 하나의 군으로부터 선택될 수 있다.
- [0022] 바람직하게는, 상기 전하저장 융합층 및 채널 융합층 중 어느 하나는 전하의 이동도가 상기 채널층보다 낮고 상기 터널링 절연층보다 높을 수 있다.

발명의 효과

- [0024] 본 발명에 따르면, 절연층의 두께에 따라 다수의 전류 레벨을 저장 및 출력함에 따라 대량의 정보를 신속하게 처리할 수 있고, 소비 전력을 최적화하여 소자의 효율을 향상시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제1구성도이다.
- 도 2는 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제2구성도이다.
- 도 3은 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제1그래프이다.
- 도 4는 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제2그래프이다.
- 도 5는 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제3그래프이다.
- 도 6은 일 실시예에 따른 터널링 절연층의 두께별 전류 곡선을 나타낸 그래프이다.
- 도 7은 일 실시예에 따른 채널층과 게이트 전극 사이의 터널링 전하의 에너지 밴드를 나타낸 도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하에서는 본 발명에 따른 멀티 레벨 구동이 가능한 메모리 소자를 첨부된 도면들을 참조하여 상세하게 설명한다. 이러한 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 운용자의 의도 또는 관례에 따라 달라질 수 있다. 그러므로, 이러한 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0028] 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해질 수 있으며, 하기의 기재

만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.

- [0029] 도 1은 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제1구성도이다.
- [0030] 도 1에서 나타낸 바와 같이, 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제1구성은 게이트 전극(110), 게이트 절연층(120), 터널링 절연층(140), 채널층(150), 및 소스 전극 및 드레인 전극(160)을 포함할 수 있다.
- [0031] 게이트 전극(110)은 금속류, 금속산화물, 및 실리콘 중 어느 하나일 수 있다.
- [0032] 여기서, 상기 금속류는 알루미늄(Aluminum), 실버(Silver), 금(Gold), 몰리브덴(Molybdenum), 구리(Copper), 백금(Platinum), 크롬(Chromium), 니켈(Nickel), 팔라듐(Palladium), 및 티타늄(Titanium) 중 어느 하나일 수 있다.
- [0033] 또한, 상기 금속산화물은 ITO(Indium Tin Oxide), FTO(Fluorine-doped Tin Oxide), ZTO(Zinc Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), SnO_x(Stannous Oxide), In₂O_x(Indium Oxide), ZnO(Zinc Oxide), MoO₃(Molybdenum Trioxide), CoO(Cobalt Oxide), NiO(Nickel Oxide), WO₃(Tungsten Trioxide), TiO_x(Titanium Dioxide), IGZO(Indium Gallium Zinc Oxide), IZTO(Indium Zinc-Tin Oxide), 및 IGTO(Indium Gallium Tin Oxide) 중 어느 하나일 수 있다.
- [0034] 게이트 절연층(120)은 상기 게이트 전극(110) 상에 형성될 수 있다. 게이트 절연층(120)은 SiN_x(Silicon Nitride), SiO_x(Silicon Oxide), HfO_x(Hafnium(IV) oxide), 및 Al_xO_y(Aluminium oxide) 중 어느 하나일 수 있다. 또한, 게이트 절연층과 터널링 절연층이 같은 물질로 형성될 수 있으며, 게이트 전극의 두께 및 게이트 전압에 의해 터널링 절연층에서 발생하는 터널링 전하의 밀도 또는 터널링 전하의 양을 변경할 수 있다.
- [0035] 터널링 절연층(140)은 상기 게이트 절연층(120) 상에 적층 형성될 수 있다.
- [0036] 여기서, 상기 터널링 절연층(140)은 육방정계 물질, 유기화합물, 및 무기산화물 중 어느 하나의 군으로부터 선택될 수 있고, 마그네슘(Magnesium), 탈륨(thallium), 아연(zinc), 및 질화 붕소(Hexagonal Boron Nitride), AlO(Aluminum oxide), ZrO(Zirconium dioxide), HfO(Hafnium(IV) oxide), 및 TiO(titanium dioxide) 중 어느 하나일 수 있다. 상기 터널링 절연층(140)은 두께가 10 nm 내지 200 nm 일 수 있다.
- [0037] 채널층(150)은 상기 터널링 절연층(140) 상에 적층 형성될 수 있다.
- [0038] 여기서, 상기 채널층(150)은 n-type, p-type, 및 Ambipolar 중 어느 하나의 특성을 가지는 유기화합물 또는 무기화합물일 수 있다. 이때, 상기 유기화합물은 탄소, 산소, 질소, 및 수소 중 어느 하나의 원소로 이루어진 벤젠, 나프탈렌 안트라센, 테트라센, 펜타센, 헥사센, 및 헵타센 고리의 물질 중 어느 하나의 군으로부터 선택될 수 있고, 상기 유기화합물은 DNTT(Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene), F16CuPc(Copper hexadecafluorophthalocyanine), 폴리스타이렌(polystyrene), F8BT(poly(9,9-dioctylfluorene-co-benzothiadiazole)), 풀러렌(Fullerene), PMAA(poly-(methacrylic acid)), PF(Poly(9,9-dioctylfluorenyl-2,7-diyl)), PFBT(poly[(9,9-dioctylfluorenyl-2,7-diyl)-alt-(benzo[2,1,3]thiadiazol-4,8-diyl)]), 폴리아닐린(PANI), 폴리피롤(Polypyrrole), 폴리(3,4-에틸렌디옥시티오펜)(Poly(3,4-ethylenedioxythiophene)), 폴리티오펜(Polythiophene), 폴리파라레닐렌 비닐렌(Poly(p-phenylene vinylene)), 및 PEDOT:PSS(Poly(3,4-ethylenedioxythiophene):poly(styrenesulfonate) 중 어느 하나일 수 있다.
- [0039] 상기 무기화합물은 2차원 화합물, 나노 파티클(Nano Particle), 페로브스카이트(Perovskite) 구조의 물질, 및 퀀텀닷(Quantum Dot) 중 어느 하나의 군으로부터 선택될 수 있고, 상기 무기화합물은 MoS₂(Molybdenum sulfide), WS₂(Tungsten disulfide), MoSe₂(Molybdenum diselenide), WSe₂(Tungsten disulfide), CH₃NH₃PbI₃(Methylammonium lead iodide, MAPbI₃), HC(NH₂)₂PbI₃(Formamidinium lead iodide, FAPbI₃), 및 CaTiO₃(Calcium titanate) 중 어느 하나일 수 있다.
- [0040] 소스 전극 및 드레인 전극(160)은 상기 채널층(150) 상에 서로 이격되어 형성될 수 있다. 이때, 상기 드레인 전극 및 소스 전극 상에 외부의 산소 및 수분으로부터 보호하는 봉지층을 더 포함할 수 있다.

- [0041] 도 2는 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제2구성도이다.
- [0042] 도 2에 나타난 바와 같이, 일 실시예에 따른 멀티 레벨 구동이 가능한 메모리 소자의 제2구성은 게이트 전극(110), 게이트 절연층(120), 전하저장층(130), 터널링 절연층(140), 채널층(150), 및 소스 전극 및 드레인 전극(160)을 포함할 수 있다.
- [0043] 게이트 전극(110)은 금속류, 금속산화물, 및 실리콘 중 어느 하나일 수 있다.
- [0044] 게이트 절연층(120)은 상기 게이트 전극(110) 상에 형성될 수 있다.
- [0045] 전하저장층(130)은 상기 게이트 절연층(120) 상에 적층 형성될 수 있다. 여기서, 상기 전하저장층(130)은 그래핀계 물질, 금속, 금속산화물, 유기화합물, 무기화합물 중 어느 하나의 군으로부터 선택될 수 있고, 그래핀계 물질은 카본 나노 튜브(Carbon nano tube), 그래핀 옥사이드(Graphene Oxide), 그라파이트(Graphite) 중 어느 하나일 수 있으나, 반드시 상술한 물질에 한정하지 아니한다. 또한, 금속, 금속산화물, 유기화합물, 및 무기화합물은 전하를 수집하거나 트랩하는 용도로서 사용되는 것이라면 한정하지 아니한다.
- [0046] 터널링 절연층(140)은 상기 전하저장층(130) 상에 적층 형성될 수 있다.
- [0047] 여기서, 터널링 절연층(140)은 상기 전하저장층(130) 및 상기 채널층(150) 중 적어도 하나가 융합되어 전하저장 융합층 및 채널 융합층을 형성할 수 있다. 상기 터널링 절연층(140)은 유기물로 이루어진 유기층 및 무기물로 이루어진 무기층 중 어느 하나를 더 포함할 수 있다.
- [0048] 전하저장 융합층은 상기 채널층(150)으로부터 터널링하는 전하를 수집할 수 있고, 채널 융합층은 전하의 이동도가 상기 채널층(150)보다 낮고 상기 터널링 절연층(140)보다 높을 수 있다.
- [0049] 채널층(150)은 상기 터널링 절연층(140) 상에 적층 형성될 수 있다.
- [0050] 소스 전극 및 드레인 전극(160)은 상기 채널층(150) 상에 서로 이격되어 형성될 수 있다.
- [0051] 도 3 내지 도 5는 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류를 나타낸 그래프이고, 터널링 절연층의 두께에 따른 전류밀도의 변화를 나타낸다.
- [0052] 도 3은 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제1그래프이다.
- [0053] 도 3에서 나타난 바와 같이, 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제1그래프는 터널링 절연층(140)이 얇게 형성된 메모리 소자에서 백 게이트 전압(Back Gate Voltage)을 -20V에서 +20V, -30V에서 +30V, 및 -40V에서 +40V로 스위프(Sweep)할 때 드레인-소스 전류밀도를 나타낸다.
- [0054] 각 스위프 범위에 따라 슬롭(Slope)이 가파르게 증가하거나 하락하는 것을 나타내며, 드레인-소스 전류에 따라 출력할 수 있는 전류 레벨의 수를 결정한다.
- [0055] 이때, 터널링 절연층(140)의 두께가 얇으면 전하가 채널층(150) 및 게이트 전극(110) 중 어느 하나로부터 터널링하기에 낮은 저항성을 가지며, 이에 따라 채널층(150)에 형성되는 전류가 게이트 전극(110) 및 드레인 전극 각각에 전압을 인가되는 시점을 기준으로 매우 빠르게 형성되어 특정 전압 및 특정 전류밀도에서 생성할 수 있는 레벨의 수가 제한적이게 된다.
- [0056] 도 4는 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제2그래프이다.
- [0057] 도 4에서 나타난 바와 같이, 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제2그래프는 터널링 절연층(140)이 두껍게 형성된 메모리 소자에서 백 게이트 전압을 -30V에서 +30V, -40V에서 +40V, 및 -50V에서 +50V로 스위프할 때 드레인-소스의 전류밀도를 나타낸다.
- [0058] 이때, 백 게이트 전압의 각 스위프 범위에 따라 동일 백 게이트 전압에서 서로 다른 드레인-소스 전류밀도가 형성되고, 스위프 범위에 따라 서로 다른 메모리 윈도우(Memory window)가 형성되어 동일 백 게이트 전압에서 생성할 수 있는 레벨의 수가 증가하게 된다.
- [0059] 도 5는 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제3그래프이다.
- [0060] 도 5에서 나타난 바와 같이, 일 실시예에 따른 메모리 소자의 게이트 전압 대비 드레인-소스 전류밀도를 나타낸 제3그래프는 터널링 절연층(140)이 더욱 두껍게 형성된 메모리 소자에서 백 게이트 전압을 -30V에서 +30V, -40V에서 +40V, -50V에서 +50V, 및 -60V에서 +60V로 스위프할 때 드레인-소스의 전류밀도를 나타낸다.

- [0061] 이때, 백 게이트 전압의 각 스위프 범위에 따라 동일 백 게이트 전압에서 서로 다른 드레인-소스 전류밀도가 형성되고, 백 게이트 전압의 각 스위프 범위에 따라 달라진 드레인-소스 전류밀도로 다수개의 전류 레벨을 서로 다른 백 게이트 전압 범위에서 설정할 수 있다. 드레인-소스 전극에 인가 전압은 0.1V 내지 10V로 설정할 수 있다.
- [0062] 도 3 내지 도 5에서 나타난 그래프는 소자 각각이 서로 다른 터널링 절연층(140)의 두께로 구비되고 터널링 절연층(140)의 두께에 따라 백 게이트 전압의 인가 범위를 달리한 것이다.
- [0063] 따라서, 도 3의 제1그래프에서는 메모리 소자의 터널링 절연층(140)의 두께가 $10 \leq x < 50 \text{ nm}$ 일 수 있고, 도 4의 제2그래프에서는 $50 \leq x < 100 \text{ nm}$ 일 수 있으며, 도 5의 제3그래프에서는 $100 \leq x \leq 200 \text{ nm}$ 일 수 있으나, 터널링 절연층(140)의 두께가 반드시 상술한 범위에 한정되는 것은 아니다.
- [0064] 즉, 메모리 소자에서 생성가능한 비트의 수는 터널링 절연층(140)의 두께에 따라 백 게이트 전압의 스위프 범위와 스위프 횟수로 동일 백 게이트 전압에서 생성할 수 있는 전류 레벨의 수로 결정될 수 있다.
- [0065] 도 6은 일 실시예에 따른 터널링 절연층의 두께별 전류 곡선을 나타낸 그래프이다.
- [0066] 도 6에서 나타난 바와 같이, 일 실시예에 따른 터널링 절연층(140)의 두께별 전류 곡선은 제1소자 내지 제9소자별 터널링 절연층(140) 두께를 세분화하여 백 게이트 전압의 스위프 범위에서 생성가능한 전류 레벨의 수를 나타낸 것이다.
- [0067] 먼저, 제1소자 내지 제9소자에서 터널링 절연층(140)의 두께(x)는 $10 \leq x < 30 \text{ nm}$, $30 \leq x < 50 \text{ nm}$, $50 \leq x < 67 \text{ nm}$, $67 \leq x < 81 \text{ nm}$, $81 \leq x < 92 \text{ nm}$, $92 \leq x < 101 \text{ nm}$, $101 \leq x < 109 \text{ nm}$, $109 \leq x < 117 \text{ nm}$, $117 \leq x < 129 \text{ nm}$ 으로 설정될 수 있다. 이때, 각 터널링 절연층(140)의 두께에 따른 백 게이트 전압은 -120V에서 +120V까지 스위프할 경우 각 터널링 절연층(140)의 두께가 얇은 순서로 1개, 2개, 2개, 3개, 4개, 5개, 5개, 6개, 및 7개의 전류 레벨을 생성할 수 있음을 나타낸다. 여기서, x는 일 실시예에 따라 각 전류 레벨의 수를 결정하기 위해 적용된 것으로, 반드시 상술한 경계에 한정되는 것은 아니며, 소자를 구성하는 각각의 물질이 달라짐에 따라 전류 레벨의 수를 결정하는 x의 경계가 변경될 수 있다.
- [0068] 이를 통해 터널링 절연층(140)의 두께를 결정함으로써 메모리 소자를 제조하기 전 하나의 소자에서 생성하고자 하는 멀티 레벨의 수를 미리 설정할 수 있고, 이는 다음 수학식으로 표현될 수 있다.
- [0069] [수학식 1]
- [0070]
$$S_{thBN}(V) = \frac{I_{sat}}{1 + e^{-P(V-V^0)}}$$
- [0072] 수학식 1에서, I_{sat} 은 1이고, T_{hBN} 은 터널링 절연층(140)의 두께이고, V^0 는 터널링 절연층(140)의 두께에 따른 백 게이트의 중간전압값이며, 로지스틱 성장률(p)은 S_{thBN} 의 기울기를 만족하는 값이다. 이를 계산하면 다음 수학식으로 표현할 수 있다.
- [0073] [수학식 2]
- [0074]
$$\Delta S_{thBN} \Big|_{S=0.5I_{sat}}^{S=0.3I_{sat}} = T_{slope}^{fit}(t_{hBN})$$
- [0076] 수학식 2에서, 조건 $|\Delta V_{BG}| > V_0$ 에서 각 $S_{thBN}(V)$ 가 $V = \Delta V_{BG}$ 를 충족함으로써 생성가능한 레벨을 설정할 수 있다. 여기서, 일 실시예에 따른 레벨의 개수는 제1소자 내지 제9소자로만 설명하였으나, 이후 제작될 메모리 소자에서 터널링 절연층(140)의 변동에 따라 생성가능한 레벨의 수가 달라질 수 있다.
- [0077] 단, 이상적인 메모리 소자의 게이트 전압이 20V에서 터널링 절연층(140)의 두께가 ~60nm로 수렴하지만, $60 \text{ nm} < t_{hBN} < 120 \text{ nm}$ 에서 평균 기울기는 거의 무시할 수 있기 때문에 레벨의 수(N)는 3개에서 터널링 절연층(140)의 두께 60 ~ 100 nm, 폐쇄형 메모리 윈도우(Closed MW < 1V), 및 채널층(150)과 전하저장층(130) 사이에서 터널링되는 전하에 따라 $\Delta V_{BG} = \pm 20 \sim \pm 40 \text{ V}$ 범위에 대해 1개의 전류 레벨이 손실로 작용하여 2개의 레벨로 계산된다.

[0078] 반면에, 개방형 메모리 윈도우(Open MW > 2V)에서는 백 게이트 전압이 -20V에서 +20V일 때, 터널링 절연층(140)의 두께가 93 nm로 수렴한다. 즉, 폐쇄형 메모리 윈도우와 개방형 메모리 윈도우에 따라 같은 터널링 절연층(140)의 두께라 할지라도 1레벨의 손실이 발생할 수 있다.

[0079] 즉, 터널링 절연층(140)의 두께와 전류 레벨의 개수가 1:1 관계는 다중 레벨 생성 맵의 결과를 다음 수학적식을 통해 간단한 포물선 방정식 형태로 구성할 수 있다.

[0080] [수학식 3]

$$[0081] \quad y = A_I + Bt_{hBN} - Ct_{hBN}^2$$

[0083] [수학식 4]

$$[0084] \quad y = A_{NI} + Bt_{hBN} - Ct_{hBN}^2$$

[0086] [수학식 5]

$$[0087] \quad A_I = \begin{cases} A_{NI} & \text{if } t_{hBN} < 58 \text{ nm} \\ A_{NI} - 1 & \text{if } 58 \text{ nm} < t_{hBN} < 105 \text{ nm} \\ A_{NI} - 2 & \text{if } 105 \text{ nm} < t_{hBN} \end{cases}$$

[0089] 수학식 3 내지 5에서, I는 이상적인 케이스이고, NI는 비이상적인 케이스이며, A, B, 및 C는 각각 상수이다. 여기서, 터널링 절연층(140)의 두께(t_{hBN}) 값은 S(V)와 V_{OI} 및 V_{ONI} 의 교차점이 A_I - A_{NI} 관계를 다르게 만드는 지점이며, 임계 터널링 절연층(140) 두께(t_{hBN}) 값은 폐쇄형(이상적인) 메모리 윈도우 영역과 개방형(비이상적인) 메모리 윈도우 영역을 구분하기 위한 경계를 나타낸다.

[0090] 따라서, 폐쇄형 및 개방형 메모리 윈도우는 모두 터널링 절연층(140)(t_{hBN})이 증가함에 따라 터널링 전하가 억제될 수 있다. 단, 레벨의 수(N)는 정수여야 하므로 방정식에서 예상되는 N 값은 y를 반올림하여 얻을 수 있고, 이는 다음 수학적식으로 표현될 수 있다.

[0091] [수학식 6]

$$[0092] \quad N = [y+0.5]$$

[0094] 수학식 6에서, []는 가우스 기호를 나타낸다. 즉, 터널링 절연층(140)의 두께와 ΔV_{BG} 의 임계 조건을 고려하면 정확한 레벨의 수(N)를 수치적으로 추정할 수 있다.

[0095] 도 7은 일 실시예에 따른 채널층과 게이트 전극 사이의 터널링 전하의 에너지 밴드를 나타낸 도이다.

[0096] 도 7에서 나타난 바와 같이, 일 실시예에 따른 채널층(150)과 게이트 전극(110) 사이의 터널링 전하의 에너지 밴드는 터널링 절연층(140)이 얇을 경우와 두꺼울 경우로 나뉠 수 있다.

[0097] 터널링 절연층(140)의 두께가 얇은 경우에는 터널링 전하의 밀도 높으며, 전하저장층(130)에 의해 터널링하는 전하가 저장될 수 있고, 터널링 절연층(140)의 두께가 두꺼운 경우에는 터널링 전하의 밀도가 낮아 터널링 절연층(140)이 얇은 소자에서보다 전압을 높여 채널층(150)에 전류를 생성함에 따라 터널링 절연층(140)의 두께가 두꺼울수록 전류곡선의 슬로프 기울어진 형태로 나타날 수 있다.

[0098] 이상에서 대표적인 실시예를 통하여 본 발명을 상세하게 설명하였으나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리 범위는 설명한 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 특허청구범위와 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태에 의하여 정

해져야 한다.

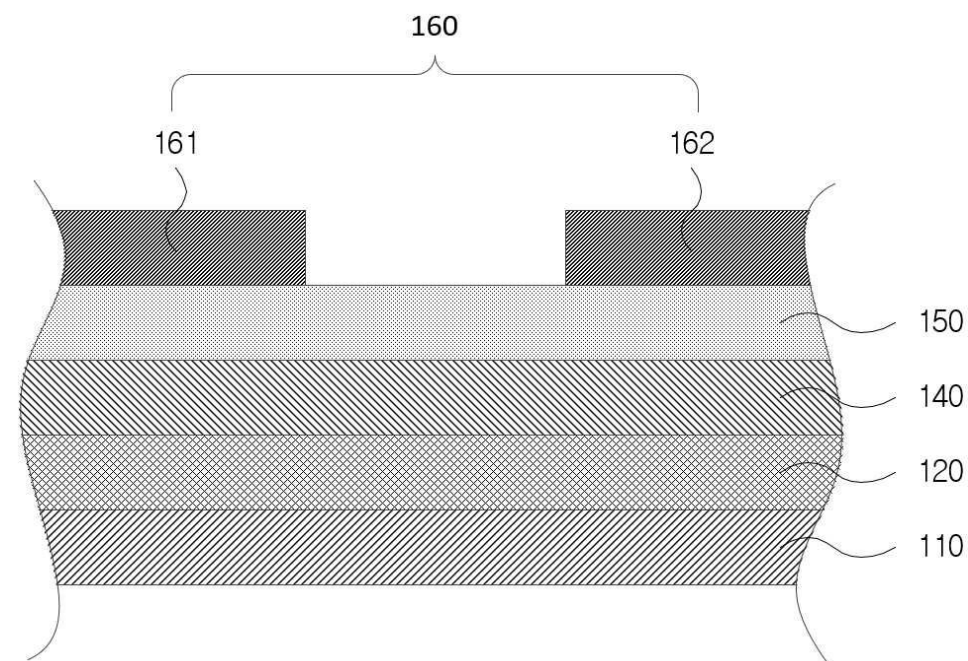
부호의 설명

[0100]

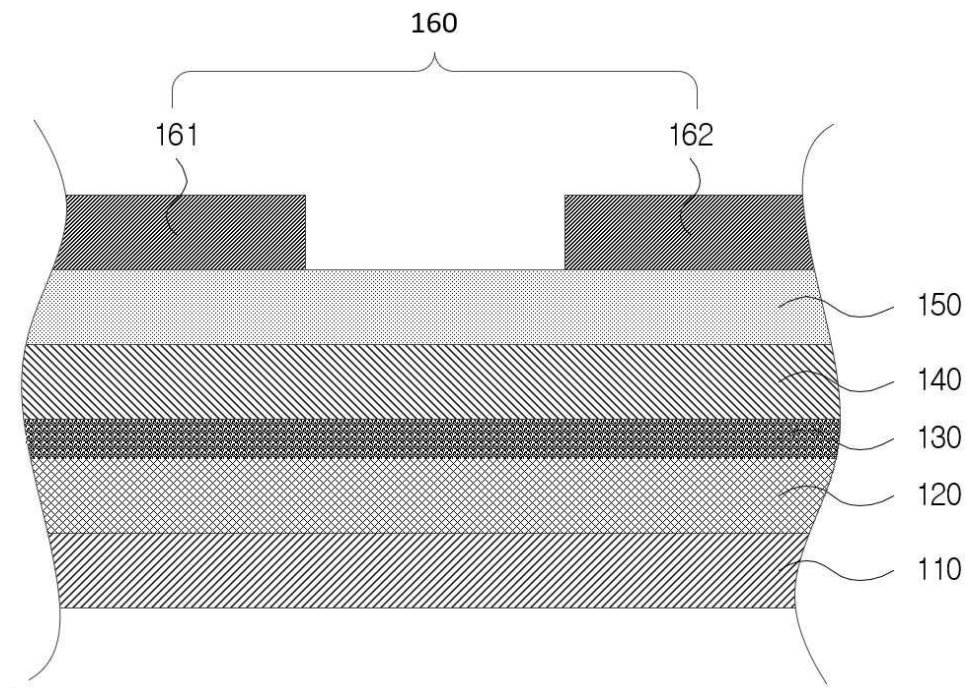
110: 게이트 전극 120: 게이트 절연층
130: 전하저장층 140: 터널링 절연층
150: 채널층 160: 소스 전극 및 드레인 전극
161: 소스 전극 162: 드레인 전극

도면

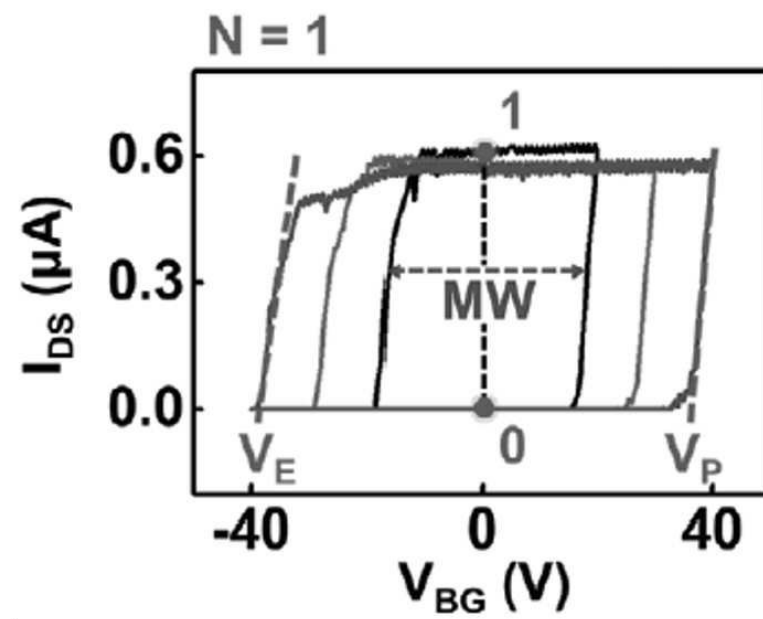
도면1



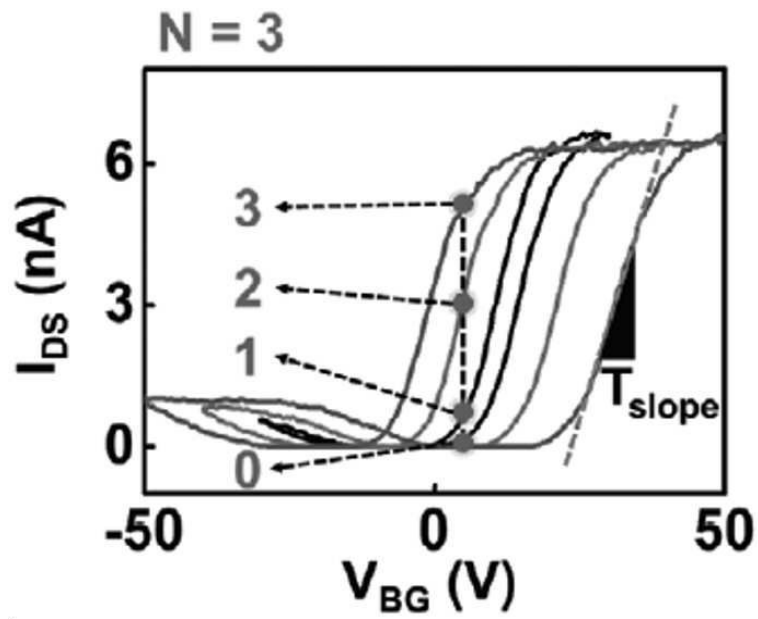
도면2



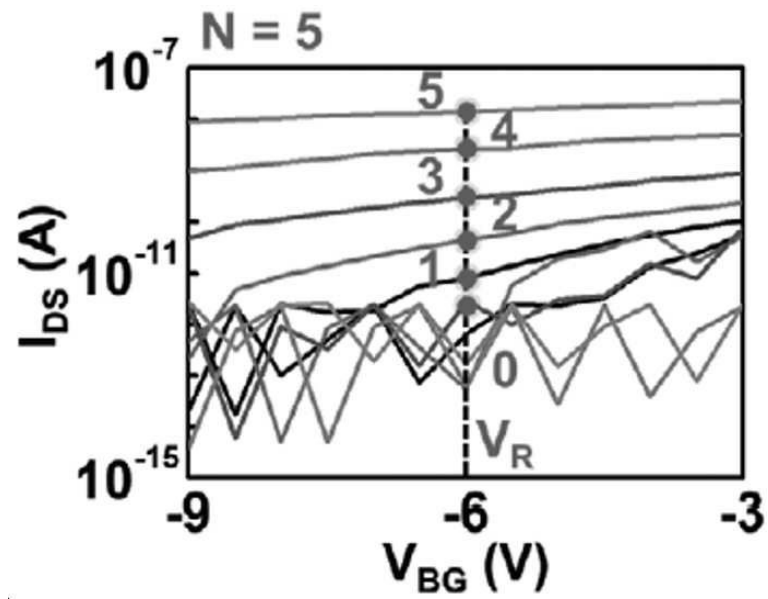
도면3



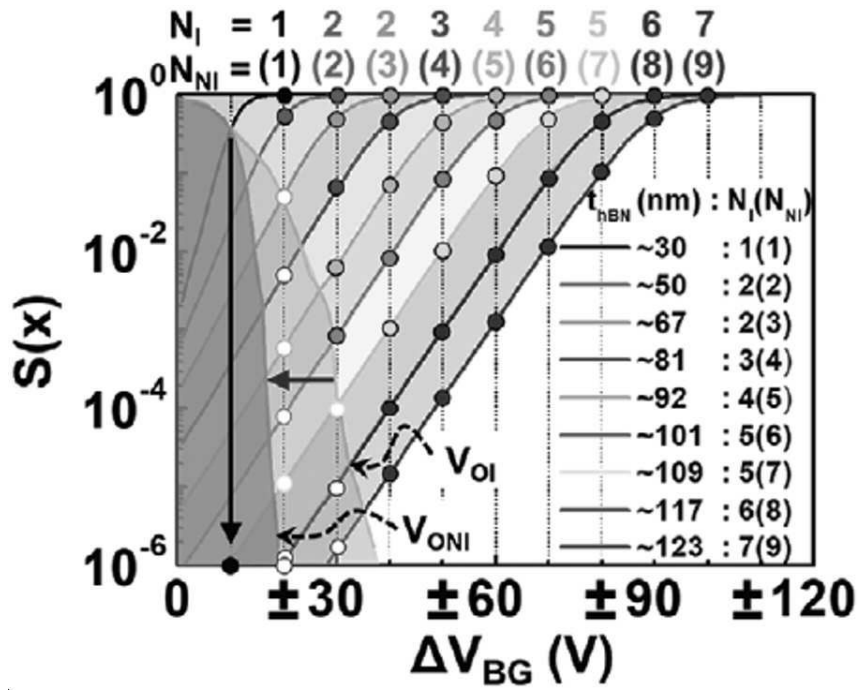
도면4



도면5



도면6



도면7

