

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2015 年 11 月 19 日 (19.11.2015)



(10) 国际公布号  
WO 2015/172406 A1

- (51) 国际专利分类号:  
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/078673
- (22) 国际申请日: 2014 年 5 月 28 日 (28.05.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201410199676.8 2014 年 5 月 12 日 (12.05.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 黄笑宇 (HUANG, Xiaoyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: CIRCUIT STRUCTURE IN GATE SIDE FAN-OUT REGION

(54) 发明名称: 栅极侧扇出区域电路结构

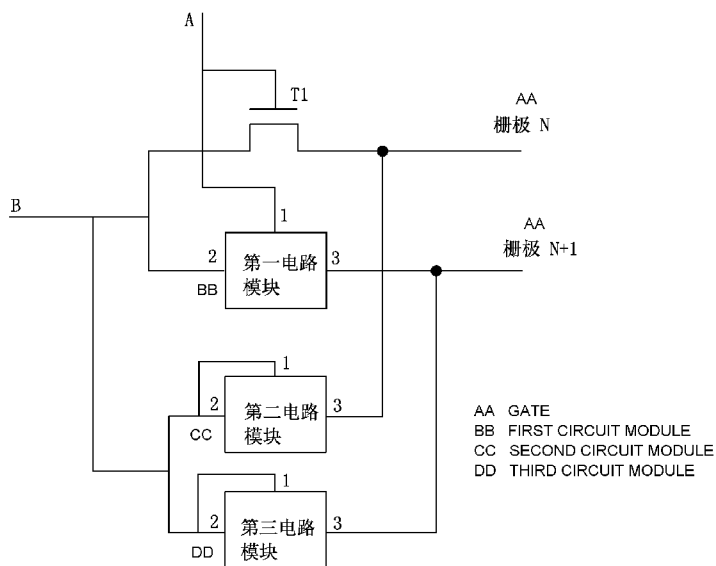


图2 / FIG. 2

(57) Abstract: A circuit structure in a gate side fan-out region comprises a first transistor (T1). A gate is connected to a first input end (A), a drain and a source are connected to a second input end (B) and an N<sup>th</sup>-level gate scanning line (N) respectively. A first terminal (1) of a first circuit module is connected to the first input end (A), a second terminal (2) of the first circuit module is connected to the second input end (B), and a third terminal (3) of the first circuit module is connected to an (N+1)<sup>th</sup>-level gate scanning line (N+1). A first terminal (1) and a second terminal (2) of a second circuit module are connected to the second input end (B), and a third terminal (3) of the second circuit module is connected to the N<sup>th</sup>-level gate scanning line (N). A first terminal (1) and a second terminal (2) of a third circuit module are connected to the second input end (B), and a third terminal (3) of the third circuit module is connected to the (N+1)<sup>th</sup>-level gate scanning line (N+1). A periodical square wave is input from the first input end (A), and a gate scanning signal is input from the second input end (B). The circuit structure can greatly reduce costs of a G-COF chip.

(57) 摘要:

[见续页]

WO 2015/172406 A1



---

一种栅极侧扇出区域电路结构包括：第一晶体管（T 1），栅极连接第一输入端（A），漏极和源极分别连接第二输入端（B）和第N级栅极扫描线（N）；第一电路模块的第一端子（1）连接第一输入端（A），第二端子（2）连接第二输入端（B），第三端子（3）连接第N+1级栅极扫描线（N+1）；第二电路模块的第一端子（1）和第二端子（2）连接第二输入端（B），第三端子（3）连接第N级栅极扫描线（N）；第三电路模块的第一端子（1）和第二端子（2）连接该第二输入端（B），第三端子（3）连接该第N+1级栅极扫描线（N+1）；周期性方波自该第一输入端（A）输入，栅极扫描信号自该第二输入端（B）输入。该电路结构可以大幅降低G-C O F芯片成本。

## **栅极侧扇出区域电路结构**

### **技术领域**

本发明涉及液晶显示技术，尤其涉及一种栅极侧扇出区域电路结构。

5

### **背景技术**

TFT-LCD ( Thin Film Transistor Liquid Crystal Display , 薄膜晶体管液晶显示器 ) 是当前平板显示的主要品种之一 , 已经成为了现代 IT、视讯产品中重要的显示平台。TFT-LCD 使用薄膜晶体管(thin-film transistor, TFT)等主动式组件来控制每一像素单元的开启与关闭 , 并根据影像信号来控制液晶材质对光线的穿透率以显示影像。液晶显示器上设有包含像素阵列的显示面板 , 及用来驱动液晶显示面板的驱动电路。显示面板上设有多条平行的数据线和扫描线 , 数据线和扫描线彼此垂直交错 , 且在交错处设有像素单元及控制像素单元的薄膜晶体管开关。驱动电路包含源极驱动器与栅极驱动器 , 源极驱动器提供数据线相关于显示影像的信号 , 而栅极驱动器提供扫描线开启或关闭薄膜晶体管的讯号。

10

15

如图 1 所示 , 其为现有技术中 TFT-LCD 驱动架构示意图 , 现有 TFT-LCD 主要驱动原理包括 : 系统主板将 R/G/B 压缩信号、控制信号及动力通

过线材与 PCB 板 1 上的连接器 (connector) 相连接, PCB 板通过 S-COF 芯片 (Source-Chip on Film, 薄膜上源极芯片) 2 和 G-COF (Gate-Chip on Film, 薄膜上栅极芯片) 芯片 3 与显示区域 (Display Area) 4 连接, 从而使得 LCD 获得所需的电源、以及信号。为了实施窄边框设计, 并因应电子产品朝轻薄短小、功能好及速度快发展, 驱动芯片封装的技术也朝向厚度愈薄、面积愈小的趋势发展, 栅极芯片及源极芯片都采用了薄膜上芯片 (Chip on Film, COF) 型封装方式。图 1 中可见, 扇出区域 (Fan Out Area) 5 是显示区域 4 信号线路与驱动芯片连接的部分, 栅极信号线及源极数据线经由扇出区域 5 连接至 S-COF 芯片 2 和 G-COF 芯片 3, 位于栅极驱动芯片 G-COF 芯片 3 一侧的扇出区域 5 可以称为栅极侧扇出区域。

在现有结构下, 以分辨率为  $m \times n$  的液晶显示装置为例, 需要  $3m$  条源极数据线, 及  $n$  条栅极扫描线。若数据驱动器和扫描驱动器的通道分别为  $a$  和  $b$ , 则所需数据驱动器和扫描驱动器的数目分别为  $3m/a$  和  $n/b$ 。数据驱动器相较扫描驱动器的价格比较高, 数据驱动器的数目较多因而导致生产成本较高。一种通常的解决方案是将 R 像素电极、G 像素电极以及 B 像素电极分别沿扫描线方向排列。对于相同分辨率为  $m \times n$  的液晶显示装置, 则需要  $m$  条数据线以及  $3n$  条扫描线, 对应地所需的数据驱动器和扫

描驱动器的数目分别是  $m/a$  和  $3n/b$ ，数据驱动器的数目减少了  $1/3$ ，因此在一定程度上可降低成本，但是扫描驱动器的数目则增加为原来的 3 倍，也不利于成本的降低。

无论如何，液晶显示装置分辨率都与栅极扫描线数量成正比。随着市场对液晶显示装置分辨率需求的上升，只能通过增加 G-COF 颗数或者增加单颗 G-COF 的输出通道（Output Channel）数量来满足实际的应用需求，造成产品成本的上升和绑定（Bonding）良率的下降。

## **发明内容**

因此，本发明的目的在于提供一种可以降低 G-COF 芯片成本的栅极侧扇出区域电路设计方案。

为实现上述目的，本发明提供了一种栅极侧扇出区域电路结构，包括：第一电路模块，第二电路模块，第三电路模块，以及第一晶体管；

该第一晶体管的栅极连接第一输入端，漏极和源极分别连接第二输入端和第  $N$  级栅极扫描线， $N$  为自然数；

该第一电路模块的第一端子连接该第一输入端，第二端子连接该第二输入端，第三端子连接第  $N+1$  级栅极扫描线；

该第二电路模块的第一端子和第二端子连接该第二输入端，第三端子

连接该第 N 级栅极扫描线；

该第三电路模块的第一端子和第二端子连接该第二输入端，第三端子连接该第 N+1 级栅极扫描线；

周期性方波自该第一输入端输入，栅极扫描信号自该第二输入端输入，该周期性方波的周期为该栅极扫描信号的扫描周期的 2 倍；

当该第一电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第一电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第二电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第二电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第三电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第三电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通。

其中，该第一晶体管（T1）为 NMOS 晶体管。

其中，该第一电路模块，第二电路模块及第三电路模块的电路结构相同。

其中，该第一电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第一电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第一电路模块的第二端子和第三端子。

其中，该第二电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第二电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第二电路模块的第二端子和第三端子。

其中，该第三电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第三电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第三电路模块的第二端子

和第三端子。

其中，该第一幅值电压优选为 3.3V。

其中，该第二幅值电压优选为-7V。

该第一幅值电压及第二幅值电压用于控制第一电路模块，第二电路模  
5 块及第三电路模块导通与否，因此其具体取值不限于 3.3V/-7V，也可选用  
其它适当的值，优选从现有的栅极侧电路电压设计规格中选取。

其中，所述栅极扫描信号来自 G-COF 芯片。

其中，所述栅极扫描信号来自栅极驱动电路。

本发明还提供一种栅极侧扇出区域电路结构，包括：第一电路模块，  
10 第二电路模块，第三电路模块，以及第一晶体管；

该第一晶体管的栅极连接第一输入端，漏极和源极分别连接第二输入  
端和第 N 级栅极扫描线，N 为自然数；

该第一电路模块的第一端子连接该第一输入端，第二端子连接该第二  
输入端，第三端子连接第 N+1 级栅极扫描线；

15 该第二电路模块的第一端子和第二端子连接该第二输入端，第三端子  
连接该第 N 级栅极扫描线；

该第三电路模块的第一端子和第二端子连接该第二输入端，第三端子

连接该第  $N+1$  级栅极扫描线；

周期性方波自该第一输入端输入，栅极扫描信号自该第二输入端输入，该周期性方波的周期为该栅极扫描信号的扫描周期的 2 倍；

当该第一电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第一电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第二电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第二电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第三电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第三电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

其中，该第一晶体管为 NMOS 晶体管；

其中，该第一电路模块，第二电路模块及第三电路模块的电路结构相

同；

其中，该第一电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第一电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第一电路模块的第二端子和第三端子；

其中，该第二电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第二电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第二电路模块的第二端子和第三端子；

其中，该第三电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第三电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第三电路模块的第二端子和第三端子。

该第一幅值电压为 3.3V。

该第二幅值电压为-7V。

所述栅极扫描信号来自 G-COF 芯片。

所述栅极扫描信号来自栅极驱动电路。

综上所述，本发明栅极侧扇出区域电路结构可以大幅降低 G-COF 芯片成本，且不会增加额外的设备成本，从而提升产品品质，提升产品竞争力。

## **附图说明**

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为现有技术中 TFT-LCD 驱动架构示意图；

图 2 为本发明栅极侧扇出区域电路结构一较佳实施例的电路原理图；

图 3 为该较佳实施例中所采用电路模块的电路结构图；

图 4 为该较佳实施例所采用的周期性方波波形图。

## **具体实施方式**

参见图 2，其为本发明栅极侧扇出区域电路结构一较佳实施例的电路

原理图。该较佳实施例的栅极侧扇出区域电路结构主要包括：第一电路模块，第二电路模块，第三电路模块，以及第一 NMOS 晶体管 T1；在此较佳实施例中，第一晶体管 T1 采用了 NMOS 晶体管，本领域技术人员可以理解，可以代替 NMOS 晶体管功能的其它类型晶体管也可作为本发明的选择；

该第一 NMOS 晶体管 T1 的栅极连接第一输入端 A，漏极和源极分别连接第二输入端 B 和第 N 级栅极扫描线 N，N 为自然数；

该第一电路模块的第一端子 1 连接该第一输入端 A，第二端子 2 连接该第二输入端 B，第三端子 3 连接第 N+1 级栅极扫描线 N+1；

10 该第二电路模块的第一端子 1 和第二端子 2 连接该第二输入端 B，第三端子 3 连接该第 N 级栅极扫描线 N；

该第三电路模块的第一端子 1 和第二端子 2 连接该第二输入端 B，第三端子 3 连接该第 N+1 级栅极扫描线 N+1；

15 周期性方波自该第一输入端 A 输入，栅极扫描信号自该第二输入端 B 输入，该周期性方波的周期为该栅极扫描信号的扫描周期的 2 倍；

当该第一电路模块的第一端子 1 的输入电压等于该周期性方波的第一幅值电压时，其第二端子 2 和第三端子 3 之间截止；当该第一电路模块的

第一端子 1 的输入电压等于该周期性方波的第二幅值电压时，其第二端子 2 和第三端子 3 之间导通；

当该第二电路模块的第一端子 1 的输入电压等于该周期性方波的第一幅值电压时，其第二端子 2 和第三端子 3 之间截止；当该第二电路模块的

5 第一端子 1 的输入电压等于该周期性方波的第二幅值电压时，其第二端子 2 和第三端子 3 之间导通；

当该第三电路模块的第一端子 1 的输入电压等于该周期性方波的第一幅值电压时，其第二端子 2 和第三端子 3 之间截止；当该第三电路模块的

第一端子 1 的输入电压等于该周期性方波的第二幅值电压时，其第二端子 10 2 和第三端子 3 之间导通。

再结合图 3 和图 4 来理解本发明，图 3 为该较佳实施例中所采用电路模块的电路结构图，图 4 为该较佳实施例所采用的周期性方波波形图。其中，输入第一输入端 A 的为幅值 3.3V/-7V 的周期性方波，其周期为栅极扫描线扫描周期的 2 倍。输入第二输入端 B 的可以为实际的 G-COF 芯片

15 所输出的信号，也可以是来自类似的用于输出栅极扫描信号的栅极驱动电路的信号。本发明所采用的第一电路模块，第二电路模块，及第三电路模块的功能相同，均是当 1 端的输入电压为 3.3V 时，2 与 3 之间截止；当 1

端的输入电压为-7V 时，2 与 3 之间导通。因此，为了简化电路，在此实施例中第一电路模块，第二电路模块，及第三电路模块采用了相同的电路结构。各电路模块包括第二 NMOS 晶体管 T2 和第三 NMOS 晶体管 T3；该第二 NMOS 晶体管 T2 的栅极作为各电路模块的第一端子 1，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管 T3 的栅极输入该第一幅值电压，源极和漏极分别作为各电路模块的第二端子 2 和第三端子 3。图 3 中的电阻 R 为 NMOS 导通时的等效电阻。本领域技术人员可以理解，其它可以实现类似功能的电路模块也适用于本发明。

系统工作中，当第二输入端 B 输出为高电压时，第二电路模块，第三电路模块截止，当第一输入端 A 输出为 3.3V 时，第一电路模块截止，栅极扫描线 N 输出高电压，栅极扫描线 N+1 输出为 0；当第一输入端 A 输出为-7V 时，第一电路模块导通，栅极扫描线 N 输出 0V，栅极扫描线 N+1 输出为高电压；当第二输入端 B 输出为低电压时，第二电路模块，第三电路模块导通，栅极扫描线 N 和栅极扫描线 N+1 均输出为低电压。

即，利用现有 G-COF 芯片的 1 通道输出可以对应 2 条扫描线（Scan Line）。

综上所述，本发明为解决市场对分辨率需求的不断提高与产品成本需

要持续减低的矛盾，在传统 G-COF 芯片的设计基础上，在栅极侧扇出区域上利用多个 NMOS 之间的组合电路，增加额外结构以实现利用 G-COF 芯片的 1 通道输出对应 2 条扫描线的功能，大幅降低 G-COF 芯片成本，且不会增加额外的设备成本，从而提升产品品质，提升产品竞争力。

- 5        以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

## 权 利 要 求

1、一种栅极侧扇出区域电路结构，包括：第一电路模块，第二电路模块，第三电路模块，以及第一晶体管；

5        该第一晶体管的栅极连接第一输入端，漏极和源极分别连接第二输入端和第  $N$  级栅极扫描线， $N$  为自然数；

      该第一电路模块的第一端子连接该第一输入端，第二端子连接该第二输入端，第三端子连接第  $N+1$  级栅极扫描线；

      该第二电路模块的第一端子和第二端子连接该第二输入端，第三端子  
10    连接该第  $N$  级栅极扫描线；

      该第三电路模块的第一端子和第二端子连接该第二输入端，第三端子  
      连接该第  $N+1$  级栅极扫描线；

      周期性方波自该第一输入端输入，栅极扫描信号自该第二输入端输入，该周期性方波的周期为该栅极扫描信号的扫描周期的 2 倍；

15        当该第一电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第一电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第二电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第二电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

- 5 当该第三电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第三电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通。

- 2、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第一晶体管为 NMOS 晶体管。
- 10

3、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第一电路模块，第二电路模块及第三电路模块的电路结构相同。

- 4、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第一电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第一电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第一电路模块的第二端子和第三端子。
- 15

5、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第二电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第二电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第二电路模块的第二端子和第三端子。

6、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第三电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第三电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第三电路模块的第二端子和第三端子。

7、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第一幅值电压为 3.3V。

8、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，该第二幅值电压为-7V。

9、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，所述栅极扫描信号来自 G-COF 芯片。

10、如权利要求 1 所述的栅极侧扇出区域电路结构，其中，所述栅极

扫描信号来自栅极驱动电路。

11、一种栅极侧扇出区域电路结构，包括：第一电路模块，第二电路模块，第三电路模块，以及第一晶体管；

该第一晶体管的栅极连接第一输入端，漏极和源极分别连接第二输入端和第  $N$  级栅极扫描线， $N$  为自然数；

该第一电路模块的第一端子连接该第一输入端，第二端子连接该第二输入端，第三端子连接第  $N+1$  级栅极扫描线；

该第二电路模块的第一端子和第二端子连接该第二输入端，第三端子连接该第  $N$  级栅极扫描线；

该第三电路模块的第一端子和第二端子连接该第二输入端，第三端子连接该第  $N+1$  级栅极扫描线；

周期性方波自该第一输入端输入，栅极扫描信号自该第二输入端输入，该周期性方波的周期为该栅极扫描信号的扫描周期的 2 倍；

当该第一电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第一电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

当该第二电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第二电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

- 5 当该第三电路模块的第一端子的输入电压等于该周期性方波的第一幅值电压时，其第二端子和第三端子之间截止；当该第三电路模块的第一端子的输入电压等于该周期性方波的第二幅值电压时，其第二端子和第三端子之间导通；

其中，该第一晶体管为 NMOS 晶体管；

- 10 其中，该第一电路模块，第二电路模块及第三电路模块的电路结构相同；

- 其中，该第一电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第一电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第一电路模块的第二端子和第三端子；
- 15

其中，该第二电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体

管；该第二 NMOS 晶体管的栅极作为该第二电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第二电路模块的第二端子和第三端子；

5        其中，该第三电路模块包括第二 NMOS 晶体管和第三 NMOS 晶体管；该第二 NMOS 晶体管的栅极作为该第三电路模块的第一端子，源极和漏极分别输入该第一幅值电压和第二幅值电压；该第三 NMOS 晶体管的栅极输入该第一幅值电压，源极和漏极分别作为该第三电路模块的第二端子和第三端子。

10        12、如权利要求 11 所述的栅极侧扇出区域电路结构，其中，该第一幅值电压为 3.3V。

13、如权利要求 11 所述的栅极侧扇出区域电路结构，其中，该第二幅值电压为-7V。

14、如权利要求 11 所述的栅极侧扇出区域电路结构，其中，所述栅极扫描信号来自 G-COF 芯片。

15        15、如权利要求 11 所述的栅极侧扇出区域电路结构，其中，所述栅极扫描信号来自栅极驱动电路。

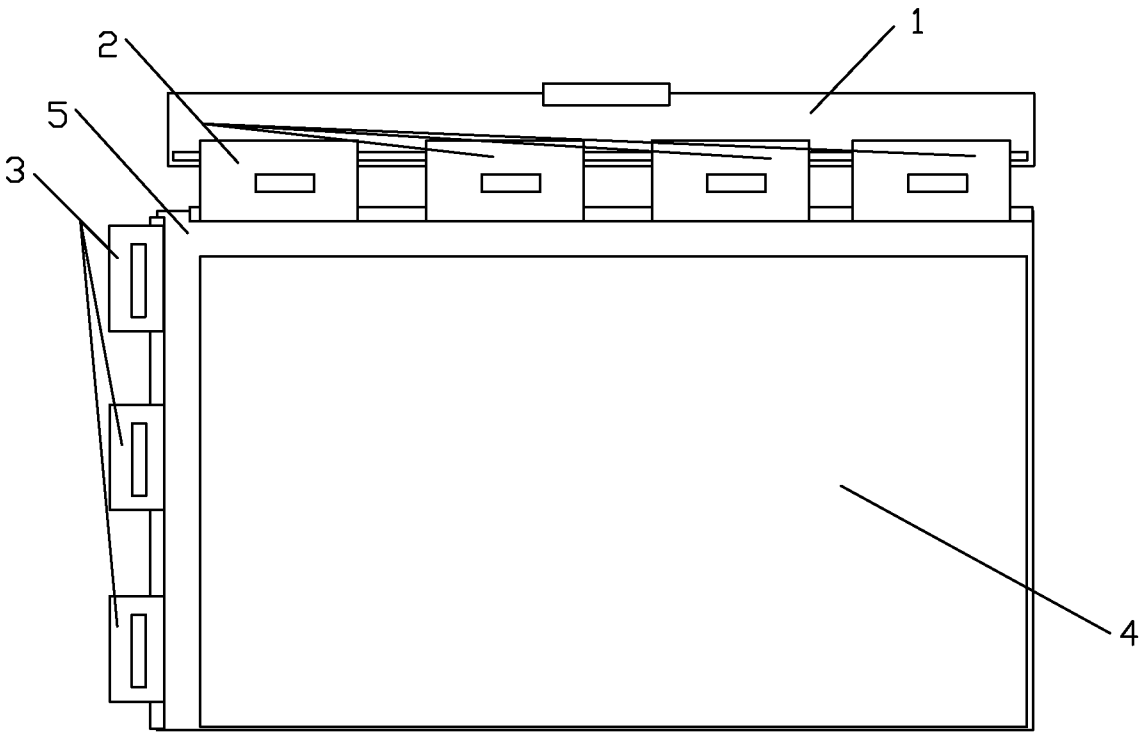


图1

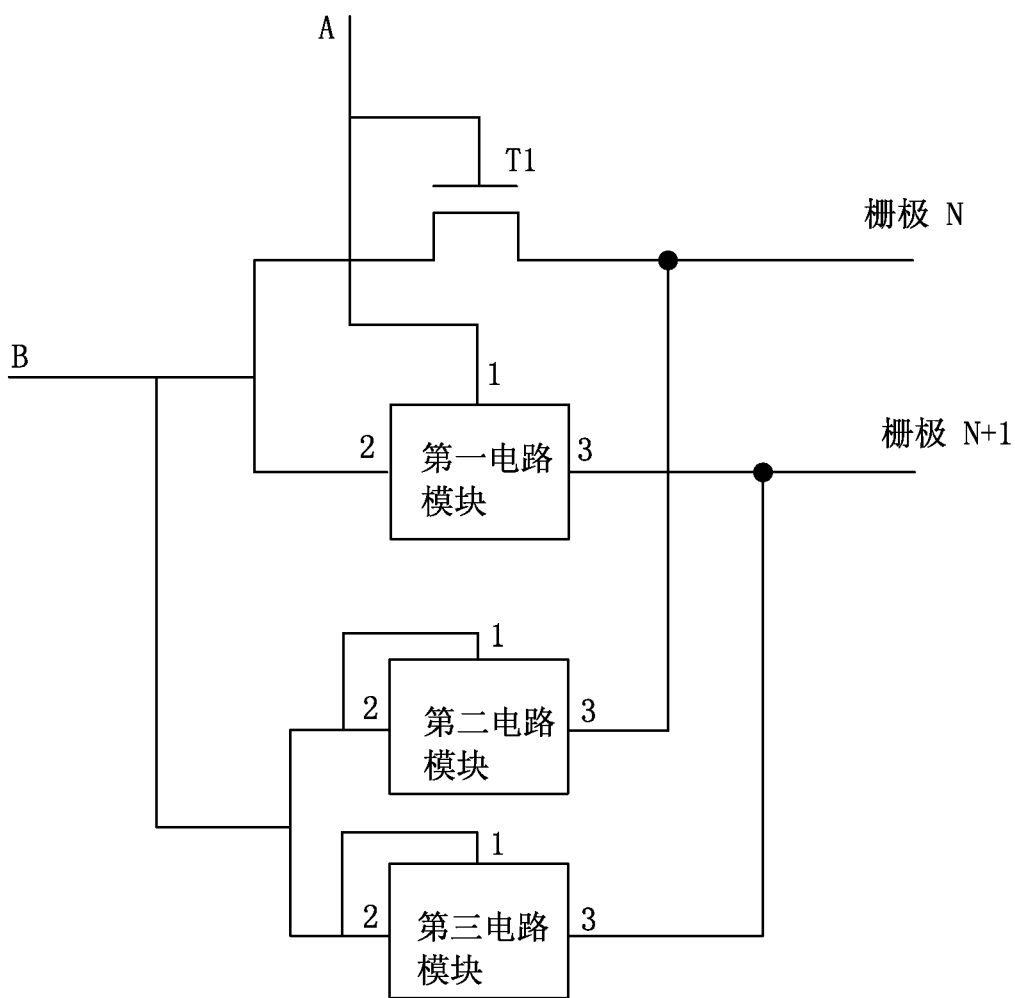


图2

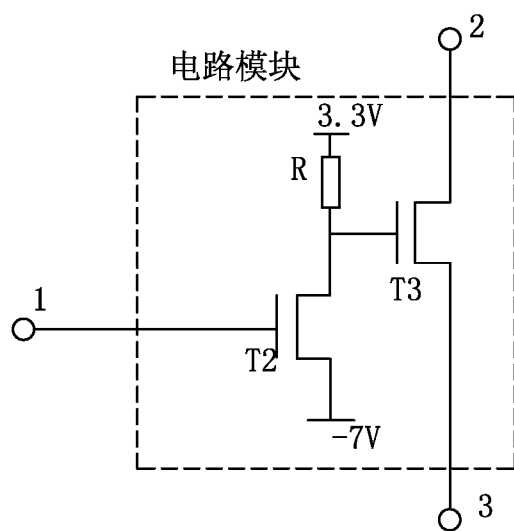


图3

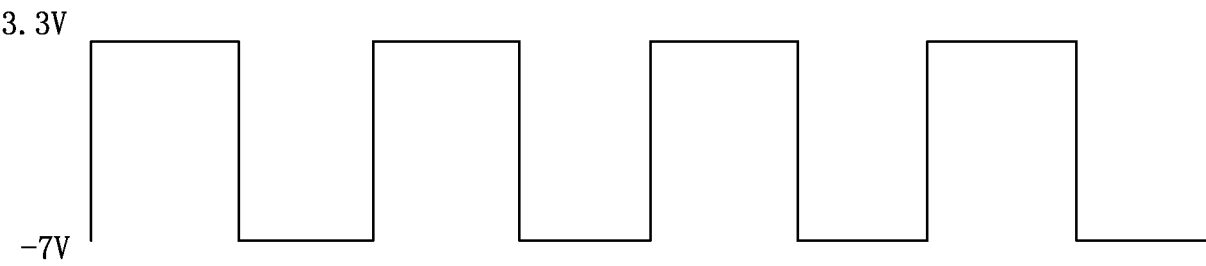


图4

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2014/078673****A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, VEN: HUANG, Xiaoyu; CHINA STAR OPTOELECTRONICS, sector, rout, fan out, chip on film, output buffer, output stage, drive stage; COF, chip, film, gate, scan, TFT, transistor, two

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                         | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 103700354 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 02 April 2014 (02.04.2014), the whole document     | 1-15                  |
| A         | CN 103500551 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 08 January 2014 (08.01.2014), the whole document   | 1-15                  |
| A         | CN 102621758 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 August 2012 (01.08.2012), the whole document | 1-15                  |
| A         | US 2012162165 A1 (LEE, J.S. et al.), 28 June 2012 (28.06.2012), the whole document                                         | 1-15                  |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “&” document member of the same patent family                                                                                                                                                                                                    |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
30 January 2015 (30.01.2015)Date of mailing of the international search report  
**15 February 2015 (15.02.2015)**Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451Authorized officer  
**WANG, Min**  
Telephone No.: (86-10) **62085827**

International application No.  
**PCT/CN2014/078673**

Form PCT/ISA/210 (patent family annex) (July 2009)

## 国际检索报告

国际申请号

PCT/CN2014/078673

## A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS, VEN: 黄笑宇, 华星光电, 扇区, 走线, 布线, 扇出, C O F, 覆晶薄膜, 膜上芯片, 晶体管, 三极管, T F T, 栅极, 门极, 扫描, 闸极, 输出缓冲器, 输出级, 驱动级, 两条: COF, chip, film, gate, scan, TFT, transistor, two

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                   | 相关的权利要求 |
|------|---------------------------------------------------------------------|---------|
| A    | CN 103700354 A (合肥京东方光电科技有限公司等) 2014年 4月 02日 (2014 - 04 - 02)<br>全文 | 1-15    |
| A    | CN 103500551 A (合肥京东方光电科技有限公司等) 2014年 1月 08日 (2014 - 01 - 08)<br>全文 | 1-15    |
| A    | CN 102621758 A (深圳市华星光电技术有限公司) 2012年 8月 01日 (2012 - 08 - 01)<br>全文  | 1-15    |
| A    | US 2012162165 A1 (LEE JAE-SIC等) 2012年 6月 28日 (2012 - 06 - 28)<br>全文 | 1-15    |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

## \* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2015年 1月 30日

国际检索报告邮寄日期

2015年 2月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
北京市海淀区蓟门桥西土城路6号  
100088 中国

传真号 (86-10)62019451

授权官员

王敏

电话号码 (86-10)62085827

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/078673

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| CN          | 103700354  | A  | 2014年 4月 02日   | 无    |             |    |                |
| CN          | 103500551  | A  | 2014年 1月 08日   | 无    |             |    |                |
| CN          | 102621758  | A  | 2012年 8月 01日   | WO   | 2013155683  | A1 | 2013年 10月 24日  |
| US          | 2012162165 | A1 | 2012年 6月 28日   | KR   | 20120072433 | A  | 2012年 7月 04日   |