



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년02월14일
 (11) 등록번호 10-0803489
 (24) 등록일자 2008년02월04일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2003-0041375
 (22) 출원일자 2003년06월25일
 심사청구일자 2006년06월20일
 (65) 공개번호 10-2004-0002674
 (43) 공개일자 2004년01월07일

(30) 우선권주장
 10/180,910 2002년06월25일 미국(US)

(56) 선행기술조사문현
 KR1020000052450 A
 KR1020010032951 A

전체 청구항 수 : 총 10 항

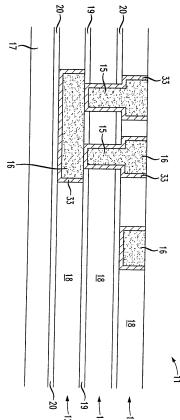
심사관 : 이우식

(54) 반도체 집적 회로 및 반도체 장치 제조 방법

(57) 요 약

본 발명은 다마신 구조로 집적된 캐패시터를 구비한 반도체 장치에 관한 것이다. 하나의 바람직한 실시예에서, 캐패시터는 반도체 장치 구성 요소를 구비한 다마신 구조의 금속화 층 내에 전부 형성된다. 바람직하게, 캐패시터는 금속 층의 유전체 물질에 에칭된 트렌치 내에 형성되고 이 캐패시터는 금속 층의 장치 구성 요소와 전기적 접촉을 하는 리세스 내에 형성된 제 1 캐패시터 전극을 포함한다. 절연체는 제 1 캐패시터 전극 위에 형성될 수 있고, 제 2 캐패시터 전극은 절연체 위에 형성된다. 이들 소자들은 바람직하게 트렌치 내에 컨포멀하게 증착되어, 리세스를 형성하며, 그 일부는 트렌치 내에서 연장한다. 이어서 제조되는 장치 구성 요소는 제 2 캐패시터 전극과 전기적 접촉하여 배치될 수 있다.

대표도 - 도1



(72) 발명자

해리스에드워드벨텐

미국플로리다주32807올란도#203오스프레이링크스로드13824

이바노브토니지

미국플로리다주32836올란도딜스베리코트7743

페리쉬마이클제이

미국플로리다주34772세인트클라우드토호프칼리가드라이브3135

토마스실비아더블유

미국플로리다주32824올란도썬더걸치코트437

특허청구의 범위

청구항 1

반도체 집적 회로에 있어서,
 교변하는 다수의 금속화 층과,
 유전체 층을 포함하되,
 단일 금속화 층 내에서 완전히 캐패시터가 형성되고,
 상기 금속화 층은 유전체 물질을 포함하며,
 상기 캐패시터는 상기 유전체 물질 내에 에칭된 트렌치 내에 형성되고 상기 유전체 물질에서 장치 컴포넌트와
 전기적 접촉을 하는 제 1 캐패시터 전극과, 상기 제 1 캐패시터 전극 위에 놓이고 상기 트렌치 내에 형성된 절연체와, 상기 절연체 위에 놓이고 또 다른 장치 컴포넌트와 접촉하는 제 2 캐패시터 전극을 포함하는
 반도체 집적 회로.

청구항 2

제 1 항에 있어서,
 상기 제 1 캐패시터 전극 및 제 2 캐패시터 전극은 내열성 금속 또는 내열성 금속 합금으로부터 형성되는
 반도체 집적 회로.

청구항 3

제 2 항에 있어서,
 상기 내열성 금속은 티타늄, 텉스텐 및 탄탈 또는 그들의 조합으로부터 선택되고, 상기 내열성 금속 합금은 티타늄 질화물, 텉스텐 질화물, 탄탈 질화물 또는 탄탈 5산화물 또는 그들의 조합으로부터 선택되는
 반도체 집적 회로.

청구항 4

제 1 항에 있어서,
 상기 제 1 캐패시터 전극은, 도전성 금속을 포함하고 상기 트렌치의 내부 표면에 부합하는 제 1 막을 포함하고,
 상기 절연체는, 상기 제 1 막 위에 부합하게(conformally) 놓이는 비도전성 물질을 포함하는 제 2 막을 포함하며,
 상기 제 2 캐패시터 전극은, 상기 제 2 막 위에 부합하게 놓이고 상기 제 2 캐패시터 전극 위에 리세스를 형성하는 도전성 금속을 포함하고,
 상기 금속 리드선은, 상기 리세스를 충진하는 도전성 금속을 포함하며,
 상기 캐패시터는, 상기 금속 층의 상부 표면에 대해 실질적으로 동일한 평면인 상부 표면을 갖는
 반도체 집적 회로.

청구항 5

반도체 장치 제조 방법에 있어서,

- (a) 장치 컴포넌트에 인접한 금속화 층의 비도전성 물질에 트렌치를 에칭하는 단계 -상기 트렌치는 측벽 및 바닥을 구비함- 와,
- (b) 상기 트렌치 내에, 상기 장치 컴포넌트와 전기적 접촉을 하는 제 1 캐패시터 전극을 형성하는 단계와,
- (c) 상기 트렌치 내에, 상기 제 1 캐패시터 전극 위에 놓이는 절연체를 형성하는 단계와,

- (d) 상기 트렌치 내에, 상기 절연체 위에 놓이는 제 2 캐패시터 전극을 형성하는 단계와,
- (e) 상기 제 2 전극을 제 2 반도체 장치 컴포넌트에 전기적으로 연결하는 단계를 포함하는 반도체 장치 제조 방법.

청구항 6

제 5 항에 있어서,

상기 트렌치 내에, 상기 제 2 캐패시터 전극 위에 놓이고 상기 제 2 장치 컴포넌트와 전기적 접촉을 하는 금속 리드선을 형성하는 단계를 더 포함하는

반도체 장치 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 캐패시터 전극을 형성하는 상기 단계는, 도전성 금속을 포함하는 제 1 막을 상기 트렌치의 상기 측벽 및 상기 바닥 위에 부합하게 형성하는 단계를 포함하고,

상기 절연체를 형성하는 단계는, 비전도성 물질을 포함하는 제 2 막을 상기 제 1 막 위에 부합하게 형성하는 단계를 포함하며,

상기 제 2 캐패시터 전극을 형성하는 단계는, 도전성 금속을 포함하는 제 3 막을 상기 제 2 막 위에 부합하게 형성하는 단계를 포함하는

반도체 장치 제조 방법.

청구항 8

제 7 항에 있어서,

이어서 상기 장치의 표면을 평탄화하여 상기 캐패시터가 상기 금속화 층의 상부 표면에 대해 실질적으로 동일한 평면인 상부 표면을 갖도록 하는 단계를 더 포함하는

반도체 장치 제조 방법.

청구항 9

제 7 항에 있어서,

상기 캐패시터를 형성하는 단계는, 상기 제 3 막 위에 리세스를 형성하는 단계를 더 포함하고, 상기 제 3 막 위의 상기 리세스 내에서 도전성 금속을 증착하고 상기 리세스를 충진하는 단계를 더 포함하는

반도체 장치 제조 방법.

청구항 10

제 9 항에 있어서,

상기 장치를 평탄화하는 상기 캐패시터가 상기 금속화 층의 상부 표면에 대해 실질적으로 동일한 평면인 상부 표면을 갖도록 하는 단계를 더 포함하는

반도체 장치 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <12> 본 발명은 일반적으로 반도체 장치의 제조에 관한 것으로, 좀 더 구체적으로 다마신 상호접속 구조로 캐패시터를 집적시키는 것에 관한 것이다.
- <13> 캐패시터는 전하 저장용 전자 장치에 광범위하게 사용된다. 캐패시터는 본질적으로 절연체에 의해 분리되는 두 개의 도전성 플레이트를 포함한다. 인가된 전압 당 캐패시터가 보유하는 캐패시턴스, 즉 전하량은 플레이트의 면적, 플레이트 간격 및 절연체의 유전값에 따라 결정된다. 캐패시터는 필터, AD 컨버터, 디지털 메모리 장치 및 다양한 제어 애플리케이션에 사용된다.
- <14> 전형적으로 금속 기반 캐패시터는 알루미늄 라인을 형성하는 데 통상적으로 사용되는 제거식 금속 에칭 공정 (subtractive metal etch process)을 사용하여 하나의 장치에 포함된다. 그러나, 금속화 층의 제조용으로 선택된 금속으로서 구리가 인기를 얻고 있다. 구리는 알루미늄 금속화에 있어서보다 더 작은 피쳐를 형성하게 해주는 보다 낮은 저항성을 가지고 있다. 구리는 또한 알루미늄에 대해 보다 높은 용융점을 가지고 있어서 후속하는 장치 공정 과정이 보다 높은 온도에서 수행될 수 있다.
- <15> 캐패시터 제조에 있어서 구리 금속화는 몇몇 단점을 가지고 있다. 캐패시터는 다마신 공정을 이용하여 제조되어 왔는데, 이 공정은 유전체에 형성된 리세스(recess) 내에 구리를 증착하는 것을 필요로 한다. 다마신 공정은 광범위한 광학 리소그래피 및 에칭을 필요로 하는 몇몇 마스크 작업을 요구한다. 또한, 표면이 거칠면 물질 내의 미세 구조 차이를 야기하기 때문에 화학적 기계적 연마는 캐패시터 신뢰도를 훼손할 수 있다. 또한, 구리를 증착하기에 앞서 구리가 기저 유전체로 확산되는 것을 막기 위해 장벽 층이 증착되어야 한다.
- <16> 구리 금속화에서 필요한 과도한 마스킹 작업 없이 다마신 상호접속 구조체에 통합될 수 있고, 또한 기저 구리 금속화물로부터의 미세구조 차이의 영향 및 구리 확산의 영향을 최소화하는 캐패시터를 제공할 필요가 있다.

발명이 이루고자 하는 기술적 과제

- <17> 일 형태에 있어서, 본 발명은 반도체 장치용 캐패시터를 포함하는데, 이 캐패시터는 전부 금속화 층의 유전체 물질 내에 형성되고, 금속화 층에 제조된 장치 컴포넌트와 전기적 접촉을 한다. 이 캐패시터는 다마신 공정을 이용하여 제조된 구리 상호접속 구조체 내에 제조하는 데 특히 적합하다. 캐패시터는 장치 컴포넌트에 인접한 유전체 물질 내로 에칭된 트렌치 내에 형성된 제 1 플레이트 또는 전극을 포함하고, 도전성 금속 또는 내열성 금속과 같은 금속 합금을 포함한다. 절연체는 제 1 캐패시터 전극 위에 놓이고 바람직하게 유전체 물질을 포함한다. 제 2 플레이트 또는 전극은 절연체 위에 놓이고, 또한 도전성 금속 또는 금속 합금으로 구성된다. 설명을 위해, 장치 컴포넌트는 전기적 컴포넌트의 단자 또는 단순히 리드선 또는 비아와 같은 도전체일 수 있다.
- <18> 캐패시터 전극 및 절연체는 바람직하게 트렌치 내에 증착되고, 트렌치 측벽 및 바닥을 라이닝한다(lining). 이러한 방식으로, 제 2 캐패시터 전극 위에 리세스가 형성되는데, 이 리세스 내에 도전성 금속이 증착되어 캐패시

터를 또 다른 장치 컴포넌트에 연결하는 금속 리드선을 형성한다. 이 금속 리드선은 바람직하게 리세스 내에 중착된 구리 또는 구리 합금으로 구성된다. 박막 및 도전성 금속은 평탄화되어 금속화 층의 상부 표면과 실질적으로 공통면에 존재하는 캐패시터의 평탄한 상부 표면을 형성한다. 캐패시터가 구리 상호접속 구조 내에서 제조되는 경우, 금속 층은 캐패시터 위의 장치 상에 제조될 수 있고 금속 리드선과 접촉하는 금속 충진형 비아에 의해 상호접속된다. 이러한 방식으로, 캐패시터는 최소 리소그래피 및 에칭 과정을 이용하여 다마신 상호접속 구조체의 금속화 층 내에 형성되어 생산 비용을 절감한다. 또한, 전극으로서 구리 이외의 도전성 금속을 사용함으로써 장벽 층을 중착할 필요성을 피하게 된다.

발명의 구성 및 작용

- <19> 설명된 본 발명의 일부 장점 및 다른 것들은 반드시 실제 크기대로 도시될 필요는 없는 첨부한 도면과 연계한 상세한 설명으로부터 나타날 것이다.
- <20> 도 1에 있어서, 상호접속 구조체(11)는 반도체 웨이퍼 또는 기판(17) 상에 제조되는 것으로 도시되어 있다. 본 명세서에서 사용된 웨이퍼 또는 기판이라는 용어는 자기 자신 위에 형성된 구조물을 포함하는 것으로 이해되며 그러한 구조물로는 트랜지스터, 캐패시터, 텅스텐 플러그 및 콘택트 레벨 또는 기판(17) 상의 다른 활성 영역이 있다. 상호접속 구조체는 하부 금속화 층(12), 상부 금속화 층(13) 및 상부 금속화 층(13)과 하부 금속화 층(12) 사이에 배치된 절연 층(14)(“유전 층”이라고도 지칭됨)을 포함한다. 설명을 위해, “금속화 층”이라는 용어는 그 내부에 금속 도전체 및 반도체가 형성되는 반도체 접적 회로의 구조 층(structural layer)을 지칭한다. 접적 회로 제조 동안 금속화 층은 절연 유전체 층과 교대로 중착된다.
- <21> 상호접속 구조체(11)는 전형적으로 당업자에게 잘 알려진 다마신 공정을 이용하여 제조한다. 하부 금속화 층(12)은 단일 다마신 공정으로 제조하고, 상부 금속화 층(13) 및 절연 층(14)은 이중 다마신 공정으로 제조한다. 그러나, 트렌치 캐패시터에 대한 본 발명은 반드시 단일 및/또는 이중 다마신 공정으로부터 제조된 상호접속 구조체에 제한되는 것은 아니며, 다른 이용 가능한 제조 공정을 사용하여 제조된 금속화 층을 포함할 수 있다.
- <22> 금속화 층(12 및 13) 각각은 금속 라인과 같이 유전체 물질(18) 내에 배치되고, 연장하는 금속 컴포넌트(16)를 포함한다. 본 도면에 있어서 컴포넌트(16)는 일반적으로 유전체 물질(18)에 형성된 리세스 내에 중착된 도전성 금속으로 구성된다. 예를 들어, 구리는 씨드/장벽 박막(33)을 유전체와 구리 사이에 형성하는 경우에 사용될 수 있다.
- <23> 장벽 층(19)은 컴포넌트(16)가 자기 자신 위에 중착된 물질에 노출되는 것을 막고, 이후의 제조 과정 동안 컴포넌트(16)를 보호한다. 또한, 확산 장벽 층으로도 지칭되는 장벽 층(19)은 컴포넌트(16)의 도전성 금속이 금속 컴포넌트(16) 위에 중착된 유전체 물질로 확산되는 것을 최소화한다. 장벽 층(19)은 또한 하부 금속화 층(12) 위에 중착된 유전체 물질에 에칭되는 피쳐 형성 동안 에칭 정지 층으로서도 작용할 수 있다. 그렇게 하기 위해 에칭 정지 층(20)은 절연 층(14)과 상부 금속화 층(13) 사이 및 하부 금속화 층(12)과 기판(17) 사이에 배치된다. 장벽 층(19) 및 에칭 정지 층(20)은 컴포넌트로서 실리콘 산화물, 실리콘 질화물 및/또는 실리콘 탄화물 또는 이들 물질의 조합과 같은 유전체 물질을 포함할 수 있다.
- <24> 금속 충진형 비아 또는 플러그(15)는 상부 금속화 층(13)의 컴포넌트(16)를 하부 금속화 층(12)의 컴포넌트(16)에 상호접속한다. 절연 층(14)은 플러그들(15) 사이에 배치된 유전체 물질(18)을 포함하고, 유사하게 플러그들(15) 사이의 절연체로서 작용하며, 상이한 장치 층의 라인들 사이에서 레벨간 단락(inter-level shorting)을 최소화한다. 컴포넌트(16) 및 플러그(15)는 전형적으로 구리 또는 구리 합금으로 구성된다.
- <25> 도 2에 있어서, 캐패시터 제조는 상부 금속화 층(13)의 유전체 물질(18) 내로 리세스 또는 트렌치(22)를 컴포넌트(16)에 인접하게 에칭함으로써 개시한다. 본 명세서에 사용된 트렌치라는 용어는 리세스의 치수 또는 형상을 제한하려 하지 않으며, 트렌치에 형성될 캐패시터의 특성에 의해 규정될 수 있다. 트렌치라는 용어는 트렌치에 컴포넌트를 형성하기 위해 유전체에 형성된 임의의 유형의 리세스를 포함할 수 있다.
- <26> 포토레지스트 층(21)을 먼저 금속화 층(13) 위에 노출시킨다. 마스크 층(도시되어 있지 않음)을 전형적으로 포토레지스 층(21)보다 먼저 금속 층(13) 위에 중착하여, 포토레지스트 층(21)에 대한 참조는 또한 트렌치(22)를 형성하기 위해 형성된 임의의 마스크 층을 포함할 수 있도록 한다. 트렌치 피쳐를 포토레지스트(21)에 패터닝하고, 유전체 물질(18)을 거쳐 에칭 정지 층(2)까지 에칭한다. 도 2에 도시된 바와 같이, 트렌치(22)는 마주보는 측벽(23) 및 바닥(24)을 포함한다. 포토레지스트(21)에 패터닝된 피쳐는 바람직하게 기저 컴포넌트(16)를 오버래핑하고, 따라서 트렌치(22)가 유전체(18)에서 에칭되는 경우, 컴포넌트(16)의 표면을 트렌치(22) 내에서 노출시킨다. 이어, 포토레지스트 층(21)을 제거한다. 마스크 층의 일부분(도시되어 있지 않음)을 남겨 상부 금속

화 층(13) 상에 확산 장벽을 형성한다.

- <27> 도 3 내지 도 5에 있어서, 트렌치(22) 내에 캐패시터(25)를 형성하는 과정이 도시되어 있다. 캐패시터(25)는 중간 삽입된 절연체(30)에 의해 제 2 캐패시터 전극(27)으로부터 분리된 제 1 캐패시터 전극(26)을 포함한다. 캐패시터(25)는 또한 제 2 캐패시터 전극(27) 위에 형성된 금속 리드선(28)을 포함하는 것으로 설명될 수 있다. 도 3에 예시된 실시예에 있어서, 전극(26, 27) 및 절연체(30)는 트렌치(22) 내에서 막으로서 형성된다.
- <28> 제 1 전극(26)은 트렌치(22)의 내부 표면에 부착 및/또는 트렌치(22)의 측벽(23) 및 바닥(24)을 따라 일치하면서 트렌치(22) 내에 증착되거나 성장시킬 수 있는 도전성 금속 또는 금속 합금을 포함한다. 예를 들어, 제 1 캐패시터 전극(26)은 내열성 금속 및/또는 탄탈, 티타늄 또는 텅스텐 및/또는 그들의 대응 질화물 또는 탄탈 5 산화물과 같은 내열성 금속 합금을 포함할 수 있다. 제 1 전극(26)은 스퍼터 증착 또는 화학적 기상 증착과 같이 알려져 있는 절차를 이용하여 증착한다. 위에서 언급한 바와 같이 컴포넌트(16)의 표면을 트렌치(22)의 에칭에 노출시켜, 제 1 캐패시터 전극(26)이 컴포넌트(16)와 캐패시터(15) 사이의 전기적 접촉을 위해 컴포넌트(16)와 접촉하도록 한다.
- <29> 이어서, 절연체(30)를 제 1 캐패시터 전극(26) 위에 증착시킨다. 절연체(30)는 바람직하게 일려진 유전 상수를 갖는 유전체 물질을 포함한다. 예를 들어, 유전체는 실리콘 질화물 또는 실리콘 2산화물과 같은 이용가능한 유전체 물질을 포함할 수 있다. 절연체(30)는 제 1 캐패시터 전극(26)의 표면을 따라 일치하는 막으로서 증착되거나 성장된다. 이와 유사하게 제 2 캐패시터 전극(27)을 절연체(30)를 따라 일치하는 막으로서 트렌치(22) 내에 형성한다. 제 2 캐패시터 전극(27)은 제 1 캐패시터 전극(26)을 참조하여 위에서 설명한 바와 같이 도전성 금속 또는 금속 합금을 포함하고, 위에서 설명한 바와 유사하게 리세스(22) 내에 형성할 수 있다.
- <30> 바람직한 실시예에서, 전극 막은 약 20 나노미터 내지 약 50 나노미터의 두께 범위를 가질 수 있다. 이와 유사하게 절연체 막(30)은 약 20 나노미터 내지 약 50 나노미터의 두께 범위를 가질 수 있다. 그러므로 캐패시터의 두께는 약 60 나노미터 내지 약 150 나노미터의 범위를 가질 수 있다.
- <31> 도 3에 도시된 바와 같이, 박막을 장치 위에 블랭킷 증착한다. 전극(26, 27) 및 절연체(30)는 트렌치(22)의 형상에 따라 일치하는 막이지만, 리세스(31)는 제 2 전극(27) 위에 형성된다. 리세스(31)의 일부분은 트렌치(22)의 내부에서 연장한다. 도 4에 있어서, 도전성 금속을 리세스(31) 내에 증착하여 금속 리드선(28)을 형성한다. 특정 바람직한 실시예에 따르면, 도전성 금속은 예를 들어 은, 내열성 금속 또는 금, 백금 팔라듐과 같은 희귀 금속과 같이 전하를 전도하는 데 적합한 임의의 금속을 포함할 수 있다.
- <32> 도 5에 있어서, 구조체(11)의 표면을 박막(26, 27, 30) 및 금속 리드선(28)이 트렌치(22) 외부로 연장하지 않도록 평탄화시킨다. 이 평탄화는 화학적 기계적 연마(CMP) 공정을 통해 달성되어 실질적으로 평탄한 표면을 생성하며, 여기서 제 1 캐패시터 전극(26), 절연체(30), 제 2 캐패시터 전극(27) 및 금속 리드선(28)은 실질적으로 트렌치(22)를 충진하여 유전체 물질(18)과 공통면인 표면을 형성한다. 금속 리드선(28)은 제 2 전극(27)과 캐패시터(25)가 전기적 통신을 하는 제 2 장치 컴포넌트를 연결하는 역할을 한다.
- <33> 도 6에 도시된 바와 같이, 금속화 층(29) 및 절연 층(32)은 상호접속 구조체(11) 위에 제조되어 있다. 층(29, 32)은 이중 다마신 공정을 사용하여 구성할 수 있다. 장벽 층(19)을 먼저 상부 금속화 층(13) 위에 증착하고, 예칭 정지 층(20)을 층(29, 32) 사이에 삽입한다. 금속화 층(29)은 유전체 물질(18) 내에 배치된 컴포넌트(16)를 포함하고, 절연 층(32)은 유전체 물질(18)에 배치된 금속 충진형 비아(15)를 포함한다. 금속 충진형 비아(15)는 캐패시터(25)를 층(29)의 컴포넌트(16)에 상호접속시킨다. 도 6에 도시된 바와 같이, 비아를 캐패시터(25) 위의 유전체 물질(18)과 장벽 층(19)을 통해 예칭하고, 그런 다음 구리를 충진하여, 제 2 전극(27)에서 컴포넌트(16)로의 연속적인 금속 접촉을 제공한다.
- <34> 본 발명의 바람직한 실시예가 본 명세서에서 도시되고 설명되었지만, 이러한 실시예는 예로서 제공되었을 뿐 여기에 제한되지 않는다는 것이 분명해 질 것이다. 당업자라면 본 발명을 벗어나지 않고서 다수의 변형, 변경 및 대체를 할 것이다. 예를 들어, 본 발명은 다른 응용도 본 발명의 가르침으로부터 동일하게 이득을 얻을 수 있기 때문에 본 명세서에서 개시된 최상의 모드에 제한될 필요가 없다. 따라서, 본 발명은 첨부된 청구항의 사상 및 범주에 의해서만 제한되어야 한다는 것이 의도된다.

발명의 효과

<35> 본 발명에 따르면, 구리 금속화에서 필요한 다마신 상호접속 구조체에 과도한 마스킹 작업 없이 통합될 수

있고, 또한 기저 구리 금속화로부터의 미세구조 차이의 영향 및 구리 확산의 영향을 최소화하는 캐패시터를 제공한다.

도면의 간단한 설명

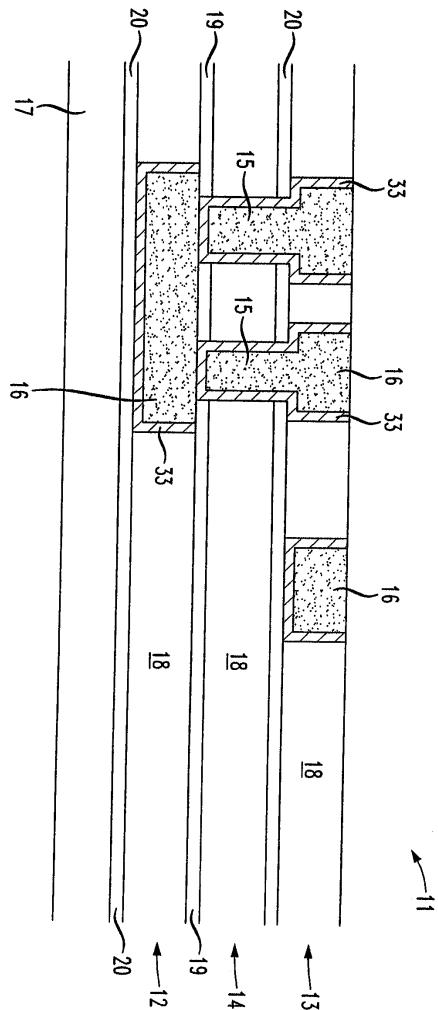
- <1> 도 1은 반도체 장치의 상호접속 구조체의 부분적 단면도,
- <2> 도 2는 금속 층의 유전체 물질에 에칭된 트렌치를 갖는 반도체 장치의 상호접속 구조체의 부분적 단면도,
- <3> 도 3은 캐패시터 제조에 있어 자체 상에 증착된 박막을 가지고 있는 반도체 장치의 상호접속 구조체의 부분적 단면도,
- <4> 도 4는 박막 위에 증착된 도전성 금속을 갖는 상호접속 구조체의 부분적 단면도,
- <5> 도 5는 트렌치에 형성된 캐패시터를 갖는 반도체 장치의 상호접속 구조체의 부분적 단면도,
- <6> 도 6은 상호접속 구조체 위에 제조된 장치 컴포넌트 및 트렌치 캐패시터를 갖는 반도체 장치의 상호접속 구조체의 부분적 단면도.

도면의 주요 부분에 대한 부호의 설명

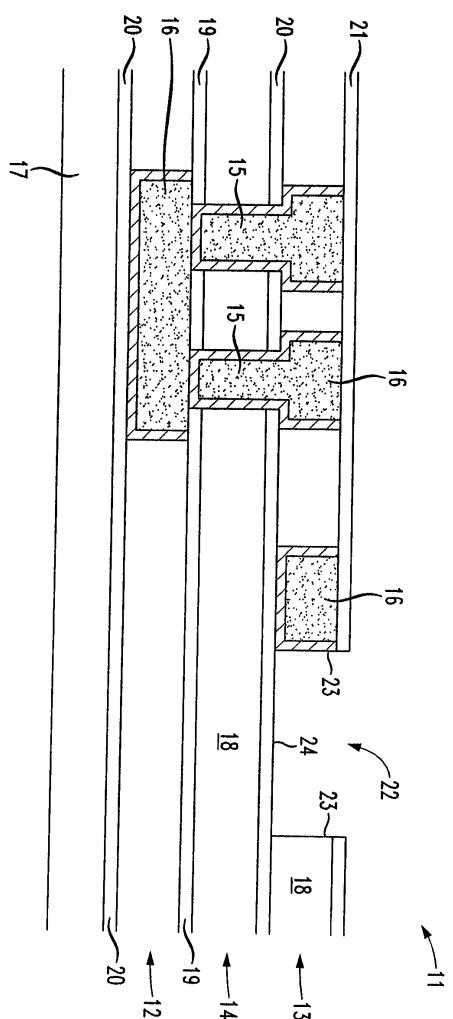
- | | | |
|------|----------------|--------------|
| <8> | 12 : 하부 금속화 층 | 14 : 절연 층 |
| <9> | 15 : 금속 충진형 비아 | 16 : 금속 컴포넌트 |
| <10> | 17 : 기판 | 18 : 유전체 물질 |
| <11> | 20 : 에칭 정지 층 | 28 : 금속 리드선 |

도면

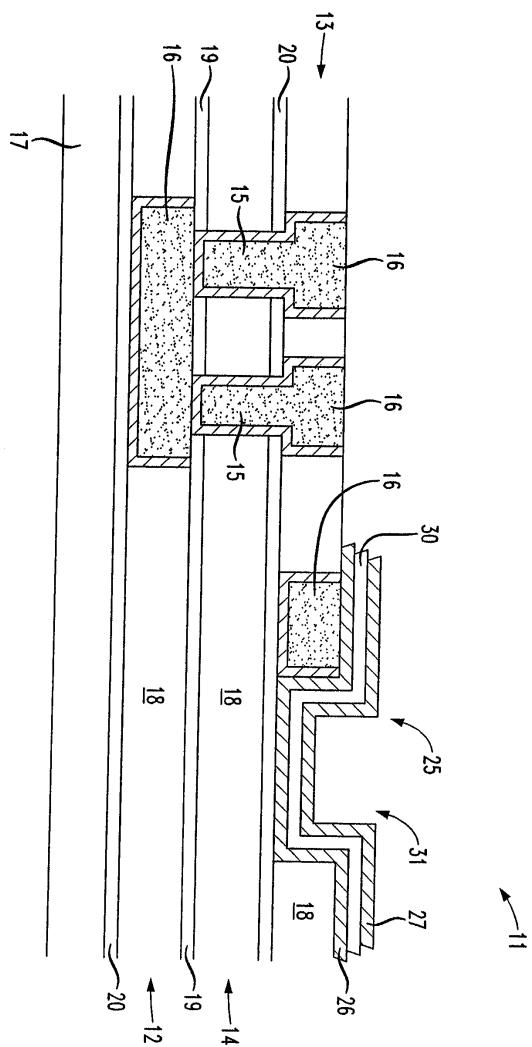
도면1



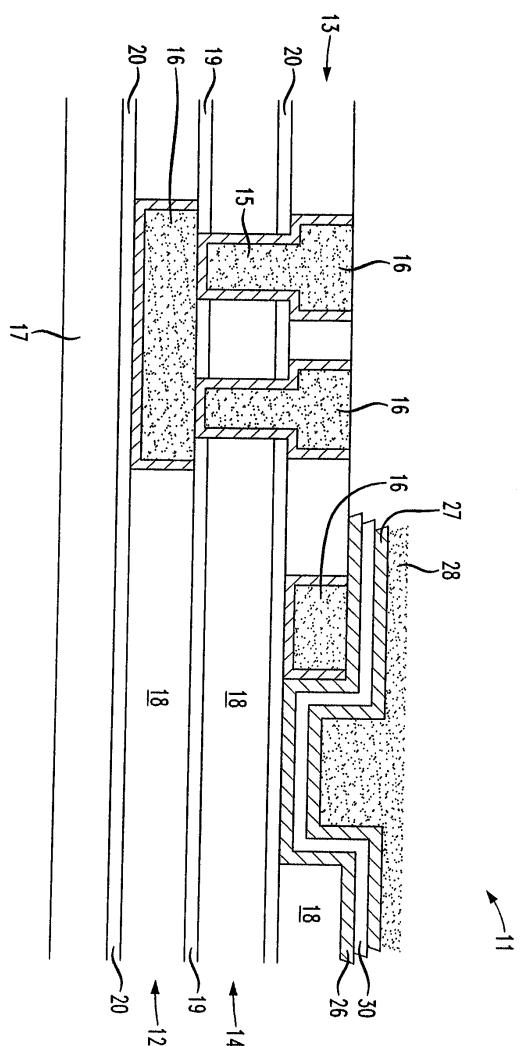
도면2



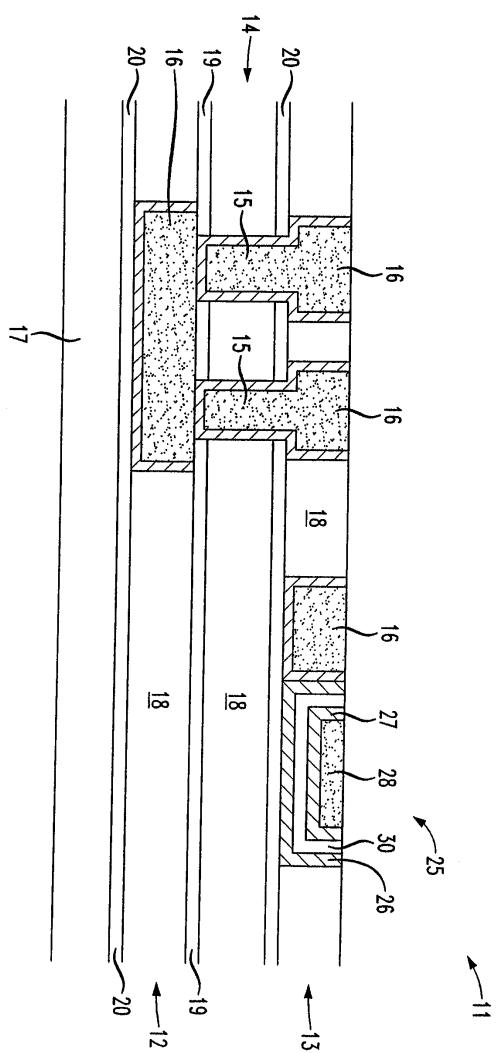
도면3



도면4



도면5



도면6

