

公告

516

申請日期: 90-08-09

案號: 90119364

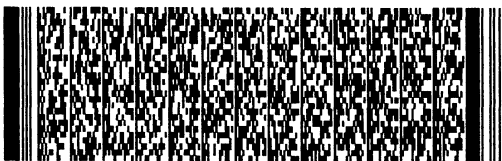
類別: G09G 3/00

(以上各欄由本局填註)

發明專利說明書

523724

一、 發明名稱	中文	具有時間多工驅動電路之顯示面板
	英文	
二、 發明人	姓名 (中文)	1. 李欣達
	姓名 (英文)	1. Chin-Ta Lee
	國籍	1. 中華民國
	住、居所	1. 桃園縣桃園市守法路名人巷13號6樓
三、 申請人	姓名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓名 (名稱) (英文)	1. CHI MEI Electronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區新市鄉奇業路1號
	代表人 姓名 (中文)	1. 許文龍
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

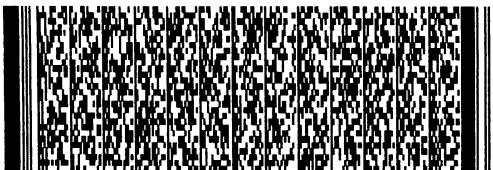
寄存號碼

無

四、中文發明摘要 (發明之名稱：具有時間多工驅動電路之顯示面板)

一種具有時間多工驅動電路之顯示面板，包括：平行且相鄰之第一掃描線及第二掃描線。與掃描線正交排列之第一資料線。第一畫素，至少包括第一開關及第二開關，第一開關可選擇性地導通，用以自第一資料線傳送第一資料信號至第一畫素，且第一開關導通與否係由第二開關所控制。第二畫素，至少包括第三開關，用以選擇性地自第一資料線傳送第二資料信號至第二畫素。其中，第一畫素與第二畫素係分別設置於第一資料線之兩側。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種具有時間多工 (time domain multiplex) 驅動電路之顯示面板，該顯示面板包括：

複數條掃描線，該些掃描線係互相平行，以一第一方向設置於該顯示面板上，其中，該些掃描線更包括一第一掃描線及一第二掃描線，且該第一掃描線係與該第二掃描線相鄰；

複數條資料線，該些資料線係互相平行，以一第二方向設置於該顯示面板上，其中，該第二方向係垂直於該第一方向，且該些資料線更包括一第一資料線；

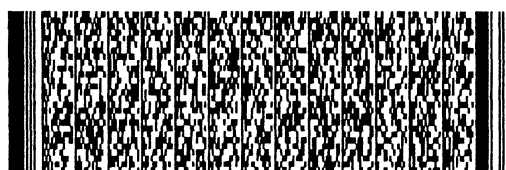
一第一畫素，分別與該第一資料線、該第一掃描線及該第二掃描線耦接；

一第二畫素，分別與該第一資料線及該第一掃描線耦接，其中，該第一畫素與該第二畫素係分別設置於該第一資料線之兩側；

一第一開關組，設置於該第一畫素中，其中，該第一開關組至少包括一第一開關及一第二開關，該第一開關係可選擇性地導通，用以自該第一資料線傳送一第一資料信號至該第一畫素，且該第一開關導通與否係由該第二開關所控制；以及

一第二開關組，設置於該第二畫素中，其中，該第二開關組至少包括一第三開關，用以選擇性地自該第一資料線傳送一第二資料信號至該第二畫素。

2. 如申請專利範圍第1項所述之顯示面板，其中該第一開關、該第二開關以及該第三開關皆為一薄膜電晶體



六、申請專利範圍

(Thin Film Transistor, TFT)。

3. 如申請專利範圍第2項所述之顯示面板，其中該薄膜電晶體係為一n型場效電晶體 (Field Effect Transistor, FET)。

4. 如申請專利範圍第2項所述之顯示面板，其中該薄膜電晶體係為一p型場效電晶體。

5. 如申請專利範圍第1項所述之顯示面板，其中該第一畫素係位於該第一資料線之左側，且該第二畫素係位於該第一資料線之右側。

6. 如申請專利範圍第1項所述之顯示面板，其中該第一畫素係位於該第一資料線之右側，且該第二畫素係位於該第一資料線之左側。

7. 如申請專利範圍第1項所述之顯示面板，其中該第一開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一資料線耦接，且該第一開關之閘極係與該第二開關耦接。

8. 如申請專利範圍第1項所述之顯示面板，其中該第三開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一資料線耦接，且該第三開關之閘極係與該第一掃描線耦接。

9. 如申請專利範圍第1項所述之顯示面板，其中該第二開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一開關耦接。

10. 如申請專利範圍第9項所述之顯示面板，其中第二



六、申請專利範圍

開關之該第二源極/汲極係與該第一掃描線耦接，且該第二開關之閘極係與該第二掃描線耦接。

11. 如申請專利範圍第10項所述之顯示面板，其中該時間多工驅動電路之驅動方法為：

致能 (enable) 該第一掃描線與該第二掃描線；

輸入一第一資料信號至該第一資料線；

失能 (disable) 該第一掃描線；

失能該第二掃描線；

再致能該第一掃描線；

輸入一第二資料信號至該第一資料線；以及

失能該第一掃描線；

其中，該第一資料信號係為欲輸入該第一畫素之畫素資料，且該第二資料信號係為欲輸入該第二畫素之畫素資料。

12. 如申請專利範圍第9項所述之顯示面板，其中該第二開關之該第二源極/汲極係與該第二掃描線耦接，且該第二開關之閘極係與該第一掃描線耦接。

13. 如申請專利範圍第12項所述之顯示面板，其中該時間多工驅動電路之驅動方法為：

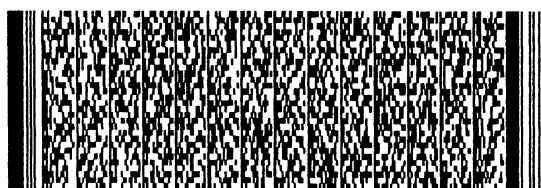
致能該第一掃描線與該第二掃描線；

輸入一第一資料信號至該第一資料線；

失能該第二掃描線；

輸入一第二資料信號至該第一資料線；以及

失能該第一掃描線；



六、申請專利範圍

其中，該第一資料信號係為欲輸入該第一畫素之畫素資料，且該第二資料信號係為欲輸入該第二畫素之畫素資料。

14. 如申請專利範圍第1項所述之顯示面板，其中該顯示面板係為一液晶顯示面板（Liquid Crystal Display, LCD）。

15. 一種具有時間多工驅動電路之顯示面板，該顯示面板包括：

複數條掃描線，該些掃描線係互相平行，以一第一方向設置於該顯示面板上，其中，該些掃描線係包括一第一掃描線、一第二掃描線及一第三掃描線，且該第二掃描線係分別與該第一掃描線及該第三掃描線相鄰；

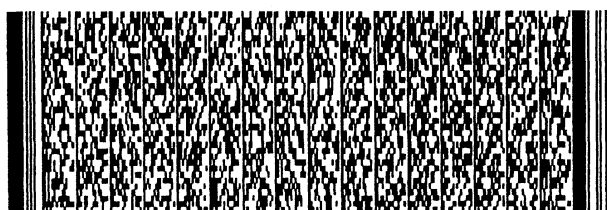
複數條資料線，該些資料線係互相平行，以一第二方向設置於該顯示面板上，其中，該第二方向係垂直於該第一方向，且該些資料線包括一第一資料線；

一第一畫素，分別與該第一資料線、該第一掃描線及該第二掃描線耦接；

一第二畫素，分別與該第一資料線及該第一掃描線耦接，其中，該第一畫素與該第二畫素係分別設置於該第一資料線之兩側；

一第三畫素，分別與該第一資料線及該第二掃描線耦接；

一第四畫素，分別與該第一資料線、該第二掃描線及該第三掃描線耦接，其中，該第三畫素與該第四畫素係分



六、申請專利範圍

別設置於該第一資料線之兩側，且該第三畫素係與該第一畫素設置於該第一資料線之同側，該第四畫素係與該第二畫素設置於該第一資料線之同側；

一第一開關組，設置於該第一畫素中，其中，該第一開關組至少包括一第一開關及一第二開關，該第一開關係可選擇性地導通，用以自該第一資料線傳送一第一資料信號至該第一畫素，且該第一開關導通與否係由該第二開關所控制；

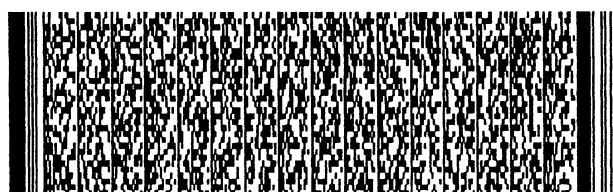
一第二開關組，設置於該第二畫素中，其中，該第二開關組至少包括一第三開關，用以選擇性地自該第一資料線傳送一第二資料信號至該第二畫素；

一第三開關組，設置於該第三畫素中，其中，該第三開關組至少包括一第四開關，用以選擇性地自該第一資料線傳送一第三資料信號至該第三畫素；以及

一第四開關組，設置於該第四畫素中，其中，該第四開關組至少包括一第五開關及一第六開關，該第五開關係可選擇性地導通，用以自該第一資料線傳送一第四資料信號至該第四畫素，且該第五開關導通與否係由該第六開關所控制。

16. 如申請專利範圍第15項所述之顯示面板，其中該第一開關、該第二開關、該第三開關、該第四開關、該第五開關及該第六開關皆為一薄膜電晶體。

17. 如申請專利範圍第16項所述之顯示面板，其中該薄膜電晶體係為一n型場效電晶體。



六、申請專利範圍

18. 如申請專利範圍第16項所述之顯示面板，其中該薄膜電晶體係為一p型場效電晶體。

19. 如申請專利範圍第15項所述之顯示面板，其中該第一畫素係位於該第一資料線之左側，且該第二畫素係位於該第一資料線之右側。

20. 如申請專利範圍第15項所述之顯示面板，其中該第一畫素係位於該第一資料線之右側，且該第二畫素係位於該第一資料線之左側。

21. 如申請專利範圍第15項所述之顯示面板，其中該該第一開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一資料線耦接，且該第一開關之閘極係與該第二開關耦接。

22. 如申請專利範圍第15項所述之顯示面板，其中該第三開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一資料線耦接，且該第三開關之閘極係與該第一掃描線耦接。

23. 如申請專利範圍第15項所述之顯示面板，其中該第四開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與係與該第一資料線耦接，且該第四開關之閘極係與該第二掃描線耦接。

24. 如申請專利範圍第15項所述之顯示面板，其中該第五開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一資料線耦接，且該第五開關之閘極係與該第六開關耦接。



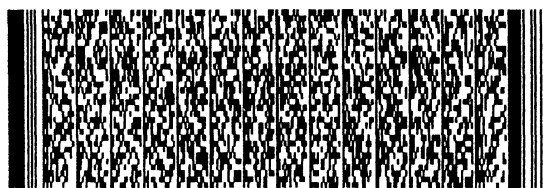
六、申請專利範圍

25. 如申請專利範圍第15項所述之顯示面板，其中該第二開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第一開關耦接，且該第六開關更包括一第一源極/汲極及一第二源極/汲極，該第一源極/汲極係與該第五開關耦接。

26. 如申請專利範圍第25項所述之顯示面板，其中該第二開關之該第二源極/汲極係與該第一掃描線耦接，該第二開關之閘極係與該第二掃描線耦接，且該第六開關之該第二源極/汲極係與該第二掃描線耦接，且該第六開關之閘極係與該第三掃描線耦接。

27. 如申請專利範圍第26項所述之顯示面板，其中該時間多工驅動電路之驅動方法為：

- 致能該第一掃描線與該第二掃描線；
- 輸入一第一資料信號至該第一資料線；
- 失能該第一掃描線；
- 失能該第二掃描線；
- 再致能該第一掃描線；
- 輸入一第二資料信號至該第一資料線；
- 失能該第一掃描線；
- 致能該第二掃描線與該第三掃描線；
- 輸入一第三資料信號至該第一資料線；
- 失能(disable)該第二掃描線；
- 失能該第三掃描線；
- 再致能該第二掃描線；



六、申請專利範圍

輸入一第四資料信號至該第一資料線；以及
失能該第二掃描線；

其中，該第一資料信號係為欲輸入該第一畫素之畫素資料，該第二資料信號係為欲輸入該第二畫素之畫素資料，該第三資料信號係為欲輸入該第四畫素之畫素資料，且該第四資料信號係為欲輸入該第三畫素之畫素資料。

28. 如申請專利範圍第25項所述之顯示面板，其中該第二開關之該第二源極/汲極係與該第二掃描線耦接，該第二開關之閘極係與該第一掃描線耦接，且該第六開關之該第二源極/汲極係與該第三掃描線耦接，且該第六開關之閘極係與該第二掃描線耦接。

29. 如申請專利範圍第28項所述之顯示面板，其中該時間多工驅動電路之驅動方法為：

致能該第一掃描線與該第二掃描線；

輸入一第一資料信號至該第一資料線；

失能該第二掃描線；

輸入一第二資料信號至該第一資料線；

失能該第一掃描線；

致能該第二掃描線與該第三掃描線；

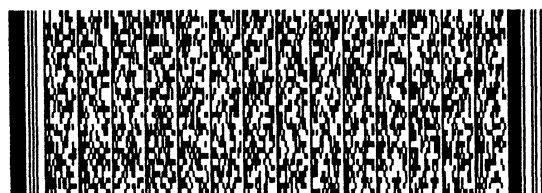
輸入一第三資料信號至該第一資料線；

失能該第三掃描線；

輸入一第四資料信號至該第一資料線；以及

失能該第二掃描線；

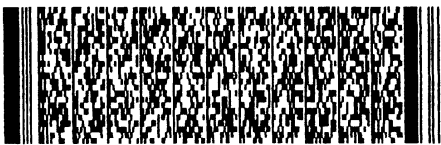
其中，該第一資料信號係為欲輸入該第一畫素之畫素

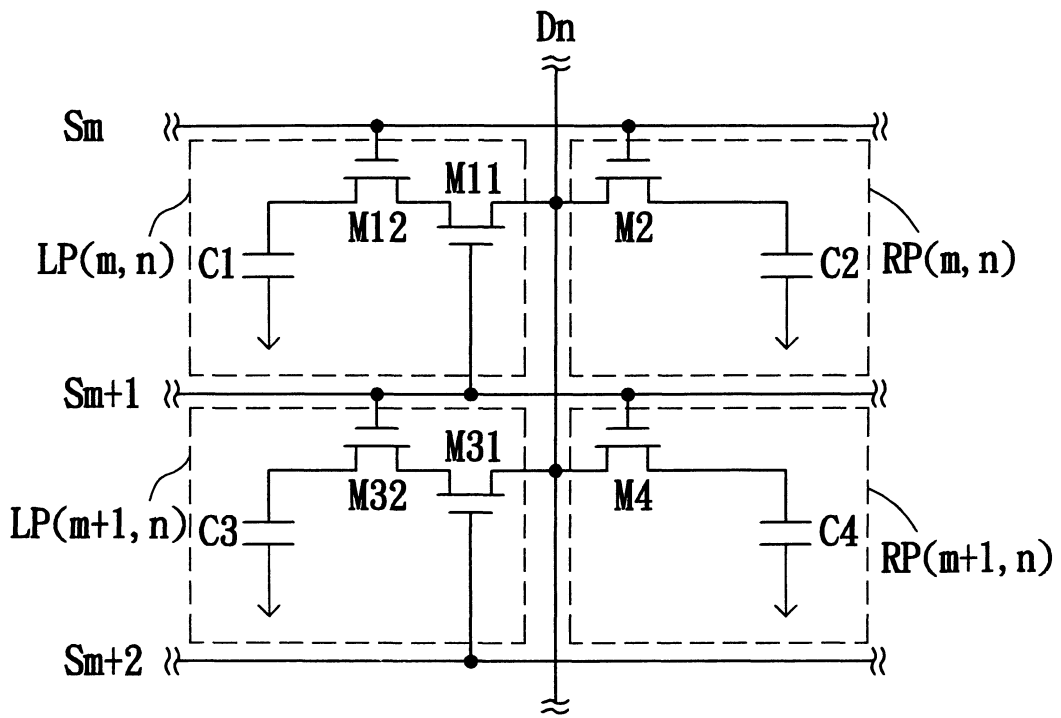


六、申請專利範圍

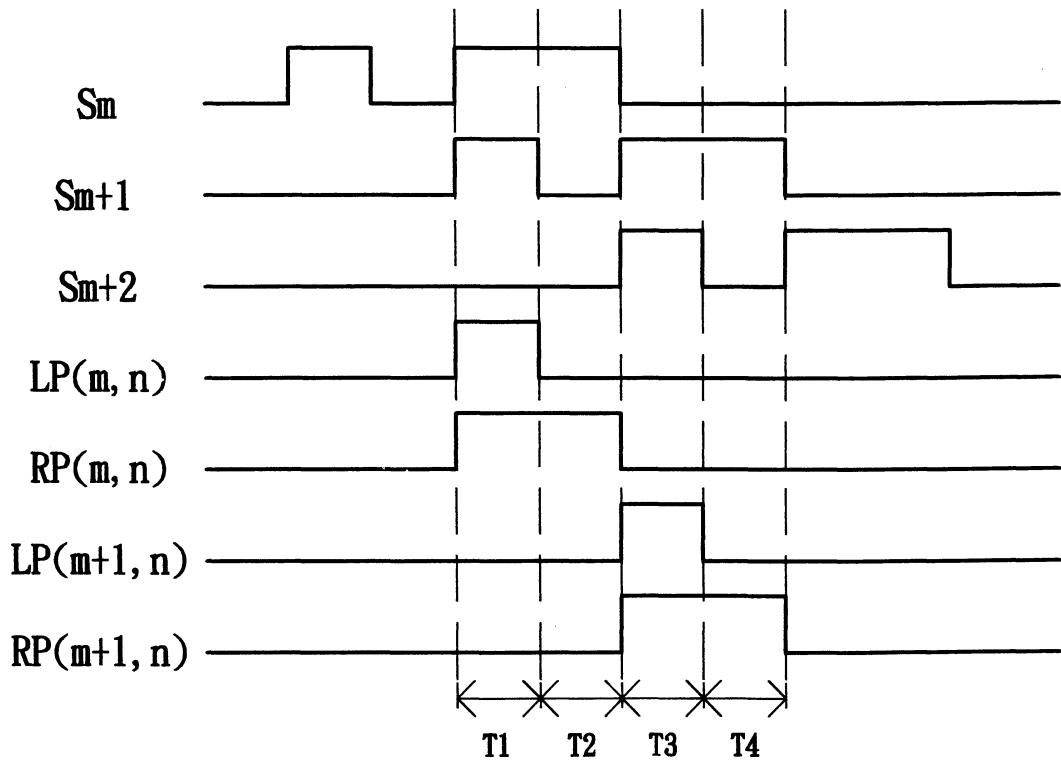
資料，該第二資料信號係為欲輸入該第二畫素之畫素資料，該第三資料信號係為欲輸入該第四畫素之畫素資料，且該第四資料信號係為欲輸入該第三畫素之畫素資料。

30. 如申請專利範圍第15項所述之顯示面板，其中該顯示面板係為一液晶顯示面板。

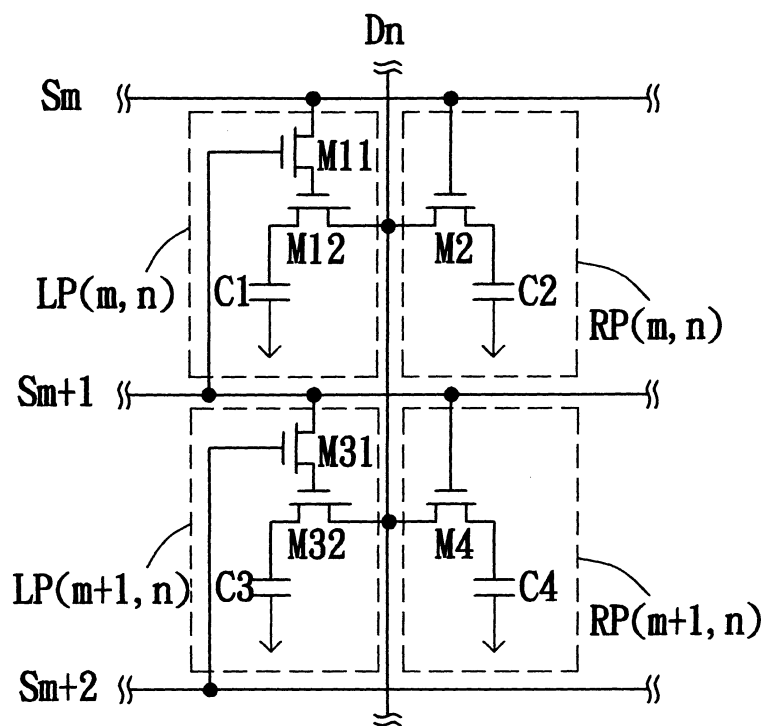




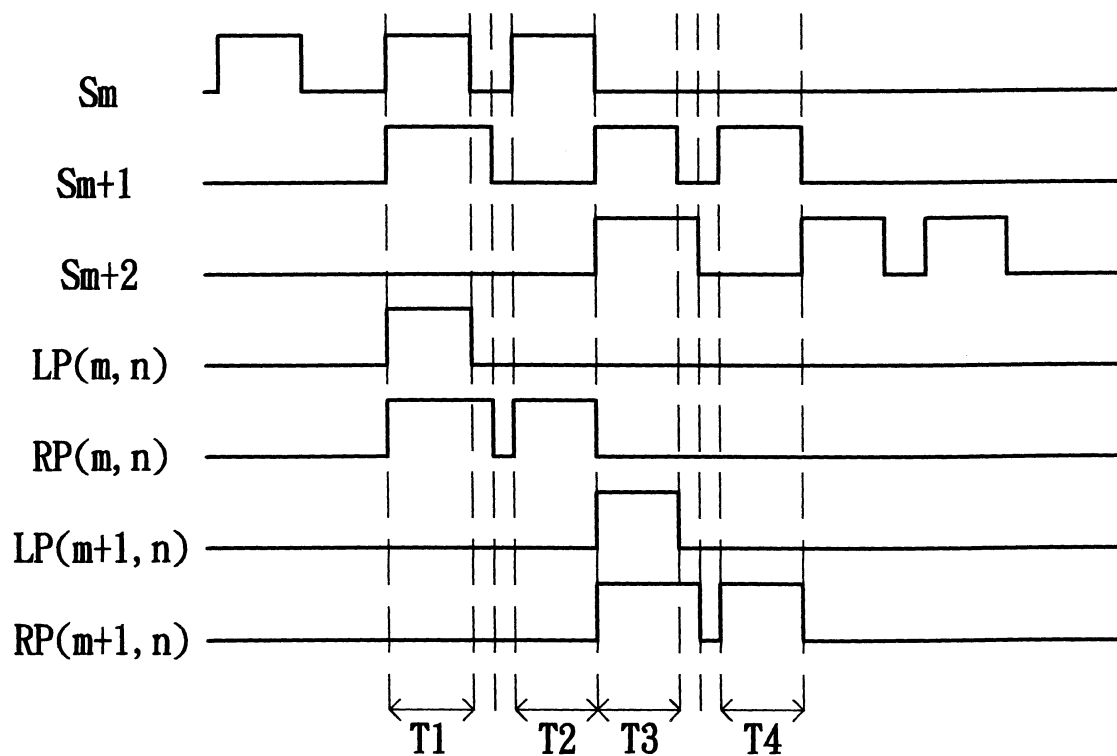
第 3 圖



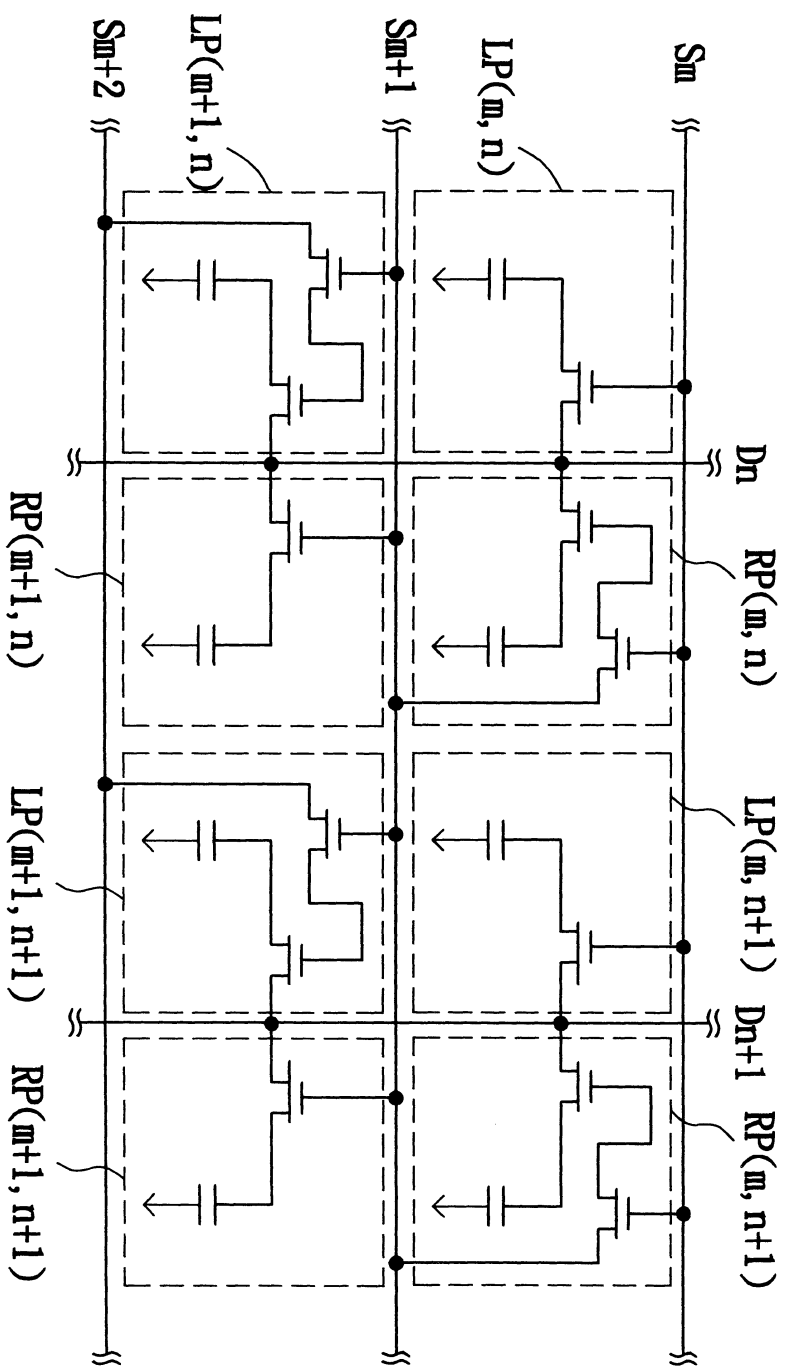
第 4 圖



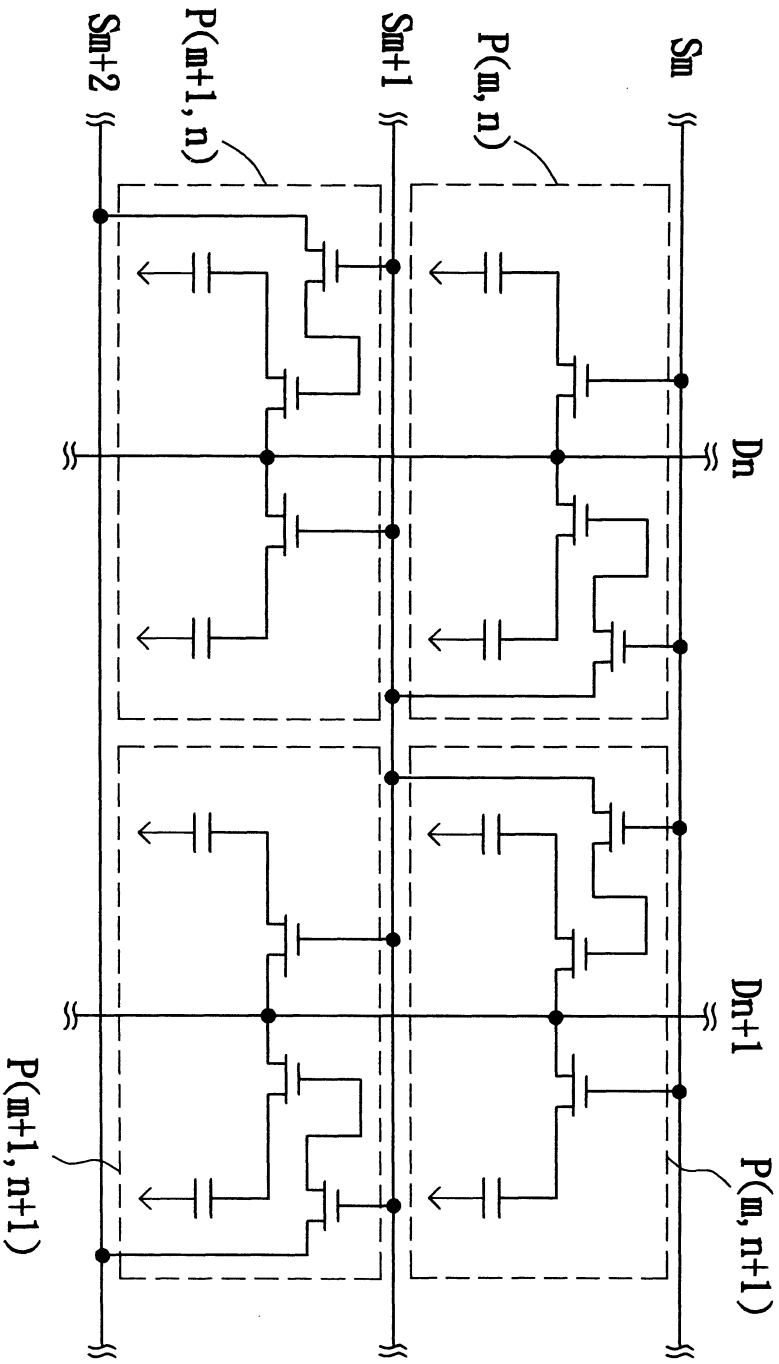
第 5 圖



第 6 圖



第 9 圖



第 10 圖

五、發明說明 (1)

【發明領域】

本發明是有關於一種顯示面板，且特別是有關於一種具有時間多工驅動電路之顯示面板。

【發明背景】

目前一般液晶顯示器(Liquid Crystal Display, LCD)都使用主動矩陣(active matrix)驅動電路來控制顯示面板的顯像。如何改良驅動電路及其驅動方法，以提高顯示面板的解析度(resolution)及開口率(Aperture Ratio)，又能降低製造成本，減少驅動電路裝置所佔的體積，乃是業界一直努力的課題。

請參照第1圖，其所繪示乃傳統主動矩陣驅動電路之部分電路圖。在一般液晶顯示器的顯示面板上，具有複數個以陣列形式排列之畫素(pixel)。顯示面板上亦設置有主動矩陣驅動電路，用以控制顯示面板上每一個畫素的動作。主動矩陣驅動電路係由複數條彼此正交排列之掃描線(scan line)及資料線(data line)所組成。每一個畫素皆具有一薄膜電晶體(Thin Film Transistor, TFT)作為開關。

一般薄膜電晶體係為n型或是p型場效薄膜電晶體(Field Effect Transistor, FET)，共有三個接腳，分別為：閘極(gate)、第一源極(source)/汲極(drain)以及第二源極/汲極。其中，每一個畫素之薄膜電晶體，其閘極與第一源極/汲極皆分別與一對彼此正交之掃描線與資料線耦接。以畫素P(m, n)為例，畫素P(m, n)具有薄膜電晶體M1，其閘極與顯示面板上第m條資料線Sm耦接，且



五、發明說明 (2)

其第一源極/汲極與顯示面板上第 n 條資料線 D_n 耦接。此外，薄膜電晶體 M_1 之第二汲極/源極與畫素 $P(m, n)$ 之畫素電容 C_1 耦接，如第1圖所示。

請參照第2圖，其所繪示乃傳統主動矩陣顯示器外觀之示意圖。主動矩陣顯示面板202具有由複數條彼此正交排列之掃描線及資料線所組成的主動矩陣驅動電路。其中，資料線係由資料驅動器(Data Driver)204所驅動，而掃描線則是由掃描驅動器(Scan Driver)206所驅動。資料驅動器204係固定於帶狀載體封裝物(Tape Carrier Package, TCP)208中，分別與主動矩陣顯示面板202以及Y電路板(Y-board)212電性耦接。而掃描驅動器206亦固定於帶狀載體封裝物210中，分別與主動矩陣顯示面板202以及X電路板214電性耦接。X電路板214係用以控制掃描驅動器206依序致能(enable)掃描線，以導通主動矩陣顯示面板202中的某列畫素。同時，Y電路板212控制資料驅動器204依序自資料線輸入資料信號至對應之畫素中。如此，主動矩陣顯示面板202中之每一個畫素皆會依據資料信號顯示亮度。

以解析度 1024×768 之主動矩陣顯示面板202為例，由於每一列有 $1024 \times 3 = 3072$ 個畫素，故主動矩陣驅動電路必須具有3072條資料線，方可驅動所有的畫素。由於資料線數量太多，故所需之資料驅動器204數目亦隨之增多。此外，資料驅動器204係藉由帶狀載體封裝物210之外引腳(outer lead)與主動矩陣顯示面板202上相對應之資料線黏合。故太多的資料線會使得將帶狀載體封裝物210之外



五、發明說明 (3)

引腳與相對應之資料線黏合的動作變得很困難。又，太多的資料線亦使得主動矩陣顯示面板202之開口率下降。

請參照第3圖，其所繪示乃習知之時間多工 (time domain multiplex) 驅動電路之部分電路圖。傳統改良上述缺點的方式是改變資料線與畫素陣列的耦接關係，使得同一列畫素中，每兩個相鄰畫素共用一條資料線。以第3圖中之左畫素 $LP(m, n)$ 與右畫素 $RP(m, n)$ 為例，這兩個畫素皆與掃描線 S_m 與資料線 D_n 耦接，且分別位於資料線 D_n 之兩側，故分別稱之為左畫素 $LP(m, n)$ 及右畫素 $RP(m, n)$ 。其中，右畫素 $RP(m, n)$ 係由薄膜電晶體 M_2 所控制，其閘極 (gate) 係與掃描線 S_m 電性耦接，且第一源極/汲極是與資料線 D_n 電性耦接。左畫素 $LP(m, n)$ 則是由薄膜電晶體 M_{11} 與薄膜電晶體 M_{12} 所控制。薄膜電晶體 M_{11} 之閘極係與掃描線 S_{m+1} 電性耦接，而第一源極/汲極則是與資料線 D_n 電性耦接。薄膜電晶體 M_{12} 之閘極與掃描線 S_m 電性耦接，第一源極/汲極則是與薄膜電晶體 M_{11} 之第二源極/汲極電性耦接。顯示面板上的每一個畫素，皆可依據其與資料線之相對位置分成兩類，分別為左畫素 LP 及右畫素 RP 。

請參照第4圖，其所繪示乃第3圖之驅動電路中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素 $LP(m, n)$ 、 $RP(m, n)$ 、 $LP(m+1, n)$ 、 $RP(m+1, n)$ 之控制開關導通與否之時序圖。掃描每一列畫素所進行的掃描動作皆可分成二個次掃描動作，第一次掃描動作係掃描該列畫素中所有的左畫素 LP ，而第二次掃描動作係掃描該列畫素中所有的右畫素 RP 。例如：當掃描第 m 列畫素時，首先，在時間

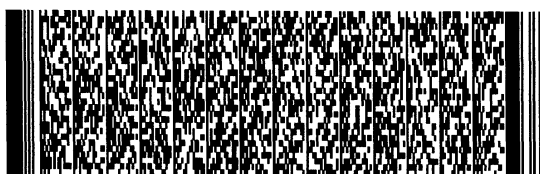


五、發明說明 (4)

區段T1時，先致能掃描線 S_m 與 S_{m+1} 。此時，薄膜電晶體M11與M12皆同時導通，故資料信號可藉由資料線 D_n 輸入左畫素 $LP(m, n)$ 中。如此，則完成第一次掃描動作。之後，在時間區段T2時進行第二次掃描動作，僅致能掃描線 S_m 。此時，薄膜電晶體M2導通，故資料信號可藉由資料線 D_n 輸入右畫素 $RP(m, n)$ 中。

需注意的是，當進行第一次掃描動作時，右畫素之薄膜電晶體，例如： $RP(m, n)$ 之薄膜電晶體M2，亦會導通。故原本欲輸入左畫素LP之資料信號亦會輸入至右畫素RP中。但是隨即進行之第二次掃描動作，即可將正確的資料信號輸入右畫素RP中。此外，當進行第二次掃描動作時，左畫素LP兩個薄膜電晶體的其中一個，例如： $LP(m, n)$ 之薄膜電晶體M12，固然也會導通。但因為同一個畫素中，另一個與之耦接之薄膜電晶體，例如：與薄膜電晶體M12耦接之薄膜電晶體M11，不導通，故欲輸入右畫素之資料信號不會誤輸入至左畫素LP中。如此，當完成一系列畫素之掃描動作後，該列畫素中之每一個畫素所顯示資料信號皆為正確的資料。

當完成第 m 列畫素的掃描之後，接著掃描第 $m+1$ 列畫素。掃描第 $m+1$ 列畫素的動作亦分成二個次掃描動作。在時間區段T3時，先進行第一次掃描動作，掃描第 $m+1$ 列畫素中之所有的左畫素LP，例如：左畫素 $LP(m+1, n)$ 。之後，在時間區段T4時進行第二次掃描動作，掃描第 $m+1$ 列畫素中之所有右畫素RP，例如：右畫素 $RP(m+1, n)$ 。掃描第 $m+1$ 列畫素之掃描動作係與掃描第 m 列畫素之掃描動作相



五、發明說明 (5)

同，於此不予贅述。如此，依序對每一列畫素進行掃描動作，驅動電路即可控制顯示面板上的每一個畫素。

以解析度 1024×768 之主動矩陣顯示面板為例，每一列有 $1024 \times 3 = 3072$ 個畫素。若驅動電路以上述每兩個同列且相鄰的畫素共用一條資料線的方式與每一畫素之薄膜電晶體耦接，則僅需 $3072 \div 2 = 1536$ 條資料線，即可控制顯示面板中所有畫素之動作。

上述同列相鄰畫素共用資料線的時間多工驅動電路，會產生下列的問題：

首先，當薄膜電晶體導通時，其第一源極/汲極與第二源極/汲極之間會有一等效輸出電阻 R_0 。當對一列畫素進行掃描動作時，該列畫素之薄膜電晶體之等效輸出電阻 R_0 大小會影響掃描動作所需的時間。輸出電阻 R_0 越大，掃描動作所需的時間就越長。換言之，驅動電路對每一列畫素的掃描動作會變慢。請再參照第3圖，以左畫素 $LP(m, n)$ 為例，左畫素 $LP(m, n)$ 藉由兩個薄膜電晶體 $M11$ 、 $M12$ 控制畫素的動作。當對第 m 列畫素進行掃描動作時，薄膜電晶體 $M11$ 、 $M12$ 同時導通，其等效輸出電阻相當於把薄膜電晶體 $M11$ 、 $M12$ 之輸出電阻 R_0 串聯。故畫素 $LP(m, n)$ 的等效輸出電阻大小係為習知作法的兩倍。如此，以上述每兩個同列且相鄰的畫素共用一條資料線之方式設置驅動電路時，驅動電路對每一列畫素的掃描動作所需的時間會比習知作法要長。

接著，當薄膜電晶體導通時，其閘極與第二汲極/源極之間會產生電容效應 (feed-through effect)，使得



五、發明說明 (6)

薄膜電晶體的輸出電壓大小低於輸入電壓。請再參照第3圖，當對第 m 列畫素進行掃描動作時，畫素 $LP(m, n)$ 之薄膜電晶體 $M11$ 、 $M12$ 同時導通，兩個薄膜電晶體皆會產生電容效應。故當顯示面板以上述每兩個同列且相鄰的畫素共用一條資料線之方式設置驅動電路時，顯示面板上會有一半的畫素所顯示的亮度與其他的畫素明顯不同，致使畫面呈現亮暗線交錯而破壞顯示效果。

如果顯示面板上所有的畫素的電容效應程度相同，即每一個畫素亮度變化的程度一致，對顯示面板的使用者而言，並不會察覺到異樣。若顯示面板上每一畫素之驅動電路係以第3圖所示之方式排列，則顯示面板上每一行

(column) 畫素的電容效應與左右相鄰的兩行畫素皆不同。換言之，每一行畫素的亮度變暗的程度與相鄰兩行畫素不同，此現象稱之為奇偶線。顯示面板所顯示的畫面會有奇偶線的現象發生，則顯示面板的顯像品質將因此而降低。

綜上所述，以同列且相鄰的畫素共用一條資料線之方式來設置驅動電路，固然可以減少資料線的數目，但是與傳統一個薄膜電晶體控制一個畫素動作的驅動電路相比，會有下列的缺點：

1. 掃描頻率需加快。
2. 畫素顯示的亮度不均。
3. 面板之顯像品質降低。

【發明目的及概述】



五、發明說明 (7)

有鑑於此，本發明的目的就是在提供一種具有時間多工驅動電路之顯示面板，藉由同列相鄰畫素共用資料線之驅動方式，使所需的資料線數目減少。同時，亦能夠維持掃描動作的速度、畫素顯示的亮度以及面板的顯像品質。

根據本發明的目的，提出一種具有時間多工驅動電路之顯示面板，該顯示面板包括：複數條互相平行之掃描線，其中更包括第一掃描線及第二掃描線，且第一掃描線係與第二掃描線相鄰。複數條互相平行，且與掃描線正交排列之資料線，其中更包括第一資料線。第一畫素，分別與第一資料線、第一掃描線及第二掃描線耦接。第二畫素，分別與第一資料線及第一掃描線耦接。其中，第一畫素與第二畫素係分別設置於第一資料線之兩側。第一開關組，設置於第一畫素中。其中，第一開關組至少包括第一開關及第二開關，第一開關可選擇性地導通，用以自第一資料線傳送第一資料信號至第一畫素，且第一開關導通與否係由第二開關所控制。第二開關組，設置於第二畫素中。其中，第二開關組至少包括第三開關，用以選擇性地自第一資料線傳送第二資料信號至第二畫素。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【較佳實施例】

實施例一：

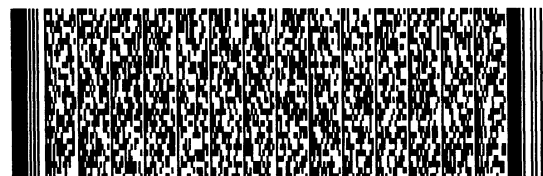
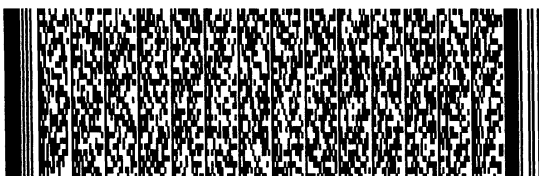
請參照第5圖，其所繪示乃實施例一所提出時間多工 (time domain multiplex) 驅動電路之部分電路圖。以



五、發明說明 (8)

左畫素(pixel)LP(m, n)與右畫素RP(m, n)為例，這兩個畫素皆與掃描線(scan line)Sm及資料線(data line)Dn耦接，且分別位於資料線Dn之兩側，故依據其與資料線Dn之相對位置，分別稱之為左畫素LP(m, n)及右畫素RP(m, n)。其中，左畫素LP(m, n)係由薄膜電晶體(Thin Film Transistor, TFT) M11與M12所組成的開關組所控制，開關組可選擇性地導通，用以自資料線Dn傳送資料信號至左畫素LP(m, n)。右畫素RP(m, n)係以薄膜電晶體M2作為控制之開關，薄膜電晶體M2可選擇性地導通，用以自資料線Dn傳送資料信號至右畫素RP(m, n)。需注意的是，薄膜電晶體M11與M12所組成的開關組亦可設置於資料線Dn右側之畫素RP(m, n)中，並同時將薄膜電晶體M2設置於資料Dn左側之畫素LP(m, n)中。只要同一列上，位於資料線兩側之兩畫素分別設置一與薄膜電晶體M11與M12之耦接方式相同之開關組以及一開關即可。

在由薄膜電晶體M11與薄膜電晶體M12所組成的開關組中，薄膜電晶體M11之第一源極/汲極係與薄膜電晶體M12之閘極耦接，第二源極/汲極係與掃描線Sm耦接，而閘極則與掃描線Sm+1耦接。薄膜電晶體M12之第一源極/汲極係與資料線Dn耦接，而閘極則與薄膜電晶體M12耦接。此外，薄膜電晶體M12之第二源極/汲極則是與左畫素LP(m, n)之畫素電容C1耦接。在右畫素RP(m, n)中之薄膜電晶體M2，其閘極與掃描線Sm電性耦接，第一源極/汲極與資料線Dn電性耦接，且第二源極/汲極則是與右畫素RP(m, n)之畫素電容C2耦接。



五、發明說明 (9)

請參照第6圖，其所繪示乃第5圖中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素 $LP(m, n)$ 、 $RP(m, n)$ 、 $LP(m+1, n)$ 、 $RP(m+1, n)$ 之控制開關導通與否之時序圖。每一列畫素的掃描動作係分成二個次掃描動作，第一次掃描動作係掃描該列畫素中之所有的左畫素 LP ，而第二次掃描動作係掃描該列畫素中之所有右畫素 RP 。試以掃描第 m 列畫素為例來作說明：首先，在時間區段 T_1 時，進行第一次掃描動作，致能(enable)掃描線 S_m 與 S_{m+1} 。由上文所述薄膜電晶體 M_{11} 與 M_{12} 之耦接關係可知，致能掃描線 S_{m+1} 會導通薄膜電晶體 M_{11} 。此時，若致能掃描線 S_m ，則會導通薄膜電晶體 M_{12} 。如此，則薄膜電晶體 M_{11} 、 M_{12} 皆導通，故資料信號可藉由資料線 D_n 輸入左畫素 $LP(m, n)$ 中。當資料信號輸入左畫素 $LP(m, n)$ 之後，失能(disable)掃描線 S_m 。如此，則關閉薄膜電晶體 M_{12} 。

之後，在時間區段 T_2 時進行第二次掃描動作，先失能掃描線 S_{m+1} ，再致能掃描線 S_m 。當失能掃描線 S_{m+1} ，則會關閉薄膜電晶體 M_{11} 。此時，再致能掃描線 S_m 時，則可導通薄膜電晶體 M_{12} 。如此，資料信號可藉由資料線 D_n 輸入右畫素 $RP(m, n)$ 中。

需注意的是，當進行第一次掃描動作時，右畫素 RP 之薄膜電晶體，例如： $RP(m, n)$ 之薄膜電晶體 M_2 ，也會導通。故原本欲輸入左畫素 LP 之資料信號亦會輸入至右畫素 RP 中。但是隨即進行之第二次掃描動作，即可將正確的資料信號輸入右畫素 RP 中。此外，當進行第二次掃描動作時，左畫素 LP 兩個薄膜電晶體其中之一，例如：左畫素 LP

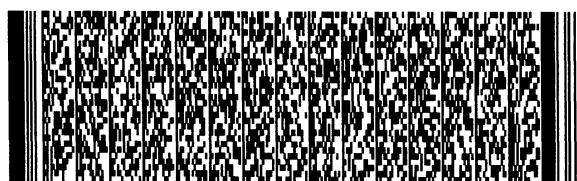


五、發明說明 (10)

(m, n) 之薄膜電晶體 $M11$ ，固然也會導通。但因為同一個畫素中，另一個與之耦接之薄膜電晶體，例如：與薄膜電晶體 $M11$ 耦接之薄膜電晶體 $M12$ 不導通，故欲輸入右畫素 RP 之資料信號不會誤輸入至左畫素 LP 中。如此，當完成一系列畫素之掃描動作後，該列之每一個畫素所顯示資料信號皆為正確的資料。

當完成第 m 列畫素的掃描動作後，接著掃描第 $m+1$ 列畫素。掃描第 $m+1$ 列畫素的動作亦分成二個次掃描動作。在時間區段 $T3$ 時，先進行第一次掃描動作，掃描第 $m+1$ 列畫素中之所有的左畫素 LP ，例如：左畫素 $LP(m+1, n)$ 。之後，在時間區段 $T4$ 時進行第二次掃描動作，掃描第 $m+1$ 列畫素中之所有右畫素 RP ，例如：右畫素 $RP(m+1, n)$ 。掃描第 $m+1$ 列畫素之掃描動作係與掃描第 m 列畫素之掃描動作相同，於此不予贅述。如此，依序掃描每一列畫素，驅動電路即可控制顯示面板上的每一個畫素。

本發明所提出之時間多工驅動電路，與習知時間多工驅動電路最大的不同在於：請參照第3圖，以左畫素 $LP(m, n)$ 為例。在習知作法中，左畫素 $LP(m, n)$ 之動作係由薄膜電晶體 $M11$ 與 $M12$ 所組成之開關組所控制。其中，薄膜電晶體 $M11$ 與 $M12$ 之閘極分別與掃描線 S_m 與 S_{m+1} 耦接。故可直接藉由致能掃描線 S_m 與 S_{m+1} 分別導通薄膜電晶體 $M11$ 及 $M12$ 。換言之，薄膜電晶體導通與否僅跟與閘極耦接之掃描線是否致能有關，與畫素中另一薄膜電晶體導通與否無關。請參照第5圖，以左畫素 $LP(m, n)$ 為例。本發明所提出之時間多工驅動電路藉由改變左畫素 $LP(m, n)$ 之開關組中



五、發明說明 (11)

薄膜電晶體M11與M12之耦接關係，使得薄膜電晶體M12導通與否係由薄膜電晶體M11所控制，需先導通薄膜電晶體M11，薄膜電晶體M12才會導通。

請再參照第5圖，同樣地以左畫素LP(m, n)為例，當對第m列畫素進行第一次掃描動作時，由兩個薄膜電晶體M11與M12之耦接關係可知，左畫素LP(m, n)之等效輸出電阻相當於薄膜電晶體M12之輸出電阻R0，其大小與傳統作法相同。如此，則驅動電路對每一列畫素的掃描動作並不會因此而變慢。此外，雖然當薄膜電晶體M11與M12同時導通時，兩薄膜電晶體都會產生電容效應，但是由兩個薄膜電晶體M11與M12之耦接關係可知，僅有薄膜電晶體M12所產生之電容效應將使左畫素LP(m, n)亮度變化的幅度程度與右畫素RP(m, n)亮度變化的幅度相當。換言之，本發明所提出之時間多工驅動電路並不會使顯示面板上部份畫素的電容效應變的更嚴重。同時，由於顯示面板上每一畫素所顯示之亮度偏移的程度相差有限，故對顯示面板的使用者而言，並不會察覺到異樣。因此，對顯示面板之顯像品質並不會造成影響。

實施例二：

請參照第7圖，其所繪示乃實施例二所提出之另一時間多工驅動電路之部分電路圖。以左畫素LP(m, n)與右畫素RP(m, n)為例，右畫素RP(m, n)係由薄膜電晶體M21與M22所組成之開關組M2所控制，開關組M2可選擇性地導通，用以自資料線Dn傳送資料信號至畫素RP(m, n)。左畫素LP



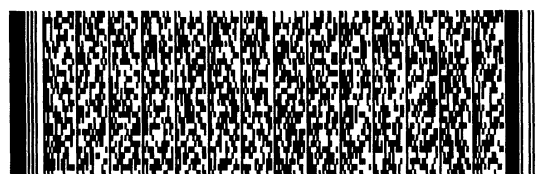
五、發明說明 (12)

(m, n) 係以薄膜電晶體M1作為控制之開關，薄膜電晶體M1可選擇性地導通，用以自資料線Dn傳送資料信號至左畫素LP(m, n)。

在由薄膜電晶體M21與薄膜電晶體M22所組成的開關組M2中，薄膜電晶體M21之第一源極/汲極係與薄膜電晶體M22之閘極耦接。而第二源極/汲極係與掃描線 S_{m+1} 耦接，閘極則與掃描線 S_m 耦接。薄膜電晶體M22之第一源極/汲極係與資料線Dn耦接，而閘極則與薄膜電晶體M21耦接。此外，薄膜電晶體M22之第二源極/汲極則是與右畫素RP(m, n)之畫素電容C2耦接。而在左畫素LP(m, n)中之薄膜電晶體M1，其閘極與掃描線 S_m 電性耦接，第一源極/汲極與資料線Dn電性耦接，且第二源極/汲極則是與畫素LP(m, n)之畫素電容C1耦接。

請再參照第7圖，左畫素LP($m+1, n$)與右畫素RP($m+1, n$)為例，這兩個畫素皆與掃描線 S_{m+1} 及資料線Dn耦接。其中，左畫素LP($m+1, n$)係由薄膜電晶體M31與M32所組成的開關組M3所控制，用以自資料線Dn傳送資料信號至左畫素LP($m+1, n$)。右畫素RP($m+1, n$)係以薄膜電晶體M4作為控制之開關，用以自資料線Dn傳送資料信號至右畫素RP($m+1, n$)。

請參照第8圖，其所繪示乃第7圖中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素LP(m, n)、RP(m, n)、LP($m+1, n$)、RP($m+1, n$)之控制開關導通與否之時序圖。每一列畫素的掃描動作係分成二個次掃描動作。試以掃描第m列畫素為例來作說明：首先，在時間區段T1時，進行第



五、發明說明 (13)

一次掃描動作，同時致能 (enable) 掃描線 S_m 與 S_{m+1} 。由上文所述薄膜電晶體 M_{21} 與 M_{22} 之耦接關係可知，致能掃描線 S_m 會導通薄膜電晶體 M_{21} 。此時，若致能掃描線 S_{m+1} ，則會導通薄膜電晶體 M_{22} 。如此，資料信號可藉由資料線 D_n 輸入右畫素 $RP(m, n)$ 中。

之後，在時間區段 T_2 時進行第二次掃描動作，失能掃描線 S_{m+1} 。此時，薄膜電晶體 M_{22} 關閉，但薄膜電晶體 M_{11} 導通，故資料信號可藉由資料線 D_n 輸入左畫素 $LP(m, n)$ 中。

需注意的是，當進行第一次掃描動作時，左畫素 LP 之薄膜電晶體，例如：左畫素 $LP(m, n)$ 之薄膜電晶體 M_{11} ，也會導通。原本欲輸入右畫素 RP 之資料信號亦會輸入至左畫素 LP 中。但是隨即進行之第二次掃描動作，即可將正確的資料信號輸入左畫素 LP 中。此外，當進行第二次掃描動作時，右畫素 RP 兩個薄膜電晶體其中之一，例如：畫素 $RP(m, n)$ 之薄膜電晶體 M_{21} ，固然也會導通。但同一個畫素中，另一個與之耦接之薄膜電晶體不導通，例如：與薄膜電晶體 M_{21} 耦接之薄膜電晶體 M_{22} 。故欲輸入左畫素 LP 之資料信號不會誤輸入至右畫素 RP 中。如此，當完成一系列畫素之掃描動作後，該列每一個畫素所顯示資料信號皆為正確資料。

當完成第 m 列畫素的掃描動作後，接著掃描第 $m+1$ 列畫素。掃描第 $m+1$ 列畫素的動作亦分成二個次掃描動作。在時間區段 T_3 時，先進行第一次掃描動作，掃描第 $m+1$ 列畫素中之所有的左畫素 LP ，例如：左畫素 $LP(m+1, n)$ 。之



五、發明說明 (14)

後，在時間區段T4時進行第二次掃描動作，掃描第 $m+1$ 列畫素中之所有右畫素RP，例如：右畫素 $RP(m+1, n)$ 。掃描第 $m+1$ 列畫素之掃描動作係與掃描第 m 列畫素之掃描動作相同，於此不予贅述。如此，依序掃描其他列之畫素，以顯示整個螢幕之畫面。

實施例二所提出之時間多工驅動電路，與實施例一所提出之時間多工驅動電路，其薄膜電晶體之耦接關係雖然有些許不同，但是其動作原理皆相似。以畫素 $RP(m, n)$ 為例，薄膜電晶體M22導通與否係由薄膜電晶體M21所控制，需先導通薄膜電晶體M21，薄膜電晶體M22才會導通。

若將與相同掃描線與資料線耦接之左畫素LP與右畫素RP合稱為一畫素組。例如：左畫素 $LP(m, n)$ 與右畫素 $RP(m, n)$ 皆與掃描線 S_m 及資料線 D_n 耦接，合稱為畫素組 $P(m, n)$ 。請再參照第7圖，左畫素 $LP(m, n)$ 中薄膜電晶體的耦接關係係與右畫素 $RP(m+1, n)$ 相對應，且右畫素 $RP(m, n)$ 中薄膜電晶體之耦接關係係與左畫素 $LP(m+1, n)$ 相對應，如第7圖所示。如此，則稱畫素組 $P(m, n)$ 與畫素組 $P(m+1, n)$ 之薄膜電晶體的耦接關係互為鏡像 (mirror image)。

顯示面板上每一個畫素組，其薄膜電晶體的耦接關係皆與上下相同行且相鄰的畫素組互為鏡像，其優點在於：請參照第5圖，以與資料線 D_n 耦接之畫素為例，所有位於資料線 D_n 同一側之畫素，其薄膜電晶體的數目及耦接方式皆相同，且與位於資料線 D_n 相對應之另一側之畫素相異。如此，當進行掃描動作時，相鄰兩行畫素因為電容效應的



五、發明說明 (15)

程度不同所造成之奇偶線的現象固然會獲得相當程度的改善。請參照第9圖，其所繪示乃一種以鏡像方式設置之時間多工驅動電路之部分電路圖。以第9圖左半邊，與資料線 D_n 耦接之畫素為例，其中，左畫素 $LP(m, n)$ 與右畫素 $RP(m, n)$ 合稱畫素組 $P(m, n)$ ，而左畫素 $LP(m+1, n)$ 及右畫素 $RP(m+1, n)$ 合稱畫素組 $P(m+1, n)$ 。畫素組 $P(m, n)$ 與畫素組 $P(m+1, n)$ 兩者之薄膜電晶體耦接方式互為鏡像，如第7圖所示。同理，畫素組 $P(m, n+1)$ 與畫素組 $P(m+1, n+1)$ 兩者之薄膜電晶體耦接方式亦互為鏡像。若以上述鏡像方式安排顯示面板上每一畫素之薄膜電晶體，則該顯示面板之時間多工驅動電路係如第9圖所示。如此，由於位於同一條資料線之同一側的所有畫素，其薄膜電晶體的數目及耦接方式不會完全相同，故顯示面板所顯示的畫面就不會有奇偶線的問題，可更進一步地提升顯示面板之顯像品質。此外，在實施例一中所提出之主動矩陣驅動電路，亦可以鏡像方式決定每一個畫素中薄膜電晶體之數目及耦接方式，則顯示畫面之顯像品質一樣會得到改善。

請參照第10圖，其所繪示乃另一種以鏡像方式設置之時間多工驅動電路之部分電路圖。以畫素組 $P(m, n)$ 、 $P(m+1, n)$ 以及 $P(m, n+1)$ 為例，畫素組 $P(m, n)$ 中，其薄膜電晶體之耦接關係不止與同行且相鄰之畫素組 $P(m+1, n)$ 互為鏡像，甚至也與同列且相鄰之畫素組 $P(m, n+1)$ 互為鏡像。如此，也不會造成顯示面板所顯示之畫面有奇偶線，以改善顯示面板之顯像品質。



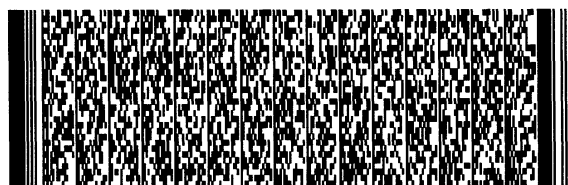
五、發明說明 (16)

【發明效果】

本發明上述實施例所揭露之一種具有時間多工驅動電路之顯示面板，可藉由使同列相鄰之畫素共用一條資料線，以減少驅動電路所需之資料線的數目。如此，將資料驅動器所在之帶狀載體封裝物之外引腳黏合於主動矩陣顯示面板上時，將因為資料線的數目大幅減少，資料線之間距(pitch)可以增大，使得外引腳黏合的動作較傳統簡單許多。另外，資料線減半之後，資料線的遮光情形減少，使得主動矩陣顯示面板之開口率亦隨之變大。

同時，藉由改變畫素之兩個薄膜電晶體間的耦接關係，使得每個畫素之薄膜電晶體導通時，其等效輸出電阻並不會增加，以改善習知作法所造成掃描動作變慢的缺點。且降低畫素的電容效應的程度，使得顯示面板的亮度均勻。此外，藉由以鏡像的方式決定畫素組中每一個畫素之薄膜電晶體數目與耦接方式，以解決顯示畫面奇偶線的問題，改善顯示面板之顯像品質。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖繪示傳統主動矩陣驅動電路之部分電路圖。

第2圖繪示繪示傳統主動矩陣顯示器外觀之示意圖。

第3圖繪示傳統同列相鄰畫素共用資料線之時間多工驅動電路之部分電路圖。

第4圖繪示第3圖中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素 $LP(m, n)$ 、 $RP(m, n)$ 、 $LP(m+1, n)$ 、 $RP(m+1, n)$ 之控制開關導通與否之時序圖。

第5圖繪示實施例一所提出時間多工驅動電路之部分電路圖。

第6圖繪示第5圖中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素 $LP(m, n)$ 、 $RP(m, n)$ 、 $LP(m+1, n)$ 、 $RP(m+1, n)$ 之控制開關導通與否之時序圖。

第7圖繪示實施例二所提出之另一時間多工驅動電路之部分電路圖。

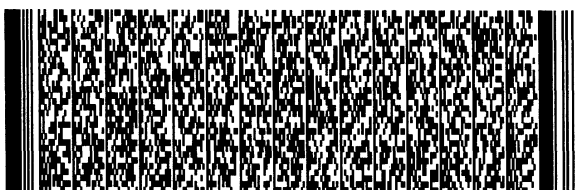
第8圖繪示第7圖中，掃描線 S_m 、 S_{m+1} 以及 S_{m+2} 之掃描信號與相對應之畫素 $LP(m, n)$ 、 $RP(m, n)$ 、 $LP(m+1, n)$ 、 $RP(m+1, n)$ 之控制開關導通與否之時序圖。

第9圖繪示一種以鏡像方式設置之時間多工驅動電路之部分電路圖。

第10圖繪示另一種以鏡像方式設置之時間多工驅動電路之部分電路圖。

【圖式標號說明】

202：主動矩陣顯示面板



圖式簡單說明

204 : 資料驅動器

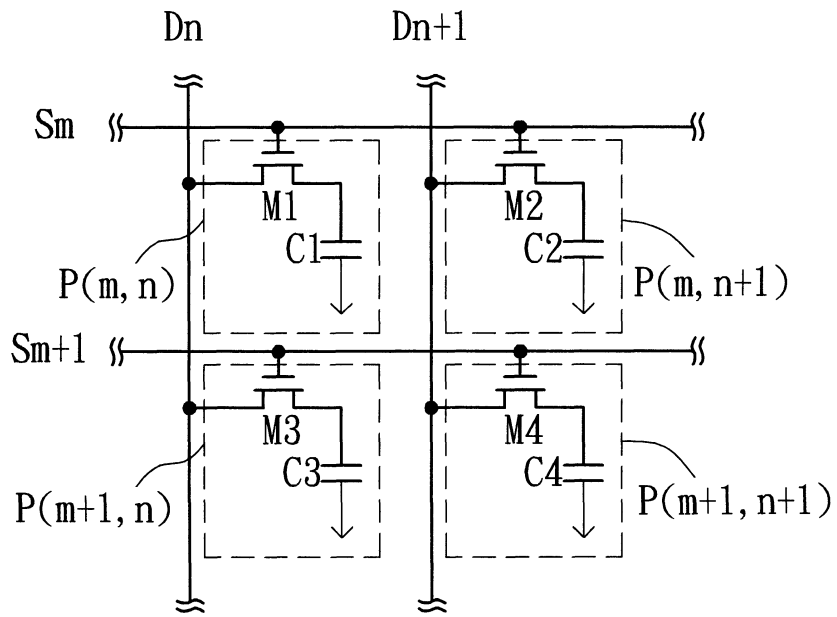
206 : 掃描驅動器

208、210 : 帶狀載體封裝物

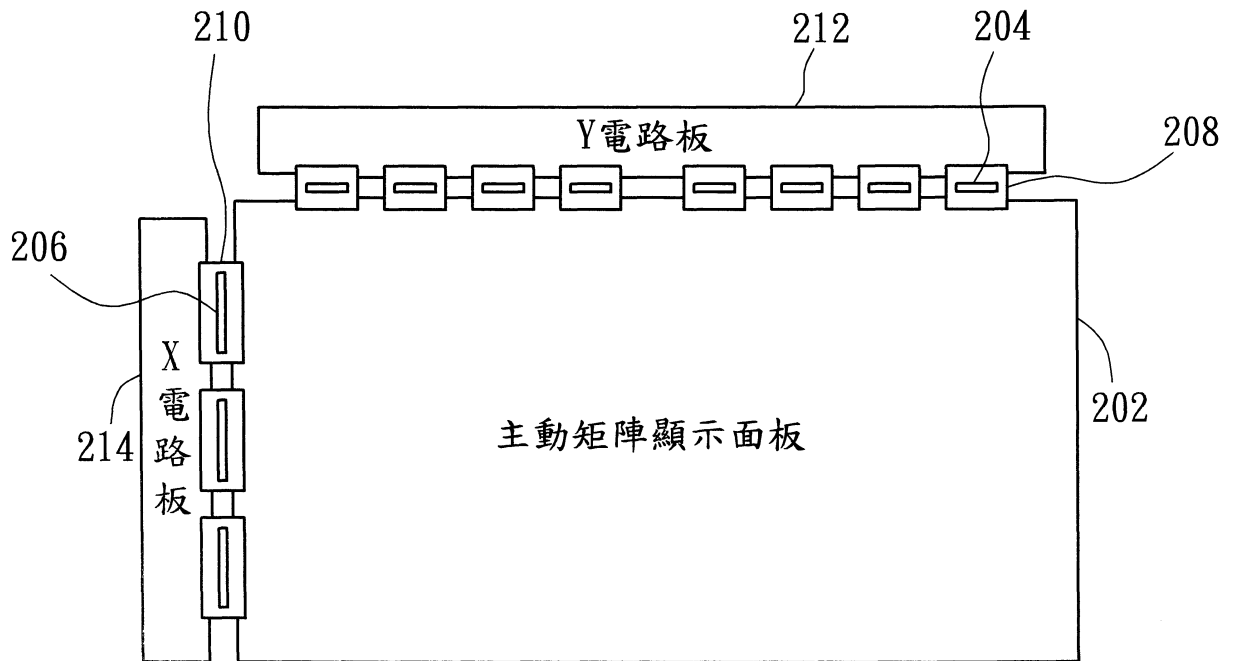
212 : X 電路板

214 : Y 電路板

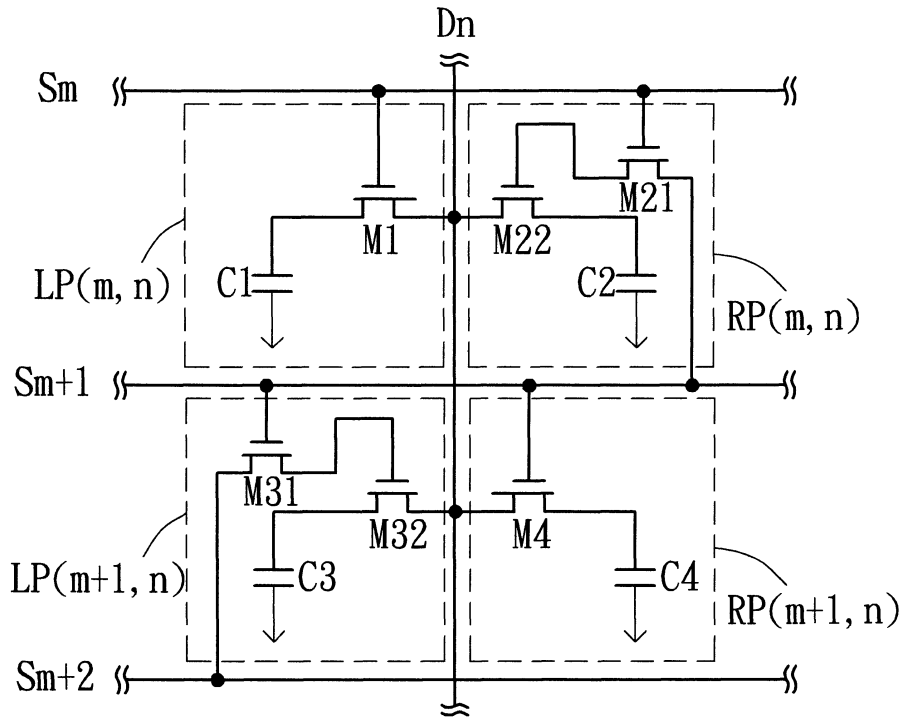




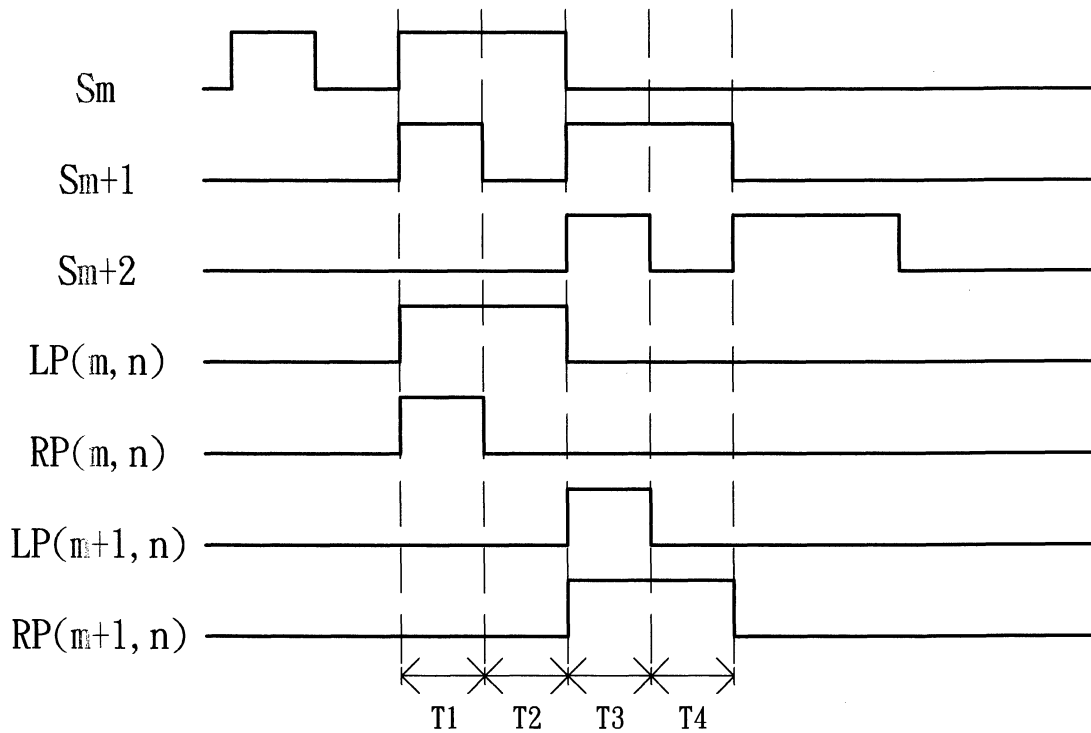
第 1 圖



第 2 圖



第 7 圖



第 8 圖