

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月12日(12.05.2022)



(10) 国際公開番号

WO 2022/097533 A1

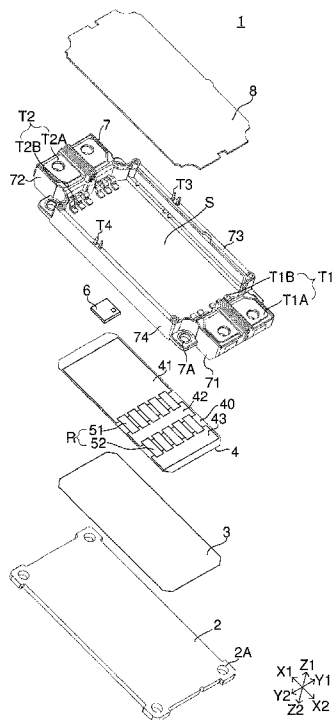
- (51) 国際特許分類:
H01L 23/13 (2006.01) *H01L 25/00* (2006.01)
- (21) 国際出願番号: PCT/JP2021/039425
- (22) 国際出願日: 2021年10月26日(26.10.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-186408 2020年11月9日(09.11.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 安 武 一 平 (YASUTAKE Ipppei);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府

大阪府中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: DISCHARGE CIRCUIT MODULE

(54) 発明の名称: 放電回路モジュール



(57) Abstract: A discharge circuit module (1) is for discharging a capacitance section (CX) and has: an insulating substrate (40); a discharge resistance section (R) having at least one resistor (51, 52) formed on the insulating substrate; and a semiconductor chip (6) mounted on the insulating substrate and serving as a semiconductor switch that is electrically connected to the discharge resistance section. The insulating substrate, the discharge resistance section, and the semiconductor chip are formed as a package.

(57) 要約: 放電回路モジュール(1)は、容量部(CX)を放電させるための放電回路モジュールであり、絶縁基板(40)と、前記絶縁基板に形成された少なくとも1つの抵抗体(51, 52)を有する放電抵抗部(R)と、前記絶縁基板に実装され、前記放電抵抗部と電氣的に接続される半導体スイッチとしての半導体チップ(6)と、を有し、前記絶縁基板と前記放電抵抗部と前記半導体チップとをパッケージ化している。

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：放電回路モジュール

技術分野

[0001] 本開示は、放電回路モジュールに関する。

背景技術

[0002] 従来、電源ライン間に接続されるコンデンサであるXコンデンサが知られている。Xコンデンサに充電されている電荷により人体が感電することを防止するために、Xコンデンサを放電させる放電回路が設けられることが多い。

[0003] このような放電回路には、抵抗とスイッチとが直列に接続された構成を有するものがある（例えば特許文献1）。この直列接続された構成は、Xコンデンサと並列に接続される。上記スイッチをオンさせることで、Xコンデンサに蓄電された電荷が抵抗を介して放電される。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-158211号公報（第8図）

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来では、上記放電回路における抵抗として、基板にセラミック抵抗、またはチップ抵抗を並べたものを使用する場合があり、その場合、放電回路が大型化する虞があった。

[0006] 本開示は、小型化を可能とする放電回路モジュールを提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本開示の一態様に係る放電回路モジュールは、容量部を放電させるための放電回路モジュールであり、絶縁基板と、前記絶縁基板に形成された少なくとも1つの抵抗体を有する放電抵抗部と、前記絶縁基板に実装され

、前記放電抵抗部と電氣的に接続される半導体スイッチとしての半導体チップと、を有し、前記絶縁基板と前記放電抵抗部と前記半導体チップとをパッケージ化した構成としている。

発明の効果

[0008] 本開示の放電回路モジュールによれば、小型化が可能となる。

図面の簡単な説明

[0009] [図1]本開示の例示的な実施形態に係る放電システムの回路構成を示す図である。

[図2]放電回路モジュールの分解斜視図である。

[図3]放電回路モジュールの組み立てた状態の斜視図である。

[図4]放電回路モジュールにおける放電回路の構成を示す回路図である。

[図5]一変形例に係る放電回路の構成を示す回路図である。

[図6]一変形例に係る放電抵抗部の構成を示す回路図である。

[図7]一変形例に係る放電回路モジュールの概略的な斜視図である。

発明を実施するための形態

[0010] 以下に本開示の例示的な実施形態について図面を参照して説明する。

[0011] <1. 放電システムの構成>

図1は、本開示の例示的な実施形態に係る放電システム15の回路構成を示す図である。図1に示す放電システム15は、複数のコンデンサからなる容量部CXと、放電回路モジュール1と、を有している。

[0012] 容量部CXは、電源ラインの線間に接続されるXコンデンサに相当する。

図1の構成では、一例として、容量部CXは、バッテリー10の正極側と負極側との間に2個のコンデンサが直列に接続された直列構成が5つ並列に接続されることで形成される。なお、これに限らず、例えば容量部CXは、バッテリー10の正極側と負極側との間に接続される1個のコンデンサから形成されてもよい。

[0013] 放電回路モジュール1は、後述する構成のように、放電回路をパッケージ化したものであり、放電抵抗部Rと、半導体スイッチSWと、を有する。図

1 に示す構成では、一例として放電抵抗部 R は、複数の抵抗体から構成される。なお、これに限らず、放電抵抗部 R は、1 つの抵抗体から構成されてもよい。

[0014] 図 1 の構成では、一例として半導体スイッチ SW は、半導体材料として SiC（炭化ケイ素）を用いた SiC-MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）から構成される。なお、これに限らず、半導体スイッチ SW は、例えば Si-MOSFET や Si-IGBT（Insulated Gate Bipolar Transistor）から構成されてもよい。また、図 1 の構成では、一例として、半導体スイッチ SW は、N チャネル型 MOSFET である。

[0015] 放電抵抗部 R の一端は、バッテリー 10（容量部 CX）の正極側に接続される。放電抵抗部 R の他端は、半導体スイッチ SW の第 1 端に接続される。半導体スイッチ SW の第 2 端は、バッテリー 10（容量部 CX）の負極側に接続される。なお、図 1 に示すように半導体スイッチ SW が N チャネル型 MOSFET で構成される場合、上記第 1 端はドレイン、上記第 2 端はソースに相当する。

[0016] 半導体スイッチ SW のオンオフは、半導体スイッチ SW の制御端（ゲート）に印加させる制御電圧により制御される。容量部 CX に電荷が蓄電された状態で半導体スイッチ SW をターンオンすれば、放電抵抗部 R および半導体スイッチ SW を介して放電電流が流れることにより、容量部 CX に蓄電された電荷は放電される。

[0017] 放電システム 15 が例えば EV（電気自動車）に搭載される場合、容量部 CX の DC 電圧は例えば 600V～900V のように高電圧となる。これにより、半導体スイッチ SW は、例えば 1200V 耐圧などの高耐圧品が用いられる。放電抵抗部 R の抵抗値は、例えば放電開始から所定時間（例えば 2 sec）経過後に容量部 CX の電圧を所定電圧（例えば 45V）以下まで低下させるための時定数で決定するなど、各地域の安全規格により決定される。放電抵抗部 R の抵抗値は、例えば数十Ωである。

[0018] 上記のように容量部C Xの電圧が高電圧である場合、放電抵抗部Rや半導体スイッチSWで消費される電力による発熱が大きくなるが、後述するような放電回路モジュール1の構成により、放熱性を向上させている。

[0019] <2. 放電回路モジュールの構造>

次に、放電回路モジュール1の構造を詳細に説明する。図2は、放電回路モジュール1の分解斜視図である。図3は、放電回路モジュール1の組み立てた状態の斜視図である。なお、図3において、便宜上、カバー8の図示は省略している。

[0020] なお、図2および図3において、長手方向（第1方向）をX方向として、長手方向一方側をX1、長手方向他方側をX2として示している。また、短手方向（第2方向）をY方向として、短手方向一方側をY1、短手方向他方側をY2として示している。また、上下方向をZ方向として、上方をZ1、下方をZ2として示している。長手方向、短手方向、および上下方向は、互いに直交する。

[0021] 図2および図3に示すように、放電回路モジュール1は、銅プレート2と、はんだ部3と、DCB基板4と、第1抵抗体群51と、第2抵抗体群52と、半導体チップ6と、樹脂ケース7と、カバー8と、を有している。さらに、放電回路モジュール1は、外部との電氣的接続を確立するための外部端子T1～T4を有している。

[0022] 銅プレート2は、長手方向かつ短手方向に延びて上面視で略長方形であり、上下方向を厚み方向とする銅製の板状部材である。銅プレート2は熱伝導性に優れている。なお、銅プレート2に限らず、アルミなどの熱伝導性に優れる銅以外の金属により形成される金属プレートを用いてもよい。

[0023] 樹脂ケース7は、樹脂により形成される筐体である。なお、樹脂ケース7の代わりに、樹脂以外の絶縁材により形成される筐体を用いてもよい。樹脂ケース7は、第1載置台部71と、第2載置台部72と、第1片部73と、第2片部74と、を一体的に有している。

[0024] 第1片部73および第2片部74は、それぞれ長手方向に延びる略壁状部

材である。第1片部73および第2片部74は、短手方向に対向して配置される。第1載置台部71は長手方向他方側に、第2載置台部72は長手方向一方側に配置される。第1載置台部71の上には外部端子T1が載置され、第2載置台部72の上には外部端子T2が載置される。第1片部73および第2片部74は、それぞれ第1載置台部71と第2載置台部72とを長手方向に連結する。第1載置台部71、第2載置台部72、第1片部73、および第2片部74により囲まれて、樹脂ケース7の内側には上下に開口する空間である収容部Sが形成される。

[0025] 樹脂ケース7の上面視での四隅には、上下方向に貫通する固定孔部7Aが形成される。銅プレート2において、上面視での四隅には上下方向に貫通する貫通孔部2Aが形成される。銅プレート2は樹脂ケース7の下方に配置され、その状態で各貫通孔部2Aと各固定孔部7Aはそれぞれ上面視で重なって1つの貫通孔を形成する。各貫通孔部2Aと各固定孔部7Aとからなる各組に上下方向に挿入されるボルト（不図示）により、銅プレート2の下方にヒートシンク（不図示）を固定することができる。当該ヒートシンクは、例えば水冷ヒートシンクである。

[0026] DCB (Direct Copper Bonding) 基板4は、長手方向かつ短手方向に延びて上下方向を厚み方向とする板状部材である。DCB基板4は、セラミック基板40と、第1配線部41と、第2配線部42と、第3配線部43と、を有する。DCB基板4は、それぞれ銅板である第1配線部41、第2配線部42、および第3配線部43を直接、セラミック基板40に接合させることにより形成される。

[0027] セラミック基板40は、例えばアルミナ、窒化アルミ、窒化ケイ素などにより形成され、熱伝導性に優れる。セラミック基板40は、絶縁基板の一例である。

[0028] 長手方向一方側から長手方向他方側にかけて、第1配線部41、第2配線部42、および第3配線部43の順に配置される。第1配線部41、第2配線部42、および第3配線部43は、短手方向に延びる。第1抵抗体群51

は、第1配線部41と第2配線部42とを接続するようにセラミック基板40上に印刷により形成される。第1抗体群51は、一例として長手方向に延びかつ短手方向に配列される5つの抗体から構成される。同様に、第2抗体群52は、第2配線部42と第3配線部43とを接続するようにセラミック基板40上に印刷により形成される。第2抗体群52は、一例として長手方向に延びかつ短手方向に配列される5つの抗体から構成される。

[0029] 第1抗体群51および第2抗体群52を構成するそれぞれの抗体は、例えば金属である銀、または銀／パラジウム (Ag/Pd)、または、金属酸化物である酸化ルテニウム (RuO₂) などにより形成される。

[0030] 上記のような構成により、第1抗体群51を構成するそれぞれの抗体と第2抗体群52を構成するそれぞれの抗体とが直列に接続された構成が5つ並列接続され、放電抵抗部Rが構成される。ここで、図4は、放電回路モジュール1における放電回路の構成を示す回路図である。放電抵抗部Rは、図4に示すように一例として、抗体の2直列5並列接続により構成される。

[0031] なお、第2配線部42によって、図4に示すように抗体の各直列接続構成における各接続ノードNが短絡されている。これにより、抗体の直列接続構成における一方の抗体の第2配線部42との接続が何らかの原因で外れた場合でも、他方の抗体の第2配線部42との接続は有効のままであるため、放電抵抗部Rとしての抵抗値の変化を抑制できる。

[0032] DCB基板4は、銅プレート2の上方に配置される。はんだ部3は、DCB基板4と銅プレート2により上下方向に挟まれて配置される。DCB基板4は、はんだ部3を介して銅プレート2の上面と接合される。DCB基板4、第1抗体群51、および第2抗体群52は、收容部Sに收容される。

[0033] 外部端子T1は、載置部T1Aと、脚部T1Bと、を一体的に有する。載置部T1Aは、第1載置台部71上に載置される板状部分である。脚部T1Bは、載置部T1Aから第1載置台部71内部を通された部分に接続され、第1載置台部71の長手方向一方側下部から收容部Sに向けて突出して形成

される。脚部 T 1 B は、第 1 載置台部 7 1 から長手方向一方側、下方、長手方向一方側の順に延びて形成される。

[0034] 外部端子 T 1 は、一例として銅製である。先述のようにセラミック基板 4 0 上に形成された第 3 配線部 4 3 は、脚部 T 1 B に下方から接触することで、外部端子 T 1 と電氣的に接続される。すなわち、第 3 配線部 4 3 は、Cu クリップによって外部端子 T 1 と接続される。

[0035] 半導体チップ 6 は、半導体スイッチ SW に相当する（図 4）。半導体チップ 6 の下面は、不図示のはんだ部によって第 1 配線部 4 1 の上面と接合される。外部端子 T 4 は、第 2 片部 7 4 の上面から上方に突出する部分を有する。第 1 配線部 4 1 の上面は、外部端子 T 4 の下端部と第 1 ボンディングワイヤ W 1（図 3）によって接続される。第 1 ボンディングワイヤ W 1 は、例えばアルミなどから形成される。

[0036] これにより、図 4 に示すように、半導体チップ 6（半導体スイッチ SW）が N チャネル型 MOS F E T である場合は、半導体チップ 6 のドレインが外部端子 T 4 と電氣的に接続される。

[0037] 外部端子 T 2 は、載置部 T 2 A と、脚部 T 2 B と、を一体的に有する。載置部 T 2 A は、第 2 載置台部 7 2 上に載置される板状部分である。脚部 T 2 B は、載置部 T 2 A から第 2 載置台部 7 2 内部を通された部分に接続され、第 2 載置台部 7 2 の長手方向他方側下部から収容部 S に向けて突出して形成される。脚部 T 2 B は、第 2 載置台部 7 2 から長手方向他方側、下方、長手方向他方側の順に延びて形成される。

[0038] 半導体チップ 6 のソースパッドは、脚部 T 2 B と第 2 ボンディングワイヤ W 2（図 3）によって接続される。第 2 ボンディングワイヤ W 2 は、例えばアルミなどから形成される。これにより、図 4 に示すように、半導体チップ 6 のソースが外部端子 T 2 と電氣的に接続される。

[0039] 外部端子 T 3 は、第 1 片部 7 3 の上面から上方に突出する部分を有する。半導体チップ 6 のゲートパッドは、外部端子 T 3 の下端部と第 3 ボンディングワイヤ W 3（図 3）によって接続される。第 3 ボンディングワイヤ W 3 は

、例えばアルミなどから形成される。これにより、図4に示すように、半導体チップ6のゲートが外部端子T3と電氣的に接続される。

[0040] なお、ボンディングワイヤW1～W3の代わりに、ボンディングリボンを用いてもよい。

[0041] 外部端子T1の載置部T1Aおよび第1載置台部71それぞれに形成された貫通孔を通されるボルト（不図示）と、当該ボルトに固定されるナット（不図示）によって、Oリングを有する配線（不図示）が載置部T1A上に固定される。これにより、当該配線により外部端子T1と容量部CX（図1）の正極側とが電氣的に接続される。

[0042] 外部端子T2の載置部T2Aおよび第2載置台部72それぞれに形成された貫通孔を通されるボルト（不図示）と、当該ボルトに固定されるナット（不図示）によって、Oリングを有する配線（不図示）が載置部T2A上に固定される。これにより、当該配線により外部端子T2と容量部CXの負極側とが電氣的に接続される。

[0043] カバー8は、收容部Sを上方から覆うように樹脂ケース7に取り付けられる。

[0044] このように本実施形態に係る放電回路モジュール1によれば、DCB基板4に印刷により形成される抵抗体と、DCB基板4に実装した半導体チップ6としての半導体スイッチと、をパッケージ化することで、放電回路モジュール1を小型化することが可能となる。

[0045] また、容量部CXの放電時に抵抗体および半導体スイッチで発熱しても、発生した熱は熱伝導性に優れるセラミック基板40および銅プレート2を伝導してヒートシンクから放熱されるので、放熱性を向上させることができる。

[0046] また、セラミック基板40は熱容量が大きいので、抵抗体の個数を少なくしても、過渡的な温度上昇を抑制できる。例えば、従来は放電抵抗部Rの同じ数十Ωの抵抗値を実現するために100個程度のチップ抵抗を基板に並べて用いるところを、本実施形態であれば、抵抗体は10個程度で済むように

できる。

[0047] <3. 変形例>

なお、以下のような各種変形例に係る実施形態を実施してもよい。図5は、放電回路における放電抵抗部Rの変形例を示す。図5に示す放電抵抗部Rでは、第1抵抗体群51のそれぞれの抵抗体と第2抵抗体群52のそれぞれの抵抗体とが直列に接続される各接続ノードは短絡されていない。

[0048] なお、図4または図5の構成において、NTC (Negative Temperature Coefficient) サーミスタなどのサーミスタを設けてもよい。例えば、図4または図5において、サーミスタは、第1抵抗体群51の接続ノードN側とは異なる一端と、半導体チップ6のドレインと外部端子T4とが接続されるノードとの間に挿入される。

[0049] 図6は、放電抵抗部Rの別の変形例を示す。図6に示す構成では、第1抵抗体群501のそれぞれの抵抗体と、第2抵抗体群502のそれぞれの抵抗体と、第3抵抗体群503のそれぞれの抵抗体とが直列に接続された構成が5つ並列に接続されている。すなわち、放電抵抗部Rは、抵抗体の3直列5並列接続により構成される。

[0050] これにより、放電回路を例えばEVなどに搭載する場合に、放電抵抗部Rの耐圧が高耐圧となり、図4の例であれば2直列であるので、1つの抵抗体の耐圧が例えば600Vであれば、放電抵抗部Rの耐圧は1200Vとすることができる。一方、図6の例であれば、3直列であるので、抵抗体の耐圧が上記600Vよりも低い例えば400Vであっても、放電抵抗部Rの耐圧は1200Vとすることができる。すなわち、直列数を増やせば、低い耐圧の抵抗体を用いることができる。

[0051] なお、図6においては、第1抵抗体群501のそれぞれの抵抗体と第2抵抗体群502のそれぞれの抵抗体とが直列に接続される各接続ノードが短絡されるとともに、第2抵抗体群502のそれぞれの抵抗体と第3抵抗体群503のそれぞれの抵抗体とが直列に接続される各接続ノードが短絡されているが、それぞれ短絡されていなくてもよい。

[0052] 図7は、変形例に係る放電回路モジュール1Xの概略を示す斜視図である。図7に示す構成では、セラミック基板20に対して形成された抵抗体（不図示）と、セラミック基板20に実装された半導体チップ（不図示）とを、封止材25（樹脂など）により封止してパッケージ化した構成となっている。図7に示すように、セラミック基板20は上面が外部に露出しており、この露出部分にヒートシンク（不図示）を接合可能である。また、外部端子30は、封止材25の側面から突出している。図7に示すように外部端子30の数が8つである場合は、例えば、上記外部端子T1～T4に相当する端子以外の4つの外部端子30は、NC端子（電氣的に内部接続されていない端子）である。

[0053] <4. その他>

以上、本開示の実施形態について説明したが、本発明の趣旨の範囲内であれば、実施形態は種々の変更が可能である。

[0054] <5. 付記>

以上の通り、例えば、本開示の一態様に係る放電回路モジュール（1）は、容量部（CX）を放電させるための放電回路モジュールであり、絶縁基板（40）と、

前記絶縁基板に形成された少なくとも1つの抵抗体（51，52）を有する放電抵抗部（R）と、

前記絶縁基板に実装され、前記放電抵抗部と電氣的に接続される半導体スイッチとしての半導体チップ（6）と、

を有し、

前記絶縁基板と前記放電抵抗部と前記半導体チップとをパッケージ化した構成としている（第1の構成）。

[0055] また、上記第1の構成において、前記絶縁基板は、セラミック基板（40）である構成としてもよい（第2の構成）。

[0056] また、上記第2の構成において、前記セラミック基板（40）と、前記セラミック基板に形成される配線部（41，42，43）と、を有するDCB

基板（４）を有し、前記抗体（５１，５２）および前記半導体チップ（６）は、前記配線部と電氣的に接続される構成としてもよい（第３の構成）。

[0057] また、上記第３の構成において、脚部（Ｔ１Ｂ，Ｔ２Ｂ）を有する第１外部端子（Ｔ１，Ｔ２）を有し、前記配線部（４３，４１）は、前記脚部と接触する構成としてもよい（第４の構成）。

[0058] また、上記第３または第４の構成において、第２外部端子（Ｔ３，Ｔ４）を有し、前記配線部（４１）は、前記第２外部端子とボンディングワイヤ（Ｗ３，Ｗ１）またはボンディングリボンによって接続される構成としてもよい（第５の構成）。

[0059] また、上記第３から第５のいずれかの構成において、前記配線部は、第１配線部（４１）と、第２配線部（４２）と、第３配線部（４３）と、を有し、

前記第１配線部、前記第２配線部、および前記第３配線部は、この順に第１方向に並べられ、かつ、前記第１方向に直交する第２方向に延び、

第１抗体群（５１）を構成する複数の前記抗体は、前記第１配線部と前記第２配線部とを接続しつつ、前記第２方向に配列され、

第２抗体群（５２）を構成する複数の前記抗体は、前記第２配線部と前記第３配線部とを接続しつつ、前記第２方向に配列される構成としてもよい（第６の構成）。

[0060] また、上記第２から第６のいずれかの構成において、前記セラミック基板（４０）と接合される銅プレート（２）を有する構成としてもよい（第７の構成）。

[0061] また、上記第７の構成において、前記セラミック基板（４０）と前記銅プレート（２）は、はんだ部（３）を介して接合される構成としてもよい（第８の構成）。

[0062] また、上記第１から第８のいずれかの構成において、前記絶縁基板（４０）と、前記放電抵抗部（Ｒ）と、前記半導体チップ（６）と、を収容するケース（７）を有する構成としてもよい（第９の構成）。

[0063] また、上記第9の構成において、前記絶縁基板（40）と接合されて、かつ、前記ケース（7）の下方に配置されるプレート（2）を有し、前記ケースに設けられて上下方向に貫通する固定孔部（7A）と、前記プレートに設けられて上下方向に貫通する貫通孔部（2A）とは、上面視において重なる構成としてもよい（第10の構成）。

[0064] また、本開示の一態様に係る放電システム（15）は、上記いずれかの構成とした放電回路モジュール（1）と、電源ラインの線間に接続される容量部（CX）と、を有する。

産業上の利用可能性

[0065] 本開示は、例えば、Xコンデンサの放電に利用することができる。

符号の説明

[0066]	1、1X	放電回路モジュール
	2	銅プレート
	2A	貫通孔部
	3	はんだ部
	4	DCB基板
	6	半導体チップ
	7	樹脂ケース
	7A	固定孔部
	8	カバー
	10	バッテリー
	15	放電システム
	20	セラミック基板
	25	封止材
	30	外部端子
	40	セラミック基板
	41	第1配線部
	42	第2配線部

4 3	第 3 配線部
5 1	第 1 抵抗体群
5 2	第 2 抵抗体群
7 1	第 1 載置台部
7 2	第 2 載置台部
7 3	第 1 片部
7 4	第 2 片部
5 0 1	第 1 抵抗体群
5 0 2	第 2 抵抗体群
5 0 3	第 3 抵抗体群
C X	容量部
N	接続ノード
R	放電抵抗部
S	収容部
SW	半導体スイッチ
T 1 ~ T 4	外部端子
T 1 A	載置部
T 1 B	脚部
T 2 A	載置部
T 2 B	脚部
W 1	第 1 ボンディングワイヤ
W 2	第 2 ボンディングワイヤ
W 3	第 3 ボンディングワイヤ

請求の範囲

- [請求項1] 容量部を放電させるための放電回路モジュールであり、
絶縁基板と、
前記絶縁基板に形成された少なくとも1つの抵抗体を有する放電抵抗部と、
前記絶縁基板に実装され、前記放電抵抗部と電氣的に接続される半導体スイッチとしての半導体チップと、
を有し、
前記絶縁基板と前記放電抵抗部と前記半導体チップとをパッケージ化した放電回路モジュール。
- [請求項2] 前記絶縁基板は、セラミック基板である、請求項1に記載の放電回路モジュール。
- [請求項3] 前記セラミック基板と、前記セラミック基板に形成される配線部と、
を有するDCB基板を有し、
前記抵抗体および前記半導体チップは、前記配線部と電氣的に接続される、請求項2に記載の放電回路モジュール。
- [請求項4] 脚部を有する第1外部端子を有し、
前記配線部は、前記脚部と接触する、請求項3に記載の放電回路モジュール。
- [請求項5] 第2外部端子を有し、
前記配線部は、前記第2外部端子とボンディングワイヤまたはボンディングリボンによって接続される、請求項3または請求項4に記載の放電回路モジュール。
- [請求項6] 前記配線部は、第1配線部と、第2配線部と、第3配線部と、を有し、
前記第1配線部、前記第2配線部、および前記第3配線部は、この順に第1方向に並べられ、かつ、前記第1方向に直交する第2方向に延び、

第1抵抗体群を構成する複数の前記抵抗体は、前記第1配線部と前記第2配線部とを接続しつつ、前記第2方向に配列され、

第2抵抗体群を構成する複数の前記抵抗体は、前記第2配線部と前記第3配線部とを接続しつつ、前記第2方向に配列される、請求項3から請求項5のいずれか1項に記載の放電回路モジュール。

[請求項7] 前記セラミック基板と接合される銅プレートを含む、請求項2から請求項6のいずれか1項に記載の放電回路モジュール。

[請求項8] 前記セラミック基板と前記銅プレートは、はんだ部を介して接合される、請求項7に記載の放電回路モジュール。

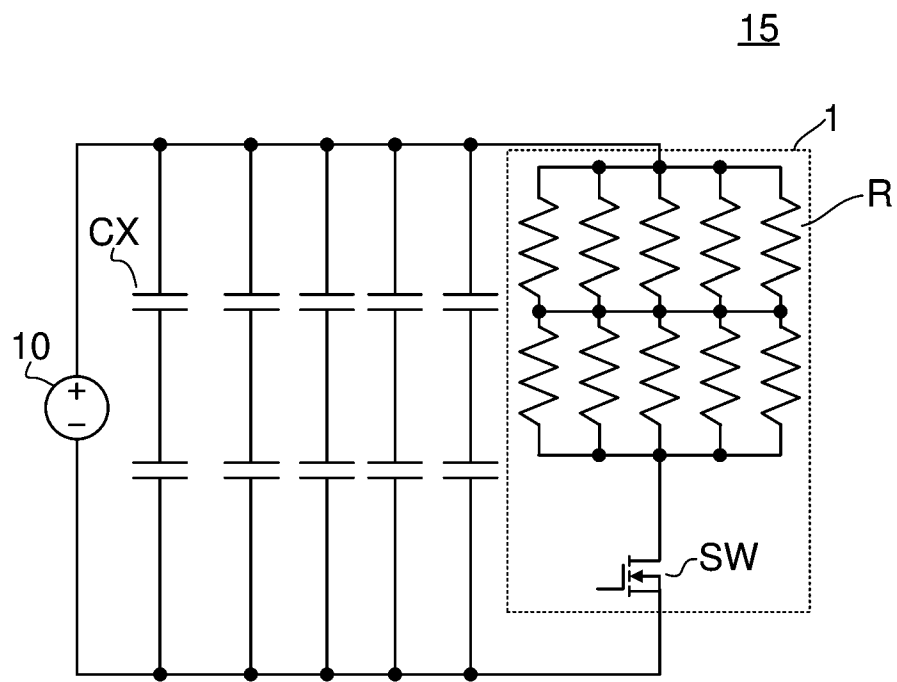
[請求項9] 前記絶縁基板と、前記放電抵抗部と、前記半導体チップと、を収容するケースを含む、請求項1から請求項8のいずれか1項に記載の放電回路モジュール。

[請求項10] 前記絶縁基板と接合されて、かつ、前記ケースの下方に配置されるプレートを含む、

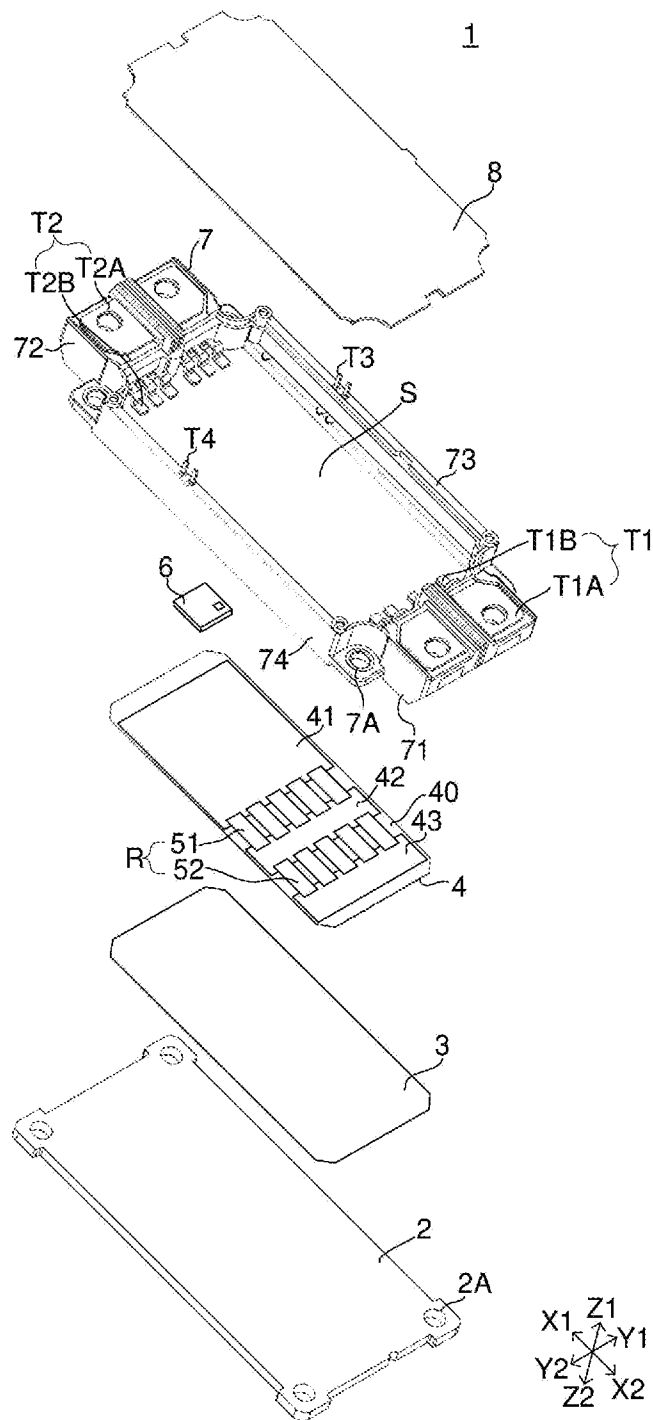
前記ケースに設けられて上下方向に貫通する固定孔部と、前記プレートに設けられて上下方向に貫通する貫通孔部とは、上面視において重なる、請求項9に記載の放電回路モジュール。

[請求項11] 請求項1から請求項10のいずれか1項に記載の放電回路モジュールと、
電源ラインの線間に接続される容量部と、を含む、放電システム。

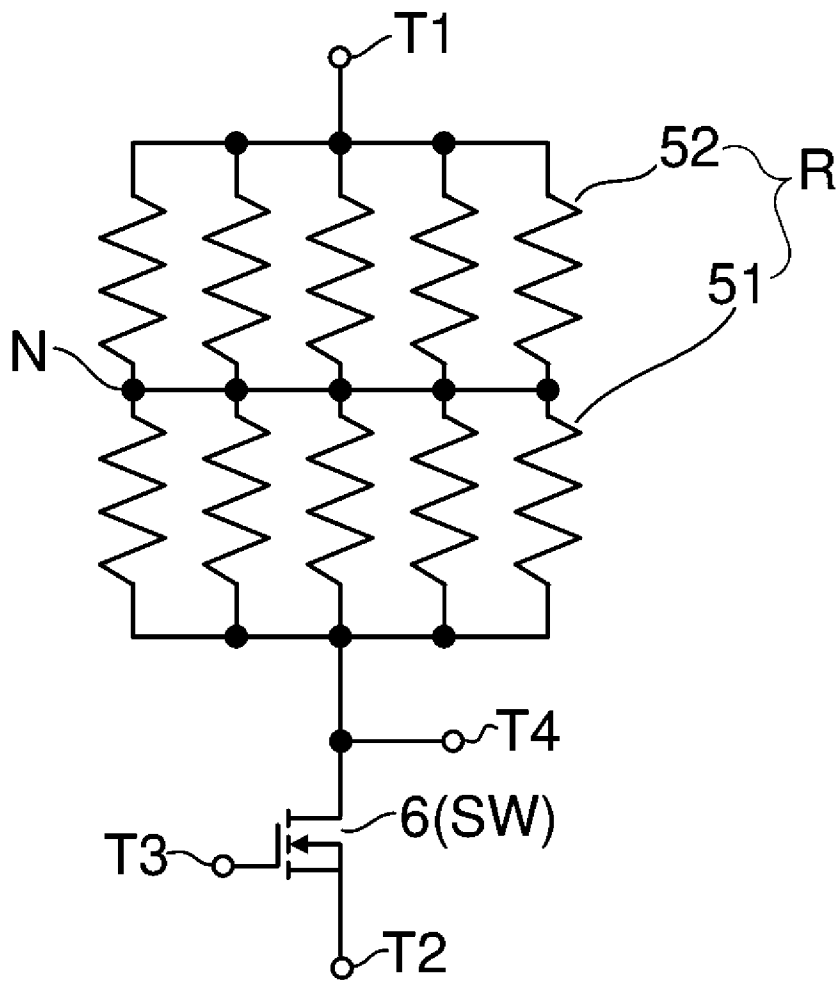
[図1]



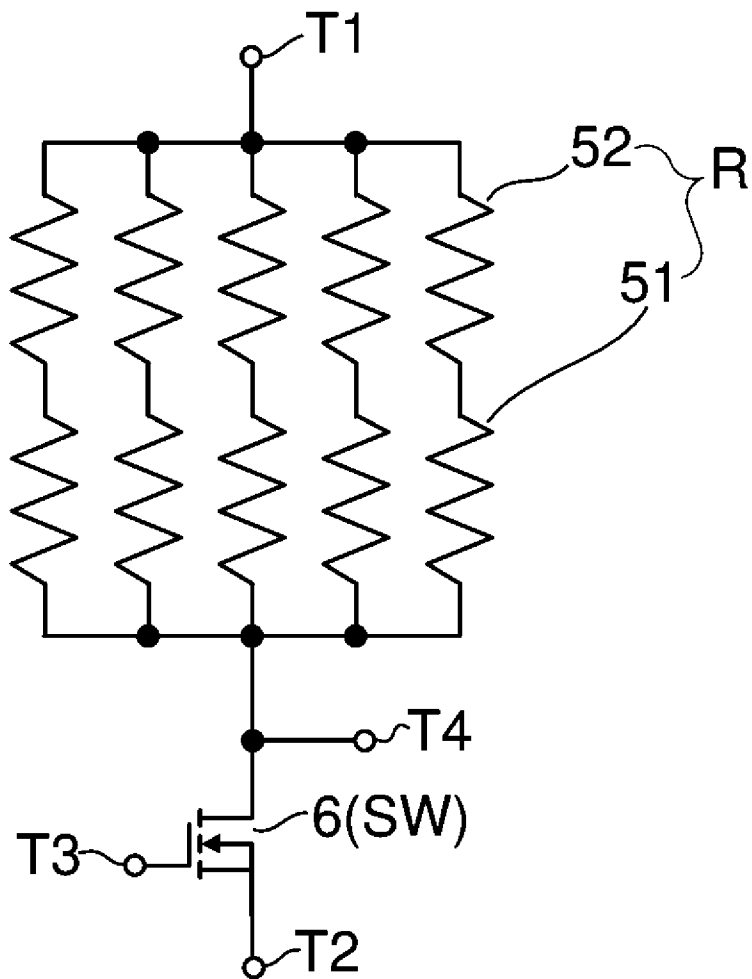
[図2]



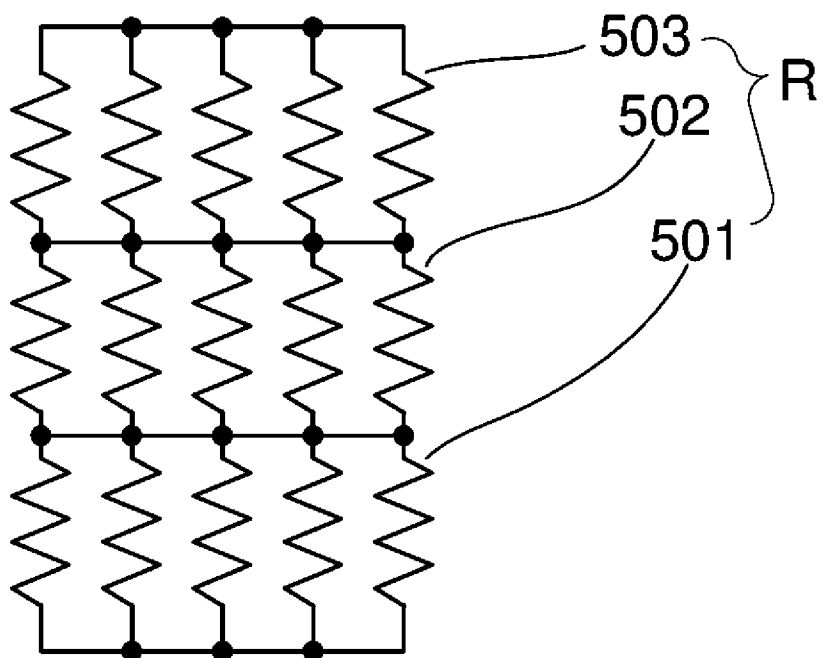
[図4]



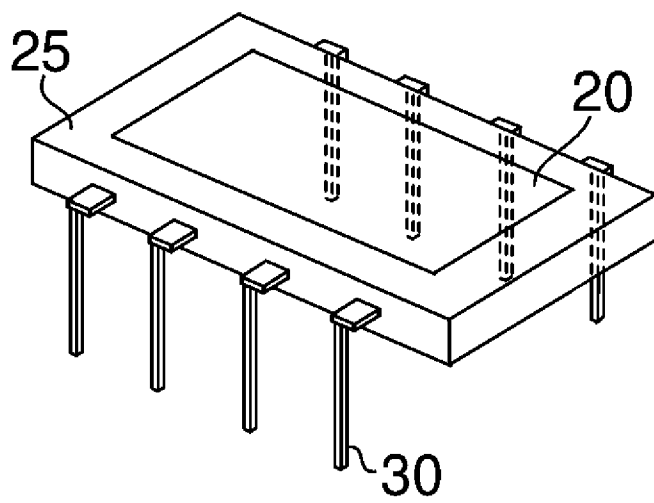
[図5]



[図6]



[図7]

1X

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/039425

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/13 (2006.01)i; H01L 25/00 (2006.01)i FI: H01L25/00 B; H01L23/12 C According to International Patent Classification (IPC) or to both national classification and IPC																																
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/13; H01L25/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																																
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2018/186353 A1 (ROHM CO., LTD.) 11 October 2018 (2018-10-11) paragraphs [0001]-[0228], fig. 3, 5, 26</td> <td>1-3, 11</td> </tr> <tr> <td>Y</td> <td>paragraphs [0001]-[0228], fig. 3, 5, 26</td> <td>4, 5, 7-10</td> </tr> <tr> <td>A</td> <td>entire text, all drawings</td> <td>6</td> </tr> <tr> <td>Y</td> <td>WO 2016/006065 A1 (MITSUBISHI ELECTRIC CORP.) 14 January 2016 (2016-01-14) paragraphs [0017]-[0020], fig. 1, 2</td> <td>4, 5, 7-10</td> </tr> <tr> <td>A</td> <td>entire text, all drawings</td> <td>1-3, 6, 11</td> </tr> <tr> <td>Y</td> <td>JP 2006-13273 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0004], [0005], fig. 9</td> <td>10</td> </tr> <tr> <td>A</td> <td>entire text, all drawings</td> <td>1-9, 11</td> </tr> <tr> <td>X</td> <td>JP 2013-179261 A (AISIN AW CO., LTD.) 09 September 2013 (2013-09-09) paragraphs [0001]-[0070], fig. 1-3, 7</td> <td>1, 2, 11</td> </tr> <tr> <td>A</td> <td>entire text, all drawings</td> <td>3-10</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	WO 2018/186353 A1 (ROHM CO., LTD.) 11 October 2018 (2018-10-11) paragraphs [0001]-[0228], fig. 3, 5, 26	1-3, 11	Y	paragraphs [0001]-[0228], fig. 3, 5, 26	4, 5, 7-10	A	entire text, all drawings	6	Y	WO 2016/006065 A1 (MITSUBISHI ELECTRIC CORP.) 14 January 2016 (2016-01-14) paragraphs [0017]-[0020], fig. 1, 2	4, 5, 7-10	A	entire text, all drawings	1-3, 6, 11	Y	JP 2006-13273 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0004], [0005], fig. 9	10	A	entire text, all drawings	1-9, 11	X	JP 2013-179261 A (AISIN AW CO., LTD.) 09 September 2013 (2013-09-09) paragraphs [0001]-[0070], fig. 1-3, 7	1, 2, 11	A	entire text, all drawings	3-10
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																														
X	WO 2018/186353 A1 (ROHM CO., LTD.) 11 October 2018 (2018-10-11) paragraphs [0001]-[0228], fig. 3, 5, 26	1-3, 11																														
Y	paragraphs [0001]-[0228], fig. 3, 5, 26	4, 5, 7-10																														
A	entire text, all drawings	6																														
Y	WO 2016/006065 A1 (MITSUBISHI ELECTRIC CORP.) 14 January 2016 (2016-01-14) paragraphs [0017]-[0020], fig. 1, 2	4, 5, 7-10																														
A	entire text, all drawings	1-3, 6, 11																														
Y	JP 2006-13273 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0004], [0005], fig. 9	10																														
A	entire text, all drawings	1-9, 11																														
X	JP 2013-179261 A (AISIN AW CO., LTD.) 09 September 2013 (2013-09-09) paragraphs [0001]-[0070], fig. 1-3, 7	1, 2, 11																														
A	entire text, all drawings	3-10																														
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																																
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																																
Date of the actual completion of the international search 12 January 2022		Date of mailing of the international search report 25 January 2022																														
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.																														

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/039425

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-307366 A (DENSO CORP.) 28 November 1997 (1997-11-28) entire text, all drawings	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/039425

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2018/186353	A1	11 October 2018	US 2020/0035656 A1 paragraphs [0001]-[0287], fig. 3, 5, 26	
WO	2016/006065	A1	14 January 2016	US 2017/0170096 A1 paragraphs [0025]-[0028], fig. 1, 2	
JP	2006-13273	A	12 January 2006	(Family: none)	
JP	2013-179261	A	09 September 2013	US 2014/0264519 A1 paragraphs [0001]-[0082], fig. 1-3, 7	
JP	9-307366	A	28 November 1997	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/13(2006.01)i; H01L 25/00(2006.01)i FI: H01L25/00 B; H01L23/12 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/13; H01L25/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/186353 A1（ローム株式会社）11.10.2018（2018-10-11） [0001]-[0228], 図3, 5, 26	1-3, 11
Y	[0001]-[0228], 図3, 5, 26	4, 5, 7-10
A	全文, 全図	6
Y	WO 2016/006065 A1（三菱電機株式会社）14.01.2016（2016-01-14） [0017]-[0020], 図1, 2	4, 5, 7-10
A	全文, 全図	1-3, 6, 11
Y	JP 2006-13273 A（富士電機デバイステクノロジー株式会社）12.01.2006（2006-01-12） [0004], [0005], 図9	10
A	全文, 全図	1-9, 11
X	JP 2013-179261 A（アイシン・エイ・ダブリュ株式会社）09.09.2013（2013-09-09） [0001]-[0070], 図1-3, 7	1, 2, 11
A	全文, 全図	3-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.01.2022		国際調査報告の発送日 25.01.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 庄司 一隆 5F 1215 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-307366 A (株式会社デンソー) 28.11.1997 (1997 - 11 - 28) 全文, 全図	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/039425

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/186353	A1	11.10.2018	US 2020/0035656 A1 [0001]-[0287], 図3, 5, 26	
WO	2016/006065	A1	14.01.2016	US 2017/0170096 A1 [0025]-[0028], 図1, 2	
JP	2006-13273	A	12.01.2006	(ファミリーなし)	
JP	2013-179261	A	09.09.2013	US 2014/0264519 A1 [0001]-[0082], 図1-3, 7	
JP	9-307366	A	28.11.1997	(ファミリーなし)	