

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 21/335

(45) 공고일자 2005년06월23일  
(11) 등록번호 10-0496891  
(24) 등록일자 2005년06월14일

(21) 출원번호 10-2003-0056636  
(22) 출원일자 2003년08월14일

(65) 공개번호 10-2005-0017584  
(43) 공개일자 2005년02월22일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이덕형  
경기도용인시수지구읍풍덕천리1112번지신정마을805동503호  
이병찬  
경기도용인시수지구읍상현리만현마을10단지현대I-Park1009동1202호  
최시영  
경기도성남시분당구서현동92번지현대아파트419동903호  
김택중  
서울특별시관악구신림2동103번지126호  
손용훈  
경기도용인시수지구읍죽전리벽산아파트301동801호  
정인수  
경기도수원시팔달구우만동47-1202호  
(74) 대리인 임창현  
권혁수

심사관 : 정회환

(54) 핀 전계효과 트랜지스터를 위한 실리콘 핀 및 그 제조 방법

요약

본 발명의 핀 전계효과 트랜지스터를 위한 실리콘 핀 형성 방법은 이 단계 식각 공정을 통해서 채널이 형성되는 실리콘 핀을 한정하는 트렌치의 측벽은 수직하게 형성하고, 소자 분리 영역을 한정하는 트렌치의 측벽은 경사지게 형성한다. 이에 따라 채널이 형성되는 실리콘 핀의 폭은 일정하게 형성되며 소자 분리를 위한 트렌치 측벽은 경사지게 형성되어 소자 특성을 향상시키는 한편 소자 분리 영역의 하부 모서리에서의 누설 전류를 최소화 할 수 있다.

대표도

도 2a

색인어

핀 전계효과 트랜지스터, 소자 분리, 트렌치

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 단면도이다.

도 1b는 종래 다른 기술에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 단면도이다.

도 2a 내지 도 2d는 본 발명의 여러 실시예들에 따른, 상부 실리콘 핀의 폭은 일정하며 하부 실리콘 핀의 폭은 아래로 갈수록 넓어지는 이중 실리콘 핀을 구비한 핀 전계 효과 트랜지스터를 개략적으로 도시하는 사시도로서, 상부 실리콘 핀의 하부 폭이 하부 실리콘 핀의 상부 폭과 실질적으로 동일한 이중 실리콘 핀을 구비한 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다.

도 2e 내지 도 2h는 도 2a 내지 도 2d에서 상부 실리콘 핀이 마스크 패턴을 구비한 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다.

도 3a 내지 도 3d는 본 발명의 여러 실시예들에 따른, 상부 실리콘 핀의 폭은 일정하며 하부 실리콘 핀의 폭은 아래로 갈수록 넓어지는 이중 실리콘 핀을 구비한 핀 전계 효과 트랜지스터를 개략적으로 도시하는 사시도로서, 상부 실리콘 핀의 하부 폭보다 하부 실리콘 핀의 상부 폭이 실질적으로 더 넓은 이중 실리콘 핀을 구비한 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다.

도 3e 내지 도 3h는 도 3a 내지 도 3d에서 상부 실리콘 핀이 마스크 패턴을 구비한 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 도 2a 내지 도 2d의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 도 3a 내지 도 3d의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 도 2e 내지 도 2h의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 7a 내지 도 7c는 본 발명의 다른 실시예에 따른 도 3e 내지 도 3h의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 8a 내지 도 8c는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2a에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 9a 내지 도 9c는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2e에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 10a 내지 도 10c는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2b에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 11a 내지 도 11c는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2f에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 12a 내지 도 12d는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2c에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 13a 내지 도 13d는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2g에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 14a 내지 도 14b는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2d에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 15a 내지 도 15b는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2h에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 16a 내지 도 16c는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3a에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 17a 내지 도 17c는 도 7a 내지 도 7c 후속하는 공정들로서, 도 3e에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 18a 내지 도 18c는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3b에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도 19a 내지 도 19c는 도 7a 내지 도 7c에 후속하는 공정들로서, 도 3f에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다.

도 20a 내지 도 20d는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3c에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다.

도 21a 내지 도 21d는 도 7a 내지 도 7c에 후속하는 공정들로서, 도 3g에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다.

도 22a 내지 도 22b는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3d에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다.

도 23a 내지 도 23b는 도 7a 내지 도 7c에 후속하는 공정들로서, 도 3h에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다.

다음 도 24a 내지 도 24e를 참조하여 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터 형성 방법을 설명하기 위한 반도체 기관의 단면도들이다.

\* 도면의 주요 부분에 대한 부호의 설명

101 : 기관 103 : 열산화막

105, 104 : 질화막 102 : 기상증착 산화막

106, 107 : 마스크 패턴 109 : 상부 실리콘 핀

111 : 상부 트렌치 112 : 버퍼 산화막

113a : 폴리머 113b : 스페이서

115 : 하부 실리콘 핀 117 : 하부 트렌치

119 : 라이너 질화막 121 : 하부 트렌치 매립 절연막

122 : 라이너 산화막 123 : 게이트 산화막

125 : 게이트 전극 127 : 트렌치 매립 절연막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 핀 전계효과 트랜지스터 및 그 형성 방법에 관한 것이다.

반도체 소자, 특히 평면형 전계효과 트랜지스터(planar field effect transistor)가 고성능, 고속도, 저소비 전력화 및 경제적 관점 등에서 지속적으로 고집적화 됨에 따라 트랜지스터 특성을 열화시키는 여러 문제점들이 발생하고 있다. 예컨대, 전계효과 트랜지스터의 채널 길이가 점점 짧아짐에 따라 발생하는 펀치스루(punch-through), 드레인 기인 배리어 강하(DIBL: Drain Induced Barrier Lowering), 문턱 아래 변동(subthreshold swing) 등의 짧은 채널 효과(short channel effect), 접합 영역 및 기관 사이의 기생 커패시턴스(접합 커패시턴스) 증가, 누설 전류 증가 등의 문제가 발생되고 있다.

이와 같은 문제점들을 완화시키기 위해 다양한 시도가 이루어지고 있다. 예컨대, 완전공핍 에스오아이(FDSOI: Fully Depleted Silicon On Insulator) 기술, 이중 게이트(dual gate) 기술, 핀 전계효과 트랜지스터(FinFET) 기술 등이 소개되고 있다. 완전공핍 에스오아이 기술은 에스오아이의 실리콘층 두께를 아주 얇게 하여 활성 영역을 완전히 공핍화한다. 이러한 경우, 문턱 아래 변동 값이 작아져 게이트 제어가 용이하게 되고, 그에 따라 DIBL, 짧은 채널 효과가 저감되는 효과가 있다. 하지만, 완전공핍 에스오아이 기술은 제조비용이 매우 높고 부유바디 효과(floating body effect) 및 소자 동작 중에 발생한 열이 축적되는 문제가 있다.

한편, 이중 게이트 기술은 누설 전류는 감소되지만 공정이 매우 복잡한 단점을 가지고 있다. 특히 상부 게이트 및 하부 게이트 사이의 정렬이 어렵다. 특히 상하부 게이트 사이에 오정렬이 일어날 경우, 소자 성능 변이(performance variation)가 심하고, 기생 커패시턴스가 증가하며 고집적화에 어려움이 있다.

이에 반해 핀 전계효과 트랜지스터 기술은 실리콘 핀의 양측면을 채널로 사용하기 때문에 면적 증가 없이 핀의 높이를 증가시켜 전류 특성을 향상시킬 수 있고 공정이 단순하고 제조 비용이 작은 장점이 있다.

종래 핀 전계효과 트랜지스터 기술은 반도체 기판을 식각하여 실리콘 핀을 형성하고 인접한 실리콘 핀들을 전기적으로 격리시키기 위해서 실리콘 핀들 사이의 공간(트렌치)에 소자 분리 절연물질 매립한 후 실리콘 핀의 측벽을 노출시키기 위해 소자 분리 절연물질의 일부분을 제거하는 것을 포함한다.

이 같은 종래 핀 전계효과 트랜지스터 기술의 일 예가 미국 특허출원 공개 번호 2002/0011612호에 개시되어 있으며, 도 1a는 그에 따른 핀 전계효과 트랜지스터를 개략적으로 도시한다. 도 1a에서 참조번호 10은 기판을, 참조번호 11은 웰을, 참조번호 12는 채널 정지 영역을, 참조번호 15는 채널 영역을, 참조번호 18a 및 18b는 게이트 절연막을, 참조번호 14는 소자 분리 영역을, 참조번호 16은 게이트 전극을 각각 가리킨다.

도 1a를 참조하면, 트렌치 하부를 채우는 소자 분리 영역(14)의 바닥 모서리 부분(트렌치 바닥 모서리 부분)(점선으로 표시된 원 참조)이 직각을 이룬다. 즉, 소자 분리를 위한 트렌치의 측벽 및 바닥이 수직을 이루고 결국 그곳을 채우는 소자 분리 영역(14)의 바닥 모서리 역시 직각 프로파일을 가진다. 이는 실리콘 핀(15)의 폭을 일정하게 하기 위해 기판을 수직으로 식각하여 수직의 측벽을 가지는 트렌치를 형성하였기 때문이다. 하지만 이와 같은 트렌치 바닥 모서리 부분의 프로파일은 그곳에서의 누설 전류를 증가시키는 요인으로 작용한다.

또, 미합중국 특허등록 제5,844,278호에도 핀 전계효과 트랜지스터가 개시되어 있으며, 도 1b에 개략적으로 도시되어 있다. 도 1b에서 참조번호 1은 기판을, 참조번호 8을 실리콘산화막을, 참조번호 14는 게이트 절연막인 열산화막을, 참조번호 9는 소자 분리 영역을, 참조번호 15는 게이트 전극을 가리킨다. 도 1a와 유사하게, 본 종래 기술에 따른 핀 전계효과 트랜지스터 형성 방법에 따르면 실리콘 핀의 폭을 일정하게 하기 위해 기판이 수직으로 식각되어 수직의 측벽을 가지는 트렌치가 형성된 후 트렌치가 절연물질로 채워지고 이의 일부분이 제거되어 실리콘 핀의 측벽이 노출되고 소자 분리 영역이 형성된다. 따라서 소자 분리 영역의 하부 모서리 부분이 수직 프로파일을 나타낸다.

**발명이 이루고자 하는 기술적 과제**

전술한 종래 핀 전계효과 트랜지스터 기술들에 따르면 실리콘 핀 및 소자 분리 트렌치가 한 번의 식각 공정으로 동시에 형성된다. 예컨대, 도 1a 및 도 1b에서와 같이, 기판을 수직으로 식각하면 실리콘 핀의 폭은 일정하지만, 그에 따라 트렌치 바닥 및 측벽이 이루는 각은 직각이 된다. 따라서, 누설 전류 감소를 위해서 기판을 경사지게 식각하면 트렌치 측벽은 경사지게 되고 이에 따라 트렌치 바닥 및 그 측벽이 이루는 각은 둔각이 된다. 하지만, 이 경우 실리콘 핀의 폭이 트렌치 하부로 갈수록 넓어지게 되고(핀의 폭이 일정하지 않게 되고) 소자 특성이 불량해 진다.

즉, 이 같은 종래 기술들에 따르면, 누설 전류가 적은 소자 분리 특성을 만족시키면서 동시에 폭이 일정한 실리콘 핀을 형성할 수가 없다.

왜냐하면, 전술한 바와 같이 소자 분리 영역의 바닥 모서리 부분에서의 누설 전류를 방지하기 위해서는, 소자 분리 트렌치의 바닥 및 측벽이 이루는 각은 둔각이 되어야 한다. 뿐만 아니라 트렌치 절연물질이 트렌치를 잘 채우도록 하기 위해서는 트렌치 하부로 갈수록 트렌치 폭이 좁아지는 것이 바람직하다. 하지만 이 경우, 실리콘 핀의 폭이 일정하지 않게 된다. 실리콘 핀의 폭이 일정치 않으면, 게이트 전극에 인가된 전압이 실리콘 핀 내부에 불균일하게 형성되고 이에 따라 실리콘 핀의 폭에 따라 문턱 전압, 문턱 아래 변동, 전류 밀도 등이 변하게 된다.

반면, 실리콘 핀의 폭을 일정하게 하기 위해 소자 분리 트렌치 측벽이 수직하게 형성되면, 트렌치 바닥 및 그 측벽이 이루는 각이 직각이 되고 이에 따라 트렌치 바닥 모서리 부분에 전기장이 집중하여 누설 전류가 증가하게 된다(이른바 "모서리 효과(corner effect)").

결국 종래 기술에 따르면 실리콘 핀의 특성 및 소자 분리 영역의 특성을 동시에 만족시킬 수가 없게 된다. 실리콘 핀의 폭이 일정하면 소자 분리 특성이 불량해 지고, 소자 분리 특성이 양호해 지면 실리콘 핀의 폭이 일정하지 않게 된다.

또한, 기판이 식각되어 실리콘 핀이 형성된 후 소자 분리를 위해서 기판이 계속해서 식각되기 때문에, 이미 형성된 실리콘 핀의 측벽이 손상을 받게 된다.

이에 본 발명이 이루고자 하는 기술적 과제는 채널로 사용되는 실리콘 핀의 폭은 일정하면서도 소자 분리 특성은 우수한 핀 전계효과 트랜지스터를 위한 실리콘 핀 및 그 형성 방법을 제공하는 것이다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 핀 전계효과 트랜지스터를 위한 실리콘 핀은 이중 실리콘 핀 구조를 나타낸다. 하부 실리콘 핀은 위로 갈수록 폭이 감소하며, 상부 실리콘 핀은 하부 실리콘 핀의 상부에서 연속하며 그 폭이 일정하다.

바람직하게, 하부 실리콘 핀의 바닥 모서리는 곡선 프로파일을 가진다.

상부 실리콘 핀의 표면이 채널 영역으로 사용되며, 하부 실리콘 핀은 소자분리 절연막으로 둘러싸인다. 게이트 절연막이 상부 실리콘의 표면에 형성되고 게이트 전극이 게이트 절연막 상에 형성된다.

일 실시예에 있어서, 상기 이중 실리콘 핀은 상기 상부 실리콘 핀의 상부 표면에 형성된 마스크 패턴을 더 포함할 수 있다. 이 경우, 상부 실리콘 핀의 측벽들이 채널 영역으로 사용된다.

일 실시예에 있어서, 상기 상부 실리콘 핀의 하부 폭은 상기 하부 실리콘 핀의 상부의 폭보다 더 좁을 수 있다. 즉, 상부 실리콘 핀 및 하부 실리콘 핀이 단차를 나타낼 수 있다.

일 실시예에 있어서, 상기 하부 실리콘 핀 및 소자 분리 절연막과의 사이에 개재된 질화막 라이너를 더 포함할 수 있다. 이때, 상기 소자 분리 절연막은 상기 상부 실리콘 핀의 상부 표면까지 연장할 수 있으며, 상기 상부 실리콘 핀의 측벽으로부터 적어도 상기 질화막 라이너 두께만큼 이격된다.

일 실시예에 있어서, 상기 하부 실리콘 핀과 상기 소자 분리 절연막과의 사이에 개재된 산화막 라이너 및 질화막 라이너를 더 포함할 수 있다. 이때, 상기 소자 분리 절연막은 상기 질화막 라이너 상에 형성되고 상기 마스크 패턴의 상부 표면까지 연장하되, 상기 상부 실리콘 핀의 측벽들로부터 적어도 상기 산화막 라이너 및 질화막 라이너 두께를 합한 두께만큼 이격된다.

일 실시예에 있어서, 상기 소자 분리 절연막은 상기 하부 실리콘 핀의 하부 측벽을 둘러싸는 하부 절연막을 포함하고, 상기 하부 절연막에 의해 노출된 상기 하부 실리콘 핀의 상부 측벽을 덮도록 상기 하부 절연막 상에 형성된 질화막 라이너를 포함한다.

이에 더하여, 상기 질화막 라이너 상에 형성되고 상기 상부 실리콘 핀의 측벽들로부터 적어도 상기 질화막 라이너 두께만큼 이격된 상부 절연막을 더 포함할 수 있다. 여기서, 상기 상부 실리콘 핀이 그 상부 표면에 마스크 패턴을 더 포함할 경우, 상기 하부 절연막 및 그것에 의해 노출된 하부 실리콘 핀의 하부 측벽과 상기 질화막 라이너와의 사이에 개재된 산화막 라이너를 더 포함할 수 있다. 이에 더하여 상기 질화막 라이너 상에 형성되며 상기 상부 실리콘 핀의 측벽들로부터 적어도 상기 질화막 라이너 및 산화막 라이너의 두께를 합한 두께만큼 이격된 상부 절연막을 더 포함할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법은 채널을 제공하는 상부 실리콘 핀은 폭이 일정하게 형성하고, 소자 분리 영역에 의해 덮여지는 하부 실리콘 핀은 그 폭이 아래로 갈수록 증가하도록 형성하는 것에 특징이 있다. 바람직하게는 하부 실리콘 핀의 바닥 모서리가 곡선 프로파일을 가지도록 형성한다.

즉, 채널을 제공하는 상부 실리콘 핀의 측벽은 수직하게 형성하고, 소자 분리 영역에 의해 덮여지는 하부 실리콘 핀은 그 측벽이 경사지게 형성한다. 즉, 상부 실리콘 핀을 한정하는 상부 트렌치는 수직 측벽을 가지도록 하고, 하부 실리콘 핀을 한정하는 하부 트렌치는 경사진 측벽을 가지도록 기판을 식각한다.

구체적으로 기판 상에 마스크 패턴을 형성한 후 이를 식각 마스크로 사용하여 노출된 기판을 수직하게 식각하여 상부 실리콘 핀을 형성한다. 이어서 기판을 경사지게 식각하여 상부 실리콘 핀에 연속하며 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성한다.

상기 상부 실리콘 핀을 형성한 후 하부 실리콘 핀 형성을 위한 식각 공정에서 폴리머가 상부 실리콘 핀의 측벽에 쌓이도록 하여 그 측벽을 보호하는 것이 바람직하다.

또는, 상기 상부 실리콘 핀을 형성한 후 측벽에 스페이서를 형성하여 후속 하부 실리콘 핀 형성을 위한 식각 공정에서 이미 형성된 상부 실리콘 핀의 측벽을 식각으로부터 보호하는 것이 바람직하다.

상기 상부 실리콘 핀 및 하부 실리콘 핀을 형성한 후 소자 분리를 위해서 하부 실리콘 핀을 덮는 절연막을 형성한다.

상기 상부 실리콘 핀들을 형성한 후 상기 스페이서를 형성하기 전에, 화학적 기상증착 버퍼 산화막을 형성하는 것이 바람직하다. 이는 상기 스페이서가 제거될 때, 화학적 기상증착 버퍼 산화막이 상부 실리콘 핀의 측벽을 보호할 수 있기 때문이다.

상기 하부 트렌치를 절연물질로 채우기 전에 상기 마스크 패턴이 제거되어 상부 실리콘 핀들의 상부가 노출될 수 있다.

또는 상기 마스크 패턴의 일부만이 제거될 수 있다. 마스크 패턴의 일부 제거, 스페이서의 제거 및 화학기상 증착 버퍼 산화막의 제거는 이들이 어떠한 물질로 형성되는 지에 따라서 다양한 방법을 통해서 이루어질 수 있다.

일 실시예에 있어서, 상기 마스크 패턴은 상기 기판 상에 차례로 형성된 하부 열 산화막, 하부 질화막, 상부 기상증착 산화막 및 상부 질화막으로 이루어지고, 상기 스페이서는 질화막으로 이루어질 수 있다. 이 경우, 상기 하부 실리콘 핀을 형성한 후, 상기 질화막으로 이루어진 스페이서 및 상부 질화막이 동시에 제거되고, 이어서 상기 기상증착 버퍼 산화막 및 상부 기상증착 산화막이 동시에 제거된다. 이로 인해 상부 실리콘 핀 상에는 하부 열산화막 및 하부 질화막이 잔존한다.

일 실시예에 있어서, 상기 마스크 패턴은 상기 기판 상에 차례로 형성된 하부 열산화막, 질화막 및 상부 기상증착 산화막으로 이루어지고, 상기 스페이서는 산화막으로 이루어질 수 있다. 이 경우, 상기 하부 실리콘 핀을 형성한 후, 상기 산화막으로 이루어진 스페이서 및 상부 기상증착 산화막이 동시에 제거된다. 이로 인해, 상부 실리콘 핀 상에는 하부 열 산화막 및 질화막이 잔존한다.

일 실시예에 있어서, 상기 마스크 패턴은 상기 기판 상에 차례로 형성된 열 산화막 및 질화막으로 이루어지고, 상기 스페이서는 질화막으로 이루어질 수 있다. 이 경우, 상기 하부 실리콘 핀을 형성한 후, 상기 질화막으로 이루어진 스페이서 및 상기 마스크 패턴을 구성하는 질화막이 동시에 제거된다. 이로 인해 상부 실리콘 핀 상에는 열산화막이 잔존한다.

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 핀 전계효과 트랜지스터 형성 방법은, 기판 상에 마스크 패턴을 형성하고, 상기 마스크 패턴에 의해 노출된 기판을 수직식각하여 폭이 일정한 상부 실리콘 핀을 형성하고, 노출된 기판을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성하고, 상기 하부 실리콘 핀을 감싸도록 절연막을 형성하고, 노출된 상부 실리콘 핀 표면 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극을 형성하는 것을 포함한다.

일 실시예에 있어서, 상기 상부 실리콘 핀을 형성한 후, 상기 마스크 패턴 및 상부 실리콘 핀의 측벽들에 스페이서를 형성하는 것을 더 포함할 수 있다. 이때, 상기 하부 실리콘 핀을 형성한 후 상기 절연막을 형성하기 전에 상기 스페이서는 제거된다. 또한, 상기 스페이서를 형성하기 전에 버퍼 산화막 라이너를 형성하는 것을 더 포함할 수 있다. 이때, 상기 스페이서를 제거한 후 상기 버퍼 산화막 라이너가 제거된다.

일 실시예에 있어서, 상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴, 상부 실리콘 핀 및 하부 실리콘 상에 질화막 라이너를 형성하는 것을 더 포함할 수 있다. 이때, 상기 절연막을 형성하는 것은, 상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 질화막 라이너 상에 절연물질을 형성하고, 상기 질화막 라이너가 노출될 때까지 상기 절연물질을 평탄화 식각하고, 상기 평탄화 식각된 절연물질을 에치백 하는 것을 포함하여 이루어진다. 또 상기 절연물질을 에치백 한 후, 상기 상부 실리콘 핀의 측벽들이 노출되도록 노출된 질화막 라이너가 제거된다.

일 실시예에 있어서, 상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴, 상부 실리콘 핀 및 하부 실리콘 상에 절연막 라이너를 형성하는 것을 더 포함한다. 이때, 상기 절연막을 형성하는 것은, 상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 절연막 라이너 상에 절연물질을 형성하고, 상기 절연막 라이너가 노출될 때까지 상기 절연물질을 평탄화 식각하는 것을 포함하여 이루어진다. 또, 상기 절연물질을 평탄화 식각한 후, 상기 상부 실리콘 핀의 측벽들이 노출되도록 노출된 절연막 라이너의 일부를 제거한다. 여기서, 상기 절연막 라이너를 형성하는 것은 산화막 라이너 및 질화막 라이너를 순차적으로 형성하는 것을 포함하여 이루어지는 것이 바람직하다. 또, 상기 절연막 라이너의 일부를 제거하는 것은 상기 질화막 라이너의 일부를 제거하고, 노출된 산화막 라이너의 일부를 제거하는 것을 포함하여 이루어진다. 질화막 라이너가 제거될 때, 산화막 라이너가 마스크 패턴이 식각되는 것을 방지한다.

일 실시예에 있어서, 상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴을 제거하는 것을 더 포함할 수 있다. 이 경우, 채널이 상부 실리콘 핀의 양측벽 뿐 아니라 상부에도 형성된다.

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 핀 전계효과 트랜지스터 형성 방법은 기판 상에 마스크 패턴을 형성하고, 상기 마스크 패턴에 의해 노출된 기판을 수직식각하여 폭이 일정한 상부 실리콘 핀을 형성하고, 노출된 기판을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성하고, 상기 하부 실리콘 핀의 하부 측벽을 감싸도록 하부 절연막을 형성하고, 상기 마스크 패턴, 상부 실리콘 핀, 그리고 하부 실리콘 핀의 상부 측벽 상에 절연막 라이너를 형성하고, 상기 절연막 라이너 상에 상기 하부 실리콘 핀의 상부 측벽 및 상기 상부 실리콘 핀의 측벽을 감싸도록 상부 절연막을 형성하고, 상기 상부 실리콘 핀의 측벽이 노출되도록 상기 절연막 라이너의 일부분을 제거하고, 노출된 상부 실리콘 핀 표면 상기 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극을 형성하는 것을 포함한다.

일 실시예에 있어서, 상기 상부 실리콘 핀을 형성한 후, 상기 마스크 패턴 및 상부 실리콘 핀의 측벽에 스페이서를 형성하는 것을 더 포함할 수 있다. 이때, 상기 하부 실리콘 핀을 형성한 후 상기 하부 절연막을 형성하기 전에 상기 스페이서가 제거된다. 또한, 상기 스페이서를 형성하기 전에 버퍼 산화막 라이너를 형성하는 것을 더 포함할 수 있다. 이 경우, 상기 스페이서를 제거한 후 상기 버퍼 산화막 라이너가 제거된다.

일 실시예에 있어서, 상기 절연막 라이너의 일부를 제거한 후 상기 상부 절연막을 제거하는 것을 더 포함할 수 있다.

일 실시예에 있어서, 상기 절연막 라이너를 형성하는 것은 산화막 라이너 및 질화막 라이너를 순차적으로 형성하는 것을 포함한다. 이때, 상기 절연막 라이너의 일부를 제거하는 것은, 먼저 상기 질화막 라이너의 일부를 제거하고, 이어서 노출된 산화막 라이너를 제거하는 것을 포함한다.

일 실시예에 있어서, 상기 하부 실리콘 핀을 형성한 후 상기 마스크 패턴을 제거하는 것을 더 포함할 수 있다. 이 경우, 채널이 상부 실리콘 핀의 양측벽 뿐 아니라 상부에도 형성된다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 여기서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 도면들에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다.

본 명세서에서 '라이너(liner)'는 어떤 막질이 그 하부 구조에 의한 윤곽을 따라 균일한 두께로 형성되거나 또는 균일한 두께로 형성되어 있는 것을 의미한다.

도 2a 내지 도 2h 및 3a 내지 도 3h는 본 발명의 실시예들에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 발명은 핀 전계효과 트랜지스터를 위해서 이중 실리콘 핀(109, 115 (또는 115')) 구조를 사용한다. 상부 실리콘 핀(109)은 그 폭이 일정하며 하부 실리콘 핀(115)(또는 115')은 상부 실리콘 핀(109)에 연속하여 그 폭이 하부로 갈수록



증가한다. 하부 실리콘 핀(115)(또는 115')의 측벽은 절연막으로 덮여지며 상부 실리콘 핀(109)의 측벽 또는 측벽 및 상부 표면이 채널 영역을 제공한다. 하부 실리콘 핀(115)(또는 115')의 바닥 모서리(bottom corner)는 바람직하게는 곡선 프로파일을 가진다.

도 2a 내지 도 2h는 상부 실리콘 핀(109)의 하부 폭이 하부 실리콘 핀(115)의 상부 폭과 동일한 경우이고, 도 3a 내지 도 3h는 상부 실리콘 핀(109)이 하부 실리콘 핀(115')의 상부 폭보다 좁은 경우로서, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115')이 단차(step)를 형성한다. 또, 도 2a 내지 도 2d 및 도 3a 내지 도 3d는 상부 실리콘 핀(109)의 양측벽 뿐 아니라 상부 표면도 채널 영역으로 사용되는 경우이고, 도 2e 내지 도 2h 및 도 3e 내지 도 3h는 상부 실리콘(109) 상부에 마스크 패턴(107)이 있어 상부 실리콘 핀(109)의 양측벽이 채널 영역으로 사용되는 경우이다.

먼저 상부 실리콘 핀(109) 상에 마스크 패턴이 없는 경우, 즉, 상부 실리콘 핀(109)의 상부 표면도 채널 영역으로 사용되는 구조에 대해서 설명을 한다.

구체적으로, 먼저 도 2a를 참조하여 본 발명의 일 실시예에 따른 핀 전계효과 트랜지스터는 이중 실리콘 핀(115, 109)을 구비한 기판(101)을 포함한다. 상부 실리콘 핀(109)은 그 폭이 일정하다( $\angle \alpha = 90^\circ$ ). 따라서, 소자 동작시 채널 영역으로 작용하는 상부 실리콘 핀(109) 내부에 균일한 전기장이 형성되어 소자의 신뢰성을 확보할 수 있다. 이에 반해, 하부 실리콘 핀(115)은 상부 실리콘 핀(109)에 연속하며 그 폭이 아래로 갈수록 점차 증가하여 하부 모서리에서 이루는 각이 된다( $\beta < 90^\circ$ ). 바람직하게 하부 실리콘 핀(115)의 바닥 모서리는 곡선 프로파일을 가진다. 하부 실리콘 핀(115)을 덮도록, 더 상세하게는 하부 실리콘 핀(115)의 측벽을 감싸도록 하부 트렌치 매립 절연막(121a)이 형성되어 있다. 하부 실리콘 핀(115)은 하부 트렌치 매립 절연막(121a)에 의해서 둘러싸이기 때문에 채널 영역으로 작용하지 않는다. 또, 하부 트렌치 매립 절연막(121a)과 하부 실리콘 핀(115) 사이에 질화막 라이너(119a)가 더 개재할 수 있다. 즉, 하부 실리콘 핀(115)의 측벽에 대응하는 하부 트렌치의 측벽 및 바닥과 하부 트렌치 매립 절연막(121a) 사이에 질화막 라이너(119a)가 더 개재할 수 있다. 질화막 라이너(119a)는 하부 실리콘 핀(115)의 산화를 방지하는 기능을 하기도 한다. 하부 트렌치 매립 절연막(121a)은 인접한 실리콘 핀들을 서로 전기적으로 격리시키는 소자 분리 영역으로서의 역할을 한다. 하부 실리콘 핀(115)의 폭이 아래로 갈수록 증가하기 때문에, 하부 트렌치 매립 절연막(121a)의 바닥 및 그 측벽이 이루는 각( $\gamma$ )은 둔각( $\angle \gamma > 90^\circ$ )이다. 바람직하게 하부 트렌치 매립 절연막(121a)의 바닥 모서리는 곡선 프로파일을 가진다. 예컨대,  $\angle \gamma$ 는 약  $93^\circ$ 에서 약  $110^\circ$ 의 범위를 가질 수 있다. 따라서, 소자 분리 영역 바닥 모서리에서의 누설 전류를 최소화 할 수 있어 소자 분리 특성이 양호해진다. 노출된 상부 실리콘 핀(109)(상부 표면 및 양측벽)을 가로질러 게이트 전극(125)이 지나간다. 또한 게이트 전극(125)은 하부 트렌치 매립 절연막(121a)을 지나간다. 게이트 전극(125) 및 상부 실리콘 핀(109) 사이에는 게이트 절연막(123)이 개재한다. 따라서, 상부 실리콘 핀(109) 양측벽 및 그 상부 표면이 채널 영역이 된다. 게이트 전극(125) 양측의 실리콘 핀(109)에 불순물 확산영역인 소오스/드레인 영역이 형성되어 있다. 비록 도시하지는 않았지만, 질화막 라이너(119a) 아래에 열산화막이 더 개재할 수 있다.

예컨대, 하부 트렌치 매립 절연막(121a)은 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막으로 형성될 수 있다. 또한 잘 알려진 기상증착 산화막으로 형성될 수도 있다.

도 3a는 본 발명의 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 도 3a에 도시된 핀 전계효과 트랜지스터는, 도 2a와 달리, 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2a의 구조와 실질적으로 동일하다. 따라서 도 3a의 핀 전계효과 트랜지스터에 있어서, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115') 사이에 단차 영역(도 5c의 114 참조)이 형성된다. 즉, 단차 영역(114)은 하부 실리콘 핀(115')의 노출된 상부 표면에 대응한다. 하부 트렌치 매립 절연막(121a)은 하부 실리콘 핀(115')을, 더 상세하게는 하부 실리콘 핀(115')의 측벽 및 노출된 상부 표면(단차 영역)을, 덮는다.

도 2b는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 도 2b에 도시된 핀 전계효과 트랜지스터에서 실리콘 핀의 구조는 앞서 설명한 실시예의 것들과 동일하다. 기판(101)은 하부의 폭이 상부의 폭보다 넓은 하부 실리콘 핀(115) 및 폭이 일정한 상부 실리콘 핀(109)을 포함한다. 질화막 라이너(119a)가 하부 실리콘 핀(115)의 측벽을 덮는다. 바람직하게는 질화막 라이너(119a)는 하부 실리콘 핀(109)의 측벽에서 연장하여 상부 실리콘 핀(109)의 측벽 일부도 덮는다. 본 실시예의 질화막 라이너(119a)는 도 2a에 도시된 질화막 라이너보다 더 두껍다. 트렌치 매립 절연막(127)이 질화막 라이너(119a) 상에 형성되어 있다. 여기서, 트렌치 매립 절연막(127)은 상부 실리콘 핀(109)과의 사이에 공간 영역(도 10b의 120 참조)이 정의되도록 라이너 질화막(119a) 상에 형성되어 있다. 즉, 트렌치 매립 절연막(127)은 하부 실리콘 핀(115) 및 상부 실리콘 핀(109)을 둘러싸되, 하부 실리콘 핀(115)과의 사이에는 질화막 라이너(119a)가 개재하고, 상부 실리콘 핀(109)과의 사이에는 공간 영역(도 10b의 120 참조)이 정의된다. 공간 영역의 폭은 적어도 질화막 라이너(119a)의 두께보다 크다. 게이트 전극(125)이 노출된 상부 실리콘 핀(109)(상부 표면 및 양측벽), 트렌치 매립 절연막(127) 및 이들 사이의 공간 영역(120)을 지나간다. 게이트 전극(125)의 일부가 상부 실리콘 핀(109) 및 트렌치 매립 절연막(127) 사이에 정의된 공간 영역(120)으로 확장하여 노출된 질화막 라이너(121a)에 다다른다. 게이트 절연막(123)이 게이트 전극(125)과 상부 실리콘 핀(109) 사이에 개재한다.

도 3b는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도로서, 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2b의 구조와 실질적으로 동일하다. 폭이 일정한 상부 실리콘 핀(109) 및 폭이 아래로 갈수록 증가하는 하부 실리콘 핀(115')이 만나는 부분에 단차 영역이 형성된다. 단차 영역은 하부 실리콘 핀(115')의 상부 표면이 대응하며, 이는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 넓기 때문이다. 질화막 라이너(119a)가 하부 실리콘 핀(115')의 측벽 및 상부 표면(단차 영역)에 형성되어 있다. 상부 실리콘 핀(109)과의 사이에 공간 영역이 정의되도록 트렌치 매립 절연막(127)이 질화막 라이너(119a) 상에 형성되어 있다.

도 2c는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 실시예의 핀 전계효과 트랜지스터는 도 2a를 참조하여 설명한 핀 전계효과 트랜지스터와 동일한 실리콘 핀 구조를 가진다. 즉, 채널 영역을 제공하는 상부 실리콘 핀(109)은 일정한 폭을 가지며 하부 실리콘 핀(115)은 그 폭이 아래로 갈수록 점차 증가한다.

하부 트렌치 매립 절연막(121a)이 하부 실리콘 핀의 일부분(하부 실리콘 핀의 측벽 일부분, 즉 하부 측벽)을 덮는다. 하부 트렌치 매립 절연막(121a) 상에 질화막 라이너(119a) 및 상부 트렌치 매립 절연막(127)이 형성되어 있다. 본 실시예의 질

화막 라이너(119a)는 도 2a에 도시된 질화막 라이너보다 상대적으로 더 두껍다. 질화막 라이너(119a)는 하부 실리콘 핀(115)의 측벽의 나머지 부분(즉, 하부 실리콘 핀의 상부 측벽) 및 하부 트렌치 매립 절연막(121a) 상에 형성되어 있다. 바람직하게, 질화막 라이너(119a)는 하부 실리콘 핀(115)의 상부 측벽에서 연장하여 상부 실리콘 핀(109)의 하부 측벽 일부도 덮는다. 상부 트렌치 매립 절연막(127)은 상부 실리콘 핀(109)과의 사이에 공간 영역(도 12c 120 참조)이 정의되도록 질화막 라이너(119a) 상에 형성되어 있다. 공간 영역의 폭의 치수는 적어도 질화막 라이너(119a)의 두께보다 크다. 비록 도시하지는 않았지만, 하부 트렌치 매립 절연막(121a) 아래에 열산화막이 더 개재할 수 있다. 질화막 라이너(119a)는 하부 실리콘 핀(115)의 산화를 방지하는 역할을 하기도 한다.

게이트 전극(125)이 노출된 상부 실리콘 핀(109)(상부 표면 및 양측벽), 상부 트렌치 매립 절연막(127) 및 이들 사이의 공간 영역을 지나간다. 게이트 전극(125)의 일부가 상부 실리콘 핀(109) 및 상부 트렌치 매립 절연막(127) 사이에 정의된 공간 영역으로 확장하여 질화막 라이너(119a)에 다다른다. 게이트 절연막(123)이 게이트 전극(125)과 상부 실리콘 핀(109) 사이에 개재한다.

예컨대, 하부 트렌치 매립 절연막(121a)은 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막으로 형성될 수 있다. 또한 잘 알려진 기상증착 산화막으로 형성될 수도 있다. 상부 트렌치 매립 절연막(127)은 고밀도 플라즈마 산화막으로 형성될 수 있다. 또한 잘 알려진 기상증착 산화막으로 형성될 수 있다.

도 3c는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 실시예의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2c의 구조와 실질적으로 동일하다. 따라서 도 3c의 핀 전계효과 트랜지스터에 있어서, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115') 사이에 단차 영역(도 5c의 114 참조)이 형성된다. 이때, 질화막 라이너(119a)가 하부 트렌치 매립 절연막(121a) 및 하부 실리콘 핀(115')의 상부 측벽뿐 아니라 단차 영역(하부 실리콘 핀의 상부 표면) 상에도 형성된다.

도 2d는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 도 2c를 참조하여 설명한 구조에서 상부 트렌치 매립 절연막이 없는 것을 제외하고는 실질적으로 동일하다. 기판(101)은 위쪽으로 갈수록 폭이 감소하는 하부 실리콘 핀(115) 및 폭이 일정한 상부 실리콘 핀(109)을 포함한다. 하부 실리콘 핀(115)의 측벽 일부(하부 측벽)를 하부 트렌치 매립 절연막(121a)이 덮는다. 하부 트렌치 매립 절연막(121a), 하부 실리콘 핀(115)의 상부 측벽 및 단차 영역(하부 실리콘 핀의 노출된 상부 표면)을 질화막 라이너(119a)가 덮는다. 게이트 전극(125)이 상부 실리콘 핀(109)의 상부 표면 및 양측벽 그리고 라이너 질화막(119a) 상부를 지나간다. 상부 실리콘 핀(109)과 게이트 전극(125) 사이에 게이트 절연막(123)이 개재한다. 본 실시예의 질화막 라이너(119a)는 도 2a의 질화막 라이너보다 상대적으로 더 두껍다.

도 3d는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 실시예의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2d의 구조와 실질적으로 동일하다. 따라서 도 3d의 핀 전계효과 트랜지스터에 있어서, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115') 사이에 단차 영역(도 5c의 114 참조)이 형성된다. 이때, 질화막 라이너(119a)가 하부 트렌치 매립 절연막(121a) 및 하부 실리콘 핀(115')의 측벽뿐 아니라 단차 영역(하부 실리콘 핀의 상부 표면) 상에도 형성된다. 또, 게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽에 형성된다.

이제 상부 실리콘 핀(109)의 상부 표면에 마스크 패턴(107)이 있는 경우, 즉, 상부 실리콘 핀(109)의 양측벽이 채널로 사용되는 구조를 설명한다. 도 2e 내지 도 2h에 도시된 핀 전계효과 트랜지스터는 상부 실리콘 핀(109)의 상부 표면에 마스크 패턴(107)이 있는 것을 제외하고는 도 2a 내지 도 2d에 도시된 핀 전계효과 트랜지스터와 각각 실질적으로 동일하며, 마찬가지로 도 3e 내지 도 3h에 도시된 핀 전계효과 트랜지스터 역시 상부 실리콘 핀(109)의 상부 표면에 마스크 패턴(107)이 있는 것을 제외하고는 도 3a 내지 도 3d에 도시된 핀 전계효과 트랜지스터와 각각 실질적으로 동일하다. 따라서 설명의 중복을 피하기 위하여 간단히 설명을 하기로 한다.

먼저 도 2e를 참조하여, 기판(101)은 위쪽으로 갈수록 폭이 감소하는 하부 실리콘 핀(115) 및 폭이 일정한 상부 실리콘 핀(109)을 포함한다. 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 형성되어 있다. 마스크 패턴(107)은 바람직하게는 산화막(103) 및 질화막(105)이 차례로 적층된 구조이다. 산화막(103)은 열산화막 또는 기상증착 산화막으로 형성될 수 있으며 바람직하게는 열산화막으로 형성된다. 질화막(105)은 기상증착 질화막으로 형성될 수 있다. 질화막 라이너(119a)가 하부 실리콘 핀(115)의 측벽을 덮는다. 하부 트렌치 매립 절연막(121a)이 질화막 라이너(119a) 상에 형성되어 하부 실리콘 핀(115)을 둘러싼다.

게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽에 형성되어 있다. 게이트 전극(125)이 상부 실리콘 핀(109) 상의 마스크 패턴(107), 상부 실리콘 핀(109)의 양측벽 상의 게이트 절연막(123) 및 하부 트렌치 매립 절연막(121a) 상부를 지나간다. 따라서, 채널 영역은 상부 실리콘 핀(109)의 양측벽에서 형성된다.

도 3e의 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것을 제외하고는 도 3a의 핀 전계효과 트랜지스터와 실질적으로 동일한 구조를 가진다. 즉, 도 3e의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2e의 구조와 실질적으로 동일하다. 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 형성되어 있다. 질화막 라이너(119a)는 하부 실리콘 핀(115')의 측벽뿐 아니라 단차 영역(즉, 하부 실리콘 핀의 상부 표면)에도 형성되어 있다.

도 2f는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 실시예의 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 질화막 라이너(119a) 아래에 산화막 라이너(122a)가 형성되어 있는 것을 제외하고는 도 2b에 도시된 핀 전계효과 트랜지스터와 동일한 구조를 갖는다. 간략히 설명을 하면, 기판(101)은 하부의 폭이 상부의 폭보다 넓은 하부 실리콘 핀(115) 및 폭이 일정한 상부 실리콘 핀(109)을 포함한다. 산화막 라이너(122a)가 하부 실리콘 핀(115)의 측벽을 덮으며, 산화막 라이너(122a) 상에 질화막 라이너(119a)가 형성되어 있다. 트렌치 매립 절연막(127)이 질화막 라이너(119a) 상에 형성되어 있다. 트렌치 매립 절연막



(127)은 하부 실리콘 핀(115) 및 상부 실리콘 핀(109)을 둘러싸되, 하부 실리콘 핀(115)과의 사이에는 절연막 라이너, 즉, 산화막 라이너(122a) 및 질화막 라이너(119a)가 개재하고, 상부 실리콘 핀(109)과의 사이에는 공간 영역(도 11b의 120 참조)이 정의된다.

도 3f에 도시된 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 산화막 라이너(122a)가 질화막 라이너(119a) 아래에 형성되어 있는 것을 제외하고는 도 3b의 핀 전계효과 트랜지스터와 실질적으로 동일한 구조를 가진다. 즉, 도 3f의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2f의 구조와 실질적으로 동일하다. 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 형성되어 있다. 산화막 라이너(122a)가 하부 실리콘 핀(115')의 측벽 및 상부 표면(단차 영역) 상에 형성되어 있고, 질화막 라이너(119a)가 산화막 라이너(122a) 상에 형성되어 있다.

도 2g는 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터를 개략적으로 도시하는 사시도이다. 본 실시예의 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 질화막 라이너(119a) 아래에 산화막 라이너(122a)가 형성되어 있는 것을 제외하고는 도 2c에 도시된 핀 전계효과 트랜지스터와 동일한 구조를 갖는다. 간략히 설명하면, 기판(101)은 하부 실리콘 핀(115) 및 상부 실리콘 핀(109)을 포함한다. 상부 실리콘 핀(109) 상에는 마스크 패턴(107)이 형성되어 있다. 하부 트렌치 매립 절연막(121a)이 하부 실리콘 핀(115)의 측벽 일부(하부 측벽)를 둘러싼다. 하부 트렌치 매립 절연막(121a) 및 하부 실리콘 핀(115)의 측벽의 나머지 부분(상부 측벽) 상에 산화막 라이너(122a)가 형성되어 있다. 산화막 라이너(122a) 상에 두꺼운 질화막 라이너(119a)가 형성되어 있다. 질화막 라이너(119a) 상에 상부 트렌치 매립 절연막(127)이 형성되어 있으며 적어도 상부 실리콘 핀(109)과는 질화막 라이너(119) 및 산화막 라이너(122)의 두께를 합한 것 만큼의 간격을 두고 이격되어 있다. 게이트 전극(125)은 마스크 패턴(107), 상부 실리콘 핀(109) 양측벽 상의 게이트 절연막(123) 및 상부 트렌치 매립 절연막(127)을 지나간다.

도 3g에 도시된 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 산화막 라이너(122a)가 질화막 라이너(119a) 아래에 형성되어 있는 것을 제외하고는 도 3c의 핀 전계효과 트랜지스터와 실질적으로 동일한 구조를 가진다. 즉, 도 3g의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2g의 구조와 실질적으로 동일하다.

도 2h에 도시된 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 산화막 라이너(122a)가 질화막 라이너(119a) 아래에 형성되어 있는 것을 제외하고는 도 2d의 핀 전계효과 트랜지스터와 실질적으로 동일한 구조를 가진다. 즉, 상부 트렌치 매립 절연막이 없는 것을 제외하고는 도 2g에 도시된 핀 전계효과 트랜지스터와 실질적으로 동일하다.

도 3h에 도시된 핀 전계효과 트랜지스터는 마스크 패턴(107)이 상부 실리콘 핀(109) 상부에 형성되어 있는 것과, 산화막 라이너(122a)가 질화막 라이너(119a) 아래에 형성되어 있는 것을 제외하고는 도 3d의 핀 전계효과 트랜지스터와 실질적으로 동일한 구조를 가진다. 즉, 도 3h의 핀 전계효과 트랜지스터는 하부 실리콘 핀(115')의 상부 폭이 상부 실리콘 핀(109)의 하부 폭보다 더 넓은 것을 제외하고는 도 2h의 구조와 실질적으로 동일하다.

이상에서 설명한 본 실시예들의 핀 전계효과 트랜지스터들은 모두 폭이 일정한 상부 실리콘 핀(109) 및 폭이 아래로 갈수록 증가하는 하부 실리콘 핀(115)(또는 115')을 구비한다. 상부 실리콘 핀(109)은 채널이 형성되는 곳이며 하부 실리콘 핀(115)(또는 115')은 소자 분리를 위한 절연막에 둘러싸이는 부분이다.

이상에서 설명한 핀 전계효과 트랜지스터들을 형성하는 방법에 대하여 설명하기로 한다. 먼저 본 발명에서 특징적인 이중 실리콘 핀 구조를 형성하는 방법에 대해서 설명을 하기로 한다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 도 2a 내지 도 2d의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이고, 도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 도 3a 내지 도 3d의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

한편 도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 도 2e 내지 도 2h의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이고, 도 7a 내지 도 7c는 본 발명의 다른 실시예에 따른 도 3e 내지 도 3h의 핀 전계효과 트랜지스터의 이중 실리콘 핀 구조를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

먼저 도 4a 내지 도 4c를 참조하여, 이중 실리콘 핀 구조를 형성하는 방법을 설명한다. 도 4a를 참조하여, 기판(101) 상에 마스크 패턴(107)을 형성한다. 마스크 패턴(107)에 의하여 덮여진 부분이 활성영역이 되며 노출된 부분이 소자 분리 영역이 된다. 기판(101)은 실리콘 기판, 실리콘-게르마늄 기판 등과 같은 반도체 기판이다. 마스크 패턴(107)은 기판(101) 상에 차례로 산화막(103) 및 질화막(105)을 형성한 후 이를 패터닝하여 형성된다. 산화막(103)은 기판(101)을 열산화 시켜 형성할 수 있다. 또는 잘 알려진 박막증착 기술인 기상증착 방법을 사용하여 형성할 수 있다. 질화막(105)은 기상증착 방법을 사용하여 형성할 수 있다.

계속해서 도 4a를 참조하여, 마스크 패턴(107)에 의해 노출된 기판(101)을 식각 가스를 사용하여 제1식각하여 폭이 일정한 상부 실리콘 핀(109)들을 형성한다. 예컨대, HBr, Cl<sub>2</sub>, O<sub>2</sub> 등의 소오스 가스를 사용할 수 있다. 통상적으로 식각 가스를 사용하는 건식 식각은 그 특성상 이방성 식각(anisotropic etching) 특성을 가지기 때문에 형성되는 상부 실리콘 핀(109)들의 측벽은 수직하게 되고 따라서 그 폭이 일정하게 된다. 이때, 상부 실리콘 핀(109)들 사이에 공간 영역인 상부 트렌치(111)들이 정의된다. 상부 트렌치(111)의 측벽이 상부 실리콘 핀(109)의 측벽에 대응한다. 예컨대, 상부 실리콘 핀(109)은 약 100 내지 2000 Å 정도의 높이를 가지도록 형성될 수 있다. 하지만 상부 실리콘 핀(109)의 높이 및 폭은 공정에 따라 다양하게 변경될 수 있다.

다음 도 4b를 참조하여, 계속해서 노출된 기판을 식각 가스를 사용하여 제2식각하여 아래로 갈수록 폭이 점차 증가하는 하부 실리콘 핀(115)들을 형성한다. 즉, 제2식각은 노출된 기판을 경사식각하여 하부 실리콘 핀(115)들의 측벽이 경사지게 한다. 이때, 하부 실리콘 핀(115)들 사이에 공간 영역인 하부 트렌치(117)들이 정의된다. 따라서, 하부 트렌치(117)들의 바닥 모서리는 둔각( $\angle \gamma > 90^\circ$ )을 이루며 이에 대응하여 하부 실리콘 핀(115)들의 바닥 모서리는 예각( $\angle \beta < 90^\circ$ )을 이룬다. 예컨대, 하부 트렌치(117)들의 바닥 모서리는 약  $93^\circ$  에서 약  $110^\circ$  의 범위의 각도를 가질 수 있다. 또, 하부 실리콘 핀(115)들은 약 1000 내지 4000 Å 정도의 높이를 가지도록 형성된다. 바람직하게, 제2식각은 하부 실리콘 핀(115)들의 바닥 모서리(하부 트렌치의 바닥 모서리)가 곡선 프로파일을 가지도록 기판을 식각하는 것이 바람직하다. 하부 트렌치(117)들의 측벽이 경사 프로파일을 가지며 그 바닥 모서리가 곡선 프로파일을 가지기 때문에 후속 절연물질 매립 공정에서 트렌치 매립 특성이 양호해 지고 트렌치 내부에서의 빈 공간(void)이 발생하는 것을 방지할 수 있으며, 누설 전류를 최소화 할 수 있다.

또한, 제2식각을 진행하면서 식각 부산물인 폴리머(113a)를 생성하여 상부 실리콘 핀(109)의 측벽에 쌓이게(build-up) 하여 제2식각이 진행되는 동안 상부 실리콘 핀(109)들의 측벽을 보호하는 것이 바람직하다. 예컨대, 제1식각과 동일한 식각 가스를 사용하되 제1식각에 비해서 상대적으로 높은 HBr/Cl<sub>2</sub> 비율, 낮은 압력 및 높은 바이어스 파워 조건에서 진행될 수 있다. 상술한 제1식각 및 제2식각은 인시튜(in-situ)로 진행될 수 있다. 즉 제1식각을 진행한 후, 동일한 식각 챔버에서 식각 가스의 비율, 압력, 바이어스 파워 등을 적절히 조절하여 제2식각을 진행한다.

다음, 도 4c를 참조하여, 폴리머(113a)를 제거한 후, 상부 실리콘 핀(109)들 상의 마스크 패턴(107)을 제거하여 상부 실리콘 핀(109)들 및 하부 실리콘 핀(115)을 노출시켜 이중 실리콘 핀 구조를 완성한다.

앞서 상술한 이중 실리콘 핀 형성 방법에서 상부 실리콘 핀(109)을 형성한 후, 제2식각을 진행하기 전에 스페이서를 더 형성할 수 있다. 이에 대해서는 도 5a 내지 도 5c를 참조하여 설명을 한다. 먼저 도 5a를 참조하여, 앞서 설명한 방법과 동일하게 상부 실리콘 핀(109)들을 형성한 후, 상부 실리콘 핀(109) 및 마스크 패턴(107)의 측벽에 스페이서(113b)를 형성한다. 예컨대, 스페이서(113b)는 기상증착 방법을 이용한 질화막 또는 산화막으로 형성될 수 있다. 스페이서(113b)는 약 50 내지 300 Å의 두께 범위로 형성될 수 있다. 비록 도시하지는 않았지만, 스페이서(113b)를 형성하기 전에 상부 실리콘 핀(109)들을 형성한 후, 스페이서(113)에 대해서 식각 선택비를 가지는 버퍼 절연막을 더 형성할 수도 있다. 이는 후속 공정에서 스페이서(113)를 제거할 때, 상부 실리콘 핀(109)들의 측벽을 보호하는데 도움이 되도록 하기 위해서이다.

다음 도 5b를 참조하여, 스페이서(113b)에 의해서 노출된 기판을 경사식각하여 하부 실리콘 핀(115')들을 형성한다. 이때, 하부 실리콘 핀(115')들 사이에 공간 영역인 하부 트렌치(117)들이 정의된다. 스페이서(113b)로 인해서 이미 형성된 상부 실리콘 핀(109)들의 측벽이 보호되고 따라서 그 폭을 일정하게 유지할 수 있다.

다음 도 5c를 참조하여, 스페이서(113b) 및 마스크 패턴(107)을 제거하여 이중 실리콘 핀 구조를 완성한다. 본 실시예의 경우, 스페이서(113b)로 인해서, 상부 실리콘 핀(109)의 하부 폭보다 하부 실리콘 핀(115')의 최상부 폭이 더 넓다. 따라서, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115')은 점선으로 표시된 바와 같이 단차 영역(step portion)(114)을 형성하게 된다. 즉, 하부 실리콘 핀(115')들의 상부 표면이 한정된다.

스페이서(113b)가 질화막으로 형성될 경우, 스페이서(113b) 및 마스크 패턴(107)을 구성하는 질화막(105)이 동시에 제거되고 이어서 마스크 패턴(107)을 구성하는 산화막(103)이 제거된다. 질화막(105) 및 스페이서(113b)는 예컨대 인산을 사용하여 제거될 수 있고 산화막(103)은 불산을 사용하여 제거될 수 있다.

한편, 스페이서(113b)가 산화막으로 형성되는 경우, 질화막(105)을 인산을 사용하여 제거한 후 산화막(103) 및 스페이서(113b)를 불산을 사용하여 동시에 제거할 수 있다.

또한, 상부 실리콘 핀(109)들을 노출시킨 후 선택적인(optional) 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다.

이제 도 6a 내지 도 6d 및 도 7a 내지 도 7c를 참조하여 상부 실리콘 핀의 상부에 마스크 패턴이 잔존하는 이중 실리콘 핀 구조를 형성하는 방법에 대해서 설명을 한다. 본 실시예들의 경우 상부 실리콘 핀의 상부 표면에 마스크 패턴을 남기기 위해서, 앞서 도 4a 내지 도 4c 및 도 5a 내지 도 5c를 참조하여 설명한 방법과 비교해서, 마스크 패턴을 구성하는 막질의 종류가 다른 것과 마스크 패턴의 일부분을 제거하는 것을 제외하고는 실질적으로 동일하다. 따라서 중복적인 설명을 피하기 위해서 동일한 방법에 대해서는 설명을 생략하기로 한다.

먼저 도 6a를 참조하여, 기판(101) 상에 하부 산화막(103), 하부 질화막(105), 상부 산화막(102) 및 상부 질화막(104)이 차례로 적층되어 이루어진 초기 마스크 패턴(106)을 형성한다. 초기 마스크 패턴(106)에 의해 노출된 부분이 소자 분리 영역이 될 영역이고 덮여진 부분이 활성영역이 될 부분이다. 하부 산화막(103)은 기판(101)을 산화시키어 형성하는 것이 바람직하다. 하부 질화막(105), 상부 산화막(102) 및 상부 질화막(104)은 박막증착 기술, 예컨대, 기상증착 방법을 사용하여 형성되는 것이 바람직하다.

다음 도 6b를 참조하여, 초기 마스크 패턴(106)에 의해 노출된 기판(101)을 제1식각하여 폭이 일정한 상부 실리콘 핀(109)들을 형성한다. 이때, 상부 실리콘 핀(109)들 사이에 상부 트렌치(111)가 정의된다.

다음 도 6c를 참조하여, 노출된 기판을 식각 가스를 사용하여 제2식각하여 아래로 갈수록 폭이 점차 증가하는 하부 실리콘 핀(115)들을 형성한다. 이때, 하부 실리콘 핀(115)들 사이에 하부 트렌치(117)가 정의된다. 제2식각 중에 폴리머(113a)가 상부 실리콘 핀(109)들 측벽에 쌓여 그것을 보호한다.

다음 도 6d를 참조하여, 폴리머(113a)를 제거한 후, 초기 마스크 패턴(106)을 구성하는 상부 질화막(104) 및 상부 산화막(102)을 제거한다. 따라서, 상부 실리콘 핀(109)들 상부에 마스크 패턴(107)이 잔존하는 이중 실리콘 핀 구조가 완성된

다. 여기서 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 사람이라면 본 발명의 사상을 벗어나지 않는 범위에서 본 실시예를 적절히 변형할 수 있을 것이다. 예컨대, 초기 마스크 패턴(106)을 제거하지 않을 수 있고, 또한 그중 상부 질화막만을 제거할 수 있고, 상부 질화막, 상부 산화막 및 하부 산화막을 제거할 수도 있다. 또한, 앞서 도 4a 내지 도 4d를 참조하여 설명한 방법에서, 마스크 패턴(107)을 제거하지 않으면 본 실시예와 동일한 구조를 가진다는 것 또한 당업자에 있어서 자명할 것이다.

앞서 도 6a 내지 도 6d를 참조하여 설명한 이중 실리콘 핀 형성 방법에서 상부 실리콘 핀(109)을 형성한 후 스페이스를 더 형성할 수 있다. 이에 대해서는 도 7a 내지 도 7c를 참조하여 설명을 한다. 먼저 도 7a를 참조하여, 앞서 설명한 방법과 동일하게 초기 식각 마스크(106)에 의해 노출된 기관을 수직 식각하여 폭이 일정한 상부 실리콘 핀(109)들을 형성한 후, 버퍼 절연막(112)을 형성한다. 버퍼 절연막(112)은 바람직하게는 기상증착 방법을 이용하여 형성되는 실리콘 산화막이다. 계속해서 스페이스 절연막을 증착하고 이를 에치백하여 상부 실리콘 핀(109)의 측벽 및 초기 마스크 패턴(106)의 측벽 상에 형성된 버퍼 절연막(112) 상에만 절연막을 남겨 스페이스(113b)를 형성한다. 스페이스(113b) 및 버퍼 절연막(112)은 서로에 대해서 식각 선택비를 가지는 막질로 형성되는 것이 바람직하다. 예컨대, 버퍼 절연막(112b)은 기상증착 산화막으로 스페이스(113b)는 기상증착 질화막으로 형성되는 것이 바람직하다.

다음 도 7b를 참조하여, 스페이스(113b)에 의해서 노출된 기관을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀(115')들을 형성한다. 이때, 하부 실리콘 핀(115')들 사이에 공간 영역인 하부 트렌치(117)들이 정의된다. 스페이스(113b) 및 버퍼 절연막(112)으로 인해서 이미 형성된 상부 실리콘 핀(109)들의 측벽이 보호되고 따라서 그 폭을 일정하게 유지할 수 있다. 여기서, 하부 실리콘 핀(115') 형성을 위한 식각 중에 도 6a 내지 도 6d를 참조하여 설명한 방법과 동일하게 폴리머가 형성될 수도 있고, 또는 폴리머가 형성되지 않을 수도 있다.

다음 도 7c를 참조하여, 초기 마스크 패턴(107)의 상부 질화막(104) 및 상부 절연막(102), 스페이스(113b) 및 버퍼 절연막(112)을 제거하여 상부 실리콘 핀(109)의 상부에 마스크 패턴(107)이 잔존하는 이중 실리콘 핀 구조를 완성한다. 구체적으로 스페이스(113b)를 제거할 때, 상부 질화막(104)도 동시에 제거되며, 버퍼 절연막(112)을 제거할 때, 상부 산화막(102)도 제거된다. 스페이스(113b)를 제거할 때, 버퍼 절연막(112)이 상부 실리콘 핀(109)의 측벽을 보호하기도 한다.

이제 앞서 설명한 방법에 의해 형성된 이중 실리콘 핀 구조를 사용하여 핀 전계효과 트랜지스터를 형성하는 방법에 대해서 설명을 하기로 한다.

도 8a 내지 도 8c는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2a에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 먼저 도 8a를 참조하여, 이중 실리콘 핀 구조를 형성한 후, 선택적인 막질로서 얇은 질화막 라이너(119)를 형성한다. 질화막 라이너(119)는 박막증착 기술인 화학적기상증착 방법을 사용하여 형성될 수 있다. 질화막 라이너(119)는 후속 공정에서 실리콘 핀들(109, 115)의 산화를 방지하는 기능을 하기도 한다. 계속해서, 상부 트렌치(111)들 및 하부 트렌치(117)들을 채우도록 질화막 라이너(119) 상에 하부 트렌치 매립 절연막(121)을 형성한다. 예컨대, 하부 트렌치 매립 절연막(121)은 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막으로 형성될 수 있다. 또는 기상증착 산화막으로 형성될 수도 있다. 질화막 라이너(119)를 형성하기 전에 열산화 공정을 진행하여 열산화막을 형성할 수도 있다. 구체적으로 상부 트렌치(111) 및 하부 트렌치(117)를 완전히 채우도록 질화막 라이너(119) 상에 절연물질을 증착한 후 평탄화 공정을 진행하여 트렌치 밖의 절연물질을 제거하여 하부 트렌치 및 상부 트렌치에만 잔존하는 하부 트렌치 매립 절연막(121)을 형성한다. 여기서, 질화막 라이너(119)가 평탄화 공정에서 식각 저지층으로 작용할 수 있다.

다음 도 8b를 참조하여 하부 트렌치 매립 절연막(121)의 일정 부분 및 질화막 라이너(119)의 일정 부분을 제거하여 상부 실리콘 핀(109)들을 노출시킨다. 이에 따라 질화막 라이너(119a) 및 하부 트렌치 매립 절연막(121a)은 하부 트렌치(117) 및 상부 트렌치(111)의 일부분을 채운다. 구체적으로 먼저 하부 트렌치 매립 절연막(121)을 에치백 공정 또는 불산을 사용하여 제거한 후 노출된 라이너 질화막(119)을 인산을 사용하여 제거한다. 하부 트렌치 매립 절연막(121a)은 하부 실리콘 핀(115)을 둘러싸며 인접한 실리콘 핀들을 전기적으로 격리시키는 소자 분리 영역으로의 기능을 한다. 여기서 본 발명에 따르면, 하부 트렌치 매립 절연막(121a)의 바닥 모서리가 둔각을 나타내고 곡선 프로파일을 가지기 때문에 소자 분리 특성이 향상된다.

상부 실리콘 핀(109)들을 노출시킨 후 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다. 열산화 공정으로 상부 실리콘 핀(109)의 일부가 산화되고 세정공정으로 산화된 상부 실리콘 핀(109)이 제거된다. 이에 따라 상부 실리콘 핀의 폭이 줄어든다.

다음 도 8c를 참조하여, 채널 이온 주입 공정을 진행한 후, 게이트 절연물질 및 게이트 전극 물질을 형성하고 이들을 패터닝하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 상부 표면 및 양측벽에 잔존한다. 게이트 전극 물질은 예컨대, 실리콘 단일층으로 형성되거나, 실리콘 및 금속 실리사이드가 차례로 적층된 다층 등 다양한 물질을 사용할 수 있다. 게이트 전극(125)을 형성한 후, 이온 주입 공정을 진행하여 게이트 전극(125) 양측의 상부 실리콘 핀에 소오스/드레인 영역을 형성한다.

도 9a 내지 도 9c는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2e에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것을 제외하고는 앞서 도 8a 내지 도 8c를 참조하여 설명한 방법과 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다. 먼저 도 9a를 참조하여, 이중 실리콘 핀 구조를 형성한 후, 선택적인 막질로서 얇은 질화막 라이너(119)를 형성하고, 상부 트렌치(111)들 및 하부 트렌치(117)들을 채우도록 질화막 라이너(119) 상에 하부 트렌치 매립 절연막(121)을 형성한다.

다음 도 9b를 참조하여 하부 트렌치 매립 절연막(121)의 일정 부분 및 질화막 라이너(119)의 일정 부분을 제거하여 상부 실리콘 핀(109)들을 노출시킨다.

다음 도 9c를 참조하여, 채널 이온 주입 공정을 진행한 후, 게이트 절연물질 및 게이트 전극 물질을 형성하고 이들을 패터닝하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽에 잔존한다.

도 10a 내지 도 10c는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2b에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다. 도 10a를 참조하여, 이중 구조의 실리콘 핀을 형성한 후, 질화막 라이너(119)를 두껍게 형성한다. 질화막 라이너(119)는 약 100 내지 500Å의 두께 범위로 형성한다. 질화막 라이너(119)를 형성하기 전에 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)의 폭을 줄일 수도 있다.

계속해서 도 10a를 참조하여 하부 트렌치(117) 및 상부 트렌치(111)를 채우도록 질화막 라이너(119) 상에 트렌치 매립 절연막(127)을 형성한다. 구체적으로, 질화막 라이너(119) 상에 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막을 형성한 후, 질화막 라이너(119)가 노출될 때까지 평탄화 공정을 진행하여 상부 및 하부 트렌치(111, 117) 내부에만 잔존하도록 한다.

다음 도 10b를 참조하여, 질화막 라이너(119)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다. 이에 따라, 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다. 상기 공간 영역(120)은 적어도 질화막 라이너(119)의 두께보다 크다. 공정 중에 트렌치 매립 절연막(127)의 측면이 일부 식각될 수도 있기 때문이다. 상부 실리콘 핀(109)을 노출시킨 후 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)의 폭을 줄일 수도 있다.

다음 도 10c를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 이어서, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 상부 및 양측벽 상에 형성된다.

도 11a 내지 도 11c는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2f에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 10a 내지 도 10c를 참조하여 설명한 방법과 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다.

먼저, 도 11a를 참조하여, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115)으로 구성된 이중 구조의 실리콘 핀을 형성한 후, 산화막 라이너(122)를 형성하고 그 상부에 두꺼운 질화막 라이너(119)를 형성한다. 산화막 라이너(122)는 후속 공정에서 마스크 패턴(107)을 보호하여 그것이 식각되는 것을 방지한다. 산화막 라이너(122) 및 질화막 라이너(119)는 막막증착 공정의 하나인 기상증착 방법을 사용하여 형성될 수 있다. 질화막 라이너(119)는 산화막 라이너(122)보다 상대적으로 두껍게, 예컨대, 약 100 내지 500Å의 두께 범위로 형성될 수 있다.

계속해서 도 11a를 참조하여 하부 트렌치(117) 및 상부 트렌치(111)를 채우도록 질화막 라이너(119) 상에 트렌치 매립 절연막(127)을 형성한다.

다음 도 11b를 참조하여, 질화막 라이너(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다. 이에 따라, 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다. 상기 공간 영역(120)은 적어도 질화막 라이너(119) 및 산화막 라이너(122)의 두께를 합한 것보다 크다. 구체적으로 먼저 인산 등의 식각 용액을 사용하여 질화막 라이너(119)를 제거한 후 불산 등의 식각 용액을 사용하여 노출된 산화막 라이너(122)를 제거한다. 질화막 라이너(119)를 제거할 때, 산화막 라이너(122)는 마스크 패턴(107)의 질화막(105)이 식각되는 것을 방지한다. 상부 실리콘 핀(109)의 양측벽을 노출시킨 후, 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)의 폭을 줄일 수도 있다.

다음 도 11c를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 이어서, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽 상에 형성된다.

도 12a 내지 도 12d는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2c에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

먼저 도 12a를 참조하여, 이중 실리콘 핀 구조를 형성한 후, 하부 실리콘 핀(115)들 사이의 하부 트렌치(117)들 일부분을 채우도록 하부 트렌치 매립 절연막(121a)을 형성한다. 구체적으로 먼저 상부 트렌치(111) 및 하부 트렌치(117)를 완전히 채우도록 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막을 형성한다. 이어서, 평탄화 공정 또는 에치백 공정을 진행하여 상부 트렌치(111) 및 하부 트렌치(117) 내부에만 산화막을 남긴 후, 에치백 공정 또는 습식 공정을 진행하여 일정량 제거하여 하부 트렌치(111)의 일부를 채우는 하부 트렌치 매립 절연막(121a)을 형성한다.

본 실시예에서도 하부 트렌치 매립 절연막을 형성하기 전에 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다. 또는 하부 트렌치 매립 절연막(121a)을 형성한 이후에 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다.

계속해서 도 12a를 참조하여, 두꺼운 질화막 라이너(119)를 형성한다. 질화막 라이너(119)는 예컨대, 약 100 내지 500Å의 두께 범위로 형성될 수 있다. 질화막 라이너(119)는 후속 공정들에서 하부 실리콘 핀(115)의 산화를 방지하거나 하지막인 하부 트렌치 매립 절연막(121a)이 식각되는 것을 방지하는 기능을 한다.

다음 도 12b를 참조하여, 질화막 라이너(119) 상에 상부 트렌치(111) 및 잔존하는 하부 트렌치를 채우도록 상부 트렌치 매립 절연막(127)을 형성한다. 상부 트렌치 매립 절연막(127)은 고밀도 플라즈마 산화막으로 형성될 수 있다. 구체적으로 먼저 절연막을 증착한 후 상부 실리콘 핀(109) 상의 질화막 라이너(119)가 노출될 때까지 평탄화 공정을 진행하여 형성한다.

다음 도 12c를 참조하여 상부 실리콘 핀(109)들을 노출시키도록 질화막 라이너(119)의 일부분을 제거한다. 예컨대, 인산 등의 식각 용액을 사용하여 질화막 라이너(119)의 일부분을 제거하며, 이에 따라 상부 실리콘 핀(109)들의 상부 표면 및 측벽들 일부분이 노출된다. 따라서, 상부 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다. 공간 영역(120)의 폭은 질화막 라이너(119)의 두께 이상이다. 공정 중에 상부 트렌치 매립 절연막(127)의 측벽이 식각될 수 있으며, 또한 상부 실리콘 핀(109)에 대한 산화공정 및 세정 공정으로 상부 실리콘 핀(109)의 폭이 줄어들 수 있기 때문이다. 한편 상부 트렌치 매립 절연막(127) 및 하부 트렌치 매립 절연막(121a) 사이에 질화막 라이너(119a)가 잔존한다.

다음 도 12d를 참조하여 채널 이온 주입 공정을 진행한 후 게이트 절연물질 및 게이트 전극 물질을 차례로 형성한 후 패터닝 공정을 진행하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘(109)의 상부 및 양측벽 상에 잔존한다. 이어서 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 13a 내지 도 13d는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2g에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 12a 내지 도 12d를 참조하여 설명한 방법과 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다.

먼저 도 13a를 참조하여, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115)으로 구성된 이중 실리콘 핀 구조를 형성한 후, 하부 실리콘 핀(115)들 사이의 하부 트렌치(117)들 일부분을 채우도록 하부 트렌치 매립 절연막(121a)을 형성한다.

본 실시예에서도 하부 트렌치 매립 절연막을 형성하기 전에 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다. 또는 하부 트렌치 매립 절연막(121a)을 형성한 이후에 선택적인 열산화 공정 및 세정 공정을 순차적으로 진행하여 상부 실리콘 핀(109)들의 폭을 줄일 수도 있다. 계속해서 도 13a를 참조하여, 얇은 산화막 라이너(122) 및 두꺼운 질화막 라이너(119)를 순차적으로 형성한다. 산화막 라이너(122)는 후속 공정에서 마스크 패턴(107)을 보호하여 그것이 식각되는 것을 방지한다. 산화막 라이너(122) 및 질화막 라이너(119)는 박막증착 공정의 하나인 기상증착 방법을 사용하여 형성될 수 있다. 질화막 라이너(119)는 산화막 라이너(122)보다 상대적으로 두껍게, 예컨대, 약 100 내지 500Å의 두께 범위로 형성될 수 있다.

다음 도 13b를 참조하여, 질화막 라이너(119) 상에 상부 트렌치(111) 및 잔존하는 하부 트렌치를 채우도록 상부 트렌치 매립 절연막(127)을 형성한다.

다음 도 13c를 참조하여 질화막 라이너(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다. 이에 따라, 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다. 상기 공간 영역(120)은 적어도 질화막 라이너(119) 및 산화막 라이너(122)의 두께를 합한 것보다 크다. 구체적으로 먼저 인산 등의 식각 용액을 사용하여 질화막 라이너(119)를 제거한 후 불산 등의 식각 용액을 사용하여 노출된 산화막 라이너(122)를 제거한다. 질화막 라이너(119)를 제거할 때, 산화막 라이너(122)는 마스크 패턴(107)의 질화막(105)이 식각되는 것을 방지한다. 한편 상부 트렌치 매립 절연막(127) 및 하부 트렌치 매립 절연막(121a) 사이에 질화막 라이너(119a) 및 산화막 라이너(122a)가 잔존한다.

다음 도 13d를 참조하여 채널 이온 주입 공정을 진행한 후 게이트 절연물질 및 게이트 전극 물질을 차례로 형성한 후 패터닝 공정을 진행하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘(109)의 양측벽 상에 잔존한다. 이어서 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 14a 내지 도 14b는 도 4a 내지 도 4c에 후속하는 공정 단계로서 도 2d에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 먼저, 도 14a를 참조하여, 앞서 도 12a 내지 도 12b를 참조하여 설명한 방법과 동일하게 하부 트렌치 매립 절연막(121a), 질화막 라이너(119) 및 상부 트렌치 매립 절연막(127)을 형성한다. 계속해서 라이너 질화막(119)의 일부분을 제거하여 상부 실리콘 핀(109)을 노출시키고, 이어서 상부 트렌치 매립 절연막(127)을 제거한다. 상부 트렌치 매립 절연막(127)을 제거할 때, 질화막 라이너(119a)가 그 하부의 하부 트렌치 매립 절연막(121a)을 보호한다.

다음 도 14b를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성하고, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 15a 내지 도 15b는 도 6a 내지 도 6d에 후속하는 공정들로서, 도 2h에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 14a 내지 도 14b를 참조하여 설명한 방법과 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다.

13a 내지 도 13c를 참조하여 설명한 방법과 동일하게, 마스크 패턴(107)을 구비한 이중 실리콘 핀을 형성한 후, 하부 트렌치 매립 절연막(121a), 산화막 라이너(122), 질화막 라이너(119) 및 상부 트렌치 매립 절연막(127)을 형성한다. 계속해서 라이너 질화막(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)을 노출시킨다.

이어서, 도 15a에 도시된 바와 같이, 상부 트렌치 매립 절연막(127)을 제거한다.

다음 도 15b를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성하고, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 16a 내지 도 16c는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3a에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 8a 내지 도 8c를 참조하여 설명한 방법과 실질적으로 동일하다.

간략히 설명을 하면, 먼저 도 8a를 참조하여, 이 중 실리콘 핀 구조를 형성한 후, 선택적인 막질로서 얇은 질화막 라이너(119)를 형성한다. 계속해서, 상부 트렌치(111)들 및 하부 트렌치(117)들을 채우도록 질화막 라이너(119) 상에 하부 트렌치 매립 절연막(121)을 형성한다.

다음 도 16b를 참조하여 하부 트렌치 매립 절연막(121)의 일정 부분 및 질화막 라이너(119)의 일정 부분을 제거하여 상부 실리콘 핀(109)들을 노출시킨다.

다음 도 16c를 참조하여, 채널 이온 주입 공정을 진행한 후, 게이트 절연물질 및 게이트 전극 물질을 형성하고 이들을 패터닝하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 상부 표면 및 양측벽에 잔존한다. 게이트 전극 물질은 예컨대, 실리콘 단일층으로 형성되거나, 실리콘 및 금속 실리사이드가 차례로 적층된 다층 등 다양한 물질을 사용할 수 있다. 게이트 전극(125)을 형성한 후, 이온 주입 공정을 진행하여 소오스/드레인 영역을 형성한다.

도 17a 내지 도 17c는 도 7a 내지 도 7c 후속하는 공정들로서, 도 3e에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것을 제외하고는 앞서 도 16a 내지 도 16c를 참조하여 설명한 방법과 동일하다. 즉, 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 9a 내지 도 9c를 참조하여 설명한 방법과 실질적으로 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다.

먼저 도 17a를 참조하여, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115')으로 구성된 이 중 실리콘 핀 구조를 형성한 후, 선택적인 막질로서 얇은 질화막 라이너(119)를 형성하고, 상부 트렌치(111)들 및 하부 트렌치(117)들을 채우도록 질화막 라이너(119) 상에 하부 트렌치 매립 절연막(121)을 형성한다.

다음 도 17b를 참조하여 하부 트렌치 매립 절연막(121)의 일정 부분 및 질화막 라이너(119)의 일정 부분을 제거하여 상부 실리콘 핀(109)들을 노출시킨다.

다음 도 17c를 참조하여, 채널 이온 주입 공정을 진행한 후, 게이트 절연물질 및 게이트 전극 물질을 형성하고 이들을 패터닝하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽에 잔존한다.

도 18a 내지 도 18c는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3b에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 10a 내지 도 10c를 참조하여 설명한 방법과 실질적으로 동일하다.

도 18a를 참조하여, 이 중 구조의 실리콘 핀을 형성한 후, 질화막 라이너(119)를 두껍게 형성한다. 질화막 라이너(119)는 약 100 내지 500Å의 두께 범위로 형성한다. 계속해서 하부 트렌치(117) 및 상부 트렌치(111)를 채우도록 질화막 라이너(119) 상에 트렌치 매립 절연막(127)을 형성한다.

다음 도 18b를 참조하여, 질화막 라이너(119)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다. 이에 따라, 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다.

다음 도 18c를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 이어서, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 상부 및 양측벽 상에 형성된다.

도 19a 내지 도 19c는 도 7a 내지 도 7d에 후속하는 공정들로서, 도 3f에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 18a 내지 도 18c를 참조하여 설명한 방법과 동일하다. 즉, 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 11a 내지 도 11c를 참조하여 설명한 방법과 실질적으로 동일하다.

먼저, 도 19a를 참조하여, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115')으로 구성된 이 중 구조의 실리콘 핀을 형성한 후, 산화막 라이너(122)를 형성하고 그 상부에 두꺼운 질화막 라이너(119)를 형성한다. 계속해서 하부 트렌치(117) 및 상부 트렌치(111)를 채우도록 질화막 라이너(119) 상에 트렌치 매립 절연막(127)을 형성한다.

다음 도 19b를 참조하여, 질화막 라이너(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다.



다음 도 19c를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 이어서, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다. 게이트 절연막(123)은 상부 실리콘 핀(109)의 양측벽 상에 형성된다.

도 20a 내지 도 20d는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3c에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 12a 내지 도 12d를 참조하여 설명한 방법과 실질적으로 동일하다.

먼저 도 20a를 참조하여, 이 중 실리콘 핀 구조를 형성한 후, 하부 실리콘 핀(115)들 사이의 하부 트렌치(117)들 일부분을 채우도록 하부 트렌치 매립 절연막(121a)을 형성한다. 계속해서 두꺼운 질화막 라이너(119)를 형성한다.

다음 도 20b를 참조하여, 질화막 라이너(119) 상에 상부 트렌치(111) 및 잔존하는 하부 트렌치를 채우도록 상부 트렌치 매립 절연막(127)을 형성한다.

다음 도 20c를 참조하여 상부 실리콘 핀(109)들을 노출시키도록 질화막 라이너(119)의 일부분을 제거한다.

다음 도 20d를 참조하여 채널 이온 주입 공정을 진행한 후 게이트 절연물질 및 게이트 전극 물질을 차례로 형성한 후 패터닝 공정을 진행하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘(109)의 상부 및 양측벽 상에 잔존한다. 이어서 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 21a 내지 도 21d는 도 7a 내지 도 7c에 후속하는 공정들로서, 도 3g에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 20a 내지 도 20d를 참조하여 설명한 방법과 동일하다. 즉, 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 13a 내지 도 13c를 참조하여 설명한 방법과 실질적으로 동일하다. 따라서 설명의 중복을 피하기 위하여 간략히 설명을 한다.

먼저 도 21a를 참조하여, 상부 실리콘 핀(109) 및 하부 실리콘 핀(115')으로 구성된 이 중 실리콘 핀 구조를 형성한 후, 하부 실리콘 핀(115)들 사이의 하부 트렌치(117)들 일부분을 채우도록 하부 트렌치 매립 절연막(121a)을 형성한다. 계속해서, 얇은 산화막 라이너(122) 및 두꺼운 질화막 라이너(119)를 순차적으로 형성한다.

다음 도 21b를 참조하여, 질화막 라이너(119) 상에 상부 트렌치(111) 및 잔존하는 하부 트렌치를 채우도록 상부 트렌치 매립 절연막(127)을 형성한다.

다음 도 21c를 참조하여 질화막 라이너(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)의 상부 및 양측벽을 노출시킨다. 이에 따라, 트렌치 매립 절연막(127) 및 상부 실리콘 핀(109) 사이에 공간 영역(120)이 정의된다.

다음 도 21d를 참조하여 채널 이온 주입 공정을 진행한 후 게이트 절연물질 및 게이트 전극 물질을 차례로 형성한 후 패터닝 공정을 진행하여 게이트 절연막(123) 및 게이트 전극(125)을 형성한다. 게이트 절연막(123)은 상부 실리콘(109)의 양측벽 상에 잔존한다. 이어서 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 22a 내지 도 22b는 도 5a 내지 도 5c에 후속하는 공정 단계로서 도 3d에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 14a 내지 도 14b를 참조하여 설명한 방법과 실질적으로 동일하다. 또한 상부 트렌치 매립 절연막을 제거하는 것을 제외하고는 앞서 도 20a 내지 도 20d를 참조하여 설명한 방법과 실질적으로 동일하다.

먼저, 도 22a를 참조하여, 앞서 도 20a 내지 도 20b를 참조하여 설명한 방법과 동일하게 하부 트렌치 매립 절연막(121a), 질화막 라이너(119) 및 상부 트렌치 매립 절연막(127)을 형성한다. 계속해서 라이너 질화막(119)의 일부분을 제거하여 상부 실리콘 핀(109)을 노출시키고, 이어서 상부 트렌치 매립 절연막(127)을 제거한다. 상부 트렌치 매립 절연막(127)을 제거할 때, 질화막 라이너(119a)가 하부의 하부 트렌치 매립 절연막(121a)을 보호한다.

다음 도 22b를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성하고, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

도 23a 내지 도 23b는 도 7a 내지 도 7c에 후속하는 공정들로서, 도 3h에 도시된 핀 전계효과 트랜지스터를 형성하는 방법을 설명하기 위한 반도체 기관의 단면도들이다. 본 실시예는 상부 실리콘 핀(109) 상부 표면에 마스크 패턴(107)이 잔존하는 것 및 산화막 라이너(122a)가 형성되는 것을 제외하고는 앞서 도 22a 내지 도 22b를 참조하여 설명한 방법과 동일하다. 이 중 실리콘 핀 구조가 단차 영역(114)을 가진다는 것을 제외하고는 도 15a 내지 도 15c를 참조하여 설명한 방법과 실질적으로 동일하다. 또, 상부 트렌치 매립 절연막을 제거하는 것을 제외하고는 앞서 도 21a 내지 도 21d를 참조하여 설명한 방법과 실질적으로 동일하다.

앞서 도 20a 내지 도 20b를 참조하여 설명한 방법과 동일하게, 마스크 패턴(107)을 구비한 이 중 실리콘 핀을 형성한 후, 하부 트렌치 매립 절연막(121a), 산화막 라이너(122), 질화막 라이너(119) 및 상부 트렌치 매립 절연막(127)을 형성한다. 계속해서 라이너 질화막(119) 및 산화막 라이너(122)의 일부분을 제거하여 상부 실리콘 핀(109)을 노출시킨다.

이어서 도 23a에 도시된 바와 같이, 상부 트렌치 매립 절연막(127)을 제거한다.

다음 도 23b를 참조하여, 채널 이온 주입 공정을 진행한 후 게이트 절연막(123) 및 게이트 전극(125)을 형성하고, 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

다음 도 24a 내지 도 24e를 참조하여 본 발명의 또 다른 실시예에 따른 핀 전계효과 트랜지스터 형성 방법을 설명한다.

먼저 도 24a를 참조하여, 기판(101) 상에 산화막(103) 및 질화막(105)이 차례로 적층되어 이루어진 마스크 패턴(107)을 형성한다. 마스크 패턴(107)에 의해 노출된 부분이 소자 분리 영역이 될 영역이고 덮여진 부분이 활성영역이 될 부분이다. 산화막(103)은 기판(101)을 산화시키어 형성하는 것이 바람직하다. 본 실시예의 산화막(103)은 앞서 설명한 모든 실시예들의 산화막에 비해서 상대적으로 두껍게 형성된다. 예컨대, 약 100 내지 약 500 Å 두께 범위로 형성될 수 있다. 질화막(105)은 박막증착 기술, 예컨대, 기상증착 방법을 사용하여 형성되는 것이 바람직하다. 계속해서 도 24a 및 도 24b를 참조하여, 마스크 패턴(107)에 의해 노출된 기판(101)을 수직하게 식각하여 폭이 일정한 상부 실리콘 핀(109)들을 형성한다. 이때, 상부 실리콘 핀(109)들 사이에 상부 트렌치(111)가 정의된다.

다음 스페이서 절연막을 증착하고 이를 에치백하여 상부 실리콘 핀(109)의 측벽에만 남겨 스페이서(113)를 형성한다. 스페이서(113)는 산화막(103)에 대하여 식각 선택비를 가지는 물질로 형성한다. 예컨대 스페이서(113)는 기상증착 질화막으로 형성하는 것이 바람직하다.

다음 도 24b를 참조하여 스페이서(113)를 식각 마스크로 사용하여 하부에 노출된 기판(101)을 경사식각하여 하부 실리콘 핀(115)을 형성한다. 이때, 하부 실리콘 핀(115)들 사이에 하부 트렌치(117)가 정의된다. 이에 따라, 하부 실리콘 핀(115)의 하부 모서리는 예각을 가지며( $\angle\beta < 90^\circ$ ), 이에 대응하여 하부 트렌치(117)의 하부 모서리는 둔각을 가진다( $\angle\gamma > 90^\circ$ ). 따라서, 소자 분리 특성이 향상된다.

이어서, 도 24c에 도시된 바와 같이, 스페이서(113) 및 질화막(105)을 동시에 제거한다. 예컨대, 인산 등의 식각 용액을 사용하여 제거할 수 있다. 결과적으로 상부 실리콘 핀(109) 상에는 두꺼운 산화막(103)만이 잔존한다.

다음 도 24d를 참조하여, 두꺼운 질화막 라이너(119)를 형성한 후 상부 트렌치(111) 및 하부 트렌치(117)를 채우도록 트렌치 매립 절연막(127)을 형성한다. 예컨대, 질화막 라이너(119)는 약 100 내지 약 500 Å 두께 범위로 형성될 수 있다. 트렌치 매립 절연막(127)은 예컨대, 유에스지(USG:undoped silicon glass), 티오에스제트(TOSZ) 같은 에스오지막(SOG:spin-on-glass) 계열의 산화막으로 형성될 수 있다. 구체적으로 트렌치 매립 절연막(127)은 절연물질을 증착하고 질화막 라이너(119)를 평탄화 저지층으로 사용하여 평탄화 공정을 진행함으로써 형성된다.

다음 도 24e를 참조하여 상부 실리콘 핀(119)의 양측벽이 노출되도록 질화막 라이너(119)의 일부분이 제거된다. 후속 공정으로 채널 이온 주입 공정을 진행하고 게이트 절연막 및 게이트 전극을 형성한다. 이어서 소오스/드레인 형성을 위한 이온 주입 공정을 진행한다.

이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

### 발명의 효과

이상에서 설명한 본 발명에 따르면, 이 단계 식각 공정을 통하여 먼저 수직 식각을 진행하여 폭이 일정한 상부 실리콘 핀을 형성하고 이어서 경사식각을 진행하여 소자 분리 영역을 한정하는 트렌치 측벽이 경사지게 한다.

따라서, 소자 분리 특성이 우수하면서 채널 영역이 되는 상부 실리콘 핀의 폭을 일정하게 하여 신뢰성 있는 핀 전계효과 트랜지스터를 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

기판으로부터 돌출하되 폭이 좁아지는 하부 실리콘 핀;

상기 하부 실리콘 핀 상부에서 연속하며 그 폭이 일정한 상부 실리콘 핀을 포함하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

#### 청구항 2.

제 1 항에 있어서,

상기 하부 실리콘 핀을 둘러싸는 절연막;

상기 상부 실리콘 핀의 상부 및 측벽 상에 형성된 게이트 절연막;

상기 게이트 절연막 및 상기 절연막 상에 형성된 게이트 전극을 더 포함하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 하부 실리콘 핀의 바닥 모서리는 곡선 프로파일을 가지며, 상기 상부 실리콘 핀의 상부 및 그 측벽이 이루는 각은 직각이고, 상기 하부 실리콘 핀의 측벽 및 상기 기판 표면이 이루는 각은 둔각인 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 상부 실리콘 핀의 폭은 상기 하부 실리콘 핀의 상부의 폭보다 더 좁은 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 5.

제 3 항에 있어서,

상기 하부 실리콘 핀 및 상기 절연막과의 사이에 개재된 질화막 라이너를 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 6.

제 5 항에 있어서,

상기 절연막은 상기 상부 실리콘 핀의 상부 표면까지 연장하되, 상기 상부 실리콘 핀의 측벽으로부터 적어도 상기 질화막 라이너 두께 이상으로 이격되는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 7.

제 3 항에 있어서,

상기 상부 실리콘 핀의 상부 표면에 형성된 마스크 패턴을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 8.

제 7 항에 있어서,

상기 마스크 패턴은 산화막 및 질화막이 차례로 적층된 구조 또는 산화막으로 이루어지는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 9.

제 7 항에 있어서,

상기 하부 실리콘 핀과 상기 절연막과의 사이에 개재된 산화막 라이너 및 질화막 라이너를 더 포함하고,

상기 절연막은 상기 질화막 라이너 상에 형성되어 상기 마스크 패턴의 상부 표면까지 연장하되, 상기 상부 실리콘 핀의 측벽들로부터 적어도 상기 산화막 라이너 및 질화막 라이너 두께를 합한 두께만큼 이격되는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 10.

제 7 항에 있어서,

상기 하부 실리콘 핀과 상기 절연막과의 사이에 개재된 질화막 라이너를 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터.

### 청구항 11.

제 1 항에 있어서,

상기 하부 실리콘 핀의 하부 측벽을 감싸는 하부 절연막;

상기 하부 절연막에 의해 노출된 하부 실리콘 핀의 상부 측벽 및 상기 하부 절연막 상에 형성된 절연막 라이너;

상기 상부 실리콘 핀의 상부 및 측벽 상에 형성된 게이트 절연막;

상기 게이트 절연막 및 상기 절연막 라이너 상에 형성된 게이트 전극을 포함하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 12.

제 11 항에 있어서,

상기 하부 실리콘 핀의 바닥 모서리는 곡선 프로파일을 가지며, 상기 상부 실리콘 핀의 상부 및 그 측벽이 이루는 각은 직각이고, 상기 하부 실리콘 핀의 측벽 및 상기 기판 표면이 이루는 각은 둔각인 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 13.

제 11 항 또는 제 12 항에 있어서,

상기 상부 실리콘 핀의 폭은 상기 하부 실리콘 핀의 상부의 폭보다 더 좁은 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 14.

제 11 항 또는 제 12 항에 있어서,

상기 절연막 라이너는 질화막 라이너이고, 상기 질화막 라이너 상에 형성되고 상기 상부 실리콘 핀의 측벽으로부터 적어도 상기 질화막 라이너 두께로 이격된 상부 절연막을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 이중 실리콘 핀.

### 청구항 15.

제 11 항 또는 제 12 항에 있어서,

상기 상부 실리콘 핀의 상부 표면에 형성된 마스크 패턴을 더 포함하고, 상기 절연막 라이너는 산화막 라이너 및 질화막 라이너로 이루어지는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 16.

제 15 항에 있어서,

상기 마스크 패턴은 산화막 및 질화막이 차례로 적층된 구조 또는 산화막으로 이루어진 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 17.

제 15 항에 있어서,

상기 질화막 라이너 상에 형성되며 상기 상부 실리콘 핀의 측벽으로부터 적어도 상기 질화막 라이너 및 산화막 라이너의 두께를 합한 두께로 이격된 상부 절연막을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터를 위한 이중 실리콘 핀.

### 청구항 18.

기판 상에 마스크 패턴을 형성하고;

상기 마스크 패턴에 의해 노출된 기판을 수직식각하여 폭이 일정한 상부 실리콘 핀을 형성하고;

상기 상부 실리콘 핀에 의해 노출된 기판을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성하는 것을 포함하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 19.

제 18 항에 있어서,

상기 경사식각 중에 폴리머가 발생하여 상기 상부 실리콘 핀의 측벽에 쌓이는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 20.

제 18 항에 있어서,

상기 상부 실리콘 핀을 형성한 후,

상기 마스크 패턴 측벽 및 상부 실리콘 핀 측벽에 스페이서를 형성하는 것을 더 포함하며,

상기 경사식각은 상기 스페이서에 의해 노출된 기판을 식각하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 21.

제 20 항에 있어서,

상기 상부 실리콘 핀을 형성한 후 상기 스페이서를 형성하기 전에,

화학적 기상증착 버퍼 산화막을 형성하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 22.

제 21 항에 있어서,

상기 마스크 패턴은 상기 기판 상에 차례로 형성된 열산화막 및 질화막으로 이루어지고, 상기 스페이서는 질화막으로 이루어지며,

상기 하부 실리콘 핀을 형성한 후,

상기 스페이서 및 마스크 패턴을 구성하는 질화막을 제거하고;

상기 기상증착 버퍼 산화막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 핀 형성 방법.

### 청구항 23.

제 22 항에 있어서,

상기 마스크 패턴을 구성하는 열산화막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 24.

제 21 항에 있어서,

상기 마스크 패턴은 상기 기판 상에 차례로 형성된 하부 열산화막, 하부 질화막, 상부 기상증착 산화막 및 상부 질화막으로 이루어지고, 상기 스페이서는 질화막으로 이루어지며,

상기 하부 실리콘 핀을 형성한 후,

상기 스페이서 및 상부 질화막을 제거하고;

상기 기상증착 버퍼 산화막 및 상부 기상증착 산화막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 25.

제 20 항에 있어서,

상기 마스크 패턴은 상기 기판 상에 차례로 형성된 하부 열산화막, 질화막 및 상부 기상증착 산화막으로 이루어지고, 상기 스페이서는 산화막으로 이루어지며,

상기 하부 실리콘 핀을 형성한 후,

상기 스페이서 및 상부 기상증착 산화막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 실리콘 핀 형성 방법.

### 청구항 26.

제 20 항에 있어서,

상기 마스크 패턴은 상기 기판 상에 차례로 형성된 열산화막 및 질화막으로 이루어지고,

상기 스페이서는 질화막으로 이루어지고,

상기 하부 실리콘 핀을 형성한 후, 상기 스페이서 및 마스크 패턴을 구성하는 질화막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 핀 형성 방법.

### 청구항 27.



제 18 항 또는 제 19 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 핀 형성 방법.

### 청구항 28.

기판 상에 마스크 패턴을 형성하고;

상기 마스크 패턴에 의해 노출된 기판을 수직식각하여 폭이 일정한 상부 실리콘 핀을 형성하고;

노출된 기판을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성하고;

상기 하부 실리콘 핀을 감싸도록 절연막을 형성하고;

노출된 상부 실리콘 핀 표면 상에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 게이트 전극을 형성하는 것을 포함하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 29.

제 28 항에 있어서,

상기 상부 실리콘 핀을 형성한 후,

상기 마스크 패턴 및 상부 실리콘 핀의 측벽들에 스페이서를 형성하고;

상기 하부 실리콘 핀을 형성한 후 상기 절연막을 형성하기 전에 상기 스페이서를 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 30.

제 29 항에 있어서,

상기 스페이서를 형성하기 전에 버퍼 산화막 라이너를 형성하는 것을 더 포함하고, 상기 스페이서를 제거한 후 상기 버퍼 산화막 라이너를 제거하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 31.

제 28항 내지 제 30 항 중 어느 한 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴, 상부 실리콘 핀 및 하부 실리콘 상에 질화막 라이너를 형성하는 것을 더 포함하고, 이때,

상기 절연막을 형성하는 것은,

상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 질화막 라이너 상에 절연물질을 형성하고;

상기 질화막 라이너가 노출될 때까지 상기 절연물질을 평탄화 식각하고;

상기 평탄화 식각된 절연물질을 에치백 하는 것을 포함하여 이루어지고,

상기 절연물질을 에치백 한 후, 상기 상부 실리콘 핀의 측벽이 노출되도록 노출된 질화막 라이너를 제거하는 것을 더 포함하여 이루어지는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 32.

제 28항 내지 제 30 항 중 어느 한 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴, 상부 실리콘 핀 및 하부 실리콘 상에 절연막 라이너를 형성하는 것을 더 포함하고, 이때,

상기 절연막을 형성하는 것은,

상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 절연막 라이너 상에 절연물질을 형성하고;

상기 절연막 라이너가 노출될 때까지 상기 절연물질을 평탄화 식각하는 것을 포함하여 이루어지고,

상기 절연물질을 평탄화 식각을 진행 한 후, 상기 상부 실리콘 핀의 측벽이 노출되도록 상기 절연막 라이너의 일부를 제거하는 것을 더 포함하여 이루어지는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 33.

제 32 항에 있어서,

상기 절연막 라이너를 형성하는 것은 산화막 라이너 및 질화막 라이너를 순차적으로 형성하는 것을 포함하여 이루어지고,

상기 절연막 라이너의 일부를 제거하는 것은,

상기 질화막 라이너의 일부를 제거하고;

노출된 산화막 라이너의 일부를 제거하는 것을 포함하여 이루어지는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 34.

제 28 항 내지 제 30 항 중 어느 한 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상기 마스크 패턴을 제거하는 것을 더 포함하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 35.

제 34 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상부 실리콘 핀 및 하부 실리콘 핀 상에 질화막 라이너를 형성하는 것을 더 포함하고, 이때,

상기 절연막을 형성하는 것은,

상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 질화막 라이너 상에 절연물질을 형성하고;

상기 질화막 라이너가 노출될 때까지 평탄화 공정을 진행하고;

상기 절연물질을 에치백 하는 것을 포함하여 이루어지고,

상기 절연물질을 에치백 한 후, 상기 상부 실리콘 핀의 상부 및 측벽이 노출되도록 노출된 질화막 라이너를 제거하는 것을 더 포함하여 이루어지는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 36.

제 34 항에 있어서,

상기 하부 실리콘 핀을 형성한 후, 상부 실리콘 핀 및 하부 실리콘 핀 상에 질화막 라이너를 형성하는 것을 더 포함하고, 이때,

상기 절연막을 형성하는 것은,

상기 상부 실리콘 핀 및 하부 실리콘 핀을 감싸도록 상기 질화막 라이너 상에 절연물질을 형성하고;

상기 질화막 라이너가 노출될 때까지 상기 절연물질을 평탄화 식각하는 것을 포함하여 이루어지고,

상기 절연물질을 평탄화 식각한 후, 상기 상부 실리콘 핀의 상부 및 측벽이 노출되도록 질화막 라이너의 일부를 제거하는 것을 더 포함하여 이루어지는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 37.

기판 상에 마스크 패턴을 형성하고;

상기 마스크 패턴에 의해 노출된 기판을 수직식각하여 폭이 일정한 상부 실리콘 핀을 형성하고;

노출된 기판을 경사식각하여 아래로 갈수록 폭이 증가하는 하부 실리콘 핀을 형성하고;

상기 하부 실리콘 핀의 하부 측벽을 감싸도록 하부 절연막을 형성하고;

상기 마스크 패턴, 상부 실리콘 핀, 그리고 하부 실리콘 핀의 상부 측벽 상에 절연막 라이너를 형성하고;

상기 절연막 라이너 상에 상기 하부 실리콘 핀의 상부 측벽 및 상기 상부 실리콘 핀의 측벽을 감싸도록 상부 절연막을 형성하고;

상기 상부 실리콘 핀의 측벽이 노출되도록 상기 절연막 라이너의 일부분을 제거하고;

노출된 상부 실리콘 핀 표면 상에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 게이트 전극을 형성하는 것을 포함하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 38.

제 37 항에 있어서,

상기 상부 실리콘 핀을 형성한 후,

상기 마스크 패턴 및 상부 실리콘 핀의 측벽에 스페이서를 형성하고;

상기 하부 실리콘 핀을 형성한 후 상기 하부 절연막을 형성하기 전에 상기 스페이서를 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 39.

제 38 항에 있어서,

상기 스페이서를 형성하기 전에 버퍼 산화막 라이너를 형성하는 것을 더 포함하고, 이때,

상기 스페이서를 제거한 후 상기 버퍼 산화막 라이너를 제거하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

### 청구항 40.

제 37 항 내지 제 39 항 중 어느 한 항에 있어서,

상기 절연막 라이너의 일부를 제거한 후 상기 상부 절연막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

#### 청구항 41.

제 40 항에 있어서,

상기 절연막 라이너를 형성하는 것은 산화막 라이너 및 질화막 라이너를 순차적으로 형성하는 것을 포함하여 이루어지고, 이때,

상기 절연막 라이너의 일부를 제거하는 것은,

상기 질화막 라이너의 일부를 제거하고;

노출된 산화막 라이너를 제거하는 것을 포함하여 이루어지는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

#### 청구항 42.

제 37 항 내지 제 39 항 중 어느 한 항에 있어서,

상기 하부 실리콘 핀을 형성한 후 상기 마스크 패턴을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

#### 청구항 43.

제 42 항에 있어서,

상기 절연막 라이너의 일부를 제거한 후 상기 상부 절연막을 제거하는 것을 더 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

#### 청구항 44.

제 42 항에 있어서,

상기 절연막 라이너는 질화막 라이너로 형성되는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

#### 청구항 45.

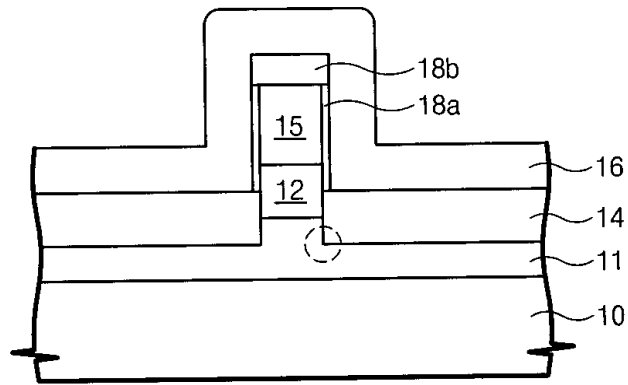
제 43 항에 있어서,

상기 절연막 라이너는 질화막 라이너로 형성되는 것을 특징으로 하는 핀 전계효과 트랜지스터 형성 방법.

도면

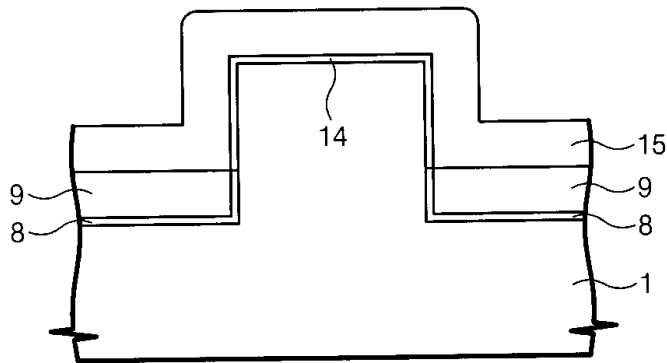
도면1a

(종래 기술)

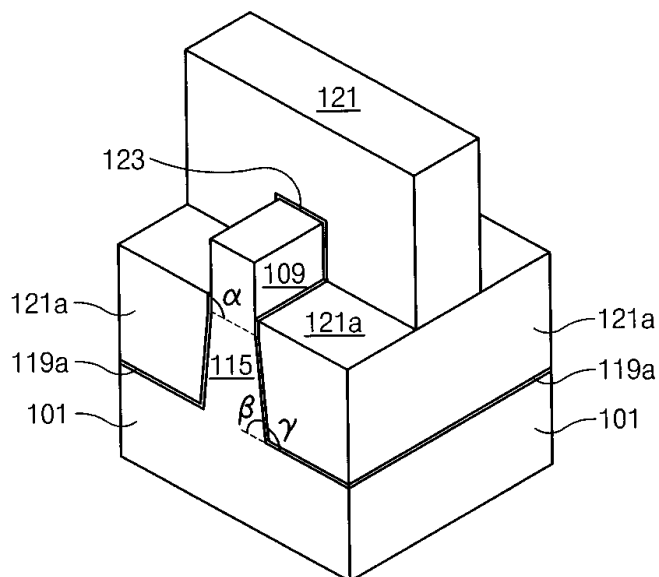


도면1b

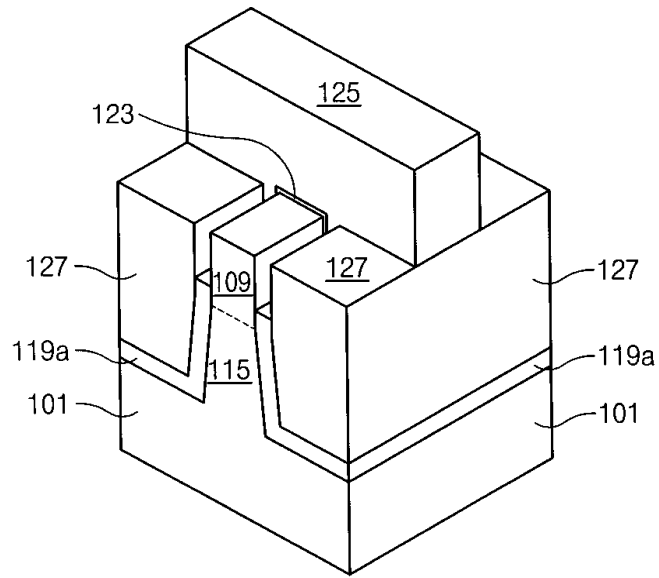
(종래 기술)



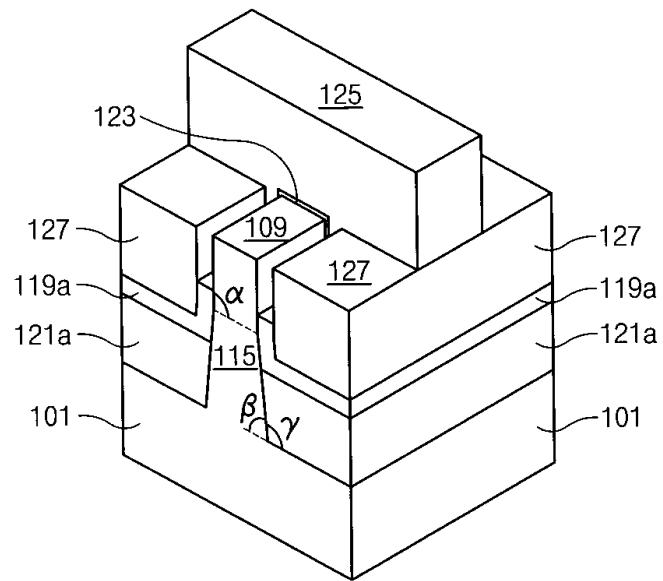
도면2a



도면2b

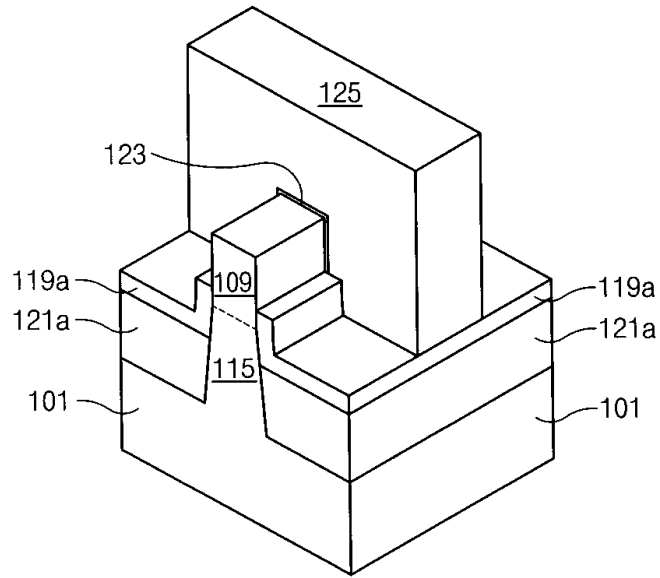


도면2c

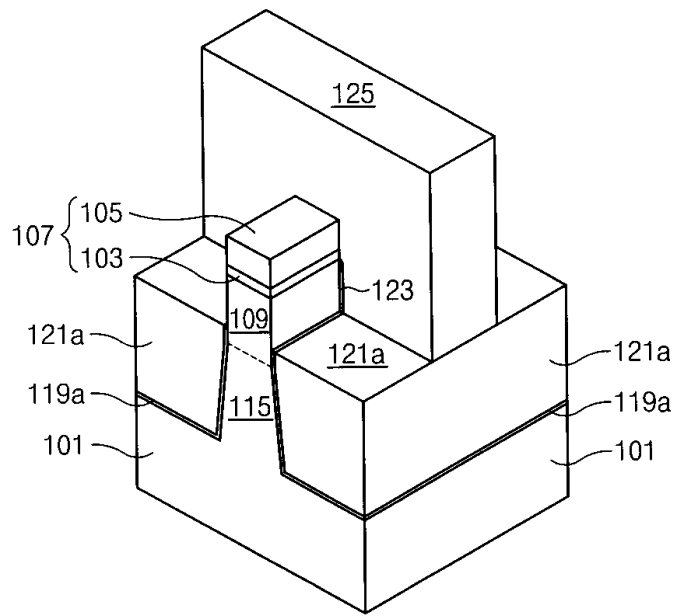




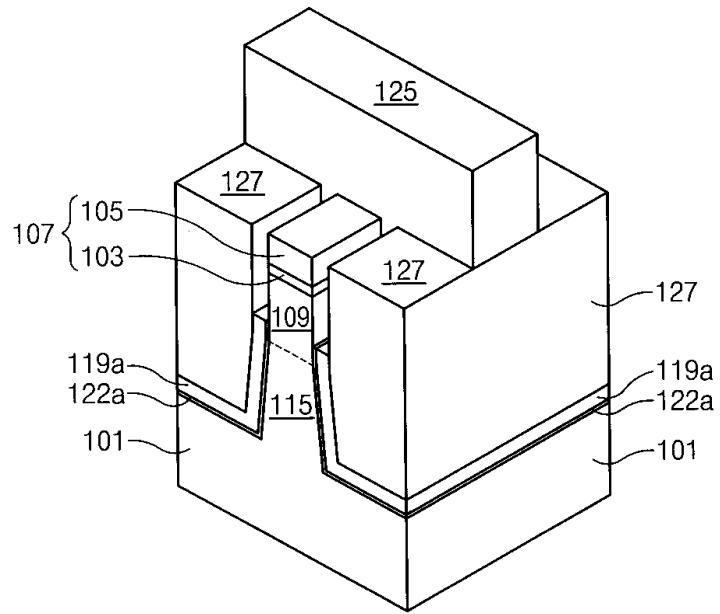
도면2d



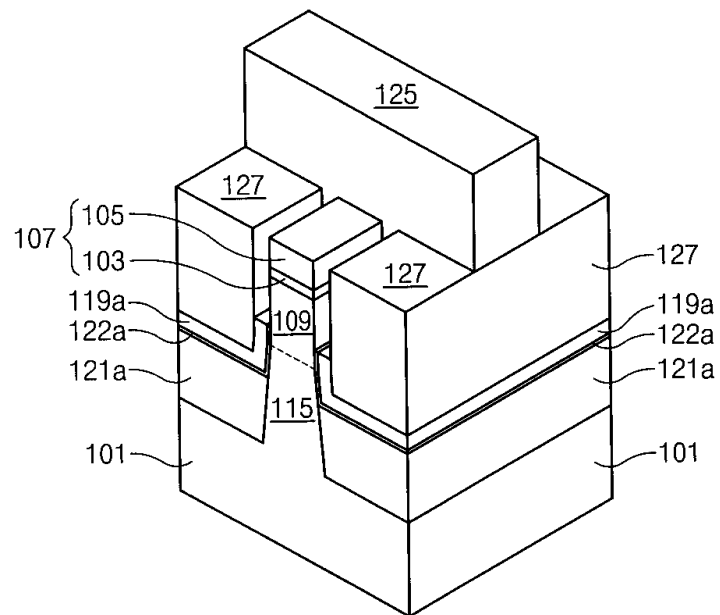
도면2e



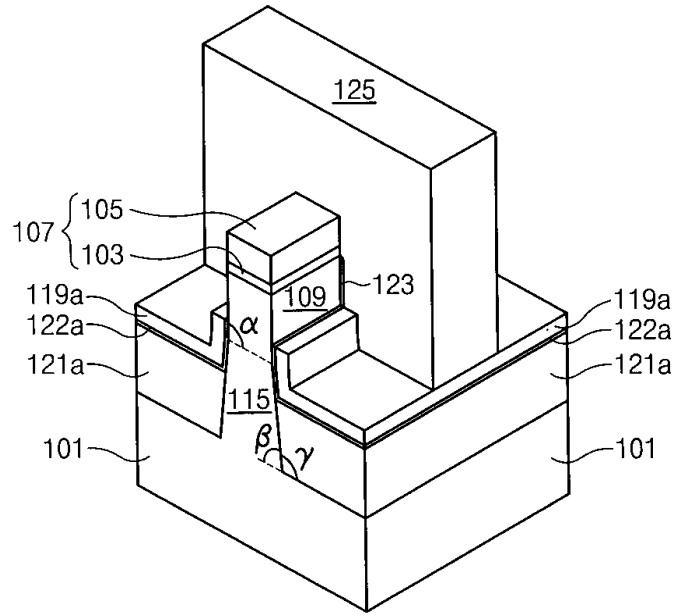
도면2f



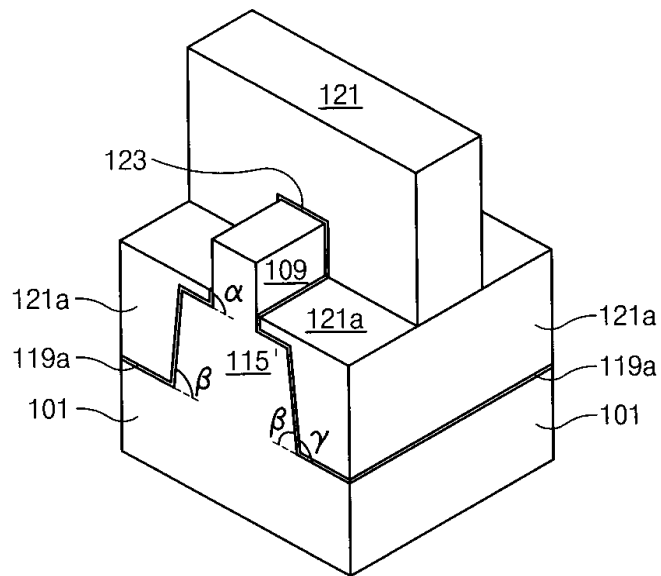
도면2g



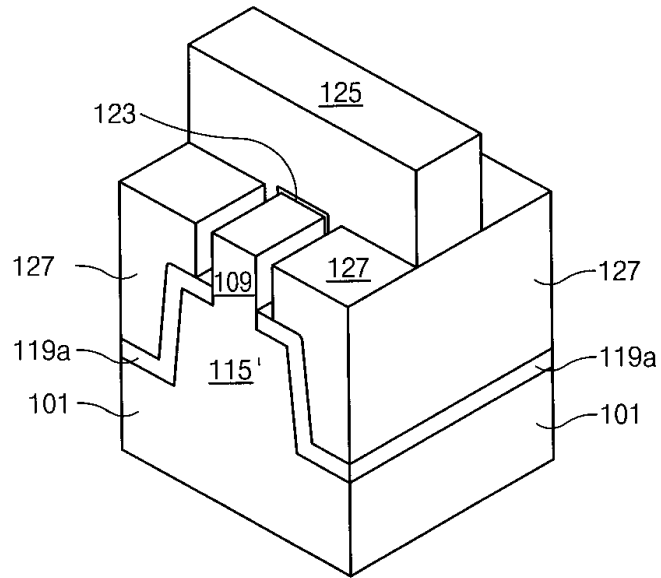
도면2h



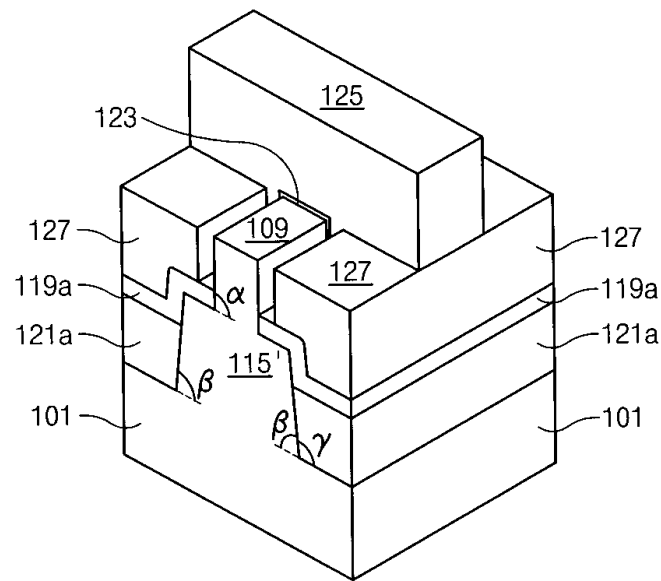
도면3a



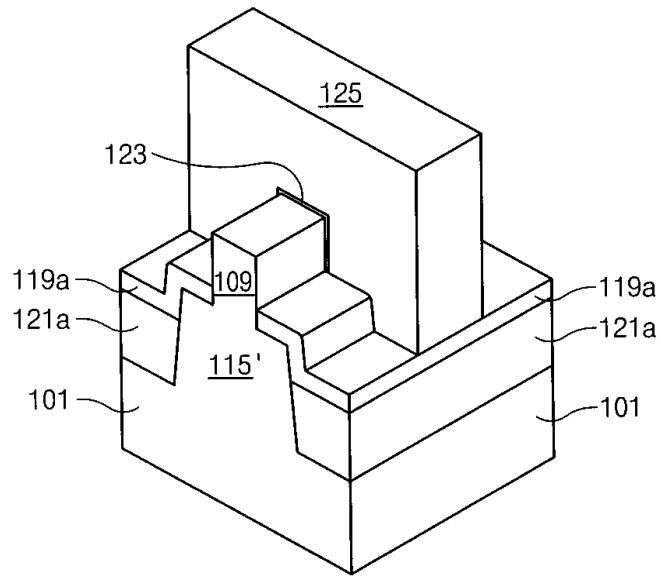
도면3b



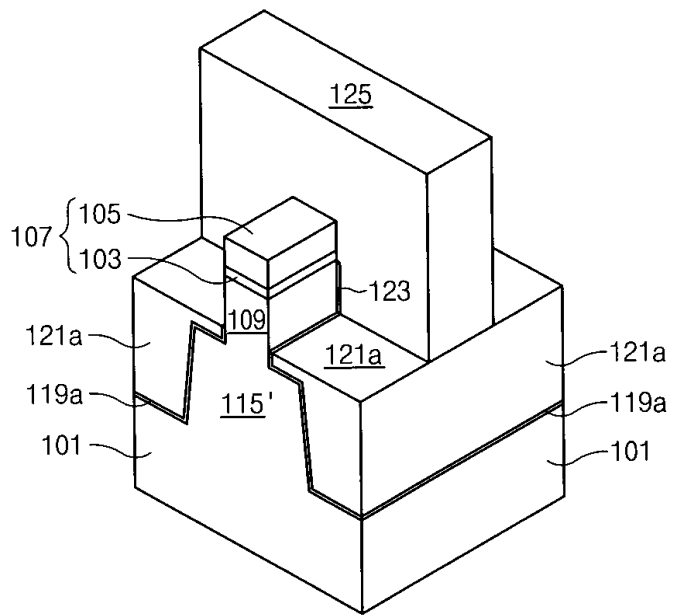
도면3c



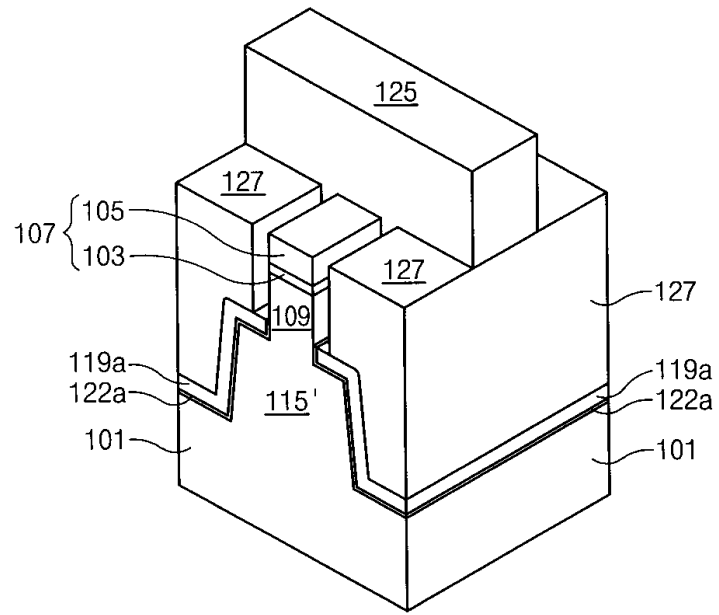
도면3d



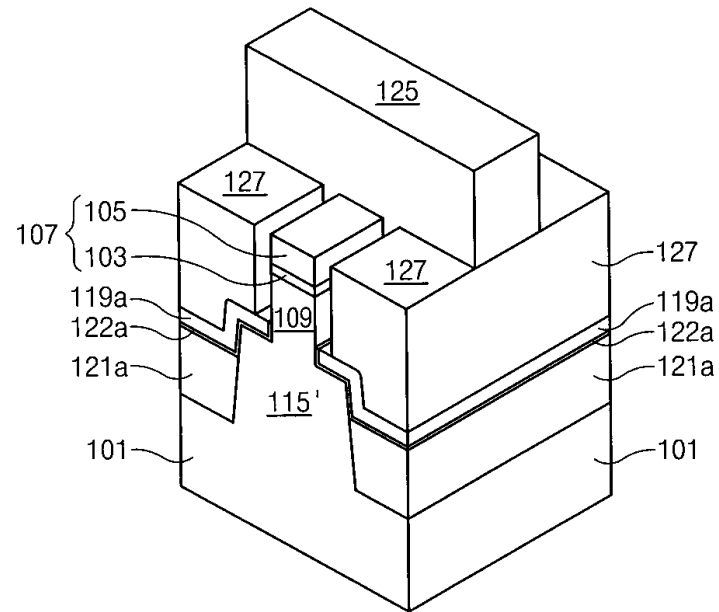
도면3e



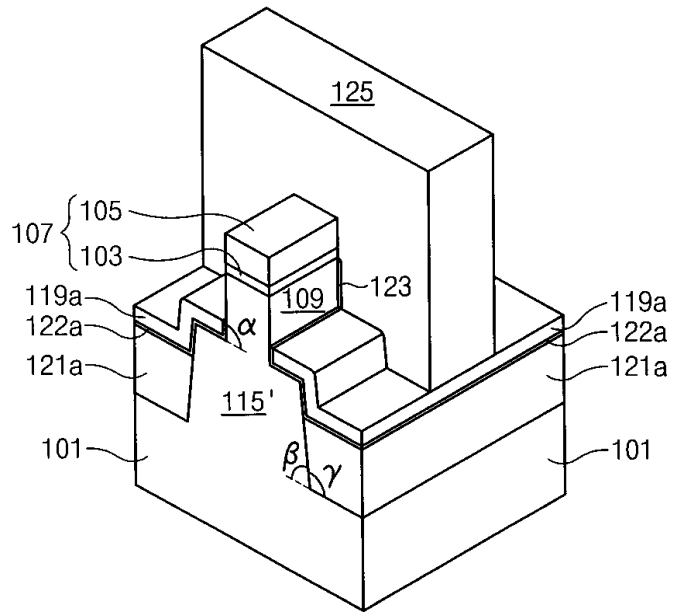
도면3f



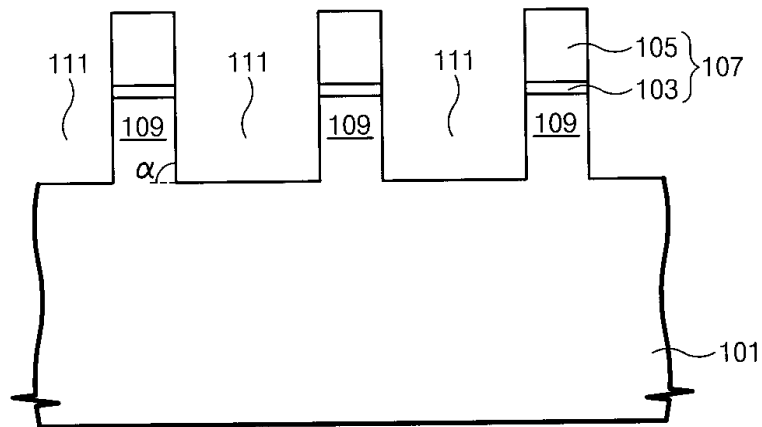
도면3g



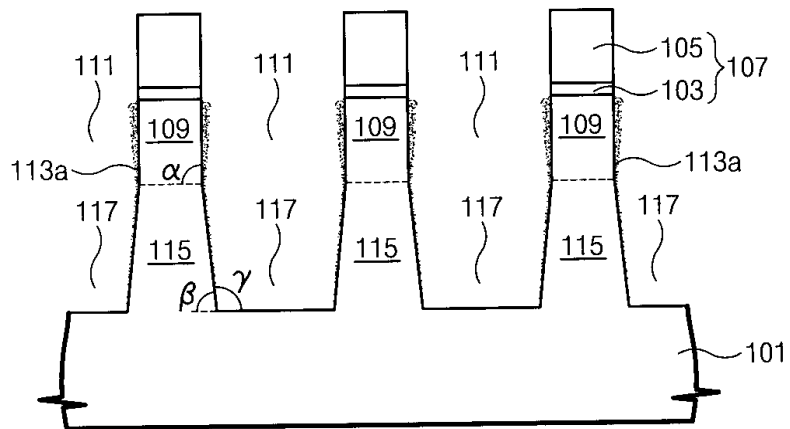
도면3h



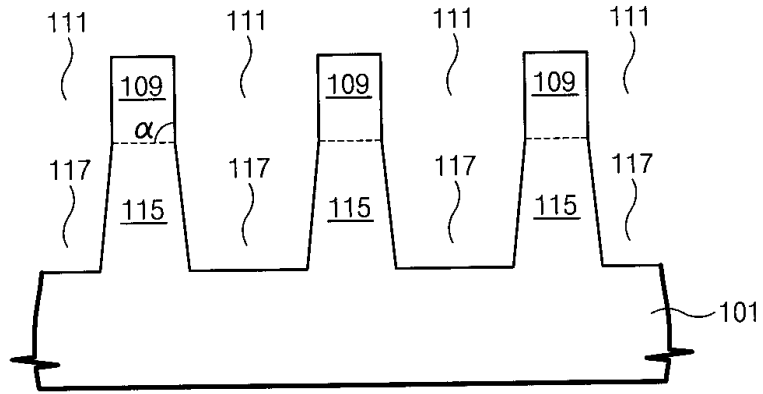
도면4a



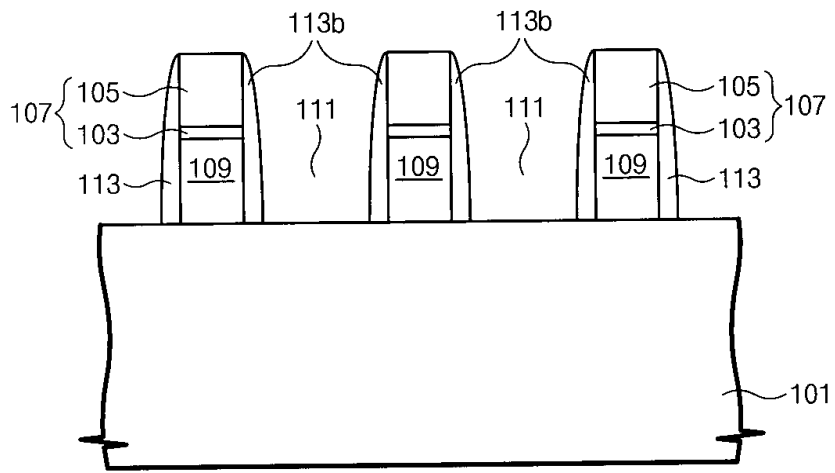
도면4b



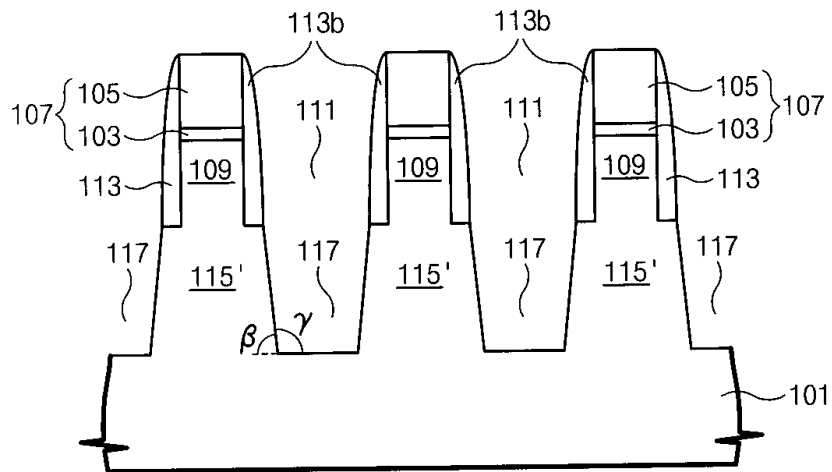
도면4c



도면5a

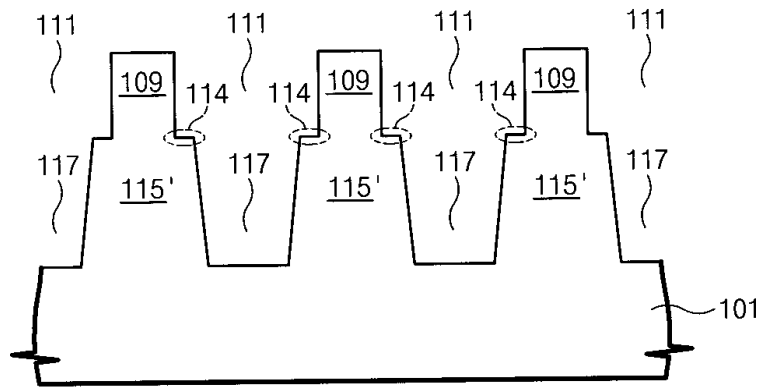


도면5b

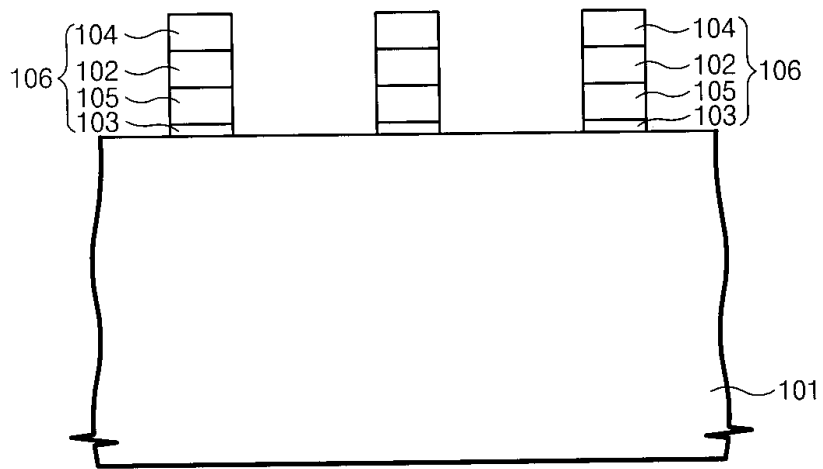




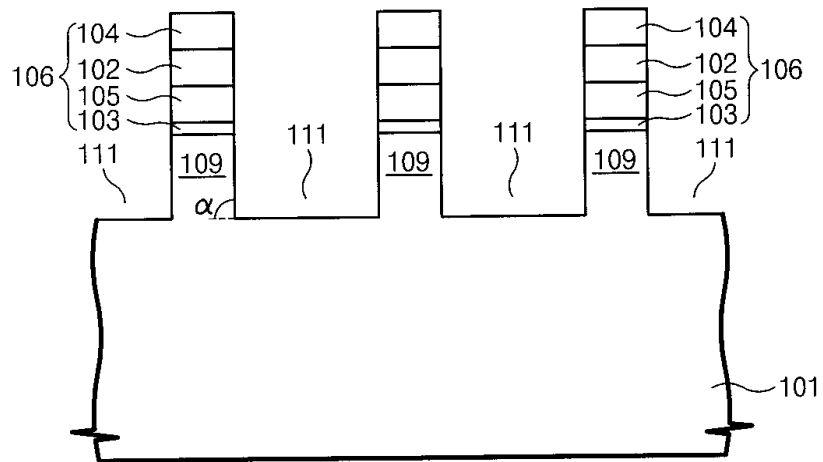
도면5c



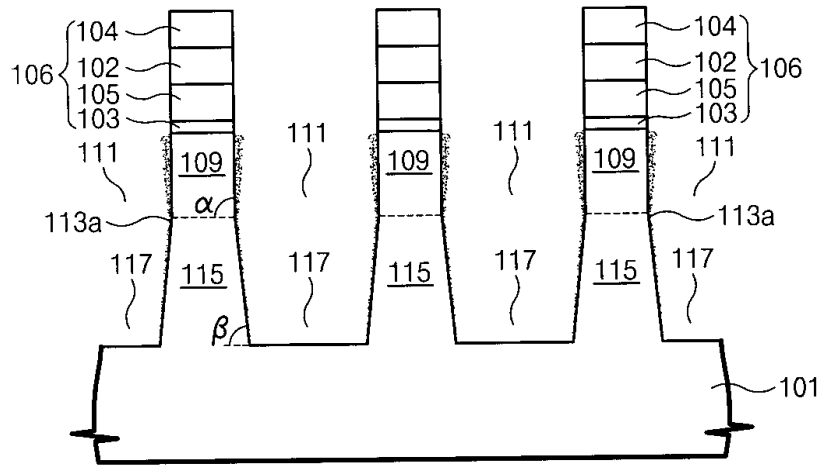
도면6a



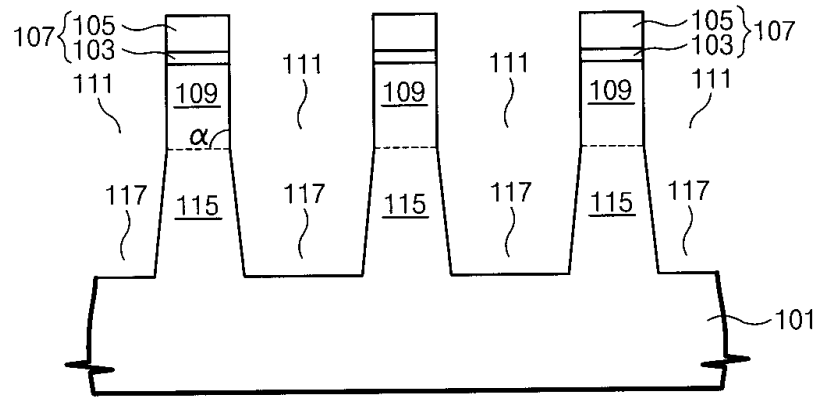
도면6b



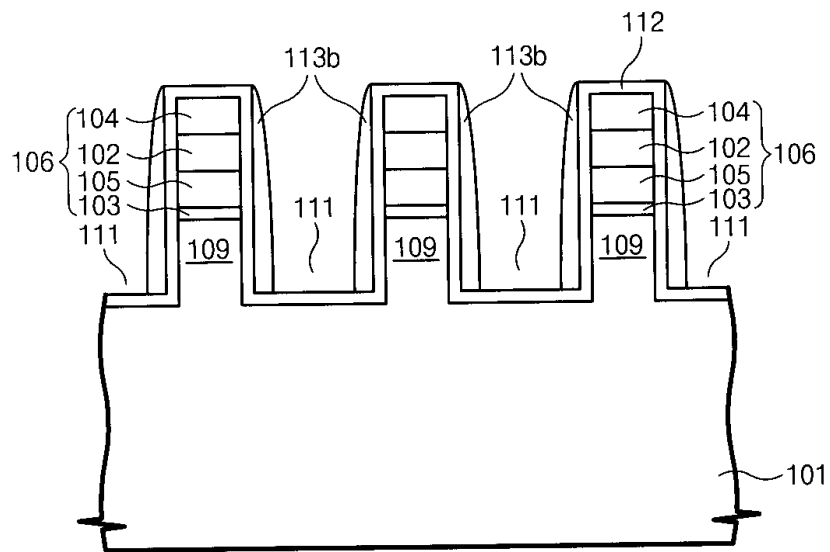
도면6c



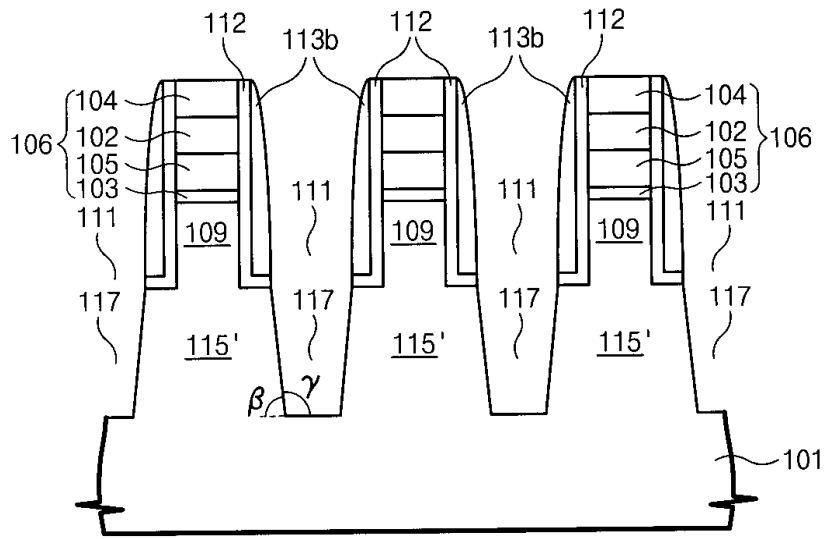
도면6d



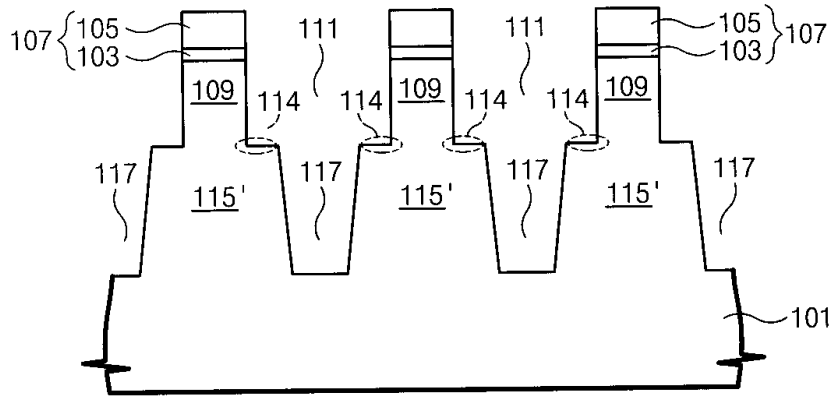
도면7a



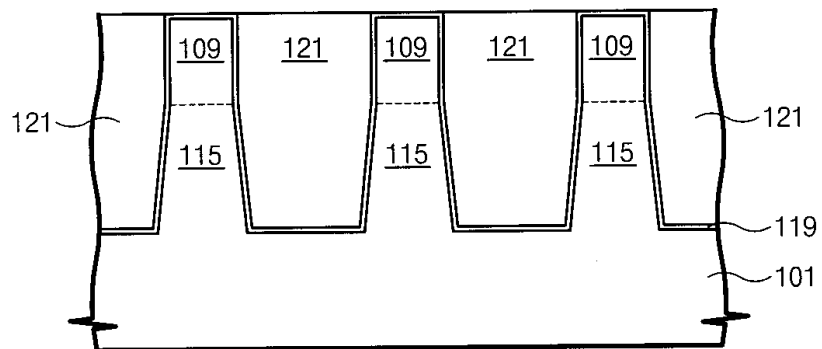
도면7b



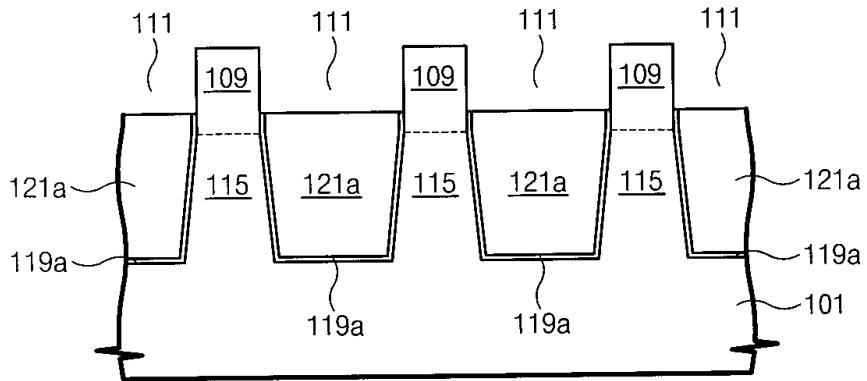
도면7c



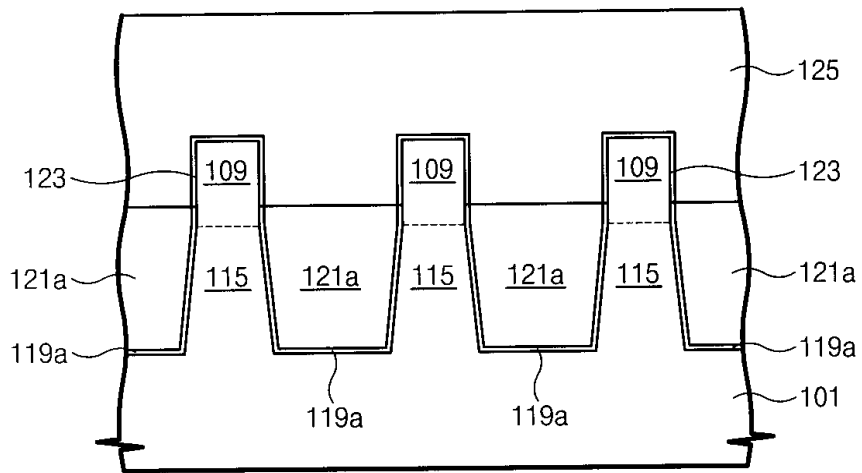
도면8a



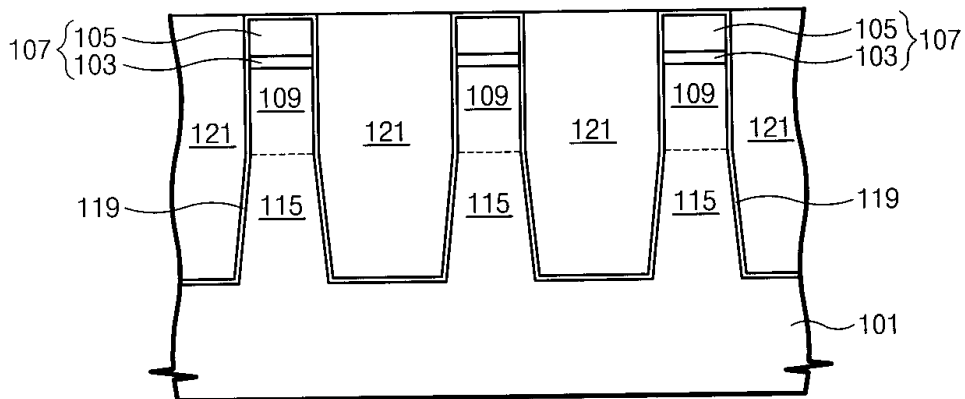
도면8b



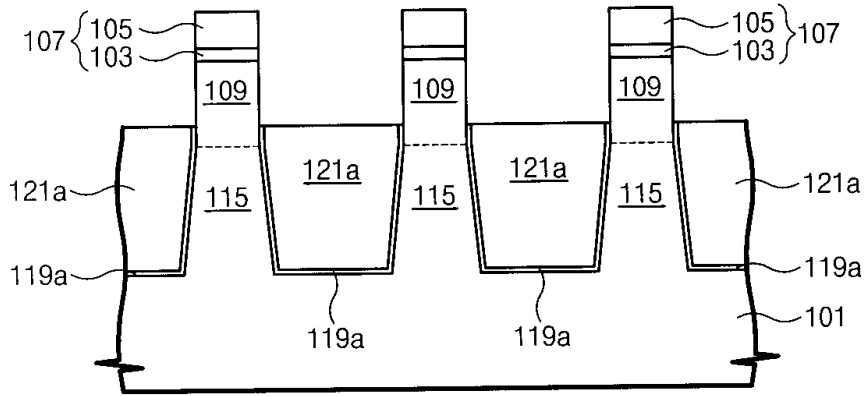
도면8c



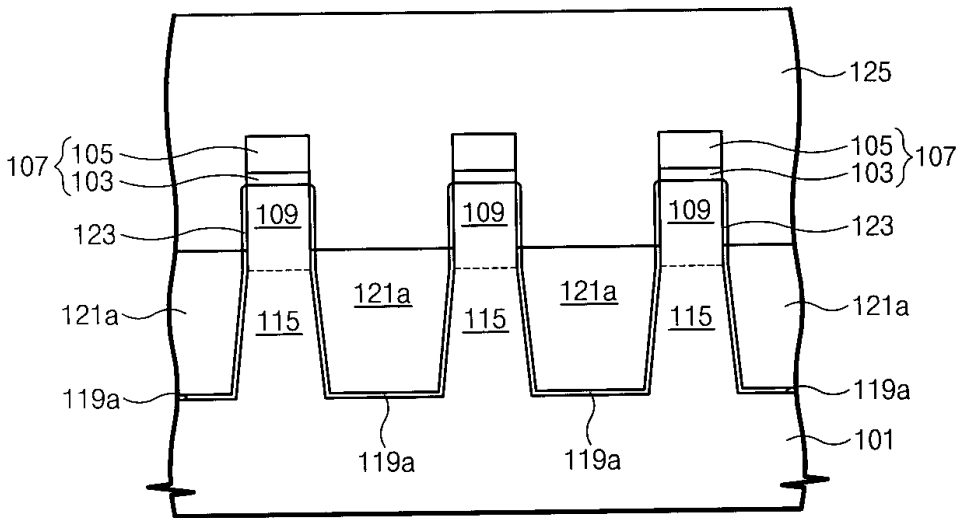
도면9a



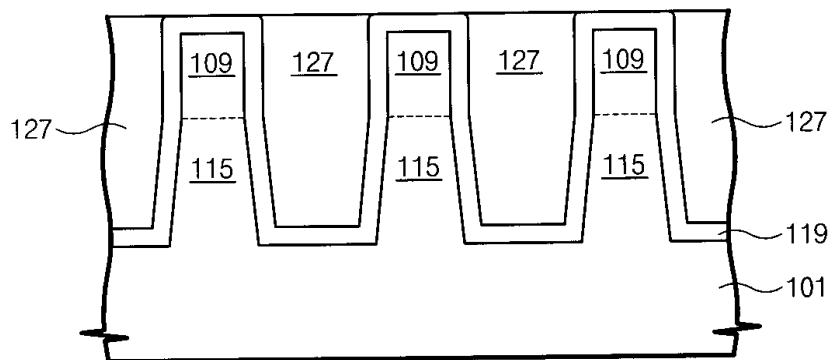
도면9b



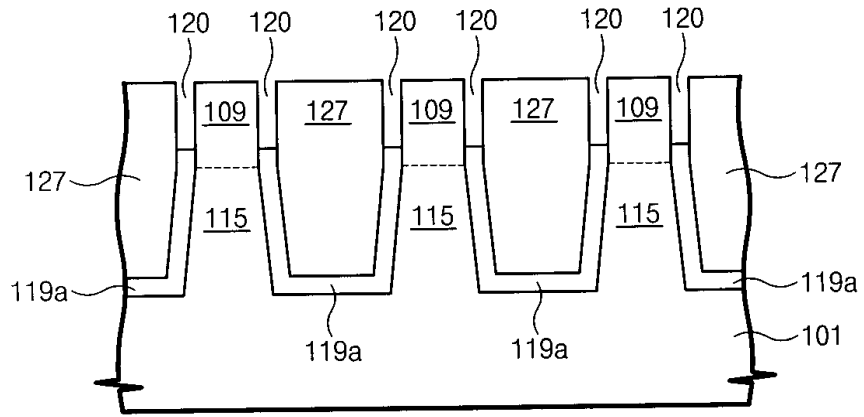
도면9c



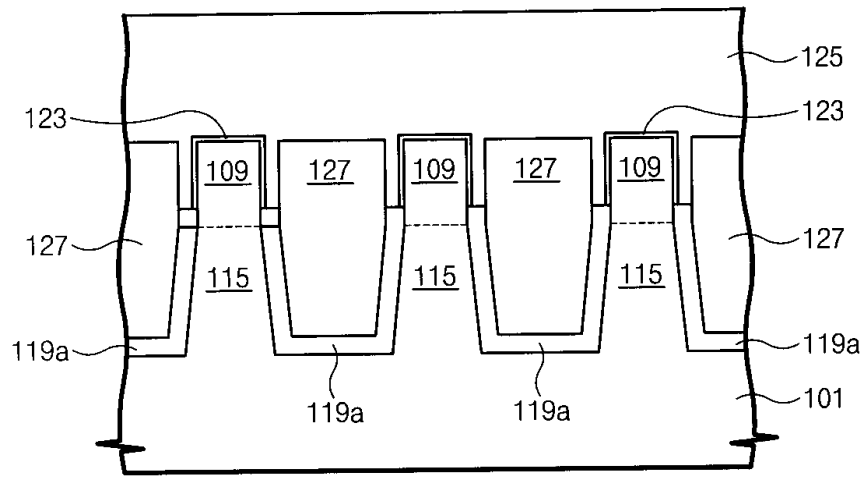
도면10a



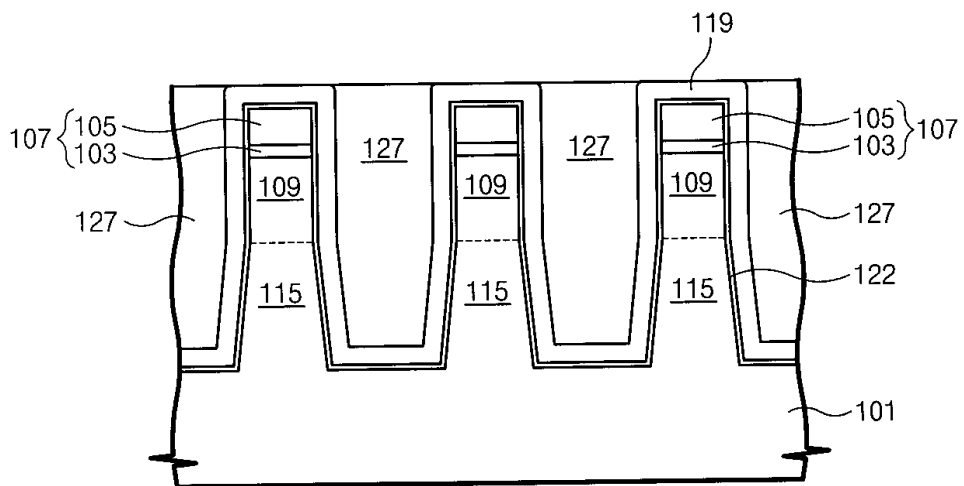
도면10b



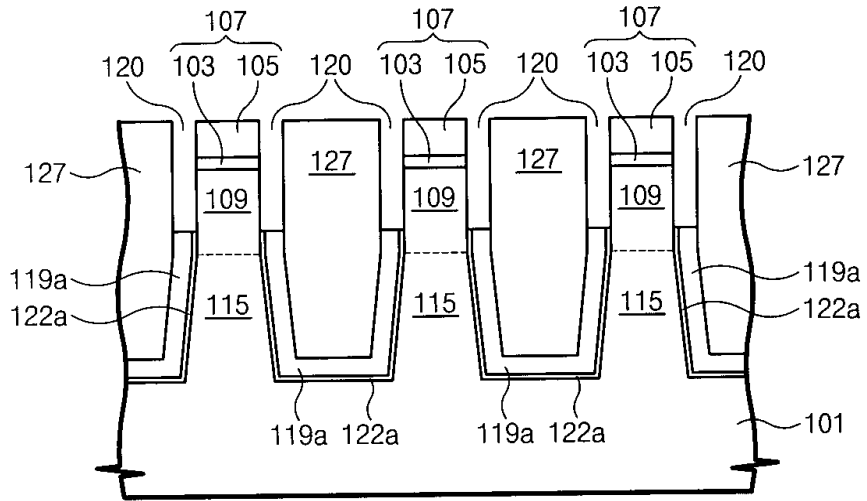
도면10c



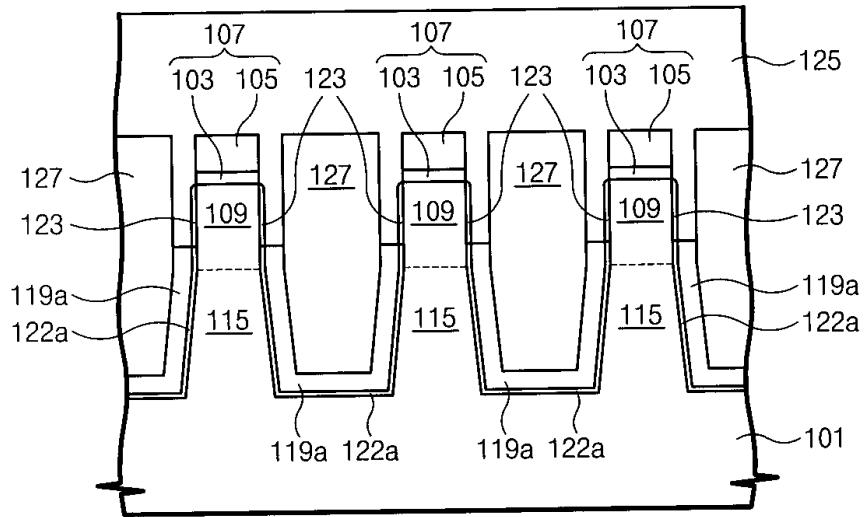
도면11a



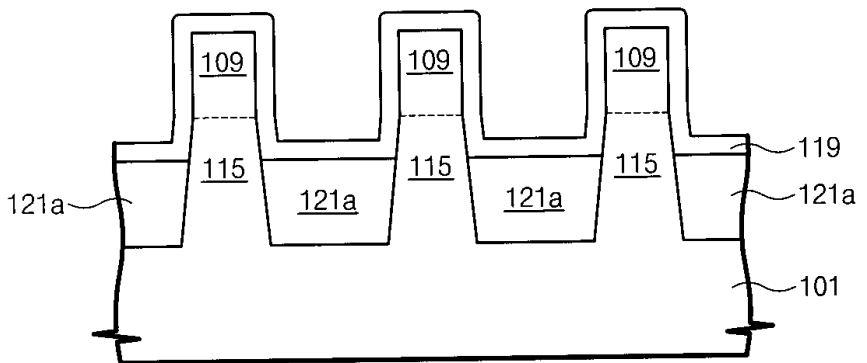
도면11b



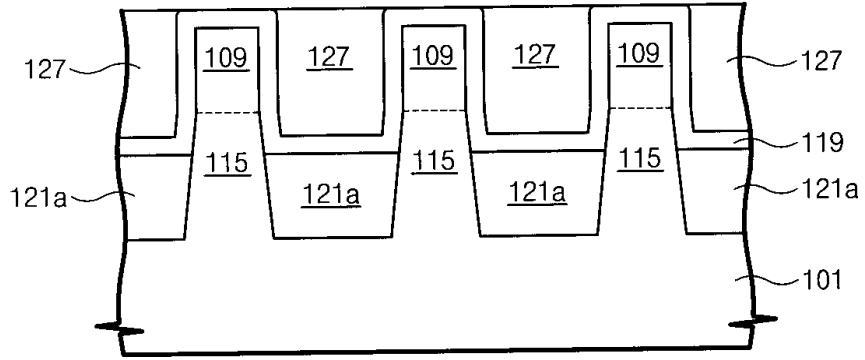
도면11c



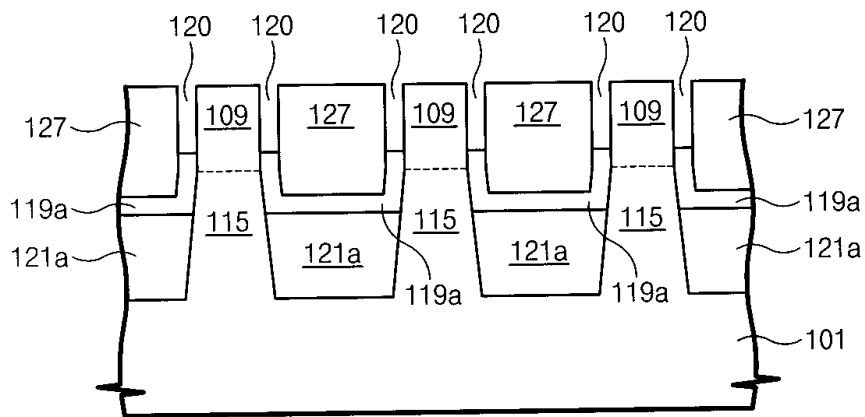
도면12a



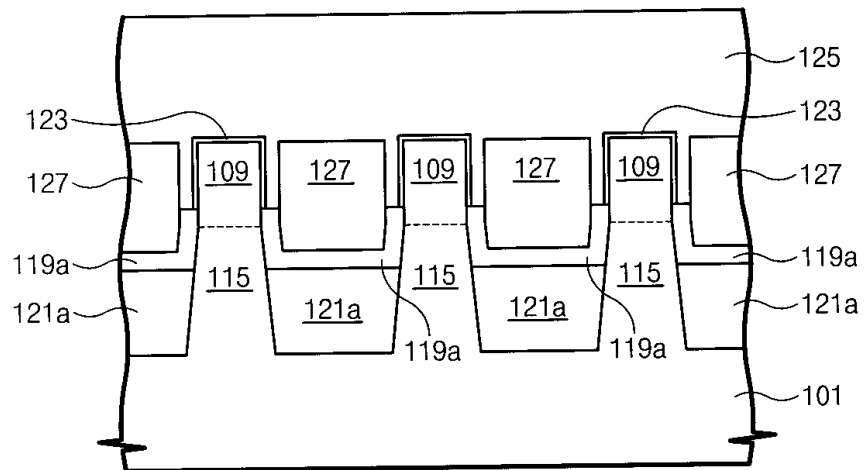
도면12b



도면12c

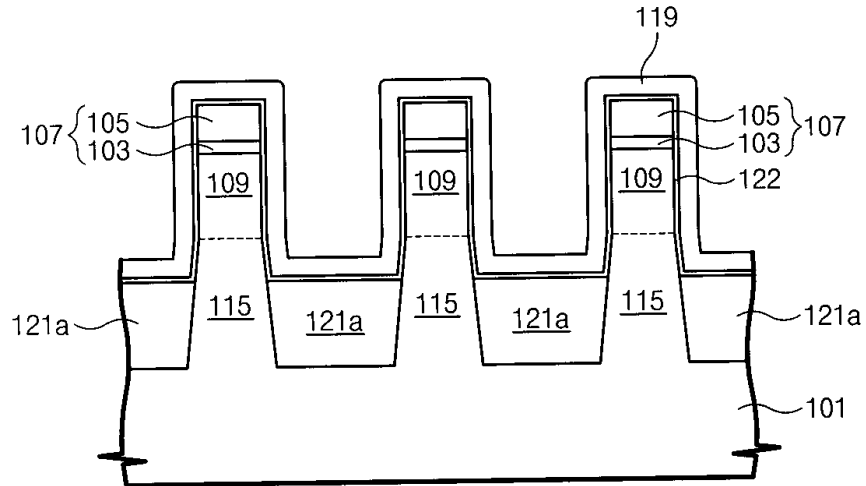


도면12d

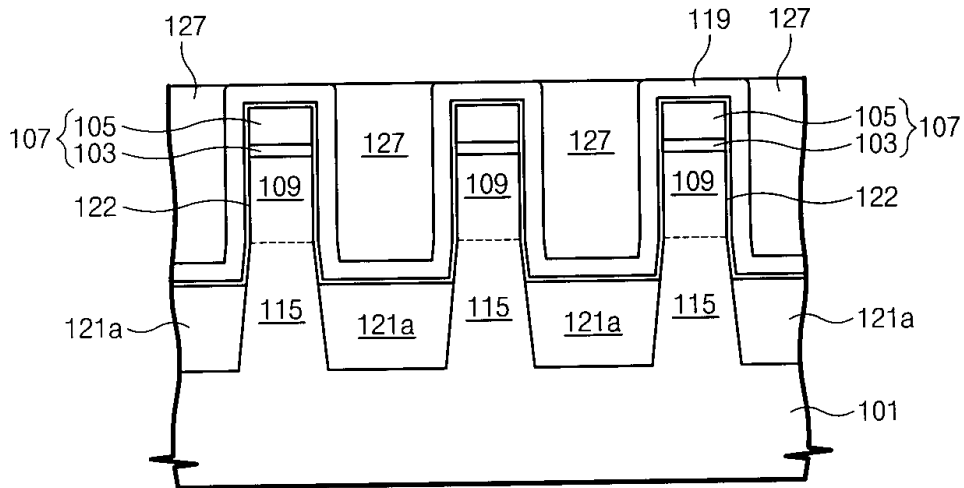




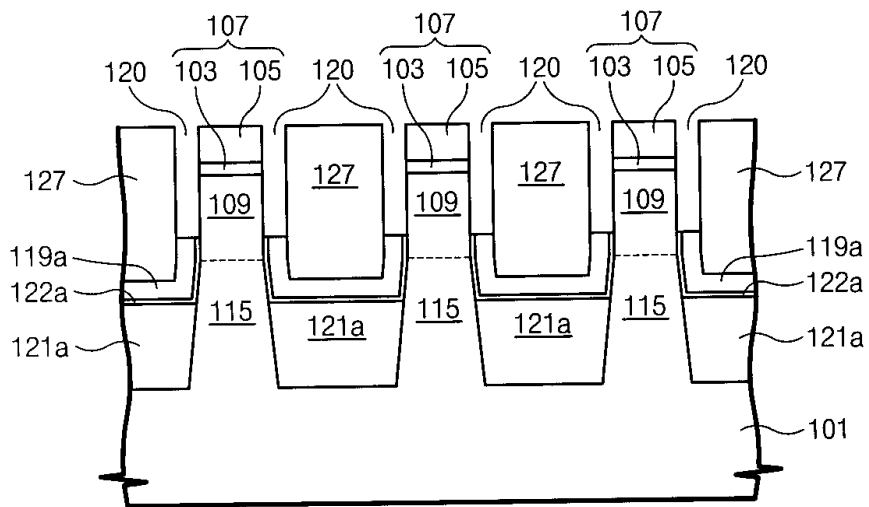
도면13a



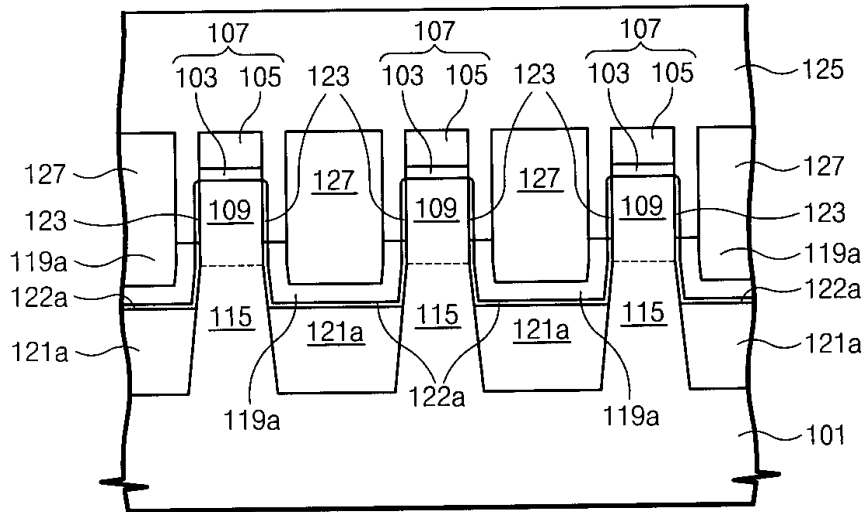
도면13b



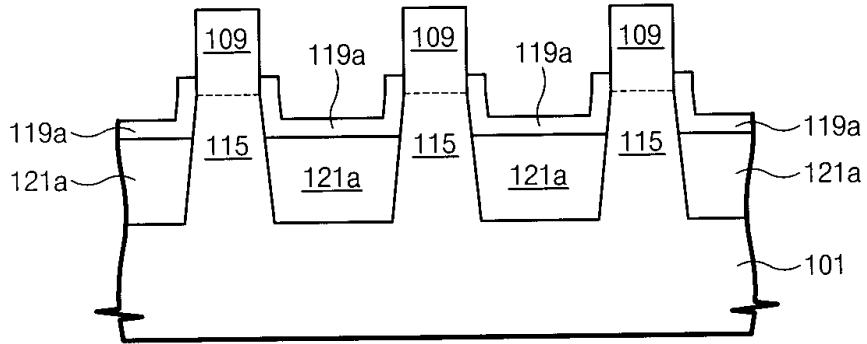
도면13c



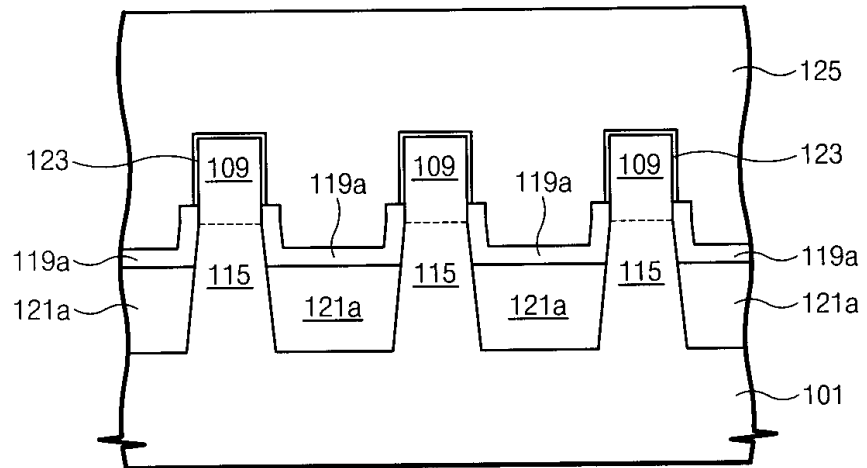
도면13d



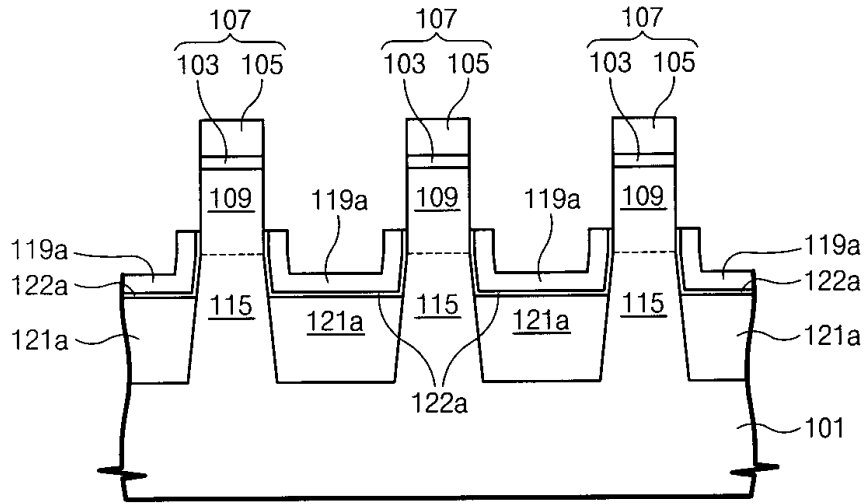
도면14a



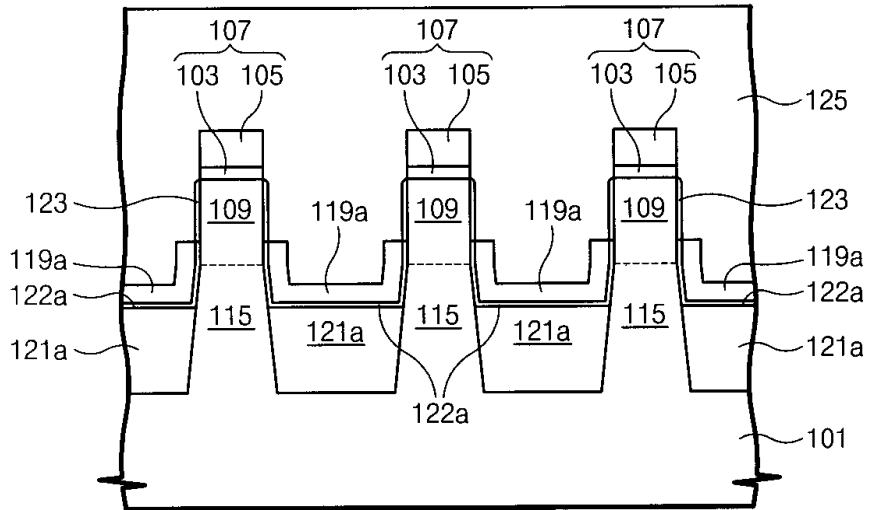
도면14b



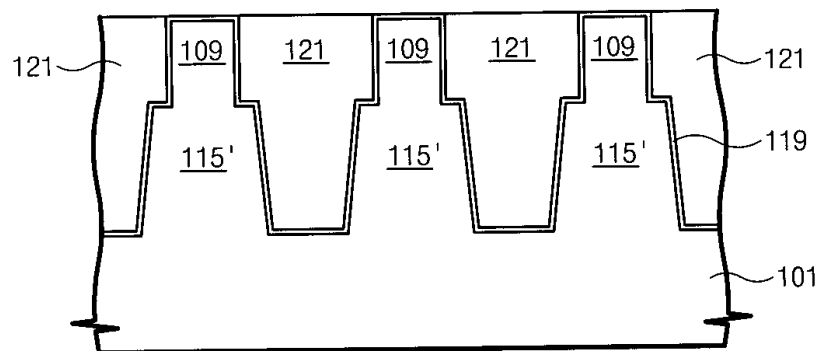
도면15a



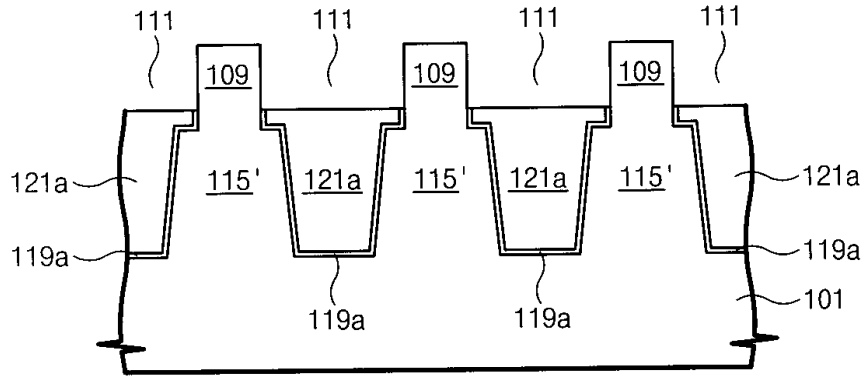
도면15b



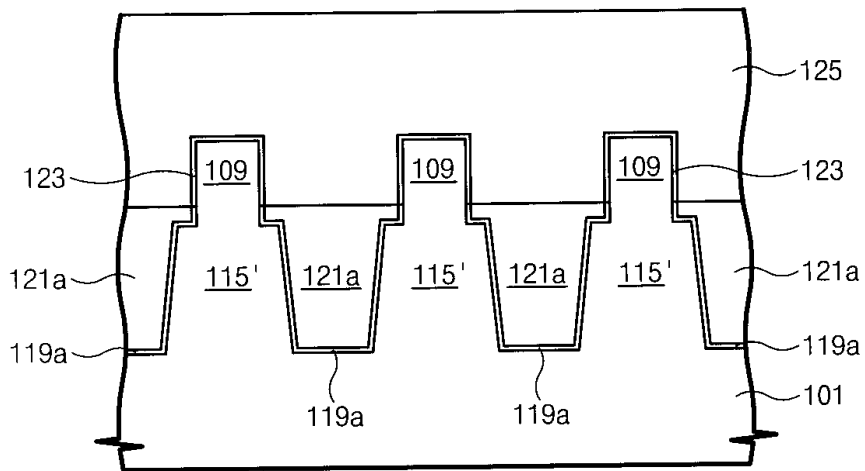
도면16a



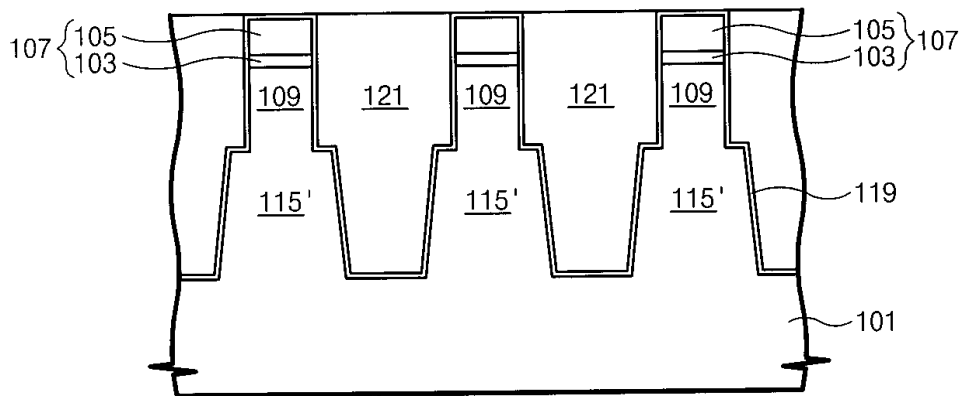
도면16b



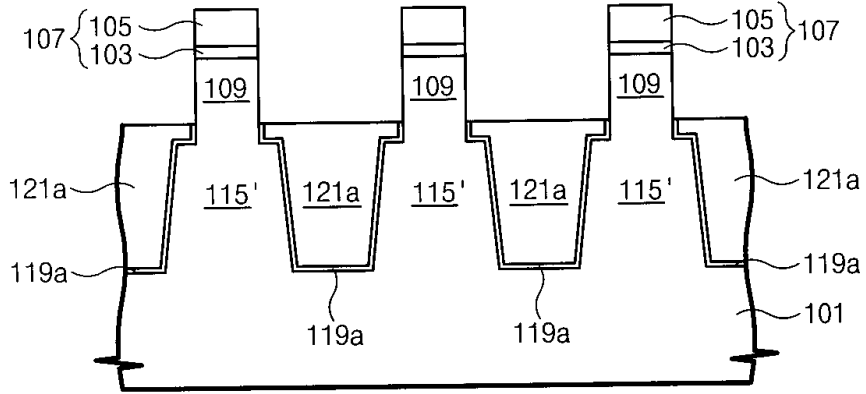
도면16c



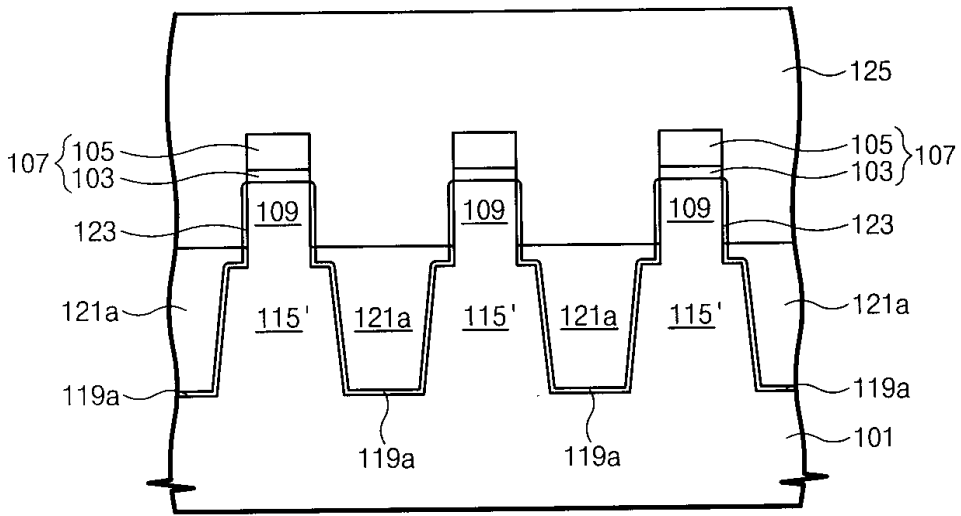
도면17a



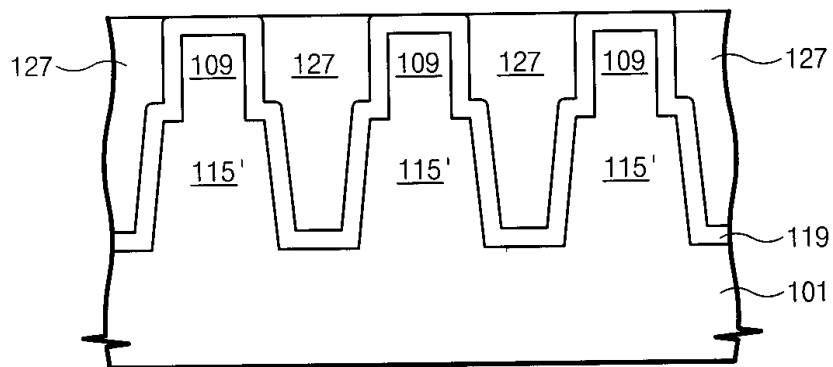
도면17b



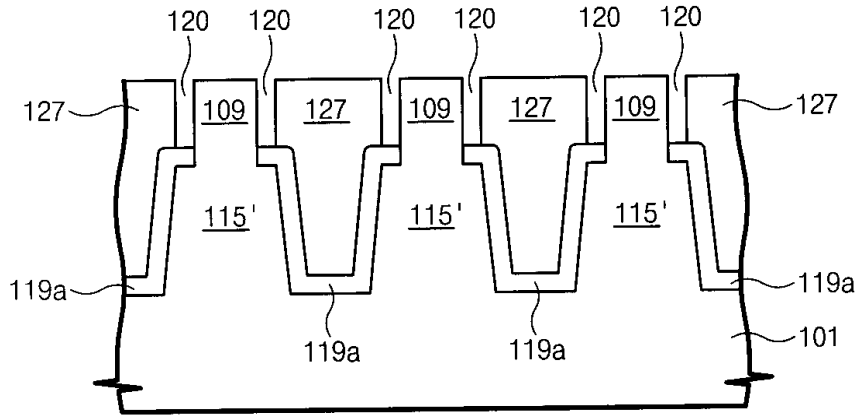
도면17c



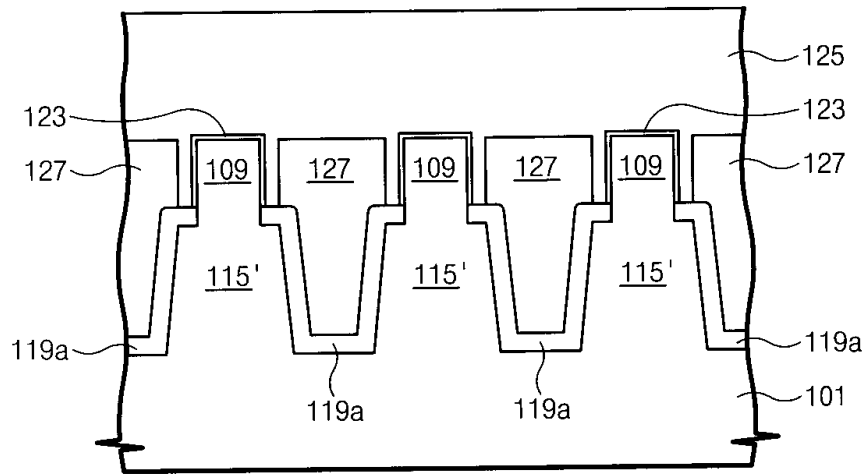
도면18a



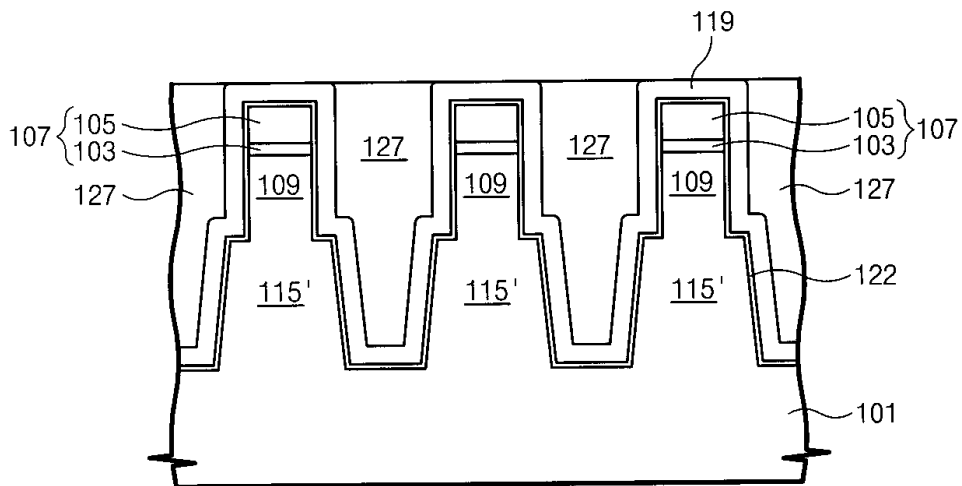
도면18b



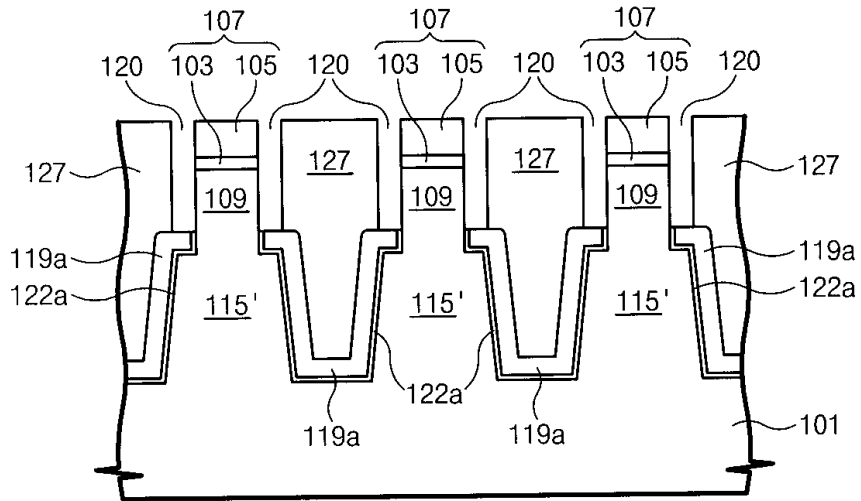
도면18c



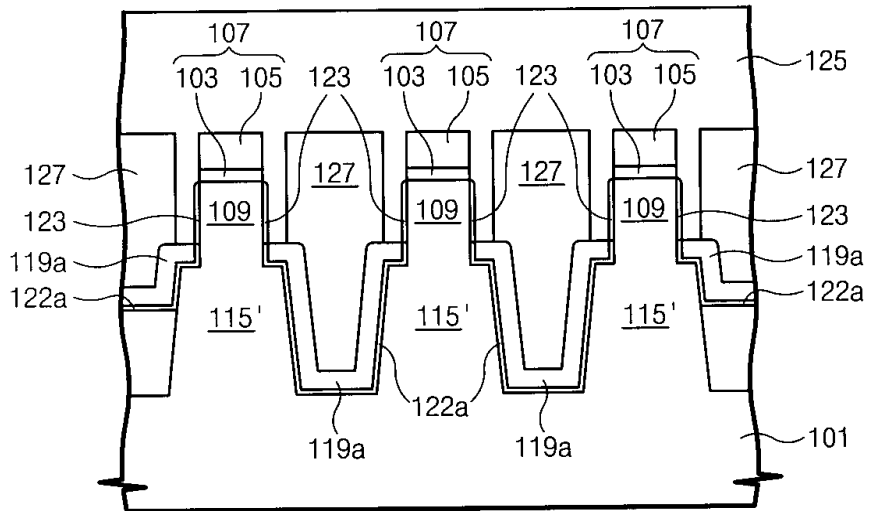
도면19a



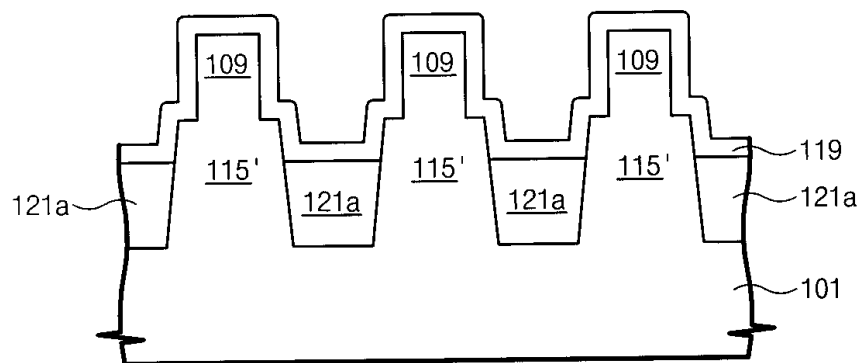
도면19b



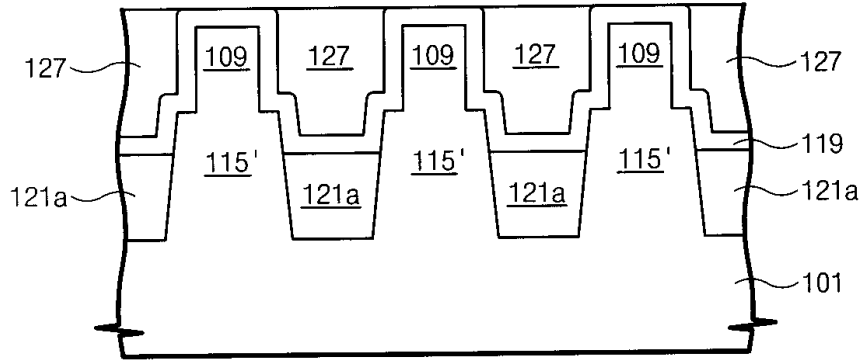
도면19c



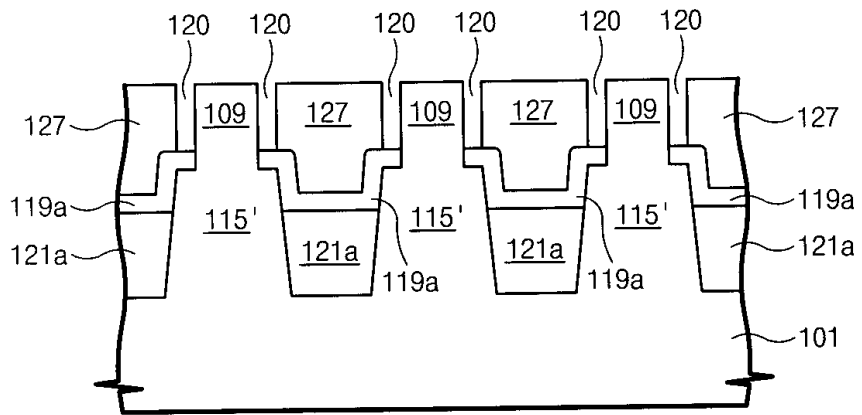
도면20a



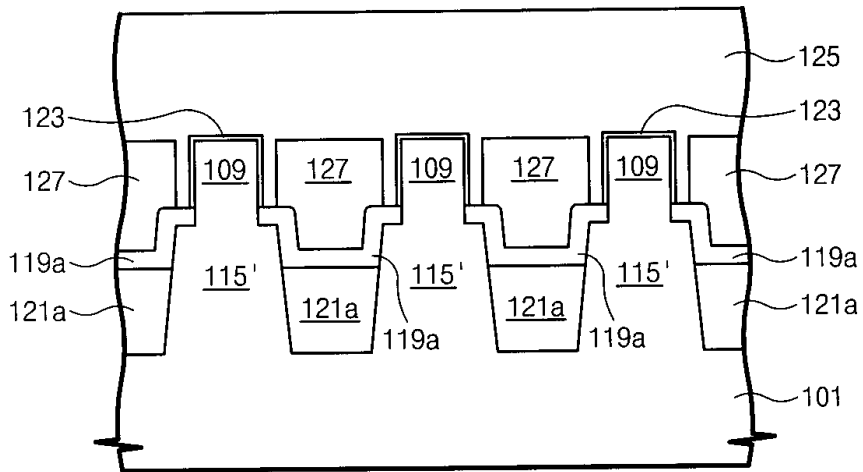
도면20b



도면20c

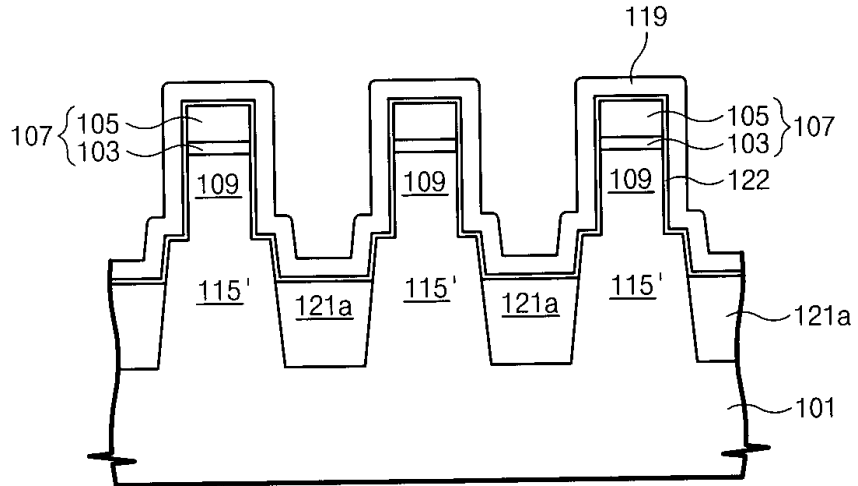


도면20d

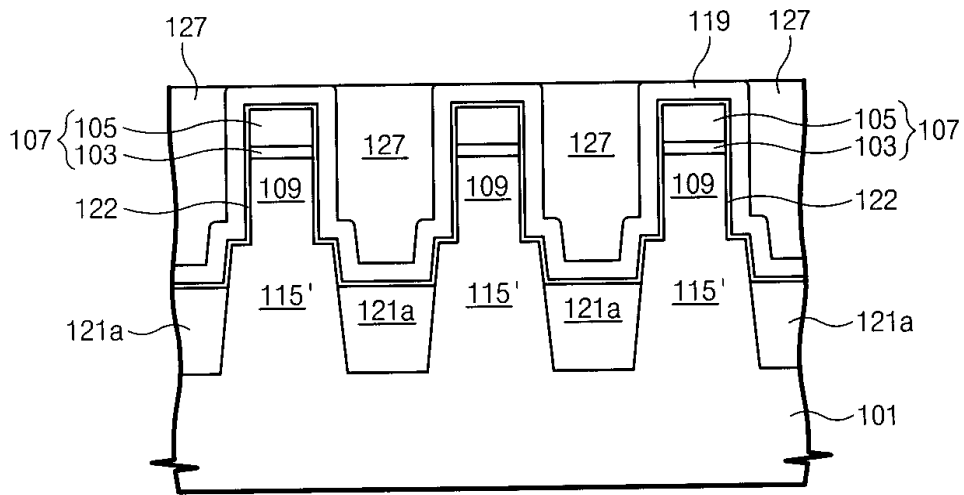




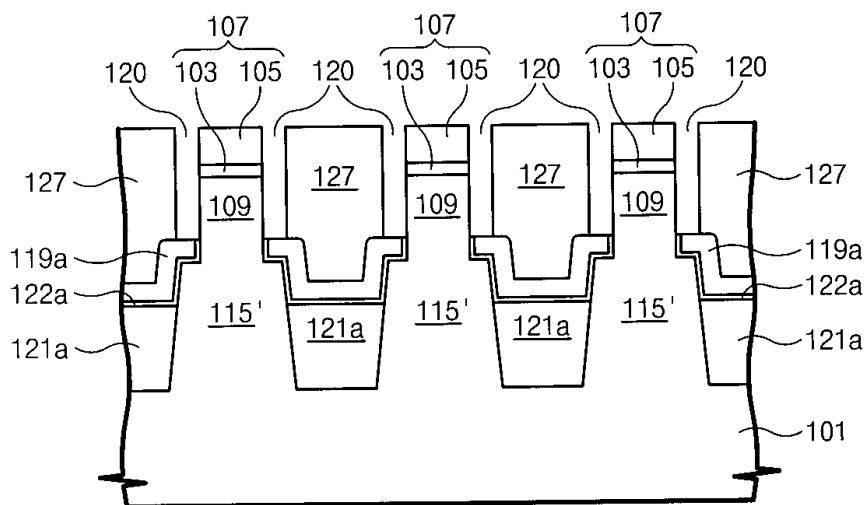
도면21a



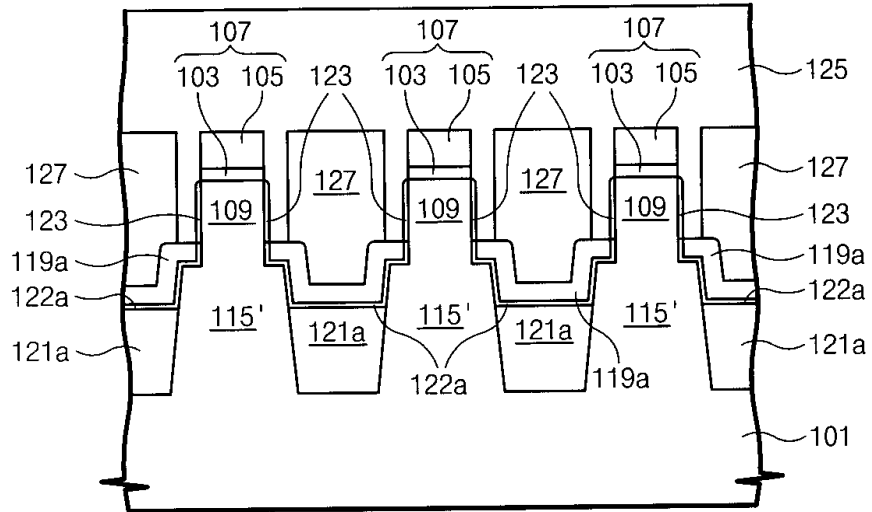
도면21b



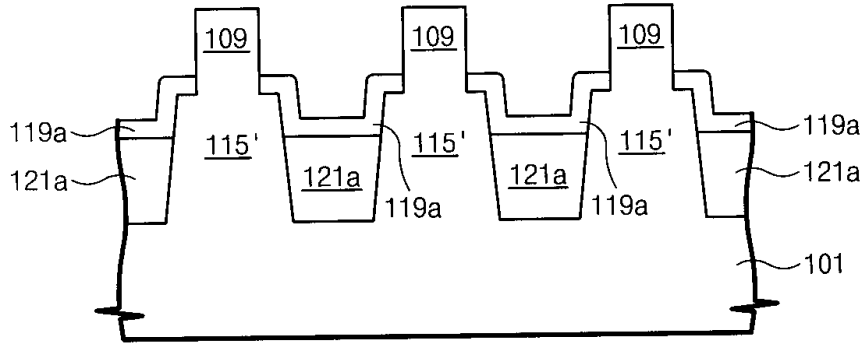
도면21c



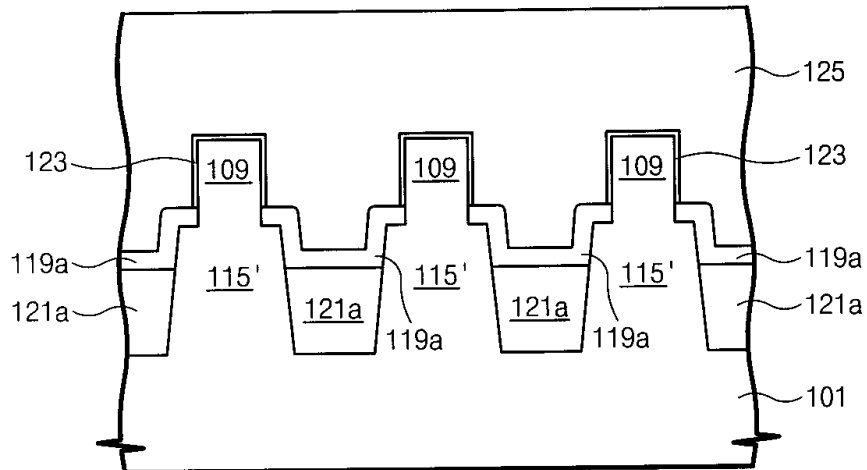
도면21d



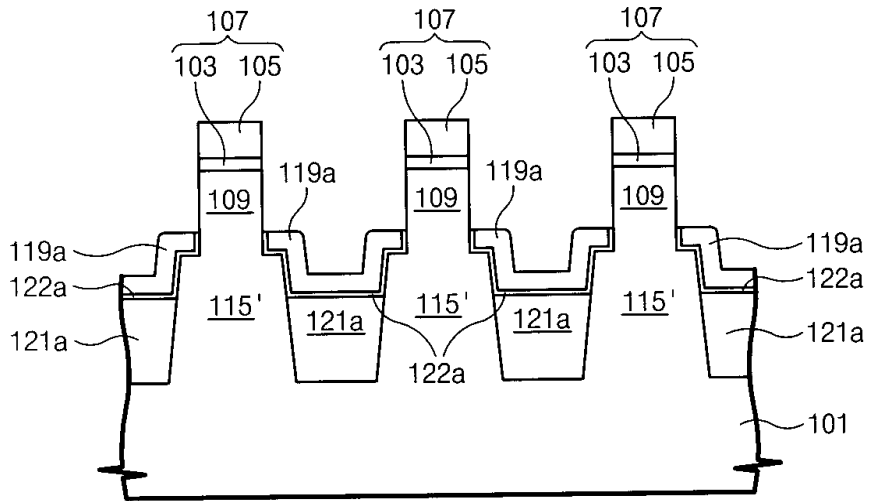
도면22a



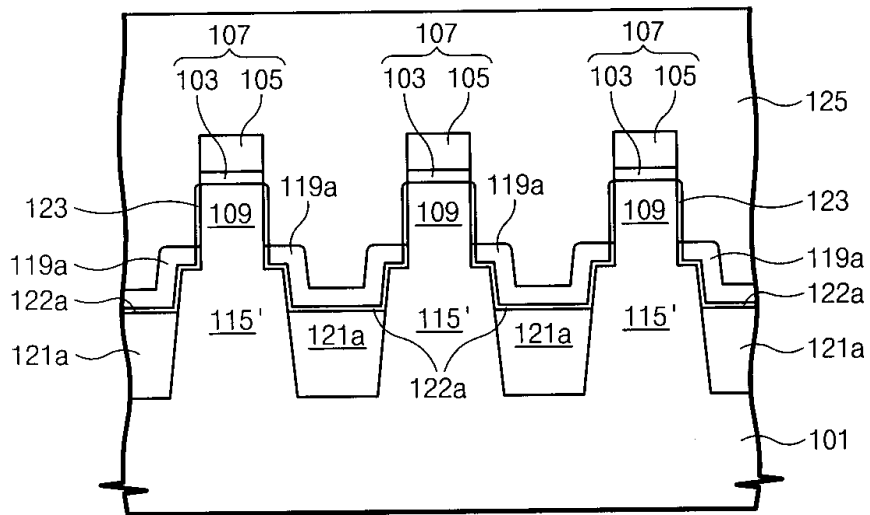
도면22b



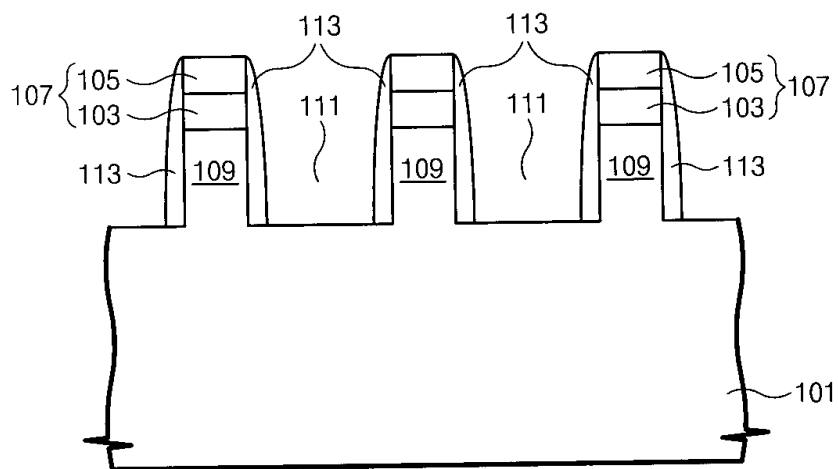
도면23a



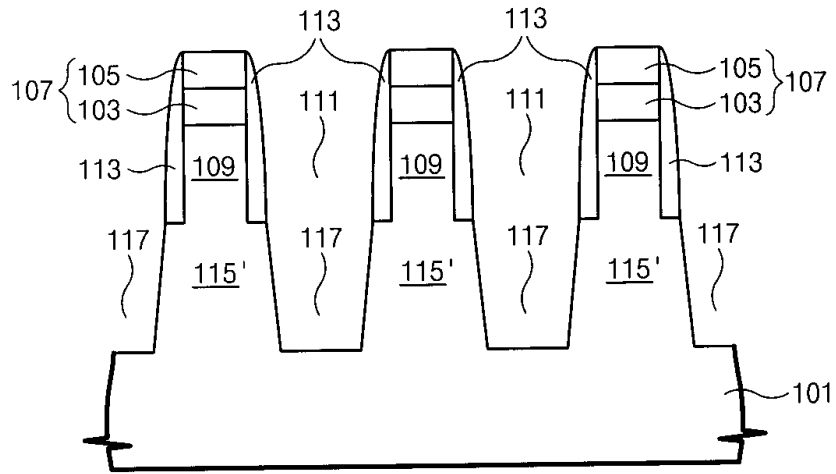
도면23b



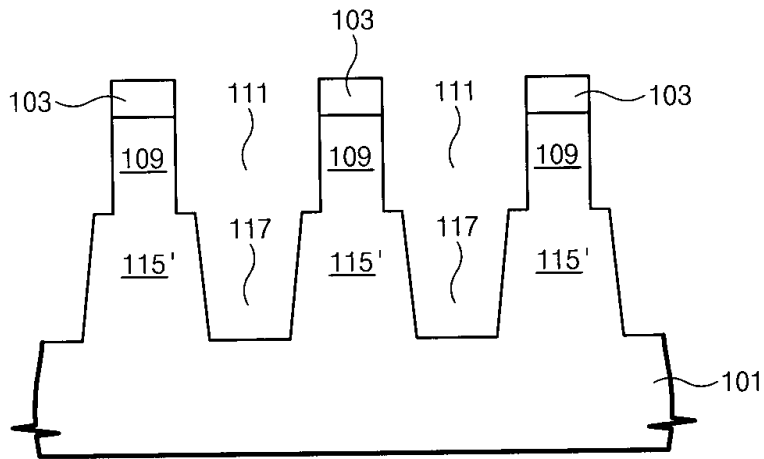
도면24a



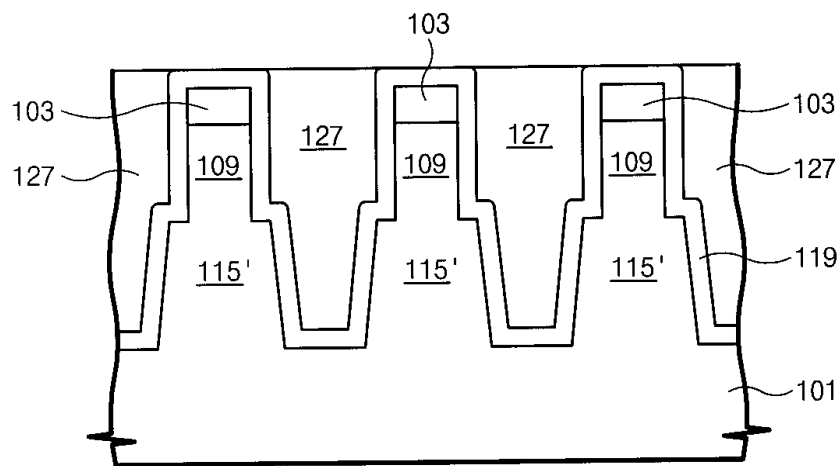
도면24b



도면24c



도면24d



도면24e

