

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6083969号
(P6083969)

(45) 発行日 平成29年2月22日 (2017. 2. 22)

(24) 登録日 平成29年2月3日 (2017. 2. 3)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006. 01)

G 1 1 C 17/00 6 1 2 B

G 1 1 C 16/04 (2006. 01)

G 1 1 C 17/00 6 1 2 E

G 1 1 C 16/06 (2006. 01)

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 3 9 C

請求項の数 25 (全 71 頁)

(21) 出願番号 特願2012-151230 (P2012-151230)
 (22) 出願日 平成24年7月5日 (2012. 7. 5)
 (65) 公開番号 特開2013-20694 (P2013-20694A)
 (43) 公開日 平成25年1月31日 (2013. 1. 31)
 審査請求日 平成27年6月10日 (2015. 6. 10)
 (31) 優先権主張番号 10-2011-0068825
 (32) 優先日 平成23年7月12日 (2011. 7. 12)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g t o n g - g u, S u w o n - s i, G
 y e o n g g i - d o, R e p u b l i c
 o f K o r e a
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 南 ▲尚▼完
 大韓民国京畿道華城市盤松洞 (番地なし)
 シビョンダウンマウルボスコザシャープ
 アパート317棟1401号
 最終頁に続く

(54) 【発明の名称】 不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、メモリシステムの動作方法、不揮発性メモリ装置を含むメモリシステム

(57) 【特許請求の範囲】

【請求項 1】

不揮発性メモリ装置の消去方法において、
 複数のメモリセルのストリングへ消去電圧を供給する段階と、
 前記ストリングの前記複数のメモリセルのワードラインで読出し電圧によって読出し動作を遂行する段階と、
 前記遂行された読出し動作にしたがって、1つ又はその以上のストリングをオフストリングと判別する段階と、

前記複数のメモリセルのワードラインの少なくとも1つのワードラインで消去検証電圧を利用して消去検証動作を遂行する段階と、を含み、
 前記消去検証電圧は前記読出し電圧より低い消去方法。

【請求項 2】

前記読出し電圧は各々のワードラインへ印加される1つ又はその以上のレベルを有する電圧を含む請求項 1 に記載の消去方法。

【請求項 3】

前記読出し電圧は前記ワードラインへ印加される単一レベルの電圧を含む請求項 1 に記載の消去方法。

【請求項 4】

前記消去検証電圧は前記複数のメモリセルの前記ワードラインの対応するワードラインによって可変され、

前記可変される消去検証電圧は前記読出し電圧より低い請求項 1 に記載の消去方法。

【請求項 5】

前記読出し電圧は前記複数のメモリセルのプログラム状態の閾値電圧より高い請求項 1 に記載の消去方法。

【請求項 6】

前記複数のメモリセルは少なくとも 1 つのダミーセル及び 1 つ又はその以上の通常メモリセルを含み、

前記読出し動作及び消去検証動作の時に、前記少なくとも 1 つのダミーセルは前記通常メモリセルへ供給される動作電圧と異なる電圧が供給される請求項 1 に記載の消去方法。

【請求項 7】

不揮発性メモリ装置の消去方法において、

各々複数のメモリセルを有する複数のストリングへ消去電圧を供給する段階と、

前記複数のストリングのワードラインで読出し電圧によって読出し動作を遂行する段階と、

前記遂行された読出し動作にしたがって、1 つ又はその以上のオフストリングを判別する段階と、

前記オフストリングを消去検証パスとして処理する段階と、

前記複数のストリングのワードラインで消去検証電圧によって消去検証動作を遂行する段階と、を含む消去方法。

【請求項 8】

前記遂行された消去検証動作にしたがって、前記複数のストリングへ調節された消去電圧を供給する段階をさらに含む請求項 7 に記載の消去方法。

【請求項 9】

前記複数のストリングは前記読出し動作にしたがって、オフストリング及び非オフストリングと判別され、

前記消去検証動作は前記オフストリングでビットラインプリチャージ動作が遂行されることを禁止することを含む請求項 8 に記載の消去方法。

【請求項 10】

前記オフストリングと非オフストリングとのビットラインへプリチャージ電圧として互に異なる電圧を供給する段階と、

前記消去検証動作の時に前記複数のストリングのワードラインの各々へ前記消去検証電圧を供給する段階をさらに含む請求項 7 に記載の消去方法。

【請求項 11】

前記複数のメモリセルは少なくとも 1 つのダミーセル及び 1 つ又はその以上の通常メモリセルを含み、

前記読出し動作及び前記消去検証動作の時に、前記少なくとも 1 つのダミーセルは前記通常メモリセルへ供給される動作電圧と異なる電圧が供給される請求項 7 に記載の消去方法。

【請求項 12】

基板及び複数のブロックを含み、各ブロックは複数のストリングを含み、各ストリングは複数のメモリセルを含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成されるメモリセルアレイと、

前記複数のストリングのワードラインへ読出し電圧を印加して読出し動作を遂行する制御部と、

前記読出し動作の時に判別される前記複数のストリングの中で 1 つ又はその以上のオフストリングの情報を格納するページバッファ部と、を含み、

前記制御部は前記複数のストリングのワードラインの少なくとも 1 つのワードラインへ消去検証電圧を印加して消去検証動作を遂行し、前記消去検証電圧は前記読出し電圧より低い不揮発性メモリ装置。

【請求項 13】

前記複数のストリング各々の前記複数のメモリセルは互に異なる大きさを有し、隣接するストリングは特定距離くらい離隔される請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 1 4】

前記制御部は前記読出し動作にしたがって、前記ストリングの中で第 1 オフストリングを判別し、前記消去検証動作にしたがって、消去フェイルストリングを判別し、

前記制御部は前記消去フェイルストリングで調節された消去電圧によって消去動作を遂行する請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 1 5】

前記制御部は前記オフストリング及び非オフストリングを含む前記ストリングで第 1 消去電圧によって消去動作を遂行した後、前記非オフストリングで消去検証動作を遂行する請求項 1 2 に記載の不揮発性メモリ装置。

10

【請求項 1 6】

前記制御部は前記消去検証動作にしたがって、消去フェイルストリングで調節された消去電圧を用いてその他の消去動作を遂行する請求項 1 5 に記載の不揮発性メモリ装置。

【請求項 1 7】

前記制御部は選択されたストリングが消去フェイルストリングを表すオフストリングであると判別される時、前記消去検証動作にしたがって、前記選択されたストリングでその他の消去動作が遂行されるように制御する請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 1 8】

メモリシステムの動作方法において、

20

基板及び複数のブロックを含み、各ブロックは複数のストリングを含み、各ストリングは複数のメモリセルを含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成されるメモリセルアレイを含む不揮発性メモリ装置で消去動作を遂行するコマンドを制御器で生成する段階と、

前記生成されたコマンドにしたがって、前記不揮発性メモリ装置で消去動作を遂行する段階と、を含み、

前記消去動作は、

前記複数のストリングで消去動作を遂行する段階と、

前記複数のストリングのワードラインへ読出し電圧を印加して読出し動作を遂行する段階と、

30

前記遂行された読出し動作にしたがって、1 つ又はその以上のストリングをオフストリングと判別する段階と、

前記オフストリングを消去検証パスとして処理する段階と、

前記複数のストリングの前記ワードラインへ消去検証電圧を印加して消去検証動作を遂行する段階と、を含み、

前記消去検証電圧は前記読出し電圧より低い動作方法。

【請求項 1 9】

前記消去検証パスとして処理する段階は前記オフストリングで前記消去検証動作が遂行されることを禁止する段階を含む請求項 1 8 に記載の動作方法。

【請求項 2 0】

40

消去フェイルストリングへ第 2 消去電圧を印加して第 2 消去動作を遂行する段階をさらに含む請求項 1 8 に記載の動作方法。

【請求項 2 1】

前記読出し動作は前記消去動作と前記消去検証動作との間に遂行されない請求項 1 8 に記載の動作方法。

【請求項 2 2】

前記消去検証動作は前記オフストリングで遂行されない請求項 1 8 に記載の動作方法。

【請求項 2 3】

前記不揮発性メモリ装置から前記制御器へ前記消去動作にしたがう第 1 応答信号を伝送する段階と、

50

前記不揮発性メモリ装置が第2消去動作を遂行するように制御する第2コマンドを前記制御器から生成する段階と、

前記不揮発性メモリ装置から前記第2消去動作にしたがう第2応答信号を伝送し、前記制御器が前記第1応答信号及び第2応答信号にしたがって、バッドブロックを判別するエラープロセスを遂行する段階と、を含む請求項18に記載の動作方法。

【請求項24】

前記消去動作の完了にしたがって、前記制御器へ前記オフストリングの情報を伝送し、前記制御器が前記伝送された情報によって以前の情報を更新する段階をさらに含む請求項18に記載の動作方法。

【請求項25】

前記オフストリングの情報を前記制御器へ伝送する段階と、

前記不揮発性メモリ装置へ読出しコマンドを伝送して前記ストリングからデータを読み出す第2読出し動作を遂行する段階と、

前記オフストリングの情報及び前記読出しデータにしたがって、エラーを訂正する段階と、をさらに含む請求項18に記載の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体メモリに関し、より詳細には不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、及びメモリシステムの動作方法に関する。

【背景技術】

【0002】

半導体メモリ装置(semiconductor memory device)はシリコン(Si、silicon)、ゲルマニウム(Ge、Germanium)、砒化ガリウム(GaAs、gallium arsenide)、リン化インジウム(InP、indium phosphide)等のような半導体を利用して具現される記憶装置である。半導体メモリ装置は大きく揮発性メモリ装置(Volatile memory device)と不揮発性メモリ装置(Nonvolatile memory device)とに区分される。

【0003】

揮発性メモリ装置は電源供給が遮断されれば、格納されているデータが消滅されるメモリ装置である。揮発性メモリ装置にはSRAM(Static RAM)、DRAM(Dynamic RAM)、SDRAM(Synchronous DRAM)等がある。不揮発性メモリ装置は電源供給が遮断されても格納されているデータを維持するメモリ装置である。不揮発性メモリ装置にはROM(Read Only Memory)、PROM(Programmable ROM)、EPROM(Electrically Programmable ROM)、EEPROM(Electrically Erasable and Programmable ROM)、フラッシュメモリ装置、PRAM(Phase-change RAM)、MRAM(Magnetic RAM)、RRAM(登録商標)(Resistive RAM)、FRAM(登録商標)(Ferroelectric RAM)等がある。フラッシュメモリ装置は大きくNORタイプとNANDタイプとに区分される。

【0004】

近年、半導体メモリ装置の集積度を向上させるために、3次元構造を有する半導体メモリ装置が研究されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】韓国登録特許第10-1015655号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は向上された信頼性を有する不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、メモリシステムの動作方法を提供することにある。

【課題を解決するための手段】

【0007】

本発明の実施形態による不揮発性メモリ装置の消去方法は、複数のメモリセルへ消去電圧を供給する段階と、前記複数のメモリセルのワードラインで読出し電圧によって読出し動作を遂行する段階と、前記複数のメモリセルのワードラインの少なくとも1つのワードラインで消去検証電圧を利用して消去検証動作を遂行する段階と、を含み、前記消去検証電圧は前記読出し電圧より低い。

10

【0008】

実施形態として、前記読出し電圧は各々のワードラインへ印加される1つ又はその以上のレベルを有する電圧を含む。

【0009】

実施形態として、前記読出し電圧は前記ワードラインへ印加される単一レベルの電圧を含む。

【0010】

20

実施形態として、前記消去検証電圧は前記複数のメモリセルの前記ワードラインの対応するワードラインにしたがって、可変され、前記可変される消去検証電圧は前記読出し電圧より低い。

【0011】

実施形態として、前記読出し電圧は前記複数のメモリセルのプログラム状態の閾値電圧より高い。

【0012】

実施形態として、前記複数のメモリセルは少なくとも1つのダミーセル及び1つ又はその以上の通常メモリセルを含み、前記読出し動作及び消去検証動作の時に、前記少なくとも1つのダミーセルは前記通常メモリセルへ供給される動作電圧と異なる電圧が供給される。

30

【0013】

本発明の他の実施形態による不揮発性メモリ装置の消去方法は、各々複数のメモリセルを有する複数のストリングへ消去電圧を供給する段階と、前記複数のストリングのワードラインで読出し電圧によって読出し動作を遂行する段階と、前記遂行された読出し動作にしたがって、1つ又はその以上のオフストリングを判別する段階と、前記オフストリングを消去検証パスとして処理する段階と、前記複数のストリングのワードラインで消去検証電圧によって消去検証動作を遂行する段階と、を含む。

【0014】

実施形態として、前記遂行された消去検証動作にしたがって、前記複数のストリングに調節された消去電圧を供給する段階をさらに含む。

40

【0015】

実施形態として、前記複数のストリングは前記読出し動作にしたがって、オフストリング及び非オフストリングと判別され、前記消去検証動作は前記オフストリングでビットラインプリチャージ動作が遂行されることを禁止することを含む。

【0016】

実施形態として、前記オフストリングと非オフストリングとのビットラインへプリチャージ電圧として互に異なる電圧を供給する段階と、前記消去検証動作の時に前記複数のストリングのワードラインの各々へ前記消去検証電圧を供給する段階をさらに含む。

【0017】

50

実施形態として、前記複数のメモリセルは少なくとも1つのダミーセル及び1つ又はその以上の通常メモリセルを含み、前記読出し動作及び前記消去検証動作の時に、前記少なくとも1つのダミーセルは前記通常メモリセルへ供給される動作電圧と異なる電圧が供給される。

【0018】

本発明の実施形態による不揮発性メモリ装置は、基板及び複数のブロックを含み、各ブロックは複数のストリングを含み、各ストリングは複数のメモリセルを含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成されるメモリセルアレイと、前記複数のストリングのワードラインへ読出し電圧を印加して読出し動作を遂行する制御部と、前記読出し動作の時に判別される前記複数のストリングの中で1つ又はその以上のオフストリングの情報を格納するページバッファ部と、を含み、前記制御部は前記複数のストリングのワードラインの少なくとも1つのワードラインへ消去検証電圧を印加して消去検証動作を遂行し、前記消去検証電圧は前記読出し電圧より低い。

10

【0019】

実施形態として、前記複数のストリング各々の前記複数のメモリセルは互に異なる大きさを有し、隣接するストリングは特定距離くらい離隔される。

【0020】

実施形態として、前記制御部は前記読出し動作にしたがって、前記ストリングの中で第1オフストリングを判別し、前記消去検証動作にしたがって、第2オフストリングを判別し、前記制御部は前記第1及び第2オフストリングで調節された消去電圧によって消去動作を遂行する。

20

【0021】

実施形態として、前記制御部は前記オフストリング及び非オフストリングを含む前記ストリングで第1消去電圧による消去動作を遂行した後、前記非オフストリングで消去検証動作を遂行する。

【0022】

実施形態として、前記制御部は前記消去検証動作にしたがって、前記オフストリングで調節された消去電圧によってその他の消去動作を遂行する。

【0023】

実施形態として、前記制御部は選択されたストリングが消去フェイル(fail)ストリングを表すオフストリングと判別される時、前記消去検証動作にしたがって、前記選択されたストリングでその他の消去動作が遂行されるように制御する。

30

【0024】

本発明の実施形態によるメモリシステムの動作方法は、基板及び複数のブロックを含み、各ブロックは複数のストリングを含み、各ストリングは複数のメモリセルを含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成されるメモリセルアレイを含む不揮発性メモリ装置で消去動作を遂行するコマンドを制御器で生成する段階と、前記生成されたコマンドにしたがって、前記不揮発性メモリ装置で消去動作を遂行する段階と、を含み、前記消去動作は、前記複数のストリングで消去動作を遂行する段階と、前記複数のストリングの前記ワードラインへ読出し電圧を印加して読出し動作を遂行する段階と、前記遂行された読出し動作にしたがって、1つ又はその以上のストリングをオフストリングと判別する段階と、前記オフストリングを消去検証パスとして処理する段階と、前記複数のストリングの前記ワードラインへ消去検証電圧を印加して消去検証動作を遂行する段階と、を含み、前記消去検証電圧は前記読出し電圧より低い。

40

【0025】

実施形態として、前記消去検証パスとして処理する段階は前記オフストリングで前記消去検証動作が遂行されることを禁止する段階を含む。

【0026】

実施形態として、前記オフストリングへ第2消去電圧を印加して第2消去動作を遂行する段階をさらに含む。

50

【 0 0 2 7 】

実施形態として、前記読出し動作は前記消去動作と前記消去検証動作との間に遂行されない。

【 0 0 2 8 】

実施形態として、前記消去検証動作は前記オフストリングで遂行されない。

【 0 0 2 9 】

実施形態として、前記不揮発性メモリ装置から前記制御器へ前記消去動作にしたがう第 1 応答信号を送信する段階と、前記不揮発性メモリ装置が第 2 消去動作を遂行するように制御する第 2 コマンドを前記制御器から生成する段階と、前記不揮発性メモリ装置から前記第 2 消去動作にしたがう第 2 応答信号を送信し、前記制御器が前記第 1 応答信号及び第 2 応答信号にしたがって、バッドブロックを判別するエラープロセスを遂行する段階と、を含む。

10

【 0 0 3 0 】

実施形態として、前記消去動作の完了にしたがって、前記制御器へ前記オフストリングの情報を送信し、前記制御器が前記伝送された情報によって以前の情報を更新する段階をさらに含む。

【 0 0 3 1 】

実施形態として、前記オフストリングの情報を前記制御器へ送信する段階と、前記不揮発性メモリ装置に読出しコマンドを送信して前記ストリングからデータを読み出す第 2 読出し動作を遂行する段階と、前記オフストリングの情報及び前記読出しデータにしたがって、エラーを訂正する段階をさらに含む。

20

【 0 0 3 2 】

実施形態として、前記不揮発性メモリ装置がブリ - 読出し動作を遂行するように第 2 コマンドを生成する段階と、前記ブリ - 読出し動作にしたがって、前記不揮発性メモリ装置から第 2 オフストリングの情報を受信し、前記不揮発性メモリ装置がバッファ領域に前記第 2 オフストリングの情報を格納するように制御する段階をさらに含む。

【 0 0 3 3 】

実施形態として、前記不揮発性メモリ装置が前記オフストリングの情報を前記制御器へ出力するように第 2 コマンドを生成する段階と、前記消去動作にしたがって、前記オフストリングの第 2 情報を受信する段階と、前記第 2 オフストリングの第 2 情報と前記オフストリングの情報とにしたがって、情報を更新する段階をさらに含む。

30

【 0 0 3 4 】

実施形態として、所定の数のストリングに連結されたストリング選択ラインを選択し、前記選択されたストリング選択ラインが最後のストリング選択ラインである時まで前記選択されたストリング選択ラインの所定の数のストリングで読出し動作を遂行する段階をさらに含む。

【 0 0 3 5 】

実施形態として、前記複数のストリングは複数のグループに分割されて複数のストリング選択ラインに連結され、前記消去動作は前記複数のストリング選択ラインの中で第 1 ストリング選択ラインを選択することを含み、前記読出し動作及び前記消去検証動作は前記選択されたストリング選択ラインに連結されたストリングに対して遂行される。

40

【 0 0 3 6 】

実施形態として、前記複数のストリング選択ラインの中で最後のストリング選択ラインが選択される時まで、前記読出し動作及び前記オフストリングの検出を繰り返す段階をさらに含む、前記複数のストリング選択ラインは各々対応するストリングに連結され、順次的に選択される。

【 0 0 3 7 】

実施形態として、前記繰り返す段階は、前記複数のストリング選択ラインの中で第 2 ストリング選択ラインを選択する段階と、前記第 2 ストリング選択ラインに連結されたストリングのワードラインへ高電圧を印加して前記読出し動作を遂行する段階と、前記読出し

50

動作にしたがって、１つ又はその以上の第２ストリングをオフストリングと判別する段階と、を含む。

【００３８】

本発明の実施形態によるメモリシステムは、基板及び複数のブロックを含み、各ブロックは複数のストリングを含み、各ストリングは複数のメモリセルを含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成されるメモリセルアレイを含む不揮発性メモリ装置と、前記不揮発性メモリ装置で消去動作が遂行されるようにコマンドを生成する制御器と、を含み、前記不揮発性メモリ装置は、複数のストリングを消去し、前記複数のストリングの前記ワードラインへ読出し電圧を印加して読出し動作を遂行し、前記読出し動作にしたがって、１つ又はその以上のストリングをオフストリングと判別し、前記オフストリングを消去検証パスとして処理し、そして前記複数のストリングの前記ワードラインへ消去検証電圧を印加して消去検証動作を遂行し、前記消去検証電圧は前記読出し電圧より低い。

10

【００３９】

実施形態として、前記ストリングは特定距離くらい離隔され、前記ストリング内に前記ストリングのメモリセルを連結するチャンネル膜が形成され、前記チャンネル膜はオフストリングを発生させる欠陥を有する。

【００４０】

実施形態として、前記不揮発性メモリ装置は隣接するストリングに連結されるチャンネル膜部を含み、前記オフストリングは前記基板と電氣的接触を有しないチャンネル膜部によって形成される。

20

【００４１】

実施形態として、前記不揮発性メモリ装置はドレーン及び前記ストリングに連結されるチャンネル膜部を含み、前記オフストリングは前記基板と電氣的接触を有しないチャンネル膜部によって形成される。

【００４２】

実施形態として、前記不揮発性メモリ装置は前記消去検証動作が前記オフストリングで遂行されることを禁止する。

【００４３】

本発明の他の実施形態によるメモリシステムは、不揮発性メモリ装置と、前記不揮発性メモリ装置を制御するように構成される制御器を含み、前記不揮発性メモリ装置は、各々複数のメモリセルを含む複数のストリングを含むメモリセルアレイと、前記制御器から伝送されるコマンドに応答して読出し動作を遂行し読出し結果を出力するように構成される読出し及び書込み回路前記読出し結果を受信し前記読出し動作の時にオフとして読み出されるオフストリングの数をカウントするように構成されるカウンティング部と、前記読出し結果又は前記カウント結果を前記オフストリングへ関連された情報として出力するように構成されるデータ入出力回路と、を含み、前記読出し動作は前記複数のストリングに連結されたワードラインへ高電圧を印加することによって遂行され、前記制御器は前記オフストリングに関連された情報にしたがって、前記不揮発性メモリ装置を制御するように構成される。

30

40

【００４４】

実施形態として、前記不揮発性メモリ装置は基板を含み、前記複数のストリングは前記基板の上に前記基板と垂直になる方向に形成され、複数のストリングのグループに分割され、前記グループは複数のストリング選択ラインに連結され、前記制御器は前記不揮発性メモリ装置が前記複数のストリング選択ラインのグループのストリングで消去動作を遂行するように制御し、前記制御器は前記不揮発性メモリ装置が１つ又はその以上のオフストリングを消去パスとして処理し、各グループの単位にオフストリングではないストリングで消去検証動作を遂行するように制御する。

【００４５】

実施形態として、隣接するストリングは各ストリングのメモリセルに電氣的に連結され

50

るチャンネル膜を有するピラーによって互に離隔される。

【 0 0 4 6 】

実施形態として、前記ピラーは前記基板からの距離にしたがって、広くなる幅を有する。

【 0 0 4 7 】

実施形態として、各ストリングのメモリセルは前記基板からの距離にしたがって、短くなる幅を有する。

【 0 0 4 8 】

複数のストリングを含む不揮発性メモリ装置及び前記不揮発性メモリ装置を制御するように構成される制御器を含み、各ストリングは複数のメモリセルを含む本発明の実施形態によるメモリシステムの動作方法は、前記制御器から前記不揮発性メモリ装置へコマンドを送送する段階と、前記コマンドにตอบสนองして前記不揮発性メモリ装置の読出し動作を遂行する段階と、前記読出し動作の時にオフとして読み出されるオフストリングに関連された情報を前記不揮発性メモリ装置から前記制御器へ伝送する段階と、前記伝送された情報を前記制御器に格納する段階と、を含み、前記読出し動作は前記複数のストリングに連結された全てのワードラインへ高電圧を印加することによって遂行される。

10

【 0 0 4 9 】

実施形態として、前記オフストリングに関連された格納された情報及び消去コマンドを前記制御器から前記不揮発性メモリ装置へ伝送する段階と、前記オフストリングに関連された格納された情報及び消去コマンドにตอบสนองして、前記不揮発性メモリ装置の消去動作を遂行する段階をさらに含む。

20

【 0 0 5 0 】

実施形態として、前記消去動作の結果が消去フェイルを表すと、前記コマンドを送送する段階、前記読出し動作を遂行する段階、前記情報を伝送する段階、及び前記伝送された情報を格納する段階が再び遂行される。

【 0 0 5 1 】

実施形態として、前記制御器から前記不揮発性メモリ装置に読出しコマンドを送送する段階と、前記読出しコマンドにしたがって、前記不揮発性メモリ装置から前記制御器へ読出し結果を送送する段階と、前記オフストリングに関連された格納された情報を使用して前記伝送された読出し結果のエラーを訂正する段階と、をさらに含み、前記エラーを訂正する段階は前記制御器によって遂行される。

30

【 0 0 5 2 】

実施形態として、書込みデータ及び前記オフストリングに関連された格納された情報を使用してコードワードを生成する段階と、前記生成されたコードワード及び書込みコマンドを前記制御器から前記不揮発性メモリ装置へ伝送する段階と、前記書込みコマンドにตอบสนองして前記伝送されたコードワードを前記不揮発性メモリ装置に書き込む段階と、をさらに含み、前記コードワードを生成する段階は前記制御器によって遂行される。

【 0 0 5 3 】

実施形態として、前記オフストリングに関連された情報及び第2コマンドを前記制御器から前記不揮発性メモリ装置へ伝送する段階と、前記第2コマンドにตอบสนองして前記オフストリングに関連された伝送された情報を前記不揮発性メモリ装置に書き込む段階をさらに含む。

40

【 発明の効果 】

【 0 0 5 4 】

本発明によれば、工程上の誤りによってオフされたストリングが存在しても、正常的に動作する不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、及びメモリシステムの動作方法が提供される。したがって、向上された信頼性を有する不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、及びメモリシステムの動作方法が提供される。

50

【図面の簡単な説明】

【0055】

【図1】本発明の第1実施形態による不揮発性メモリ装置を示すブロック図である。

【図2】図1のメモリセルアレイを示すブロック図である。

【図3】図2のメモリブロックの中で1つのメモリブロックの一部を示す第1例にしたがう平面図である。

【図4】図3のIV - IV' 線に沿う斜視断面図の第1例を示す。

【図5】図4のIV - IV' 線に沿う断面図の第1例を示す。

【図6】図5のセルトランジスタの中で1つを示す拡大図である。

【図7】図3の平面図の一部分の第1例にしたがう等価回路を示す回路図である。

10

【図8】本発明の第1実施形態による消去方法を示す順序図である。

【図9】図8の消去方法にしたがう電圧条件を示すテーブルである。

【図10】基板、チャンネル膜、及びワードラインの電圧変化を示すタイミング図である。

。

【図11】S113段階及びS114段階が遂行される時、メモリセルアレイの電圧変化を示すタイミング図である。

【図12】S115段階及びS116段階が遂行される時、メモリセルアレイの電圧変化を示すタイミング図である。

【図13A】図8の消去の時に遂行されるオフストリング処理方法の例を示す順序図である。

20

【図13B】本発明の第2実施形態による消去方法を示す順序図である。

【図14】図1のページバッファ部の例を示すブロック図である。

【図15】本発明の第2実施形態による不揮発性メモリ装置を示すブロック図である。

【図16】本発明の第1実施形態によるプリ読出し方法を示す順序図である。

【図17】本発明の第2実施形態によるプリ読出し方法を示す順序図である。

【図18】本発明の第3実施形態による不揮発性メモリ装置を示すブロック図である。

【図19】本発明の第4実施形態による不揮発性メモリ装置を示すブロック図である。

【図20】本発明の第3実施形態による消去方法を示す順序図である。

【図21】図20の消去方法にしたがう電圧条件を示すテーブルである。

【図22】本発明の第5実施形態による不揮発性メモリ装置を示すブロック図である。

30

【図23】本発明の第4実施形態による消去方法を示す順序図である。

【図24】図23の和信号及びキャリー信号を発生する方法を示す順序図である。

【図25】リップル及びキャリー計算機を示すブロック図である。

【図26】図3の平面図の一部分の第2例にしたがう等価回路を示す回路図である。

【図27】図3の平面図の一部分の第3例にしたがう等価回路を示す回路図である。

【図28】図3の平面図の一部分の第4例にしたがう等価回路を示す回路図である。

【図29】メモリセルが図8乃至図13を参照して説明された方法によって消去される時、メモリブロックへ供給される電圧を示すテーブルである。

【図30】メモリセルが図20及び図21を参照して説明された方法によって消去される時、メモリブロックへ供給される電圧を示すテーブルである。

40

【図31】図3の平面図の一部分の第5例にしたがう等価回路を示す回路図である。

【図32】図3の平面図の一部分の第6例にしたがう等価回路を示す回路図である。

【図33】図3の平面図の一部分の第7例にしたがう等価回路を示す回路図である。

【図34】図3のIV - IV' 線に沿う斜視断面図の第2例を示す。

【図35】図3のIV - IV' 線に沿う断面図の第2例を示す。

【図36】図2のメモリブロックの中で1つのメモリブロックの一部を示す第2例にしたがう平面図である。

【図37】図36のXXXVII - XXXVII' 線に沿う斜視断面図を示す。

【図38】図36のXXXVII - XXXVII' 線に沿う断面図を示す。

【図39】図2のメモリブロックの中で1つのメモリブロックの一部を示す第3例にした

50

がう平面図である。

【図 4 0】図 3 9 のXXXX - XXXX' 線に沿う斜視断面図を示す。

【図 4 1】図 3 9 のXXXX - XXXX' 線に沿う断面図を示す。

【図 4 2】図 2 のメモリブロックの中で 1 つのメモリブロックの一部を示す第 4 例にしたがう平面図である。

【図 4 3】図 4 2 のXXXXIII - XXXXIII' 線に沿う斜視断面図を示す。

【図 4 4】図 2 のメモリブロックの中で 1 つのメモリブロックの一部を示す第 5 例にしたがう平面図である。

【図 4 5】図 4 4 のXXXXV - XXXXV' 線に沿う斜視断面図を示す。

【図 4 6】図 4 4 のXXXXV - XXXXV' 線に沿う断面図を示す。

10

【図 4 7】図 2 のメモリブロックの中で 1 つのメモリブロックの一部を示す第 6 例にしたがう平面図である。

【図 4 8】図 4 7 のXXXXVII - XXXXVII' 線に沿う斜視断面図の第 1 例を示す。

【図 4 9】図 4 7 のXXXXVII - XXXXVII' 線に沿う断面図の第 1 例を示す。

【図 5 0】図 4 7 の平面図の一部分の第 1 例にしたがう等価回路を示す回路図である。

【図 5 1】図 4 7 のXXXXVIII - XXXXVIII' 線に沿う斜視断面図の第 2 例を示す。

【図 5 2】図 4 7 のXXXXVIII - XXXXVIII' 線に沿う断面図の第 2 例を示す。

【図 5 3】図 4 7 の平面図の一部分の第 2 例にしたがう等価回路を示す回路図である。

【図 5 4】本発明の実施形態によるメモリシステムを示すブロック図である。

【図 5 5】本発明の第 1 実施形態によるメモリシステムの動作方法を示す順序図である。

20

【図 5 6】本発明の第 2 実施形態によるメモリシステムの動作方法を示す順序図である。

【図 5 7】制御器がオフストリング情報を利用する方法の第 1 例を示す順序図である。

【図 5 8】制御器がオフストリング情報を利用する方法の第 2 例を示す順序図である。

【図 5 9】制御器がオフストリング情報を利用する方法の第 3 例を示す順序図である。

【図 6 0】本発明の第 3 実施形態によるメモリシステムの動作方法を示す順序図である。

【図 6 1】本発明の第 4 実施形態によるメモリシステムの動作方法を示す順序図である。

【図 6 2】図 5 4 のメモリシステムの応用例を示すブロック図である。

【図 6 3】本発明の実施形態によるメモリカードを示す。

【図 6 4】本発明の実施形態によるソリッドステートドライブを示す。

【図 6 5】本発明の実施形態によるコンピューティングシステムを示すブロック図である

30

。

【図 6 6】本発明の実施形態によるテストシステムを示すブロック図である。

【図 6 7】本発明の実施形態によるテスト方法を示す順序図である。

【発明を実施するための形態】

【0056】

以下に、本発明が属する技術分野で通常の知識を有する者が本発明の技術的思想を容易に実施できる程度に詳細に説明するために、本発明の実施形態を添付された図面を参照して説明する。

【0057】

‘選択されたビットライン’又は‘選択された複数のビットライン’は複数のビットラインの中でプログラム又は読出しの対象になるセルトランジスターに連結されたビットライン又はビットラインを示す。‘非選択されたビットライン’又は‘非選択された複数のビットライン’は複数のビットラインの中でプログラム禁止又は読出し禁止の対象になるセルトランジスターに連結されたビットライン又はビットラインを示す。

40

【0058】

‘選択されたストリング選択ライン’は複数のストリング選択ラインの中でプログラム又は読出しの対象になるセルトランジスターを含むセルストリングに連結されたストリング選択ラインを示す。‘非選択されたストリング選択ライン’又は‘非選択された複数のストリング選択ライン’は複数のストリング選択ラインの中で選択されたストリング選択ラインを除外した残りストリング選択ライン又は残りのストリング選択ラインを示す。‘

50

選択されたストリング選択トランジスター'は選択されたストリング選択ラインに連結されたストリング選択トランジスターを示す。'非選択されたストリング選択トランジスター'は非選択されたストリング選択ライン又は非選択された複数のストリング選択ラインに連結されたストリング選択トランジスターを示す。

【0059】

'選択された複数の接地選択ライン'は複数の接地選択ラインの中でプログラム又は読出しの対象になるセルトランジスターを含むセルストリングに連結された接地選択ラインを示す。'非選択された複数の接地選択ライン'は複数の接地選択ラインの中で選択された接地選択ラインを除外した残りの接地選択ライン又は残り接地選択ラインを示す。'選択された接地選択トランジスター'は選択された接地選択ラインに連結された接地選択トランジスターを示す。'非選択された接地選択トランジスター'は非選択された接地選択ライン又は非選択された複数の接地選択ラインに連結された接地選択トランジスターを示す。

10

【0060】

'選択された複数のワードライン'は複数のワードラインの中でプログラム又は読出しの対象となるセルトランジスターに連結されたサブワードラインを示す。'非選択されたワードライン'又は'非選択された複数のワードライン'は複数のワードラインの中で選択されたサブワードラインを除外した残りワードライン又は残りサブワードラインを示す。

【0061】

20

'選択されたメモリセル'又は'選択された複数のメモリセル'は複数のメモリセルの中でプログラム又は読出しの対象となるメモリセルを示す。'非選択されたメモリセル'又は'非選択された複数のメモリセル'は複数のメモリセルの中で選択されたメモリセル又は選択されたメモリセルを除外した残りメモリセル又は残りメモリセルを示す。

【0062】

例示的に、NANDフラッシュメモリを参照して本発明の実施形態が説明され得る。しかし、本発明の技術的思想はNANDフラッシュメモリに限定されない。本発明の技術的思想はEEPROM(Electrically Erasable and Programmable ROM)、NORフラッシュメモリ装置、PRAM(Phase-change RAM)、MRAM(Magnetic RAM)、RRAM(登録商標)(Resistive RAM)、FRAM(登録商標)(Ferroelectric RAM)等のような多様な不揮発性メモリ装置に適用され得る。

30

【0063】

図1は本発明の第1実施形態による不揮発性メモリ装置100を示すブロック図である。図1を参照すれば、不揮発性メモリ装置100はメモリセルアレイ110、アドレスデコーディング部120、ページバッファ部130、データ入出力部140、カウンティング部150、パス/フェイルチェック部160、及び制御ロジック170を含む。アドレスデコーディング部120、ページバッファ部130、データ入出力部140、カウンティング部150、パス/フェイルチェック部160、及び制御ロジック170はメモリセルアレイ110を制御する制御部であり得る。

40

【0064】

メモリセルアレイ110は基板の上に行及び列方向に沿って配置された複数のセルストリングを含む。各セルストリングは基板と垂直になる方向に沿って積層された複数のメモリセルを含む。即ち、メモリセルは基板の上で行及び列に沿って提供され、基板と垂直になる方向に積層されて3次元構造を形成する。例示的に、メモリセルアレイ110はセル当りに1つ又はその以上のビットを格納できる複数のメモリセルを含む。

【0065】

アドレスデコーディング部120はワードラインWL、ストリング選択ラインSSL、及び接地選択ラインGSLを通じてメモリセルアレイ110に連結される。アドレスデコーディング部120は制御ロジック170の制御にตอบสนองして動作するように構成される。

50

アドレスデコーディング部 120 は外部からアドレス A D D R を受信する。

【 0 0 6 6 】

アドレスデコーディング部 120 は受信されたアドレス A D D R の中で行アドレスをデコーディングするように構成される。アドレスデコーディング部 120 はワードライン W L の中でデコーディングされた行アドレスに対応するサブワードラインを選択するように構成される。アドレスデコーディング部 120 はストリング選択ライン S S L 及び接地選択ライン G S L の中でデコーディングされた行アドレスに対応するストリング選択ライン及び接地選択ラインを選択するように構成される。

【 0 0 6 7 】

アドレスデコーディング部 120 は受信されたアドレス A D D R の中で列アドレスをデコーディングするように構成される。アドレスデコーディング部 120 はデコーディングされた列アドレス D C A をページバッファ部 130 へ伝達する。

10

【 0 0 6 8 】

アドレスデコーディング部 120 は制御ロジック 170 からプリ読出し信号 P R S を受信するように構成される。プリ読出し信号 P R S が活性化される時、アドレスデコーディング部 120 はプリ (p r e) 読出しを遂行する電圧をストリング選択ライン S S L 、ワードライン W L 、及び接地選択ライン G S L へ供給することができる。

【 0 0 6 9 】

アドレスデコーディング部 120 は制御ロジック 170 の制御にしたがって、消去、書込み、及び読出しを遂行する電圧をストリング選択ライン S S L 、ワードライン W L 、及び接地選択ライン G S L へ供給することができる。

20

【 0 0 7 0 】

例示的に、アドレスデコーディング部 120 は行アドレスをデコーディングする行デコーダー (図示せず) 、列アドレスをデコーディングする列デコーダー (図示せず) 、受信されたアドレス A D D R を格納するアドレスバッファ (図示せず) を包含できる。

【 0 0 7 1 】

ページバッファ部 130 はビットライン B L を通じてメモリセルアレイ 110 に連結される。ページバッファ部 130 はデータライン D L を通じてデータ入出力部 140 と連結される。ページバッファ部 130 は制御ロジック 170 の制御にตอบสนองして動作する。ページバッファ部 130 はアドレスデコーディング部 120 からデコーディングされた列アドレス D C A を受信する。デコーディングされた列アドレス D C A にตอบสนองして、ページバッファ部 130 はビットライン B L を選択する。

30

【 0 0 7 2 】

ページバッファ部 130 はアドレスデコーディング部 120 と共に読出し及び書込み動作を遂行できる。アドレスデコーディング部 120 がストリング選択ライン S S L 、ワードライン W L 、及び接地選択ライン G S L を制御し、ページバッファ部 130 がビットライン B L を制御することによって、メモリセルアレイ 110 で読出し及び書込みが遂行できる。

【 0 0 7 3 】

ページバッファ部 130 はビットライン B L に各々対応するラッチ (図示せず) を包含できる。メモリセルアレイ 110 に書き込まれるデータはページバッファ部 130 のラッチ (図示せず) へローディングされ得る。メモリセルアレイ 110 から読み出されたデータはページバッファ部 130 のラッチ (図示せず) に格納され得る。

40

【 0 0 7 4 】

ページバッファ部 130 はデータライン D L を通じてデータ D A T A を受信できる。ページバッファ部 130 に受信されたデータはメモリセルアレイ 110 に書き込まれ得る。ページバッファ部 130 はメモリセルアレイ 110 から読み出されたデータをデータライン D L を通じて出力することができる。ページバッファ部 130 はメモリセルアレイ 110 の第 1 格納領域から読み出されたデータを格納できる。ページバッファ部 130 に格納されたデータはメモリセルアレイ 110 の第 2 格納領域に書き込まれ得る。即ち、コピー

50

- バック (c o p y - b a c k) 動作が遂行できる。

【 0 0 7 5 】

ページバッファ部 1 3 0 は読み出されたデータを読み出し結果 R R として出力することができる。例えば、ページバッファ部 1 3 0 は消去検証の時の読み出し結果又は書き込み検証の時の読み出し結果を読み出し結果 R R として出力することができる。

【 0 0 7 6 】

ページバッファ部 1 3 0 は制御ロジック 1 7 0 からプリ読み出し信号 P R S を受信するように構成される。プリ読み出し信号 P R S が活性化される時、ページバッファ部 1 3 0 はアドレスデコーディング部 1 2 0 と共にプリ読み出しを遂行できる。プリ読み出しの時に読み出されたデータは読み出し結果 R R として出力され得る。

10

【 0 0 7 7 】

データ入出力部 1 4 0 はデータライン D L を通じてページバッファ部 1 3 0 と連結される。データ入出力部 1 4 0 は外部とデータ D A T A を交換するように構成される。データ入出力部 1 4 0 はページバッファ部 1 3 0 からデータライン D L を通じて受信されるデータを外部へ出力することができる。データ入出力部 1 4 0 は外部から受信されるデータを、データライン D L を通じてページバッファ部 1 3 0 へ伝送することができる。

【 0 0 7 8 】

カウンティング部 1 5 0 はページバッファ部 1 3 0 から読み出し結果 R R を受信し、制御ロジック 1 7 0 からプリ読み出し信号 P R S を受信するように構成される。プリ読み出し信号 P R S が活性化される時、カウンティング部 1 5 0 は読み出し結果 R R に基づいてカウント

20

を遂行するように構成される。カウント値 C V は制御ロジック 1 7 0 へ伝達され得る。

【 0 0 7 9 】

パス / フェイルチェック部 1 6 0 はページバッファ部 1 3 0 から読み出し結果 R R を受信するように構成される。消去検証又は書き込み検証が遂行される時、パス / フェイルチェック部 1 6 0 は読み出し結果 R R に基づいてパス信号 P A S S 又はフェイル信号 F A I L を出力するように構成される。

【 0 0 8 0 】

制御ロジック 1 7 0 は不揮発性メモリ装置 1 0 0 の諸般動作を制御するように構成される。制御ロジック 1 7 0 はプリ読み出し信号 P R S を発生できる。制御ロジック 1 7 0 はカウンティング部 1 5 0 からカウント値 C V を受信し、パス / フェイルチェック部 1 6

30

0 からパス信号 P A S S 又はフェイル信号 F A I L を受信できる。制御ロジック 1 7 0 はカウント値 C V をレジスタ R E G 1 に格納された値と比較し、カウント値 C V とレジスタ R E G 1 に格納された値との間の比較結果にしたがって、消去動作を制御することができる。パス / フェイルチェック部 1 6 0 から受信されるパス信号 P A S S 又はフェイル信号 F A I L に応答して制御ロジック 1 7 0 は消去動作を制御することができる。

【 0 0 8 1 】

制御ロジック 1 7 0 は外部から受信される制御信号 C T R L 及びコマンド C M D に応答して動作できる。

【 0 0 8 2 】

図 2 は図 1 のメモリセルアレイ 1 1 0 を示すブロック図である。図 1 及び図 2 を参照す

40

れば、メモリセルアレイ 1 1 0 は複数のメモリブロック B L K 1 ~ B L K z を含む。各メモリブロック B L K は 3 次元構造 (又は垂直構造) を有する。例えば、各メモリブロック B L K は第 1 乃至第 3 方向に沿って伸張された構造物を包含できる。各メモリブロック B L K は第 2 方向に沿って伸張された複数のセルストリング (図示せず) を包含できる。複数のセルストリング (図示せず) は第 1 及び第 3 方向に沿って互に離隔され得る。

【 0 0 8 3 】

1 つのメモリブロックのセルストリング (図示せず) は複数のビットライン B L 、複数のストリング選択ライン S S L 、複数のワードライン W L 、 1 つの接地選択ライン又は複数の接地選択ライン G S L 、及び共通ソースライン (図示せず) に連結される。複数のメモリブロック B L K 1 ~ B L K z のセルストリング (図示せず) は複数のビットライン B

50

Lを共有できる。例えば、複数のビットラインBLは第2方向に沿って伸張されて複数のメモリブロックBLK1～BLKzで共有され得る。

【0084】

メモリブロックBLK1～BLKzは図1に図示されたアドレスデコーディング部120によって選択され得る。例えば、アドレスデコーディング部120はメモリブロックBLK1～BLKzの中で受信されたアドレスADDRに対応するメモリブロックを選択するように構成される。プログラム、読出し、及び消去は選択されたメモリブロックで遂行される。メモリブロックBLK1～BLKzは図3乃至図6を参照してさらに詳細に説明される。

【0085】

図3は図2のメモリブロックBLK1～BLKzの中で1つのメモリブロックBLKaの一部を示す第1例にしたがう平面図である。図4は図3のIV-IV'線に沿う斜視断面図の第1例を示す。図5は図4のIV-IV'線に沿う断面図の第1例を示す。

【0086】

図3乃至図5を参照すれば、第1乃至第3方向に沿って伸張された3次元構造物が提供される。

【0087】

基板111が提供される。例示的に、基板111は第1導電形(conductive type)を有するウェル(well)であり得る。例えば、基板111はホウ素(Boron)のような3族元素が注入されて形成されたPウェルであり得る。例えば、基板111はNウェル内に提供されるポケットPウェルであり得る。以下で、基板111はPウェル(又はポケットPウェル)であることと仮定する。しかし、基板111はP導電形を有することに限定されない。基板111はp導電形ではない他の導電形を有することができる。

【0088】

基板111の上に、第1方向に沿って伸張され、第2方向に沿って互に離隔された複数の共通ソース領域CSRが提供される。複数の共通ソース領域CSRは共通に連結されて共通ソースラインを構成することができる。

【0089】

複数の共通ソース領域CSRは基板111と異なる第2導電形(conductive type)を有する。例えば、複数の共通ソース領域CSRはN導電形を有することができる。以下で、複数の共通ソース領域CSRはN導電形を有することと仮定する。しかし、複数の共通ソース領域CSRはN導電形を有することに限定されない。

【0090】

複数の共通ソース領域CSRの中で隣接する2つの共通ソース領域の間で、複数の絶縁物質112、112aが第3方向(即ち、基板と垂直になる方向)に沿って基板111の上に順次的に提供される。複数の絶縁物質112、112aは第3方向に沿って互に離隔され得る。複数の絶縁物質112、112aは第1方向に沿って伸張される。例示的に、複数の絶縁物質112、112aは半導体酸化膜のような絶縁物質を包含できる。例示的に、複数の絶縁物質112、112aの中で基板111と接触する絶縁物質112aの厚さは他の絶縁物質112の厚さより薄いことがあり得る。

【0091】

隣接する2つの共通ソース領域の間で、第1方向に沿って順次的に配置され、第2方向に沿って複数の絶縁物質112、112aを貫通する複数のピラーPLが提供される。例示的に、複数のピラーPLは絶縁物質112、112aを貫通して基板111と接触することができる。

【0092】

例示的に、隣接する2つの共通ソース領域の間で、ピラーは第1方向に沿って互に離隔され得る。ピラーは第1方向に沿って一列に配置され得る。

【0093】

10

20

30

40

50

例示的に、複数のピラー P L は複数の物質を包含できる。例えば、ピラー P L はチャンネル膜 1 1 4 及びチャンネル膜 1 1 4 内部の内部物質 1 1 5 を包含できる。

【 0 0 9 4 】

チャンネル膜 1 1 4 は第 1 導電形を有する半導体物質（例えば、シリコン）を包含できる。チャンネル膜 1 1 4 は基板 1 1 1 と同一な導電形を有する半導体物質（例えば、シリコン）を包含できる。チャンネル膜 1 1 4 は導電形を有しない真性半導体（*intrinsic semiconductor*）を包含できる。

【 0 0 9 5 】

内部物質 1 1 5 は絶縁物質を含む。例えば、内部物質 1 1 5 はシリコン酸化物（*Silicon Oxide*）のような絶縁物質を包含できる。例えば、内部物質 1 1 5 はエア

10

ーギャップ（*air gap*）を包含できる。

【 0 0 9 6 】

隣接する 2 つの共通ソース領域の間で、絶縁物質 1 1 2、1 1 2 a、及びピラー P L の露出された表面に情報格納膜 1 1 6 が提供される。情報格納膜 1 1 6 は電荷を捕獲又は流出することによって情報を格納できる。

【 0 0 9 7 】

隣接する 2 つの共通ソース領域の間で、そして絶縁物質 1 1 2、1 1 2 a の間で情報格納膜 1 1 6 の露出された表面に導電物質 C M 1 ~ C M 8 が提供される。導電物質 C M 1 ~ C M 8 は第 1 方向に沿って伸張され得る。共通ソース領域 C S R の上で、導電物質 C M 1 ~ C M 8 はワードラインカット（*W L cut*）によって分離され得る。ワードラインカ

20

ット（*W L cut*）は共通ソース領域 C S R を露出することができる。ワードラインカ

ット（*W L cut*）は第 1 方向に沿って伸張され得る。

【 0 0 9 8 】

例示的に、導電物質 C M 1 ~ C M 8 は金属性導電物質を包含できる。導電物質 C M 1 ~ C M 8 はポリシリコン等のような非金属性導電物質を包含できる。

【 0 0 9 9 】

例示的に、絶縁物質 1 1 2、1 1 2 a の中で最上部に位置した絶縁物質の上部面に提供される情報格納膜 1 1 6 は除去できる。例示的に、絶縁物質 1 1 2、1 1 2 a の側面の中でピラー P L と対向する側面に提供される情報格納膜 1 1 6 は除去できる。

【 0 1 0 0 】

30

複数のピラー P L の上に複数のドレーン 3 2 0 が提供される。例示的に、ドレーン 3 2 0 は第 2 導電形を有する半導体物質（例えば、シリコン）を包含できる。例えば、ドレーン 3 2 0 は N 導電形を有する半導体物質（例えば、シリコン）を包含できる。以下で、ドレーン 3 2 0 は N タイプのシリコンを含むことと仮定する。しかし、ドレーン 3 2 0 は N タイプのシリコンを含むことに限定されない。例示的に、ドレーン 3 2 0 はピラー P L のチャンネル膜 1 1 4 の上部に拡張され得る。

【 0 1 0 1 】

ドレーン 3 2 0 の上に、第 2 方向に伸張され、第 1 方向に沿って互に離隔されたビットライン B L が提供される。ビットライン B L はドレーン 3 2 0 と連結される。例示的に、ドレーン 3 2 0 及びビットライン B L はコンタクトプラグ（図示せず）を通じて連結され

40

得る。例示的に、ビットライン B L 1、B L 2 は金属性導電物質を包含できる。例示的に、ビットライン B L 1、B L 2 はポリシリコンのような非金属性導電物質を包含できる。

【 0 1 0 2 】

導電物質 C M 1 ~ C M 8 は基板 1 1 1 からの順序にしたがって、第 1 乃至第 8 高さを有することができる。

【 0 1 0 3 】

複数のピラー P L は情報格納膜 1 1 6 及び複数の導電物質 C M 1 ~ C M 8 と共に複数のセルストリングを形成する。複数のピラー P L の各々は情報格納膜 1 1 6 及び隣接する導電物質 C M 1 ~ C M 8 と共に 1 つのセルストリングを構成する。

【 0 1 0 4 】

50

基板 1 1 1 の上で、ピラー P L は行方向及び列方向に沿って提供される。第 8 導電物質 C M 8 は行を構成することができる。同一な第 8 導電物質に連結されたピラーは 1 つの行を構成することができる。ビットライン B L は列を構成することができる。同一なビットラインに連結されたピラーは 1 つの列を構成することができる。ピラー P L は情報格納膜 1 1 6 及び複数の導電物質 C M 1 ~ C M 8 と共に行及列方向に沿って配置される複数のセルストリングを構成する。セルストリングの各々は基板と垂直になる方向に積層された複数のセルトランジスター C T を含む。

【 0 1 0 5 】

図 6 は図 5 のセルトランジスター C T の中で 1 つを示す拡大図である。図 3 乃至図 6 を参照すれば、セルトランジスター C T は導電物質 C M 1 ~ C M 8、ピラー P L、及び導電物質 C M 1 ~ C M 8 とピラー P L との間に提供される情報格納膜 1 1 6 で構成される。

10

【 0 1 0 6 】

情報格納膜 1 1 6 は導電物質 C M 1 ~ C M 8 及びピラー P L の間から導電物質 C M 1 ~ C M 8 の上面及び下面に伸張される。情報格納膜 1 1 6 は第 1 乃至第 3 サブ絶縁膜 1 1 7、1 1 8、1 1 9 を含む。

【 0 1 0 7 】

セルトランジスター C T で、ピラー P L のチャンネル膜 1 1 4 は基板 1 1 1 と同一な P タイプのシリコンを包含できる。チャンネル膜 1 1 4 はセルトランジスター C T のボディー (b o d y) として動作する。チャンネル膜 1 1 4 は基板 1 1 1 と垂直になる方向に形成される。即ち、チャンネル膜 1 1 4 は垂直ボディーとして動作できる。チャンネル膜 1 1 4 に垂直チャンネルが形成され得る。

20

【 0 1 0 8 】

ピラー P L に隣接する第 1 サブ絶縁膜 1 1 7 はセルトランジスター C T のトンネルリング絶縁膜として動作する。例えば、第 1 サブ絶縁膜 1 1 7 は熱酸化膜を包含できる。第 1 サブ絶縁膜 1 1 7 はシリコン酸化膜を包含できる。

【 0 1 0 9 】

第 2 サブ絶縁膜 1 1 8 はセルトランジスター C T の電荷格納膜として動作する。例えば、第 2 サブ絶縁膜 1 1 8 は電荷捕獲膜として動作できる。例えば、第 2 サブ絶縁膜 1 1 8 は窒化膜又は金属酸化膜を包含できる。

【 0 1 1 0 】

30

導電物質 C M 1 ~ C M 8 に隣接する第 3 サブ絶縁膜 1 1 9 はセルトランジスター C T のブロッキング絶縁膜として動作する。例示的に、第 3 サブ絶縁膜 1 1 9 は単一層又は多層に形成され得る。第 3 サブ絶縁膜 1 1 9 は第 1 及び第 2 サブ絶縁膜 1 1 7、1 1 8 より高い誘電常数を有する高誘電膜 (例えば、アルミニウム酸化膜、ハフニウム酸化膜等) であり得る。第 3 サブ絶縁膜 1 1 9 はシリコン酸化膜を包含できる。

【 0 1 1 1 】

例示的に、第 1 乃至第 3 サブ絶縁膜 1 1 7 ~ 1 1 9 は O N A (o x i d e - n i t r i d e - a l u m i n i u m o x i d e) 又は O N O (o x i d e - n i t r i d e - o x i d e) を構成することができる。

【 0 1 1 2 】

40

複数の導電物質 C M 1 ~ C M 8 はセルトランジスター C T のゲート (又は制御ゲート) として動作する。

【 0 1 1 3 】

即ち、ゲート (又は制御ゲート) として動作する複数の導電物質 C M 1 ~ C M 8、ブロッキング絶縁膜として動作する第 3 サブ絶縁膜 1 1 9、電荷格納膜として動作する第 2 サブ絶縁膜 1 1 8、トンネルリング絶縁膜として動作する第 1 サブ絶縁膜 1 1 7、及び垂直ボディーとして動作するチャンネル膜 1 1 4 は基板と垂直になる方向に積層された複数のセルトランジスター C T を構成する。例示的に、セルトランジスター C T は電荷捕獲形セルトランジスターであり得る。

【 0 1 1 4 】

50

セルトランジスター C T は高さにしたがって、異なる用度として使用され得る。例えば、セルトランジスター C T の中で上部に提供される少なくとも 1 つの高さのセルトランジスターはストリング選択トランジスターとして使用され得る。ストリング選択トランジスターはセルストリングとビットラインとの間のスイッチングを遂行できる。セルトランジスター C T の中で下部に提供される少なくとも 1 つの高さのセルトランジスターは接地選択トランジスターとして使用され得る。接地選択トランジスターはセルストリング及び共通ソース領域 C S R で構成される共通ソースラインの間のスイッチングを遂行できる。ストリング選択トランジスター及び接地選択トランジスターとして使用されるセルトランジスターの間のセルトランジスターはメモリセル及びダミーメモリセルとして使用され得る。

10

【 0 1 1 5 】

導電物質 C M 1 ~ C M 8 は第 1 方向に沿って伸張されて複数のピラー P L に結合される。導電物質 C M 1 ~ C M 8 はピラー P L のセルトランジスター C T を互に連結する導電ラインを構成することができる。例示的に、導電物質 C M 1 ~ C M 8 は高さにしたがって、ストリング選択ライン、接地選択ライン、ワードライン、又はダミーワードラインとして使用され得る。

【 0 1 1 6 】

ストリング選択トランジスターとして使用されるセルトランジスターを互に連結する導電物質はストリング選択ラインとして使用され得る。接地選択トランジスターとして使用されるセルトランジスターを互に連結する導電物質は接地選択ラインとして使用され得る。メモリセルとして使用されるセルトランジスターを互に連結する導電物質はワードラインとして使用され得る。ダミーメモリセルとして使用されるセルトランジスターを互に連結する導電物質はダミーワードラインとして使用され得る。

20

【 0 1 1 7 】

例示的に、図 3 の平面図の一部分 E C の第 1 例にしたがう等価回路 B L K a 1 が図 7 に図示されている。図 3 乃至図 7 を参照すれば、ビットライン B L 1、B L 2 及び共通ソースライン C S L の間にセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 が提供される。第 1 ビットライン B L 1 と共通ソースライン C S L との間にセルストリング C S 1 1、C S 2 1 が連結される。第 2 ビットライン B L 2 と共通ソースライン C S L との間にセルストリング C S 1 2、C S 2 2 が連結される。

30

【 0 1 1 8 】

共通ソース領域 C S R が共通に連結されて共通ソースライン C S L を構成することができる。

【 0 1 1 9 】

セルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 は図 3 の平面図の一部分 E C の 4 つのピラーに対応する。4 つのピラーは導電物質 C M 1 ~ C M 8 及び情報格納膜 1 1 6 と共に 4 つのセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 を構成する。

【 0 1 2 0 】

例示的に、第 1 導電物質 C M 1 は情報格納膜 1 1 6 及びピラー P L と共に接地選択トランジスター G S T を構成することができる。第 1 導電物質 C M 1 は接地選択ライン G S L を構成することができる。第 1 導電物質 C M 1 は互に連結されて共通に連結された 1 つの接地選択ライン G S L を構成することができる。

40

【 0 1 2 1 】

第 2 乃至第 7 導電物質 C M 2 ~ C M 7 は情報格納膜 1 1 6 及びピラー P L と共に第 1 乃至第 6 メモリセル M C 1 ~ M C 6 を構成することができる。第 2 乃至第 7 導電物質 C M 2 ~ C M 7 は第 1 乃至第 6 ワードライン W L 1 ~ W L 6 を構成することができる。

【 0 1 2 2 】

第 2 導電物質 C M 2 は互に連結されて共通に連結された第 1 ワードライン W L 1 を構成することができる。第 3 導電物質 C M 3 は互に連結されて共通に連結された第 2 ワードライン W L 2 を構成することができる。第 4 導電物質 C M 4 は互に連結されて共通に連結さ

50

れた第3ワードラインWL3を構成することができる。第5導電物質CM5は互に連結されて共通に連結された第4ワードラインWL4を構成することができる。第6導電物質CM6は互に連結されて共通に連結された第5ワードラインWL5を構成することができる。第7導電物質CM7は互に連結されて共通に連結された第6ワードラインWL6を構成することができる。

【0123】

第8導電物質CM8は情報格納膜116及びピラーPLと共にストリング選択トランジスタSSTを構成することができる。第8導電物質CM8はストリング選択ラインSSL1、SSL2を構成することができる。

【0124】

同一な高さのメモリセルは1つのワードラインに共通に連結されている。したがって、特定高さのワードラインへ電圧が供給される時、全てセルストリングCS11、CS12、CS21、CS22へ電圧が供給される。

【0125】

異なる行のセルストリングは異なるストリング選択ラインSSL1、SSL2に各々連結される。第1及び第2ストリング選択ラインSSL1、SSL2を選択及び非選択することによって、セルストリングCS11、CS12、CS21、CS22が行単位に選択及び非選択され得る。例えば、非選択されたストリング選択ラインSSL1又はSSL2に連結されたセルストリングCS11及びCS12、又はCS21及びCS22はビットラインBL1、BL2から電氣的に分離され得る。選択されたストリング選択ラインSSL2又はSSL1に連結されたセルストリングCS21及びCS22、又はCS11及びCS12はビットラインBL1、BL2に電氣的に連結され得る。

【0126】

セルストリングCS11、CS12、CS21、CS22は列単位にビットラインBL1、BL2に連結される。第1ビットラインBL1にセルストリングCS11、CS21が連結され、第2ビットラインBL2にセルストリングCS12、CS22が連結される。ビットラインBL1、BL2を選択及び非選択することによって、セルストリングCS11、CS12、CS21、CS22が列単位に選択及び非選択され得る。

【0127】

ピラーPLが形成される時、工程上の誤差によってピラーPLが形成されるホール(hole)が基板111と接触しないこともあり得る。即ち、ピラーPLが形成されるホールが十分に深く形成されないこともあり得る。この時、チャンネル膜114は基板111と接触しないこともあり得る。即ち、セルストリングCSの中でオフされた(off)ストリングが存在することができる。

【0128】

ドレーン320が形成される時、工程上の誤差によってドレーン320がピラーPLのチャンネル膜114と接触しないこともあり得る。即ち、セルストリングCSの中でオフされた(off)ストリングが存在することができる。

【0129】

オフされたセルストリング(以下で、オフストリングと称する)が存在すれば、メモリブロックBLKa1の書込み、読出し、及び消去の時に誤動作が発生され得る。本発明の実施形態によれば、エラー訂正コード(Error Correcting Code)によって支援されるエラー訂正能力を利用してオフストリングによる誤動作が防止され得る。

【0130】

図8は本発明の第1実施形態による消去方法を示す順序図である。図9は図8の消去方法にしたがう電圧条件を示すテーブルである。図1、図7乃至図9を参照すれば、S111段階で消去電圧が供給される。

【0131】

ビットラインBL1、BL2はフローティングされ、ストリング選択ラインSSL1、

10

20

30

40

50

SSL2はフローティングされるか、或いは第1ストリング選択ライン電圧VSSL1が供給され得る。ワードラインWL1~WL6へ第1ワードライン消去電圧Vwe1が供給され得る。第1ワードライン消去電圧Vwe1は接地電圧VSS又は接地電圧VSSと類似なレベルを有する低電圧(正の電圧と負の電圧とを包含)であり得る。接地選択ラインGSLはフローティングされるか、或いは第1接地選択ライン電圧VGSL1が供給され得る。共通ソースラインCSLはフローティングされ得る。基板111へ第1消去電圧Vers1が供給され得る。第1消去電圧Vers1は高電圧であり得る。第1ストリング選択ライン電圧VSSL1及び第1接地選択ライン電圧VGSL1は第1消去電圧Vers1と接地電圧VSSとの間のレベルを有する電圧であり得る。この時、基板111、チャンネル膜114、及びワードラインWL1~WL6の電圧変化が図10に図示されている。

10

【0132】

第1時間T1に基板111へ供給された第1消去電圧Vers1はチャンネル膜114へ供給される。チャンネル膜114は第1消去電圧Vers1に充電され得る。ワードラインWL1~WL6へ供給された第1ワードライン消去電圧Vwe1とチャンネル膜114とへ供給された第1消去電圧Vers1の電圧差異によって、メモリセルMC1~MC6に捕獲された電荷が流出され得る。即ち、メモリセルMC1~MC6の閾値電圧が低くなり得る。

【0133】

S112段階で、第1番目のストリング選択ラインSSL1が選択される。選択されたストリング選択ラインSSL1へタンオン電圧が供給され、非選択されたストリング選択ラインSSL2へタンオフ電圧が供給され得る。

20

【0134】

S113段階で、ワードラインWL1~WL6へ第1高電圧VH1を供給して読出しが遂行される。

【0135】

ビットラインBL1、BL2へ第1ビットライン電圧VBL1が供給される。第1ビットライン電圧VBL1は電源電圧VCCであり得る。

【0136】

選択されたストリング選択ライン(例えば、SSL1)へ第2ストリング選択ライン電圧VSSL2が供給される。第2ストリング選択ライン電圧VSSL2は第1ストリング選択トランジスターSST1、第1ストリング選択ラインSSL1に連結されたストリング選択トランジスターをタンオンする電圧であり得る。第2ストリング選択ライン電圧VSSL2は電源電圧VCC又は非選択読出し電圧Vreadであり得る。非選択読出し電圧Vreadは読出しの時に非選択されたワードラインへ供給される電圧であり得る。

30

【0137】

非選択されたストリング選択ライン(例えば、SSL2)へ第3ストリング選択ライン電圧VSSL3が供給される。第3ストリング選択ライン電圧VSSL3は第2ストリング選択トランジスターSST2、第2ストリング選択ラインSSL2に連結されたストリング選択トランジスターをタンオフする電圧であり得る。第3ストリング選択ライン電圧VSSL3は接地電圧VSS又はそれと類似なレベルを有する低電圧(正の電圧と負の電圧とを包含)であり得る。

40

【0138】

ワードラインWL1~WL6へ第1高電圧VH1が供給される。第1高電圧VH1はメモリセルMC1~MC6がいずれかの論理状態を有しても、メモリセルMC1~MC6をタンオンする電圧であり得る。第1高電圧VH1は非選択読出し電圧Vreadであり得る。

【0139】

接地選択ラインGSLへ第2接地選択ライン電圧VGSL2が供給される。第2接地選択ライン電圧VGSL2は接地選択トランジスターGSTをタンオンする電圧であり得る

50

。第2接地選択ライン電圧 V_{GSL2} は電源電圧 V_{CC} 又は非選択読出し電圧 V_{read} であり得る。

【0140】

共通ソースライン CSL へ第1共通ソースライン電圧 V_{CSL1} が供給される。第1共通ソースライン電圧 V_{CSL1} は接地電圧 V_{SS} 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧とを包含）であり得る。

【0141】

基板111へ第1基板電圧 V_{SUB1} が供給される。第1基板電圧 V_{SUB1} は接地電圧 V_{SS} 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

10

【0142】

$S113$ 段階が遂行される時、メモリセルアレイ110の電圧変化が図11に図示されている。

【0143】

第1時間 $T1$ に、ビットライン BL へ第1ビットライン電圧 V_{BL1} がプリチャージされる。第2時間 $T2$ に、ストリング選択ライン $SSL1$ 、 $SSL2$ 、ワードライン $WL1 \sim WL6$ 、接地選択ライン GSL 、及び共通ソースライン VSL へ各々電圧が供給される。

【0144】

選択されたストリング選択ライン $SSL1$ へ第2ストリング選択ライン V_{SSL2} が供給されて選択されたストリング選択トランジスタ $SST1$ はタンオンされる。ワードライン $WL1 \sim WL6$ へ第1高電圧 V_{H1} が供給されてメモリセル $MC1 \sim MC6$ がタンオンされる。接地選択ライン GSL へ第2接地選択ライン電圧 V_{GSL2} が供給されて接地選択トランジスタ GST がタンオンされる。

20

【0145】

選択されたストリング選択ライン $SSL1$ に連結されたセルストリング $CS11$ 、 $CS12$ の中でオフストリングではないセルストリングで、ビットラインに充電された第1ビットライン電圧 V_{BL1} が共通ソースライン CSL へ放電されてビットラインの電圧が低くなる。選択されたストリング選択ライン $SSL1$ に連結されたセルストリング $CS11$ 、 $CS12$ の中でオフストリングで、ビットラインと共通ソースライン CSL とが電氣的に分離されるので、ビットラインの電圧は第1ビットライン電圧 V_{BL1} を維持する。

30

【0146】

特定ビットラインの電圧が基準電圧 V_{ref} より高い時、ページバッファ部130は特定ビットラインに対応するラッチ（図示せず）に第1論理値（例えば、ロジックハイ）を格納できる。特定ビットラインの電圧が基準電圧 V_{ref} より低い時、ページバッファ部130は特定ビットラインに対応するラッチ（図示せず）に第2論理値（例えば、ロジックロー）を格納できる。

【0147】

正常ストリングに対応するラッチ（図示せず）に第2論理値が格納される。オフストリングに対応するラッチ（図示せず）に第1論理値が格納される。即ち、第1高電圧 V_{H1} を利用して読出しを遂行することによって、オフストリングが検出され得る。オフストリングを検出する読出しはプリ（pre）読出しであり得る。

40

【0148】

プリ読出しはプリ読出し信号 PRS に応答して遂行できる。アドレスデコーディング部120及びページバッファ部130はプリ読出し信号 PRS に応答してメモリセルアレイ110へ電圧を供給することができる。ページバッファ部130はプリ読出し信号 PRS に応答してラッチ（図示せず）にプリ読出し結果を格納できる。

【0149】

$S114$ 段階で、1つ又はその以上のオフストリングが判別される。例えば、第1論理値を格納するラッチ（図示せず）に対応するストリングがオフストリングであると判別さ

50

れ得る。

【 0 1 5 0 】

S 1 1 5 段階で、1 つ又はその以上のオフストリングが消去パスされたことと処理され、消去検証が遂行できる。

【 0 1 5 1 】

プリ読出しの時に正常ストリングとして検出されたセルストリングへ第 2 ビットライン電圧 V B L 2 が供給される。第 2 ビットライン電圧 V B L 2 は電源電圧 V C C 又はそれと類似なレベルを有する電圧であり得る。プリ読出しの時にオフストリングとして検出されたセルストリングへ第 3 ビットライン電圧 V B L 3 が供給される。第 3 ビットライン電圧 V B L 3 は接地電圧 V S S 又はそれと類似なレベルを有する電圧（正の電圧と負の電圧とを包含）であり得る。

10

【 0 1 5 2 】

例示的に、プリ読出しの時にページバッファ部 1 3 0 のラッチ（図示せず）に格納されたプリ読出し結果にしたがって、ページバッファ部 1 3 0 はオフストリングに連結されたビットラインへ第 3 ビットライン電圧 V B L 3 を供給することができる。他の例として、プリ読出し結果 R R が制御ロジック 1 7 0 へ供給され、制御ロジック 1 7 0 はプリ読出し結果 R R にしたがって、オフストリングに連結されたビットラインへ第 3 ビットライン電圧 V B L 3 が供給されるようにページバッファ部 1 3 0 を制御することができる。プリ読出し結果 R R を制御ロジック 1 7 0 へ伝送する信号線（図示せず）がページバッファ部 1 3 0 と制御ロジック 1 7 0 との間に提供され得る。

20

【 0 1 5 3 】

選択されたストリング選択ライン S S L 1 へ第 4 ストリング選択ライン電圧 V S S L 4 が供給される。第 4 ストリング選択ライン電圧 V S S L 4 は選択されたストリング選択トランジスタ S S T 1 をタンオンする電圧であり得る。第 4 ストリング選択ライン電圧 V S S L 4 は非選択読出し電圧 V r e a d 又は電源電圧 V C C であり得る。

【 0 1 5 4 】

非選択されたストリング選択ライン S S L 2 へ第 5 ストリング選択ライン電圧 V S S L 5 が供給される。第 5 ストリング選択ライン電圧 V S S L 5 は非選択されたストリング選択トランジスタ S S T 2 をタンオフする電圧であり得る。第 5 ストリング選択ライン電圧 V S S L 5 は接地電圧 V S S 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧とを包含）であり得る。

30

【 0 1 5 5 】

ワードライン W L 1 ~ W L 6 へ第 1 検証電圧 V F Y 1 が供給される。第 1 検証電圧 V F Y 1 は消去されたメモリセルが有する閾値電圧の上限であり得る。第 1 検証電圧 V F Y 1 は接地電圧 V S S 又は負の電圧であり得る。

【 0 1 5 6 】

接地選択ライン G S L へ第 3 接地選択ライン電圧 V G S L 3 が供給される。第 3 接地選択ライン電圧 V G S L 3 は接地選択トランジスタ G S T をタンオンする電圧であり得る。第 3 接地選択ライン電圧 V G S L 3 は非選択読出し電圧 V r e a d 又は電源電圧 V C C であり得る。

40

【 0 1 5 7 】

共通ソースライン V S L へ第 2 共通ソースライン電圧 V C S L 2 が供給される。第 2 共通ソースライン電圧 V C S L 2 は接地電圧 V S S 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

【 0 1 5 8 】

基板 1 1 1 へ第 2 基板電圧 V S U B 2 が供給される。第 2 基板電圧 V S U B 2 は接地電圧 V S S 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

【 0 1 5 9 】

S 1 1 5 段階が遂行される時、メモリセルアレイ 1 1 0 の電圧変化が図 1 2 に図示され

50

ている。

【 0 1 6 0 】

第 1 時間 T 1 に、正常ストリングに連結された正常ビットラインへ第 2 ビットライン電圧 V B L 2 がプリチャージされる。オフストリングに連結されたビットラインへ第 3 ビットライン電圧 V B L 3 が供給される。

【 0 1 6 1 】

第 2 時間 T 2 に、ストリング選択ライン S S L 1、S S L 2、ワードライン W L 1 ~ W L 6、接地選択ライン G S L、及び共通ソースライン C S L へ各々の電圧が供給される。

【 0 1 6 2 】

選択されたストリング選択トランジスタ S S T 1 はタンオンされ、非選択されたストリング選択トランジスタ S S T 2 はタンオフされる。接地選択トランジスタ G S T はタンオンされる。

10

【 0 1 6 3 】

メモリセル M C 1 ~ M C 6 の中で検証電圧 V F Y 1 より高い閾値電圧を有するメモリセルはタンオフされ、検証電圧 V F Y 1 より低い閾値電圧を有するメモリセルはタンオンされる。特定セルストリングのメモリセル M C 1 ~ M C 6 がタンオンされれば、ビットラインと共通ソースライン C S L とが電氣的に連結される。特定セルストリングに連結されたビットラインの電圧は第 2 ビットライン電圧 V B L 2 から低くなり得る。

【 0 1 6 4 】

特定セルストリングのメモリセル M C 1 ~ M C 6 の中で少なくとも 1 つがタンオフされれば、ビットラインと共通ソースライン C S L とが電氣的に分離される。したがって、特定セルストリングに連結されたビットラインの電圧は第 2 ビットライン電圧 V B L 2 を維持することができる。

20

【 0 1 6 5 】

特定ビットラインの電圧が基準電圧 V r e f より高い時、ページバッファ部 1 3 0 は特定ビットラインに対応するラッチ（図示せず）に第 1 論理値を格納できる。特定ビットラインの電圧が基準電圧 V r e f より低い時、ページバッファ部 1 3 0 は特定ビットラインに対応するラッチ（図示せず）に第 2 論理値を格納できる。

【 0 1 6 6 】

即ち、正常ストリングの中で消去パスされたセルストリングに対応するラッチ（図示せず）に第 2 論理値が格納される。正常ストリングの中で消去フェイルされたセルストリングに対応するラッチ（図示せず）に第 1 論理値が格納される。オフストリングへ第 3 ビットライン電圧 V B L 3 が供給されるので、オフストリングに対応するラッチ（図示せず）に第 2 論理値が格納される。

30

【 0 1 6 7 】

ページバッファ部 1 3 0 のラッチ（図示せず）に格納されたデータは消去検証読出し結果 R R であり得る。消去検証読出し結果 R R はパス / フェイルチェック部 1 6 0 へ伝達され得る。

【 0 1 6 8 】

パス / フェイルチェック部 1 6 0 はページバッファ部 1 3 0 から消去検証読出し結果 R R を受信する。パス / フェイルチェック部 1 6 0 は第 2 論理値を表す読出し結果は消去パスされたことと判別し、第 1 論理値を表す読出し結果は消去フェイルされたことと判別する。オフストリングの消去検証読出し結果は第 2 論理値であるので、オフストリングは消去パスされたことと判別され得る。即ち、正常ストリングが消去パスされれば、消去検証読出し結果 R R に第 1 論理値が存在しないこともあり得る。消去検証読出し結果 R R に第 1 論理値が存在しなければ、パス / フェイルチェック部 1 6 0 はパス信号 P A S S を発生できる。消去検証読出し結果 R R に第 1 論理値が存在すれば、パス / フェイルチェック部 1 6 0 はフェイル信号 F A I L を発生できる。

40

【 0 1 6 9 】

S 1 1 6 段階で、パス信号 P A S S が活性化されたか否かを判別する。パス信号 P A S

50

S が活性化されなければ、即ちフェイル信号 F A I L が活性化されれば、S 1 1 7 段階で消去電圧が供給され、以前に選択されたストリング選択ライン S S L 1 が再び選択される。S 1 1 7 段階の消去電圧は以前に印加された電圧と異なり得る。S 1 1 7 段階の消去電圧は以前に印加された電圧より増加され得る。以後に S 1 1 5 段階から再び遂行される。パス信号 P A S が活性化されれば、S 1 1 8 段階が遂行される。

【 0 1 7 0 】

S 1 1 8 段階で、選択されたストリング選択ライン S S L 1 が最後のストリング選択ラインであるか否かが判別される。選択されたストリング選択ライン S S L 1 が最後のストリング選択ラインではなければ、S 1 1 9 段階で次のストリング選択ライン（例えば、S S L 2）が選択される。そして、S 1 1 3 段階から再び遂行される。選択されたストリング選択ライン（例えば、S S L 2）が最後のストリング選択ラインであれば、消去は終了される。

10

【 0 1 7 1 】

S 1 1 7、S 1 1 5 及び S 1 1 6 段階で、消去パスされたことと処理され、以前に第 1 論理値を有するメモリセル又はオフストリングは消去パスされたことと処理されて第 2 論理値を有することができる。S 1 1 7、S 1 1 5 及び S 1 1 6 段階は以前に第 1 論理値を有するオフストリングが消去パスされて第 2 論理値を有する時まで 1 回又は複数回反復的に遂行できる。

【 0 1 7 2 】

以前に第 1 論理値を有するメモリセル又はオフストリングはオフストリング判別動作（S 1 1 4 段階）で判別されたメモリセル又はオフストリング及び / 又は消去検証動作（S 1 1 5 段階）で正常ストリングの中で判別されたメモリセル又はオフストリングを包含できる。上述された第 1 論理値を有するメモリセル又はオフストリングは S 1 1 8 段階が遂行される時まで S 1 1 7、S 1 1 5 及び S 1 1 6 段階に露出され得る。

20

【 0 1 7 3 】

上述されたように、セルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 のメモリセル M C 1 ~ M C 6 が消去パスされる時まで、消去が遂行される。消去検証の時に、オフストリングは消去パスされたことと処理される。したがって、オフストリングによって消去検証の時に消去フェイルが発生することが防止される。

【 0 1 7 4 】

30

オフストリングによって誘発されるデータエラーは不揮発性メモリ装置 1 0 0 の内部又は外部に提供されるエラー訂正部（図示せず）によって訂正され得る。したがって、メモリセルアレイ 1 1 0 にオフストリングが存在しても、リペア（repair）のような別の処理無しで不揮発性メモリ装置 1 0 0 が正常的に動作できる。

【 0 1 7 5 】

例示的に、S 1 1 6 段階で消去パスであると判別される時、S 1 1 7 段階で消去電圧が供給され、S 1 1 5 段階で消去検証が遂行されることと説明された。しかし、S 1 1 6 段階で消去パスであると判別される時、S 1 1 7 段階が遂行されるの代わりに S 1 1 2 段階で消去電圧が供給され、S 1 1 3 段階でプリ読出しが遂行され、そして S 1 1 4 段階でオフストリングが判別され、S 1 1 5 段階でオフストリングを消去パスとして処理し、消去検証が遂行できる。

40

【 0 1 7 6 】

図 1 3 A は図 8 の消去の時に遂行されるオフストリング処理方法の例を示す順序図である。図 1、図 8、及び図 1 3 A を参照すれば、S 1 2 1 段階でオフストリングの数がカウントされる。例えば、カウンティング部 1 5 0 はページバッファ部 1 3 0 からプリ読出し結果 R R を受信してカウントできる。カウンティング部 1 5 0 はプリ読出し結果 R R の中で第 1 論理値の数、即ちオフストリングの数をカウントできる。カウント値 C V は制御ロジック 1 7 0 へ提供され得る。

【 0 1 7 7 】

S 1 2 2 段階で、オフストリングの数が第 1 値 V 1 の以下であるか否かが判別される。

50

オフストリングの数が第 1 値 V 1 の以下であれば、S 1 2 3 段階で消去が続いて遂行される。オフストリングの数が第 1 値 V 1 より大きければ、S 1 2 4 段階でエラーメッセージが発生され、消去が中止される。

【 0 1 7 8 】

例えば、制御ロジック 1 7 0 は第 1 レジスタ REG 1 に格納された第 1 値 V 1 とカウント値 C V とを比較することができる。比較結果にしたがって、制御ロジック 1 7 0 は消去を持続するか、或いは中止するように不揮発性メモリ装置 1 0 0 を制御することができる。

【 0 1 7 9 】

例示的に、第 1 値 V 1 は不揮発性メモリ装置 1 0 0 から読み出されるデータのエラーを訂正するエラー訂正部（図示せず）のエラー訂正ビット数であり得る。第 1 値 V 1 はエラー訂正部（図示せず）のエラー訂正ビット数より小さいことがあり得り、エラー訂正ビット数にしたがって、決定され得る。例えば、第 1 値 V 1 はエラー訂正ビット数に対する特定比率にしたがって、決定され得る。

【 0 1 8 0 】

オフストリングの数がエラー訂正ビット数より大きい時、該当メモリブロックから読み出されるデータは訂正できないエラーを包含できる。したがって、S 1 2 1 段階乃至 S 1 2 4 段階が遂行されれば、訂正できないエラーを発生させるメモリブロックが検出される。例示的に、エラーメッセージに対応するメモリブロックはバッド（b a d）ブロックとして処理され得る。

【 0 1 8 1 】

S 1 2 1 段階乃至 S 1 2 4 段階は S 1 1 3 段階のプリ読出し後に遂行できる。S 1 2 1 段階乃至 S 1 2 4 段階は特定メモリブロックの消去の時に、第 1 番目のプリ読出しが遂行された後、1 回のみ遂行できる。

【 0 1 8 2 】

図 1 3 B は本発明の第 2 実施形態による消去方法を示す順序図である。図 8 B を参照すれば、S 1 1 3 a 段階で第 1 番目のストリング選択ラインが選択される。S 1 1 3 b 段階で、ワードラインへ高電圧を供給して読出し、即ちプリ読出しが遂行される。S 1 1 3 c 段階で、オフストリングが判別され、オフストリング情報が格納される。例えば、プリ読出し結果にしたがって、オフストリングが判別され、プリ読出し結果が格納され得る。例えば、プリ読出し結果はページバッファ部 1 3 0 に格納され得る。

【 0 1 8 3 】

S 1 1 3 d 段階で、選択されたストリング選択ラインが最後のストリング選択ラインであるか否かが判別される。選択されたストリング選択ラインが最後の選択ラインではなければ、S 1 1 3 e 段階で次のストリング選択ラインが選択される。選択されたストリング選択ラインが最後のストリング選択ラインであれば、S 1 1 4 a 段階が遂行される。

【 0 1 8 4 】

S 1 1 4 a 段階で、消去電圧が供給されて消去が遂行される。S 1 1 4 b 段階で、第 1 番目のストリング選択ラインが選択される。S 1 1 4 c 段階で、オフストリングを消去パスとして処理し、消去検証が遂行される。例えば、S 1 1 4 c 段階は図 8 の S 1 1 5 段階と同一な方法に遂行できる。S 1 1 4 c 段階で、ページバッファ部 1 3 0 に格納されたプリ読出し結果にしたがって、オフストリングが消去パスとして処理され得る。

【 0 1 8 5 】

S 1 1 4 d 段階で、選択されたストリング選択ラインに連結されたストリングが消去パスであるか否かが判別される。消去パスではなければ、S 1 1 4 e 段階で消去電圧が供給されて消去が遂行され、以前に選択されたストリング選択ラインが再び選択される。以後に、S 1 1 4 c 段階から再び遂行される。消去パスであれば、S 1 1 4 f 段階が遂行される。

【 0 1 8 6 】

S 1 1 4 f 段階で、選択されたストリング選択ラインが最後のストリング選択ラインで

10

20

30

40

50

あるか否かが判別される。選択されたストリング選択ラインが最後のストリング選択ラインではなければ、S 1 1 4 g 段階で次のストリング選択ラインが選択される。以後に、S 1 1 4 c 段階が再び遂行される。選択されたストリング選択ラインが最後のストリング選択ラインであれば、消去が終了される。

【 0 1 8 7 】

即ち、S 1 1 3 a 段階乃至 S 1 1 3 e 段階で、ストリング選択ライン S S L 1、S S L 2 が順に選択され、オフストリングが検出される。検出結果はページバッファ部 1 3 0 に格納され得る。S 1 1 4 a 段階乃至 S 1 1 4 g 段階で、ストリング選択ライン S S L 1、S S L 2 が順に選択され、消去及び消去検証が遂行される。ページバッファ部 1 3 0 に格納された検出結果を利用して、オフストリングは消去パスされたことと処理され得る。

10

【 0 1 8 8 】

図 1 4 は図 1 のページバッファ部 1 3 0 の例を示すブロック図である。図 1 及び図 1 4 を参照すれば、ページバッファ部 1 3 0 は複数のページバッファ P B 1 ~ P B n を含む。複数のページバッファ P B 1 ~ P B n は複数の多段構造 H A 1 ~ H A m を構成することができる。

【 0 1 8 9 】

第 1 ページバッファ P B 1 は第 1 段 S t a g e 1 を構成することができる。第 2 ページバッファ P B 2 は第 2 段 S t a g e 2 を構成することができる。第 n ページバッファ P B n は第 n 段 S t a g e n を構成することができる。

【 0 1 9 0 】

20

各多段構造 H A で、ページバッファは互に連結され得る。例えば、第 1 多段構造 H A 1 で、ページバッファ P B 1 ~ P B n はワイヤード O R (W i r e d - O R) 構造で第 1 ページバッファ信号線 P B S 1 に連結され得る。第 2 多段構造 H A 2 で、ページバッファ P B 1 ~ P B n はワイヤード O R (W i r e d - O R) 構造で第 2 ページバッファ信号線 P B S 2 に連結され得る。第 m 多段構造 H A m で、ページバッファ P B 1 ~ P B n はワイヤード O R (W i r e d - O R) 構造で第 m ページバッファ信号線 P B S m に連結され得る。

【 0 1 9 1 】

ページバッファ P B 1 ~ P B n の各々は複数のラッチを包含できる。ページバッファ P B 1 ~ P B n の各々の複数のラッチの中で 1 つはプリ読出し結果を格納できる。

30

【 0 1 9 2 】

各段 S t a g e のページバッファは伝送信号線 P F に共通に連結され得る。第 1 伝送信号線 P F 1 が活性化される時、第 1 段 S t a g e 1 のページバッファは格納されたデータを、ページバッファ信号線 P B S 1 ~ P B S m を通じて出力することができる。第 2 伝送信号線 P F 2 が活性化される時、第 2 段 S t a g e 2 のページバッファは格納されたデータを、ページバッファ信号線 P B S 1 ~ P B S m を通じて出力することができる。第 n 伝送信号線 P F n が活性化される時、第 n 段 S t a g e n のページバッファは格納されたデータを、ページバッファ信号線 P B S 1 ~ P B S m を通じて出力することができる。

【 0 1 9 3 】

伝送信号 P F 1 ~ P F n は順次的に活性化され得る。伝送信号 P F 1 ~ P F n が順次的に活性化されることにしたがって、読出し結果 (プリ読出し結果及び消去検証読出し結果を包含) は順次的に出力され得る。例示的に、読出し結果 (プリ読出し結果及び消去検証読出し結果を包含) は段 S t a g e 1 ~ S t a g e n の数くらいのグループに分割され、分割されたグループが順次的に出力され得る。

40

【 0 1 9 4 】

読出し結果 (プリ読出し結果及び消去検証読出し結果を包含) が順次的に出力されることにしたがって、カウンティング部 1 5 0 は順次的にカウントを遂行できる。パスフェイル / チェッキング部 1 6 0 は順次的にパス / フェイル判別を遂行できる。

【 0 1 9 5 】

図 1 5 は本発明の第 2 実施形態による不揮発性メモリ装置 2 0 0 を示すブロック図であ

50

る。図 15 を参照すれば、不揮発性メモリ装置 200 はメモリセルアレイ 210、アドレスデコーディング部 220、ページバッファ部 230、データ入出力部 240、カウンティング部 250、パス/フェイルチェック部 260、及び制御ロジック 270 を含む。

【0196】

カウント値 C V がデータ入出力回路 240 へ提供され、制御ロジック 270 へレジスタ REG 1 が提供されないことを除外すれば、不揮発性メモリ装置 200 は図 1 を参照して説明された不揮発性メモリ装置 100 と同一な構造を有する。

【0197】

図 16 は本発明の第 1 実施形態によるプリ読出し方法を示す順序図である。図 7、図 15 及び図 16 を参照すれば、S 211 段階でコマンドが受信される。例えば、プリ読出しを指示するコマンドが受信され得る。不揮発性メモリ装置 200 の状態情報を要請するコマンドが受信され得る。受信されるコマンドは通常的な書込み、読出し、消去コマンドと異なるコマンドであり得る。特定なメモリブロック及び特定なストリング選択ラインを表す住所がコマンドと共に受信され得る。受信された住所にしたがって、特定なメモリブロックと特定なストリング選択ラインとが選択され得る。

10

【0198】

S 212 段階で、ワードライン W L 1 ~ W L 6 へ第 1 高電圧 V H 1 が供給され読出し（プリ読出し）が遂行される。S 212 段階は図 8 の S 113 段階と同様に遂行できる。S 212 段階が遂行されれば、ページバッファ部 230 のラッチ（図示せず）にプリ読出し結果 R R が格納され得る。

20

【0199】

S 213 段階で、オフストリングが判別される。例えば、図 8 の S 114 段階を参照して説明されたように、プリ読出し結果 R R にしたがって、オフストリングが判別され得る。

【0200】

S 214 段階で、オフストリング情報が出力される。オフストリング情報はオフストリングに対する情報を包含できる。

【0201】

オフストリング情報はオフストリングの数を包含できる。プリ読出し結果 R R がカウンティング部 250 へ提供され、カウンティング部 250 はカウントを遂行できる。カウント値 C V はデータ入出力部 240 を通じて外部へ出力され得る。

30

【0202】

オフストリング情報はプリ読出し結果を包含できる。プリ読出し結果 R R はデータ入出力回路 240 を通じて不揮発性メモリ装置 200 の外部へ出力され得る。

【0203】

オフストリング情報はカウント値 C V 及びプリ読出し結果を全て包含できる。

【0204】

例示的に、S 211 段階で受信されるコマンドにしたがって、何らかの種類のオフストリング情報が出力されるか否かが決定され得る。

40

【0205】

S 211 段階乃至 S 214 段階が遂行されれば、特定なメモリブロックの特定なストリング選択ラインに対応するセルストリングの中でオフストリングに対する情報が出力され得る。

【0206】

図 17 は本発明の第 2 実施形態によるプリ読出し方法を示す順序図である。図 7、図 15 及び図 17 を参照すれば、S 221 段階でコマンドが受信される。例えば、プリ読出しを指示するコマンドが受信され得る。不揮発性メモリ装置 200 の状態情報を要請するコマンドが受信され得る。受信されるコマンドは通常的な書込み、読出し、消去コマンドと異なるコマンドであり得る。特定なメモリブロックを表す住所がコマンドと共に受信され

50

得る。受信された住所にしたがって、特定なメモリブロックが選択され得る。

【0207】

S222段階で、第1番目のストリング選択ラインSSL1が選択される。

【0208】

S223段階で、ワードラインWL1～WL6へ第1高電圧VH1が供給され、読出し（プリ読出し）が遂行される。S223段階は図8のS113段階と同一な方法に遂行できる。

【0209】

S224段階で、オフストリングが判別される。S224段階は図8のS114段階と同一な方法に遂行できる。

10

【0210】

S225段階で、オフストリング情報が出力される。オフストリング情報は選択されたメモリブロックの選択されたストリング選択ラインのオフストリングの数、プリ読出し結果、又はオフストリングの数とプリ読出し結果を包含できる。

【0211】

S226段階で、選択されたストリング選択ラインが最後のストリング選択ラインであるか否かが判別される。選択されたストリング選択ラインが最後のストリング選択ラインではなければ、S227段階で次のストリング選択ラインSSL2が選択される。以後に、S223段階から再び遂行される。選択されたストリング選択ラインが最後のストリング選択ラインであれば、プリ読出しは終了される。

20

【0212】

S221段階乃至S227段階が遂行されれば、特定メモリブロックのオフストリングに対する情報が出力され得る。オフストリング情報の種類は受信されるコマンドにしたがって、決定され得る。

【0213】

図18は本発明の第3実施形態による不揮発性メモリ装置300を示すブロック図である。図18を参照すれば、不揮発性メモリ装置300はメモリセルアレイ310、アドレスデコーディング部320、ページバッファ部330、データ入出力部340、カウンティング部350、パス/フェイルチェック部360、及び制御ロジック370を含む。

30

【0214】

カウント値CVがデータ入出力回路340へも提供されることを除外すれば、不揮発性メモリ装置300は図1を参照して説明された不揮発性メモリ装置100と同一な構造を有する。

【0215】

不揮発性メモリ装置300は図8乃至図13を参照して説明された消去方法によって消去を遂行できる。不揮発性メモリ装置300は図16及び図17を参照して説明されたプリ読出し方法によってプリ読出しを遂行できる。

【0216】

図19は本発明の第4実施形態による不揮発性メモリ装置400を示すブロック図である。図19を参照すれば、不揮発性メモリ装置400はメモリセルアレイ410、アドレスデコーディング部420、ページバッファ部430、データ入出力部440、カウンティング部450、パス/フェイルチェック部460、及び制御ロジック470を含む。

40

【0217】

メモリセルアレイ410は図1を参照して説明されたメモリセルアレイ110と同一な構造を有する。

【0218】

アドレスデコーディング部420はストリング選択ラインSSL、ワードラインWL、及び接地選択ラインGSLを通じてメモリセルアレイ410に連結される。アドレスデコ

50

ーディング部 4 2 0 はデコーディングされた列アドレス D C A をページバッファ部 4 3 0 へ提供できる。

【 0 2 1 9 】

ページバッファ部 4 3 0 はビットライン B L を通じてメモリセルアレイ 4 1 0 に連結され、データライン D L を通じてデータ入出力部 4 4 0 に連結される。ページバッファ部 4 3 0 は読出し結果（消去検証読出し結果を包含）を出力することができる。

【 0 2 2 0 】

カウンティング部 4 5 0 は読出し結果 R R を受信してカウントする。カウンティング部 4 5 0 はカウント値 C V を出力する。

【 0 2 2 1 】

パス/フェイルチェック部 4 6 0 はカウント値 C V を受信する。パス/フェイルチェック部 4 6 0 はカウント値 C V をレジスター R E G 2 に格納された値と比較し、比較結果にしたがって、パス信号 P A S S 又はフェイル信号 F A I L を出力する。

【 0 2 2 2 】

制御ロジック 4 7 0 は不揮発性メモリ装置 4 0 0 の諸般動作を制御することができる。

【 0 2 2 3 】

図 2 0 は本発明の第 3 実施形態による消去方法を示す順序図である。図 2 1 は図 2 0 の消去方法にしたがう電圧条件を示すテーブルである。図 7、図 1 9 及び図 2 0 を参照すれば、S 4 1 1 段階で消去電圧が供給される。

【 0 2 2 4 】

S 4 1 2 段階で、第 1 番目のストリング選択ライン S S L 1 が選択される。

【 0 2 2 5 】

ビットライン B L 1、B L 2 はフローティングされ、ストリング選択ライン S S L 1、S S L 2 はフローティングされるか、或いは第 6 ストリング選択ライン電圧 V S S L 6 が供給され得る。ワードライン W L 1 ~ W L 6 へ第 2 ワードライン消去電圧 V w e 2 が供給され得る。第 2 ワードライン消去電圧 V w e 2 は接地電圧 V S S 又は接地電圧 V S S と類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。接地選択ライン G S L はフローティングされるか、或いは第 4 接地選択ライン電圧 V G S L 4 が供給され得る。共通ソースライン C S L はフローティングされ得る。基板 1 1 1 へ第 2 消去電圧 V e r s 2 が供給され得る。第 2 消去電圧 V e r s 2 は高電圧であり得る。第 6 ストリング選択ライン電圧 V S S L 6 及び第 4 接地選択ライン電圧 V G S L 4 は第 2 消去電圧 V e r s 2 と接地電圧 V S S との間のレベルを有する電圧であり得る。

【 0 2 2 6 】

第 2 消去電圧 V e r s 2 が供給される時、メモリセルアレイ 4 1 0 の電圧は図 1 0 に図示されたように変化することができる。

【 0 2 2 7 】

S 4 1 3 段階で、消去検証電圧が供給されて消去検証が遂行される。

【 0 2 2 8 】

ビットライン B L 1、B L 2 へ第 4 ビットライン電圧 V B L 4 が供給され得る。第 4 ビットライン電圧 V B L 4 は電源電圧 V C C 又はそれと類似なレベルを有する電圧であり得る。

【 0 2 2 9 】

選択されたストリング選択ライン S S L 1 へ第 7 ストリング選択ライン電圧 V S S L 7 が供給される。第 7 ストリング選択ライン電圧 V S S L 7 は選択されたストリング選択トランジスタ S S T 1 をタンオンする電圧であり得る。第 7 ストリング選択ライン電圧 V S S L 7 は非選択読出し電圧 V r e a d 又は電源電圧 V C C であり得る。

【 0 2 3 0 】

非選択されたストリング選択ライン S S L 2 へ第 8 ストリング選択ライン電圧 V S S L 8 が供給される。第 8 ストリング選択ライン電圧 V S S L 8 は非選択されたストリング選択トランジスタ S S T 2 をタンオフする電圧であり得る。第 8 ストリング選択ライン電

10

20

30

40

50

圧 V_{SSL8} は接地電圧 V_{SS} 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

【0231】

ワードライン $WL1 \sim WL6$ へ第2検証電圧 V_{FY2} が供給される。第2検証電圧 V_{FY2} は消去されたメモリセルが有する閾値電圧の上限であり得る。第2検証電圧 V_{FY2} は接地電圧 V_{SS} 又は負の電圧であり得る。

【0232】

接地選択ライン GSL へ第5接地選択ライン電圧 V_{GSL5} が供給される。第5接地選択ライン電圧 V_{GSL5} は接地選択トランジスタ GST をタンオンする電圧であり得る。第5接地選択ライン電圧 V_{GSL5} は非選択読出し電圧 V_{read} 又は電源電圧 V_{CC} であり得る。

10

【0233】

共通ソースライン V_{SL} へ第3共通ソースライン電圧 V_{CSL3} が供給される。第3共通ソースライン電圧 V_{CSL3} は接地電圧 V_{SS} 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

【0234】

基板 111 へ第3基板電圧 V_{SUB3} が供給される。第3基板電圧 V_{SUB3} は接地電圧 V_{SS} 又はそれと類似なレベルを有する低電圧（正の電圧と負の電圧を包含）であり得る。

【0235】

20

消去検証電圧が供給される時、メモリセルアレイ 410 の電圧は図12に図示されたように変化することができる。

【0236】

第2検証電圧 V_{FY2} にしたがって、特定ストリングのメモリセル $MC1 \sim MC6$ がタンオンされる時、特定ストリングに連結されたビットラインの電圧は第4ビットライン電圧 V_{BL4} から低くなる。第2検証電圧 V_{FY2} にしたがって、特定ストリングの少なくとも1つのメモリセルがタンオフされる時、特定ストリングに連結されたビットラインの電圧は第4ビットライン電圧 V_{BL4} を維持する。タンオフされるストリングは消去フェイルされたストリングであり得る。

【0237】

30

特定ビットラインの電圧が基準電圧 V_{ref} より低い時、ページバッファ部 130 は特定ビットラインに対応するラッチ（図示せず）に第2論理値を格納できる。特定ビットラインの電圧が基準電圧 V_{ref} より高い時、ページバッファ部 130 は特定ビットラインに対応するラッチ（図示せず）に第1論理値を格納できる。オフストリングに連結されたビットラインは常に第4ビットライン電圧 V_{BL4} を維持することができる。即ち、ページバッファ部 130 はオフストリングに対応するラッチに第1論理値を格納できる。ページバッファ部 130 に格納されたデータは消去検証読出し結果 RR であり得る。消去検証読出し結果 RR はカウンティング部 450 へ提供される。

【0238】

$S414$ 段階で、フェイルストリングの数がカウントされる。フェイルストリングは消去フェイルされたセルストリングを表すことができる。カウンティング部 450 は消去検証読出し結果 RR の中で第1論理値、即ち消去フェイルされたストリングの数をカウントできる。カウント値 CV はパス/フェイルチェック部 460 へ提供される。

40

【0239】

$S415$ 段階で、フェイルストリングの数が第2値 $V2$ と比較される。パス/フェイルチェック部 460 はカウント値 CV とレジスタ $REG2$ に格納された第2値 $V2$ を比較することができる。カウント値 CV が第2値 $V2$ より大きければ、パス/フェイルチェック部 460 はフェイル信号 $FAIL$ を出力することができる。フェイル信号 $FAIL$ に応答して、制御ロジック 470 は $S416$ 段階が遂行されるように不揮発性メモリ装置 400 を制御することができる。 $S416$ 段階で消去電圧が供給され、以前に選択さ

50

れたストリング選択ラインが再び選択され得る。以後に、S 4 1 3 段階から再び遂行できる。

【0 2 4 0】

カウント値C Vが第2値V 2の以下であれば、即ちフェイルストリングの数が第2値V 2の以下であれば、パス/フェイルチェック部4 6 0はパス信号P A S Sを出力する。パス信号P A S Sに应答して、制御ロジック4 7 0はS 4 1 7 段階が遂行されるように不揮発性メモリ装置4 0 0を制御することができる。

【0 2 4 1】

S 4 1 7 段階で、選択されたストリング選択ラインS S L 1が最後のストリング選択ラインであるか否かが判別される。選択されたストリング選択ラインS S L 2が最後のストリング選択ラインではなければ、S 4 1 8 段階で次のストリング選択ラインS S L 2が選択され、S 4 1 3 段階から再び遂行される。選択されたストリング選択ラインS S L 2が最後のストリング選択ラインであれば、消去は終了される。

10

【0 2 4 2】

例示的に、第2値V 2は不揮発性メモリ装置4 0 0から読み出されるデータのエラーを訂正するエラー訂正部(図示せず)のエラー訂正ビット数であり得る。第2値V 2はエラー訂正部(図示せず)のエラー訂正ビット数より小さいことがあり得り、エラー訂正ビット数にしたがって、決定され得る。例えば、第2値V 2はエラー訂正ビット数に対する特定比率にしたがって、決定され得る。

【0 2 4 3】

20

上述されたように、フェイルされたストリングの数が第2値V 2の以下であれば、消去は終了され得る。オフストリングはフェイルされたストリングとして処理され得る。即ち、オフストリングが存在しても、不揮発性メモリ装置4 0 0は正常的に動作できる。

【0 2 4 4】

例示的に、図1 6及び図1 7を参照して説明されたように、不揮発性メモリ装置4 0 0はプリ読出しを遂行するように構成され得る。

【0 2 4 5】

図2 2は本発明の第5実施形態による不揮発性メモリ装置5 0 0を示すブロック図である。図2 2を参照すれば、不揮発性メモリ装置5 0 0はメモリセルアレイ5 1 0、アドレスデコーディング部5 2 0、ページバッファ部5 3 0、データ入出力部5 4 0、カウンティング部5 5 0、パス/フェイルチェック部5 6 0、及び制御ロジック5 7 0を含む。

30

【0 2 4 6】

メモリセルアレイ5 1 0、アドレスデコーディング部5 2 0、データ入出力部5 4 0、カウンティング部5 5 0、及び制御ロジック5 7 0は図1 9を参照して説明されたメモリセルアレイ4 1 0、アドレスデコーディング部4 2 0、データ入出力部4 4 0、カウンティング部4 5 0、及び制御ロジック4 7 0と同一な構造を有することができる。

【0 2 4 7】

ページバッファ部5 3 0はリップル及びキャリー計算機5 3 1をさらに含む。リップル及びキャリー計算機5 3 1は消去検証読出し結果にしたがって、和信号S U M及びキャリー信号C A R R Yを出力することができる。

40

【0 2 4 8】

カウンティング部5 5 0はページバッファ部5 3 0から和信号S U Mを受信するように構成される。カウンティング部5 5 0は和信号S U Mが活性化される回数をカウントするように構成される。カウンティング部5 5 0はカウント値C Vを出力することができる。

【0 2 4 9】

パス/フェイルチェック部5 6 0はページバッファ部5 3 0からキャリー信号C A R R Yを受信し、カウンティング部5 5 0からカウント値C Vを受信する。キャリー信号C A R R Yが活性化される時、パス/フェイルチェック部5 6 0はフェイル信号F A I Lを活性化することができる。キャリー信号C A R R Yが非活性状態である時、パス/

50

フェイルチェック部 560 はカウント値 C V をレジスター R E G 3 に格納された値と比較し、比較結果にしたがって、パス信号 P A S S 又はフェイル信号 F A I L を出力する。

【0250】

図 23 は本発明の第 4 実施形態による消去方法を示す順序図である。図 7、図 22、及び図 23 を参照すれば、S 511 段階で消去電圧が供給される。

【0251】

S 512 段階で、第 1 番目のストリング選択ライン S S L 1 が選択される。S 513 段階で消去検証電圧が供給されて消去検証が遂行される。S 512 段階及び S 513 段階でメモリセルアレイ 510 へ供給される電圧は図 21 と一致できる。S 512 段階及び S 513 段階が遂行されれば、ページバッファ部 530 のラッチ（図示せず）に消去検証読出し結果が格納され得る。例えば、消去パスされたストリングに対応するラッチ（図示せず）に第 2 論理値が格納され、消去フェイルされたストリングに対応するラッチ（図示せず）に第 1 論理値が格納され得る。

10

【0252】

S 514 段階で、和信号 S U M 及びキャリー信号 C A R R Y が発生される。ページバッファ部 530 のリップル及びキャリー計算機 531 は消去検証読出し結果にしたがって、和信号 S U M 及びキャリー信号 C A R R Y を発生できる。和信号 S U M 及びキャリー信号 C A R R Y の発生は図 24 を参照してより詳細に説明される。

【0253】

20

S 515 段階で、キャリー信号 C A R R Y が非活性状態であるか否かが判別される。キャリー信号 C A R R Y が活性状態であれば、パス/フェイルチェック部 560 はフェイル信号 F A I L を発生できる。フェイル信号 F A I L に応答して、制御ロジック 570 は S 516 段階が遂行されるように、不揮発性メモリ装置 500 を制御することができる。S 516 段階で、消去電圧が供給され、以前に選択されたストリング選択ラインが再び選択され得る。以後に、S 513 段階から再び遂行できる。

【0254】

キャリー信号 C A R R Y が非活性状態であれば、S 517 段階が遂行される。

【0255】

S 517 段階で、和信号 S U M が活性化された回数が第 3 値 V 3 と比較される。パス/フェイルチェック部 560 は和信号 S U M が活性化された回数を表すカウント値 C V をカウンティング部 550 から受信できる。カウント値 C V が第 3 値 V 3 より大きい時、パス/フェイルチェック部 560 はフェイル信号 F A I L を発生する。フェイル信号 F A I L に応答して、制御ロジック 570 は S 516 段階が遂行されるように、不揮発性メモリ装置 500 を制御することができる。カウント値 C V が第 3 値 V 3 の以下であれば、パス/フェイルチェック部 560 はパス信号 P A S S を出力することができる。パス信号 P A S S に応答して、制御ロジック 570 は S 518 段階が遂行されるように不揮発性メモリ装置 500 を制御することができる。

30

【0256】

S 518 段階で、選択されたストリング選択ライン S S L 1 が最後のストリング選択ラインであるか否かが判別される。選択されたストリング選択ライン S S L 1 が最後のストリング選択ラインではなければ、S 519 段階で次のストリング選択ライン S S L 2 が選択される。以後に、S 513 段階が再び遂行される。選択されたストリング選択ライン S S L 2 が最後のストリング選択ラインであれば、消去が終了される。

40

【0257】

図 24 は図 23 の和信号 S U M 及びキャリー信号 C A R R Y を発生する方法を示す順序図である。図 7、図 22 乃至図 24 を参照すれば、S 521 段階で、消去検証読出し結果の第 1 番目のグループが選択される。例えば、消去検証読出し結果は複数のグループに分割され、分割された複数のグループの中で第 1 番目のグループが選択され得る。

【0258】

50

S 5 2 2 段階で、選択されたグループの消去検証読出し結果が表すフェイルストリングの数が1つであるか否かが判別される。例示的に、選択されたグループの検証結果の中で第1論理値はフェイルストリングを表すことができる。選択されたグループの検証結果の中で第1論理値の数が1つであるか否かが判別され得る。選択されたグループの検証結果が1つのフェイルストリングを表すと、S 5 2 3 段階で和信号 S U M が活性化される。リップル及びキャリー計算機 5 3 1 は和信号 S U M を活性化することができる。以後に、S 5 2 6 段階が遂行される。選択されたグループの検証結果が1つのフェイルストリングを表さなければ、S 5 2 4 段階が遂行される。

【 0 2 5 9 】

S 5 2 4 段階でフェイルストリングの数が2以上であるか否かが判別される。例示的に、選択されたグループの検証結果の中で第1論理値の数が2以上であるか否かが判別され得る。選択されたグループの検証結果が2以上のフェイルストリングを表すと、S 5 2 5 段階でキャリー信号 C A R R Y が活性化される。以後に、S 5 2 6 段階が遂行される。選択されたグループの検証結果が2以上のフェイルストリングを表さなければ、S 5 2 6 段階が遂行される。

【 0 2 6 0 】

S 5 2 2 段階乃至 S 5 2 5 段階が遂行されれば、ページバッファ部 5 3 0 は和信号 S U M を活性化するか、キャリー信号 C A R R Y を活性化するか、又は和信号 S U M とキャリー信号 C A R R Y とを非活性できる。1つのフェイルストリングが検出されれば、和信号 S U M が活性化され、2以上のフェイルストリングが検出されれば、キャリー信号 C A R R Y が活性化される。

【 0 2 6 1 】

S 5 2 6 段階で、選択されたグループが最後のグループであるか否かが判別される。選択されたグループが最後のグループではなければ、S 5 2 7 段階で和信号 S U M 及びキャリー信号 C A R R Y が非活性化され、次にグループが選択される。以後に、S 5 2 1 段階が遂行される。選択されたグループが最後のグループであれば、和信号 S U M 及びキャリー信号 C A R R Y の発生が終了される。

【 0 2 6 2 】

図 2 4 を参照して説明されたように、キャリー信号 C A R R Y が活性化されれば、フェイル信号 F A I L が活性化される。即ち、選択されたグループの消去検証読出し結果で2以上のフェイルストリングが検出されれば、消去フェイルとして判別され得る。

【 0 2 6 3 】

キャリー信号 C A R R Y が非活性状態である時、和信号 S U M が活性化される回数が第3値 V 3 と比較され、比較結果にしたがって、消去パス又は消去フェイルが決定される。即ち、複数のグループの各々で2以上のフェイルストリングが存在しなく、全体消去検証読出し結果のフェイルストリングの数が第3値 V 3 の以下である時、消去パスとして判別され得る。

【 0 2 6 4 】

第3値 V 3 は不揮発性メモリ装置 5 0 0 から読み出されるデータのエラーを訂正するエラー訂正部（図示せず）のエラー訂正ビット数であり得る。第3値 V 3 はエラー訂正部（図示せず）のエラー訂正ビット数より小さいことがあり得り、エラー訂正ビット数にしたがって、決定され得る。例えば、第3値 V 3 はエラー訂正ビット数に対する特定比率にしたがって、決定され得る。

【 0 2 6 5 】

図 2 5 はリップル及びキャリー計算機 5 3 1 を示すブロック図である。例示的に、ページバッファ部 5 3 0 は図 1 4 に図示された構造を有することができる。ページバッファ信号線 P B S 1 ~ P B S m はリップル及びキャリー計算機 5 3 1 と連結され得る。

【 0 2 6 6 】

図 7、図 1 4、図 2 2 及び図 2 5 を参照すれば、リップル及びキャリー計算機 5 3 1 は複数の計算機 C 1 ~ C k を含む。ページバッファ信号線 P B S 1 ~ P B S m の中で隣接す

10

20

30

40

50

る2つの信号線が1つの計算機に連結される。例えば、例えば、第1及び第2ページバッファ信号線PBS1、PBS2は第1計算機C1に連結され、第3及び第4ページバッファ信号線PBS3、PBS4は第2計算機C2に連結され、第m-1及び第mページバッファ信号線PBSm-1、PBSmは第k計算機Ckに連結される。

【0267】

伝送信号PF1～PFnが順次的に活性化されることにしたがって、ページバッファPB1～PBnは順次的に消去検証読出し結果をページバッファ信号線PBS1～PBSmへ出力することができる。即ち、ページバッファPB1～PBnの段Stage1～Stagenによって消去検証読出し結果が複数のグループに分割され得る。

【0268】

第1計算機C1は第1及び第2ページバッファ信号線PBS1、PBS2の論理値の和を第1和信号SUM1として出力することができる。例えば、第1計算機C1は第1及び第2ページバッファ信号線PBS1、PBS2の論理値の排他的論理和を第1和信号SUM1として出力することができる。第1及び第2ページバッファ信号線PBS1、PBS2が全て第1論理値（例えば、ロジックハイ）である時、第1計算機C1は第1キャリア信号CARRY1を第1論理値として出力することができる。

【0269】

第2計算機C2は第3及び第4ページバッファ信号線PBS3、PBS4の論理値の排他的論理和を計算できる。第2計算機C2は計算結果及び第1和信号SUM1の排他的論理和を第2和信号SUM2として出力することができる。第3及び第4ページバッファ信号線PBS3、PBS4の論理値が全て第1論理値である時、又は第3及び第4ページバッファ信号線PBS3、PBS4の論理値の排他的論理和と第1和信号SUM1とが全て第1論理値である時、第2計算機C2は第2キャリア信号CARRY2を第1論理値で出力することができる。第1キャリア信号CARRY1が第1論理値である時、第2計算機C2は第2キャリア信号CARRY2を第1論理値として出力することができる。

【0270】

第k計算機Ckは第2計算機C2と同様に動作できる。第k計算機Ckはページバッファデコーディング部530の出力信号、及び以前計算機の出力信号に基づいて、和信号SUM及びキャリア信号CARRYを出力することができる。和信号SUM又はキャリア信号CARRYが第1論理値を有する時、和信号SUM又はキャリア信号CARRYは活性化され得る。和信号SUMはカウンティング部550へ提供され、キャリア信号CARRYはパス/フェイルチェック部560へ提供され得る。

【0271】

上述されたように、フェイルストリングの数がエラー訂正範囲の以内である時、消去パスとして判別される。オフストリングは消去検証の時にフェイルストリングとして処理される。したがって、オフストリングが存在しても、不揮発性メモリ装置500は正常的に動作できる。

【0272】

図26は図3の平面図の一部分ECの第2例にしたがう等価回路BLKa2を示す回路図である。図7の等価回路BLKa1と比較すれば、各セルストリングに側面トランジスタLTRが追加的に提供される。

【0273】

図3乃至図6、及び図26を参照すれば、各セルストリングで、側面トランジスタLTRは接地選択トランジスタGST及び共通ソースラインの間CSLに連結される。側面トランジスタLTRのゲート（又は制御ゲート）は接地選択トランジスタGSTのゲート（又は制御ゲート）と共に接地選択ラインGSLに連結される。

【0274】

チャンネル膜114は第1導電物質CM1の垂直ボディーとして動作する。即ち、第1導電物質CM1はチャンネル膜114と共に垂直トランジスタを構成する。第1導電物質CM1はチャンネル膜114と共に基板111と垂直になる接地選択トランジスタG

10

20

30

40

50

S Tを構成することができる。

【 0 2 7 5 】

基板 1 1 1 と第 1 導電物質 C M 1 のとの間に情報格納膜 1 1 6 が提供される。基板 1 1 1 は第 1 導電物質 C M 1 の水平ボディーとして動作できる。。即ち、第 1 導電物質 C M 1 は基板 1 1 1 と共に水平トランジスタ L T R を構成することができる。

【 0 2 7 6 】

第 1 導電物質 C M 1 へ電圧が供給される時、第 1 導電物質 C M 1 とチャンネル膜 1 1 4 との間に電気場が形成される。形成された電気場によって、チャンネル膜 1 1 4 にチャンネルが形成され得る。第 1 導電物質 C M 1 へ電圧が供給される時、第 1 導電物質 C M 1 と基板 1 1 1 との間に電気場が形成される。形成された電気場によって、基板 1 1 1 にチャンネルが形成される。基板 1 1 1 に形成されたチャンネルは共通ソース領域 C S R 及びチャンネル膜 1 1 4 と連結され得る。即ち、接地選択ライン G S L へ電圧が供給される時、接地選択トランジスタ G S T と水平トランジスタ L T R とが共にタンオンされてセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 は共通ソースライン C S L に連結され得る。

10

【 0 2 7 7 】

図 2 7 は図 3 の平面図の一部分 E C の第 3 例にしたがう等価回路 B L K a 3 を示す回路図である。図 7 に図示された等価回路 B L K a 1 と比較すれば、接地選択トランジスタ G S T は第 1 及び第 2 接地選択ライン G S L 1、G S L 2 に連結される。図 3 乃至図 6、及び図 2 7 を参照すれば、第 1 導電物質 C M 1 は第 1 及び第 2 接地選択ライン G S L 1、G S L 2 を構成することができる。

20

【 0 2 7 8 】

メモリセル M C 1 ~ M C 6 は図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去され得る。選択された接地選択ラインにタンオン電圧が供給され、非選択された接地選択ラインにタンオフ電圧が供給され得る。選択された接地選択ラインは選択されたストリング選択ラインと同様にバイアスされ、非選択された接地選択ラインは非選択されたストリング選択ラインと同様にバイアスされ得る。

【 0 2 7 9 】

メモリセル M C 1 ~ M C 6 で図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読み出しが遂行できる。選択された接地選択ラインにタンオン電圧が供給され、非選択された接地選択ラインにタンオフ電圧が供給され得る。選択された接地選択ラインは選択されたストリング選択ラインと同様にバイアスされ、非選択された接地選択ラインは非選択されたストリング選択ラインと同様にバイアスされ得る。

30

【 0 2 8 0 】

図 2 6 を参照して説明されたように、等価回路 B L K a 3 に側面トランジスタ L T R が提供され得る。

【 0 2 8 1 】

図 2 8 は図 3 の平面図の一部分 E C の第 4 例にしたがう等価回路 B L K a 4 を示す回路図である。図 3 乃至図 6、及び図 2 8 を参照すれば、複数のサブブロックが提供され得る。例示的に、第 2 及び第 3 導電物質 C M 2、C M 3 は第 1 及び第 2 メモリセル M C 1、M C 2 を構成し、第 1 サブブロックとして使用され得る。第 6 及び第 7 導電物質 C M 6、C M 7 は第 3 及び第 4 メモリセル M C 3、M C 4 を構成し、第 2 サブブロックとして使用され得る。第 4 及び第 5 導電物質 C M 4、C M 5 は第 1 及び第 2 サブブロックの間に提供される第 1 及び第 2 ダミーメモリセル D M C 1、D M C 2 を構成することができる。第 1 及び第 2 サブブロックは独立的にプログラムされ、読み出し、そして消去され得る。

40

【 0 2 8 2 】

メモリセル M C 1 ~ M C 4 は図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去され得る。メモリセル M C 1 ~ M C 4 が図 8 乃至図 1 3 を参照して説明された方法によって消去される時、メモリブロック B L K a 4 へ供給される電圧が図 2 9 に図示されている。図 9 の電圧と比較すれば、消去電圧 V e r

50

s 1 が供給される時、選択されたサブブロックのワードラインへ第 1 ワードライン消去電圧 V_{we1} が供給され、非選択されたサブブロックのワードラインはフローティングされるか、或いは第 1 ワードライン電圧 V_{WL1} が供給される。第 1 ワードライン電圧 V_{WL1} は消去電圧 V_{we1} と接地電圧 V_{SS} との間のレベルを有することができる。

【0283】

ダミーワードライン $DWL1$ 、 $DWL2$ はフローティングされるか、或いは第 1 ダミーワードライン電圧 V_{DWL1} が供給される。第 1 ダミーワードライン電圧 V_{DWL1} は消去電圧 V_{we1} と接地電圧 V_{SS} との間のレベルを有することができる。

【0284】

第 1 消去電圧 V_{ers1} が供給される時、選択されたサブブロックのメモリセルが消去され、非選択されたサブブロックのメモリセルとダミーメモリセルは消去されないこともあり得る。

10

【0285】

プリ読出しが遂行される時、ワードライン $WL1 \sim WL4$ へ第 1 高電圧 V_{H1} が印加される。第 1 高電圧 V_{H1} は非選択読出し電圧 V_{read} であり得る。ダミーワードライン $DWL1$ 、 $DWL2$ へ第 2 ダミーワードライン電圧 V_{DWL2} が供給される。第 2 ダミーワードライン電圧 V_{DWL2} はダミーメモリセル $DMC1$ 、 $DMC2$ をタンオンするレベルを有することができる。第 2 ダミーワードライン電圧 V_{DWL2} は非選択読出し電圧 V_{read} と同一であるか、或いはそれより低いレベルを有することができる。

【0286】

20

消去検証が遂行される時、選択されたサブブロックのワードラインに検証電圧 V_{FY1} が供給され、非選択されたサブブロックのワードラインに第 2 高電圧 V_{H2} が供給される。第 2 高電圧 V_{H2} は非選択読出し電圧 V_{read} であり得る。ダミーワードライン $DWL1$ 、 $DWL2$ へ第 3 ダミーワードライン電圧 V_{DWL3} が供給される。第 3 ダミーワードライン電圧 V_{DWL3} はダミーメモリセル $DMC1$ 、 $DMC2$ をタンオンするレベルを有することができる。第 3 ダミーワードライン電圧 V_{DWL3} は非選択読出し電圧 V_{read} と同一であるか、或いはそれより低いレベルを有することができる。

【0287】

メモリセル $MC1 \sim MC4$ が図 20 及び図 21 を参照して説明された方法によって消去される時、メモリブロック $BLK a4$ へ供給される電圧が図 30 に図示されている。図 21 の電圧と比較すれば、消去電圧 V_{ers2} が供給される時、選択されたサブブロックのワードラインへワードライン消去電圧 V_{we2} が供給され、非選択されたサブブロックのワードラインはフローティングされるか、或いは第 2 ワードライン電圧 V_{WL2} が供給される。第 2 ワードライン電圧 V_{WL2} は消去電圧 V_{we2} と接地電圧 V_{SS} との間のレベルを有することができる。

30

【0288】

ダミーワードライン $DWL1$ 、 $DWL2$ はフローティングされるか、或いは第 4 ダミーワードライン電圧 V_{DWL4} が供給される。第 4 ダミーワードライン電圧 V_{DWL4} は消去電圧 V_{we2} と接地電圧 V_{SS} との間のレベルを有することができる。

【0289】

40

消去検証が遂行される時、選択されたサブブロックのワードラインに検証電圧 V_{FY2} が供給され、非選択されたサブブロックのワードラインに第 3 ワードライン電圧 V_{WL3} が供給される。第 3 ワードライン電圧 V_{WL3} はメモリセルをタンオンする電圧であり得る。第 3 ワードライン電圧 V_{WL3} は非選択読出し電圧 V_{read} 又はそれと類似なレベルを有する電圧であり得る。

【0290】

ダミーワードライン $DWL1$ 、 $DWL2$ へ第 5 ダミーワードライン電圧 V_{DWL5} が供給される。第 5 ダミーワードライン電圧 V_{DWL5} はダミーメモリセル $DMC1$ 、 $DMC2$ をタンオンする電圧であり得る。第 5 ダミーワードライン電圧 V_{DWL5} は非選択読出し電圧 V_{read} 又はそれと類似なレベルを有する電圧であり得る。

50

【 0 2 9 1 】

メモリセル M C 1 ~ M C 4 が図 2 0 及び図 2 1 を参照して説明された方法によって消去される時、メモリブロック B L K a 4 へ供給される電圧は図 2 9 に図示された電圧と同一であり得る。

【 0 2 9 2 】

メモリセル M C 1 ~ M C 4 で図 1 6 及び図 1 7 を参照して説明された方法によってプリ読出しが遂行される時、メモリブロック B L K a 4 へ供給される電圧は図 2 9 の S 1 1 3 段階及び S 1 1 4 段階で供給される電圧と一致できる。

【 0 2 9 3 】

図 2 6 を参照して説明されたように、等価回路 B L K a 4 に側面トランジスター L T R が提供され得る。

10

【 0 2 9 4 】

図 3 1 は図 3 の平面図の一部分 E C の第 5 例にしたがう等価回路 B L K a 5 を示す回路図である。図 3 乃至図 6、及び図 3 1 を参照すれば、第 1 及び第 2 導電物質 C M 1、C M 2 は各々第 1 及び第 2 高さを有する接地選択トランジスター G S T a、G S T b を構成することができる。第 7 及び第 8 導電物質 C M 7、C M 8 は各々第 7 及び第 8 高さを有するストリング選択トランジスター S S T a、S S T b を構成することができる。第 3 乃至第 6 導電物質 C M 3 ~ C M 6 は第 1 乃至第 4 メモリセル M C 1 ~ M C 4 を構成することができる。

【 0 2 9 5 】

20

第 1 及び第 2 導電物質 C M 1、C M 2 は共通に連結されて 1 つの接地選択ライン G S L を構成することができる。第 1 導電物質 C M 1 が共通に連結されて第 1 高さの接地選択ライン（図示せず）を構成し、第 2 導電物質 C M 2 が共通に連結されて第 2 高さの接地選択ライン（図示せず）を構成することができる。

【 0 2 9 6 】

セルストリング C S 1 1、C S 1 2 は第 1 及び第 2 導電物質 C M 1、C M 2 によって各々形成された第 1 及び第 2 高さを有する 2 つの接地選択ライン（図示せず）に連結され得る。セルストリング C S 2 1、C S 2 2 は第 1 及び第 2 導電物質 C M 1、C M 2 によって各々形成された第 1 及び第 2 高さを有する 2 つの接地選択ライン（図示せず）に連結され得る。少なくとも 3 つの高さに対応する導電物質が接地選択トランジスターを構成することができる。

30

【 0 2 9 7 】

セルストリング C S 1 1、C S 1 2 は第 7 及び第 8 導電物質 C M 7、C M 8 によって各々形成された第 7 及び第 8 高さを有する 2 つのストリング選択ライン S S L 1 a、S S L 1 b に連結され得る。セルストリング C S 2 1、C S 2 2 は第 7 及び第 8 導電物質 C M 7、C M 8 によって各々形成された第 7 及び第 8 高さを有する 2 つのストリング選択ライン S S L 2 a、S S L 2 b に連結され得る。少なくとも 3 つの高さに対応する導電物質がストリング選択トランジスターを構成することができる。

【 0 2 9 8 】

メモリセル M C 1 ~ M C 4 は図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去され得る。メモリセル M C 1 ~ M C 4 で図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

40

【 0 2 9 9 】

図 2 6 を参照して説明されたように、等価回路 B L K a 5 に側面トランジスター L T R が提供され得る。図 2 7 を参照して説明された等価回路 B L K a 3 と同様に、セルストリング C S 1 1、C S 1 2 は 1 つの接地選択ライン（図示せず）に連結され、セルストリング C S 2 1、C S 2 2 は他の 1 つの接地選択ライン（図示せず）に連結され得る。図 2 8 を参照して説明された等価回路 B L K a 4 と同様に、メモリセル M C は複数のサブブロックを構成することができる。

【 0 3 0 0 】

50

図 3 2 は図 3 の平面図の一部分 E C の第 6 例にしたがう等価回路 B L K a 6 を示す回路図である。図 3 1 に図示された等価回路 B L K a 5 と比較すれば、同一な行のセルストリングで、ストリング選択トランジスタ S S T a、S S T b は 1 つのストリング選択ラインを共有する。セルストリング C S 1 1、C S 1 2 のストリング選択トランジスタ S S T a、S S T b は第 1 ストリング選択ライン S S L 1 に共通に連結される。セルストリング C S 2 1、C S 2 2 のストリング選択トランジスタ S S T a、S S T b は第 2 ストリング選択ライン S S L 2 に共通に連結される。

【 0 3 0 1 】

メモリセル M C 1 ~ M C 4 は図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去され得る。メモリセル M C 1 ~ M C 4 で図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

10

【 0 3 0 2 】

図 2 6 を参照して説明されたように、等価回路 B L K a 6 に側面トランジスタ L T R が提供され得る。図 2 7 を参照して説明された等価回路 B L K a 3 と同様に、セルストリング C S 1 1、C S 1 2 は 1 つの接地選択ライン（図示せず）に連結され、セルストリング C S 2 1、C S 2 2 は他の 1 つの接地選択ライン（図示せず）に連結され得る。図 2 8 を参照して説明された等価回路 B L K a 4 と同様に、メモリセル M C は複数のサブブロックを構成することができる。

【 0 3 0 3 】

図 3 3 は図 3 の平面図の一部分 E C の第 7 例にしたがう等価回路 B L K a 7 を示す回路図である。図 3 乃至図 6、及び図 3 3 を参照すれば、第 2 導電物質 C M 2 は第 1 ダミーメモリセル D M C 1 を構成する。第 7 導電物質 C M 7 は第 2 ダミーメモリセル D M C 2 を構成する。

20

【 0 3 0 4 】

例示的に、2 以上の高さに対応する導電物質がメモリセルと接地選択トランジスタ G S T との間のダミーメモリセル（図示せず）を構成することができる。2 以上の高さに対応する導電物質がメモリセルとストリング選択トランジスタ S S T との間のダミーメモリセル（図示せず）を構成することができる。接地選択トランジスタ G S T の方とストリング選択トランジスタ S S T の方の中で一方のみにダミーメモリセル（図示せず）が提供され得る。

30

【 0 3 0 5 】

メモリセル M C 1 ~ M C 4 は図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去され得る。メモリセル M C 1 ~ M C 4 で図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 0 6 】

ダミーワードライン D W L 1、D W L 2 へ印加される電圧は図 2 9 及び図 3 0 を参照して説明されたダミーワードライン電圧 V D W L 1 ~ V D W L 5 であり得る。

【 0 3 0 7 】

図 2 6 を参照して説明されたように、等価回路 B L K a 7 に側面トランジスタ L T R が提供され得る。図 2 7 を参照して説明された等価回路 B L K a 3 と同様に、セルストリング C S 1 1、C S 1 2 は 1 つの接地選択ライン（図示せず）に連結され、セルストリング C S 2 1、C S 2 2 は他の 1 つの接地選択ライン（図示せず）に連結され得る。図 2 8 を参照して説明された等価回路 B L K a 4 と同様に、メモリセル M C は複数のサブブロックを構成することができる。図 3 1 を参照して説明されたように、2 以上の高さの導電物質がストリング選択トランジスタ S S T a、S S T b を構成することができる。2 以上の高さの導電物質が接地選択トランジスタ G S T a、G S T b を構成することができる。図 3 2 を参照して説明されたように、同一な行のストリング選択トランジスタ S S T a、S S T b は 1 つのストリング選択ライン S S L 1 又は S S L 2 に連結され得る。

40

【 0 3 0 8 】

図 3 4 は図 3 の IV - IV ' 線に沿う斜視断面図の第 2 例を示す。図 3 5 は図 3 の IV - IV '

50

線に沿う断面図の第2例を示す。図3、図34、及び図35を参照すれば、基板と垂直になる方向に積層された下部ピラーPLa及び上部ピラーPLbが提供される。

【0309】

下部ピラーPLaは第3方向に沿って絶縁膜112、112aを貫通して基板111と接触する。下部ピラーPLaは下部チャンネル膜114a及び下部内部物質115aを含む。下部チャンネル膜114aは基板111と同一な導電形を有する半導体物質又は真性半導体を含む。下部チャンネル膜114aは第1乃至第4導電物質CM1～CM4の垂直ボディーとして動作する。下部内部物質115aは絶縁物質を含む。

【0310】

下部ピラーPLaの上に上部ピラーPLbが提供される。上部ピラーPLbは第3方向に沿って絶縁膜112を貫通して、下部ピラーPLaの上上面と接触する。上部ピラーPLbは上部チャンネル膜114b及び上部内部物質115bを含む。上部チャンネル膜114bは下部チャンネル膜114aと同一な導電形を有する半導体物質又は真性半導体を含む。上部チャンネル膜114bは第5乃至第8導電物質CM5～CM8の垂直ボディーとして動作する。上部内部物質115bは絶縁物質を含む。

10

【0311】

下部チャンネル膜114a及び上部チャンネル膜114bは互に連結されて垂直方向のボディーとして動作する。例示的に、下部ピラーPLaの上部に半導体パッドSPが提供され得る。半導体パッドSPは下部チャンネル膜114aと同一な導電形を有する半導体物質又は真性半導体を含む。下部チャンネル膜114a及び上部チャンネル膜114bは半導体パッドSPを通じて結合され得る。

20

【0312】

例示的に、第1乃至第8導電物質CM1～CM8の中で半導体パッドSPと隣接する導電物質はダミーワードライン及びダミーメモリセルを構成することができる。例えば、半導体パッドSPと隣接する第4導電物質CM4、第5導電物質CM5、又は第4及び第5導電物質CM4、CM5はダミーワードライン及びダミーメモリセルを構成することができる。

【0313】

図3、図34、及び図35を参照して説明されたメモリブロックの等価回路は上述された等価回路BLKa1～BLKa7の中で1つであり得る。

30

【0314】

図3、図34、及び図35を参照して説明されたメモリブロックで、図8乃至図13、図20及び図21、図23及び図24を参照して説明されたことと同一な方法に消去が遂行できる。図3、図34、及び図35を参照して説明されたメモリブロックで、図16及び図17を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【0315】

図36は図2のメモリブロックBLK1～BLKzの中で1つのメモリブロックBLKbの一部を示す第2例にしたがう平面図である。図37は図36のXXXVII-XXXVII'線に沿う斜視断面図を示す。図38は図36のXXXVII-XXXVII'線に沿う断面図を示す。

【0316】

40

図3乃至図6を参照して説明されたメモリブロックBLKaと比較すれば、第1方向に沿って伸張されるストリング選択ラインカット(SSLCut)とワードラインカット(WLCut)とが第2方向に沿って交互に提供される。ワードラインカット(WLCut)によって露出された基板111の部分に共通ソース領域CSRが提供される。

【0317】

隣接する2つの共通ソース領域CSR、即ち隣接する2つのワードラインカット(WLCut)の間に第1方向に沿って2列のピラーPLが形成される。2列のピラーPLの間に、ストリング選択ラインカット(SSLCut)が形成される。ストリング選択ラインカット(SSLCut)はストリング選択トランジスタSSTを構成する第8導電物質CM8を分離する。2以上の高さの導電物質がストリング選択トランジスタS

50

S Tを構成する時、ストリング選択ラインカット (S S L C u t) は2以上の高さの導電物質を分離できる。

【 0 3 1 8 】

例示的に、図 3 4 及び図 3 5 を参照して説明されたように、ピラー P L は下部ピラー及び上部ピラーで構成され得る。

【 0 3 1 9 】

図 3 6 の平面図の一部分 E C は第 1 乃至第 7 例にしたがう等価回路 B L K a 1 ~ B L K a 7 の中で 1 つに対応することができる。

【 0 3 2 0 】

メモリブロック B L K b で、図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロック B L K b で、図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 2 1 】

図 3 9 は図 2 のメモリブロック B L K 1 ~ B L K z の中で 1 つのメモリブロック B L K c の一部を示す第 3 例にしたがう平面図である。図 4 0 は図 3 9 のXXXX - XXXX ' 線に沿う斜視断面図を示す。図 4 1 は図 3 9 のXXXX - XXXX ' 線に沿う断面図を示す。

【 0 3 2 2 】

図 3 乃至図 6 を参照して説明されたメモリブロック B L K a と比較すれば、隣接する共通ソース領域の間に提供されるピラーは第 1 方向に沿ってジグザグ形態に配置される。

【 0 3 2 3 】

例示的に、図 3 4 及び図 3 5 を参照して説明されたように、ピラー P L は下部ピラー及び上部ピラーで構成され得る。図 3 6 乃至図 3 8 を参照して説明されたように、ストリング選択ラインカット (S S L C u t) が提供され得る。隣接するワードラインカット (W L C u t) とストリング選択ラインカット (S S L C u t) のとの間に、第 1 方向に沿ってジグザグ形態に配置される 1 列のピラーが提供され得る。

【 0 3 2 4 】

図 3 9 の平面図の一部分 E C は第 1 乃至第 7 例にしたがう等価回路 B L K a 1 ~ B L K a 7 の中で 1 つに対応することができる。

【 0 3 2 5 】

メモリブロック B L K c で、図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロック B L K c で、図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 2 6 】

図 4 2 は図 2 のメモリブロック B L K 1 ~ B L K z の中で 1 つのメモリブロック B L K d の一部を示す第 4 例にしたがう平面図である。図 4 3 は図 4 2 のXXXXIII - XXXXIII ' 線に沿う斜視断面図を示す。図 4 2 のXXXXIII - XXXXIII ' 線に沿う断面図は図 5 に図示された断面図と同一である。したがって、断面図は省略される。

【 0 3 2 7 】

図 3 乃至図 6 を参照して説明されたメモリブロック B L K a と比較すれば、メモリブロック B L K d で方形の柱形態のピラー P L が提供される。隣接する共通ソース領域 C S R の間で第 1 方向に沿って一列に配置されたピラーの間に、絶縁物質 I M が提供される。絶縁物質 I M は第 3 方向に沿って伸張されて基板 1 1 1 と接触する。

【 0 3 2 8 】

ピラー P L はチャンネル膜 1 1 4 及び内部物質 P L を含む。例示的に、チャンネル膜 1 1 4 はピラー P L の各々の 4 側面の中で導電物質 C M 1 ~ C M 8 と隣接する 2 側面に提供され得る。

【 0 3 2 9 】

各ピラーの 1 側面のチャンネル膜は導電物質 C M 1 ~ C M 8 及び情報格納膜 1 1 6 と共に 1 つのセルストリングを構成することができる。各ピラーの他の 1 側面のチャンネル膜は導電物質 C M 1 ~ C M 8 及び情報格納膜 1 1 6 と共に他の 1 つのセルストリングを構成

10

20

30

40

50

することができる。即ち、１つのピラーは２つのセルストリングを構成することができる。

【 0 3 3 0 】

例示的に、図 3 4 及び図 3 5 を参照して説明されたように、ピラー P L は下部ピラー及び上部ピラーで構成され得る。図 3 6 乃至図 3 8 を参照して説明されたように、ストリング選択ラインカット (S S L C u t) が提供され得る。図 3 9 乃至図 4 1 を参照して説明されたように、ピラー P L は第 1 方向に沿ってジグザグ形態に配置され得る。

【 0 3 3 1 】

図 4 2 の平面図の一部分 E C は第 1 乃至第 7 例にしたがう等価回路 B L K a 1 ~ B L K a 7 の中で 1 つに対応することができる。

10

【 0 3 3 2 】

メモリブロック B L K d で、図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロック B L K d で、図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 3 3 】

図 4 4 は図 2 のメモリブロック B L K 1 ~ B L K z の中で 1 つのメモリブロック B L K e の一部を示す第 5 例にしたがう平面図である。図 4 5 は図 4 4 の XXXV - XXXV ' 線に沿う斜視断面図を示す。図 4 6 は図 4 4 の XXXV - XXXV ' 線に沿う断面図を示す。

【 0 3 3 4 】

図 4 4 乃至図 4 6 を参照すれば、基板 1 1 1 の上に、第 1 方向に沿って伸張される第 1 乃至第 4 上部導電物質 C M U 1 ~ C M U 4 と第 5 乃至第 8 上部導電物質 C M U 5 ~ C M U 8 が提供される。第 1 乃至第 4 上部導電物質 C M U 1 ~ C M U 4 は基板 1 1 1 と垂直になる方向に積層され、基板 1 1 1 と垂直になる方向に互に離隔される。第 5 乃至第 8 上部導電物質 C M U 5 ~ C M U 8 は基板 1 1 1 と垂直になる方向に積層され、基板 1 1 1 と垂直になる方向に互に離隔される。第 1 乃至第 4 上部導電物質 C M U 1 ~ C M U 4 と第 5 乃至第 8 上部導電物質 C M U 5 ~ C M U 8 は第 2 方向に沿って互に離隔される。

20

【 0 3 3 5 】

第 1 乃至第 4 上部導電物質 C M U 1 ~ C M U 4 と第 5 乃至第 8 上部導電物質 C M U 5 ~ C M U 8 との間に、第 1 方向に沿って伸張される第 1 a 及び第 1 b 下部導電物質 C M D 1 a、C M D 1 b、及び第 2 乃至第 4 下部導電物質 C M D 2 ~ C M D 4 が提供される。第 2 乃至第 4 下部導電物質 C M D 2 ~ C M D 4 は基板 1 1 1 と垂直になる方向に積層され、基板 1 1 1 と垂直になる方向に互に離隔される。第 2 下部導電物質 C M D 2 の上に、第 1 a 及び第 1 b 下部導電物質 C M D 1 a、C M D 1 b が提供される。第 1 a 及び第 1 b 下部導電物質 C M D 1 a、C M D 1 b は第 2 方向に沿って互に離隔される。

30

【 0 3 3 6 】

基板 1 1 1 と垂直になる方向に第 1 乃至第 4 上部導電物質 C M U 1 ~ C M U 4、又は第 5 乃至第 8 上部導電物質 C M U 5 ~ C M U 8 を貫通して基板 1 1 1 と接触する複数の上部ピラー P L U が形成される。第 1 上部導電物質 C M U 1 で、上部ピラーは第 1 方向に沿って一列に配置され、第 1 方向に沿って互に離隔される。第 8 上部導電物質 C M U 8 で、上部ピラーは第 1 方向に沿って一列に配置され、第 1 方向に沿って互に離隔される。

40

【 0 3 3 7 】

複数の上部ピラー P L U は情報格納膜 1 1 6 及びチャンネル膜 1 1 4 を含む。情報格納膜 1 1 6 は電荷を捕獲又は流出することによって情報を格納できる。情報格納膜 1 1 6 はトンネルリング絶縁膜、電荷捕獲膜、及びブロッキング絶縁膜を包含できる。

【 0 3 3 8 】

チャンネル膜 1 1 4 は複数の上部ピラー P L U の垂直ボディーとして動作できる。チャンネル膜 1 1 4 は真性半導体 (i n t r i n s i c s e m i c o n d u c t o r) を包含できる。チャンネル膜 1 1 4 は基板 1 1 1 と同一な導電形 (例えば、P 導電形) を有する半導体を包含できる。

【 0 3 3 9 】

50

基板 1 1 1 と垂直になる方向に第 2 乃至第 4 下部導電物質 C M D 2 ~ C M D 4、及び第 1 a 又は第 1 b 下部導電物質 C M D 1 a 又は C M D 1 b を貫通して基板 1 1 1 と接触する複数の下部ピラー P L D が形成される。第 1 a 下部導電物質 C M D 1 a で、下部ピラーは第 1 方向に沿って一列に配置され、第 1 方向に沿って互に離隔される。第 1 b 下部導電物質 C M D 1 b で、下部ピラーは第 1 方向に沿って一列に配置され、第 1 方向に沿って互に離隔される。

【 0 3 4 0 】

複数の下部ピラー P L D は情報格納膜 1 1 6 及びチャンネル膜 1 1 4 を含む。情報格納膜 1 1 6 は電荷を捕獲又は流出することによって情報を格納できる。情報格納膜 1 1 6 はトンネルリング絶縁膜、電荷捕獲膜、及びブロッキング絶縁膜を包含できる。

10

【 0 3 4 1 】

チャンネル膜 1 1 4 は複数の下部ピラー P L D の垂直ボディーとして動作できる。チャンネル膜 1 1 4 は真性半導体 (i n t r i n s i c s e m i c o n d u c t o r) を包含できる。チャンネル膜 1 1 4 は基板 1 1 1 と同一な導電形 (例えば、P 導電形) を有する半導体を包含できる。

【 0 3 4 2 】

基板 1 1 1 に複数のパイプラインコンタクト P C が提供される。パイプラインコンタクト P C はビットライン B L の方向に伸張されて第 1 上部導電物質 C M U 1 に形成された上部ピラーの下部面、及び第 1 a 下部導電物質 C M D 1 a に形成された下部ピラー P L D の下部面を互に連結する。パイプラインコンタクト P C はビットライン B L の方向に伸張されて第 8 上部導電物質 C M U 8 に形成された上部ピラーの下部面、及び第 1 b 下部導電物質 C M D 1 b に形成された下部ピラー P L D の下部面を互に連結する。

20

【 0 3 4 3 】

例示的に、パイプラインコンタクト P C はチャンネル膜 1 1 4 及び情報格納膜 1 1 6 を包含できる。パイプラインコンタクト P C のチャンネル膜 1 1 4 は上部ピラー P L U のチャンネル膜 1 1 4 と下部ピラー P L D のチャンネル膜とを互に連結することができる。パイプラインコンタクト P C の情報格納膜 1 1 6 は上部ピラー P L U の情報格納膜 1 1 6 と下部ピラー P L D の情報格納膜 1 1 6 とを互に連結することができる。

【 0 3 4 4 】

下部ピラー P L D の上に、第 1 方向に沿って伸張される共通ソース領域 C S R が提供され得る。共通ソース領域 C S R は第 1 方向に沿って伸張されて複数の下部ピラー P L D に連結され得る。共通ソース領域 C S R は共通ソースライン C S L を形成できる。共通ソース領域 C S R は金属物質を包含できる。共通ソース領域 C S R は基板 1 1 1 と異なる導電形を有することができる。

30

【 0 3 4 5 】

上部ピラー P L U の上にドレーン 3 2 0 が提供され得る。ドレーン 3 2 0 は基板 1 1 1 と異なる導電形 (例えば、N 導電形) を有する半導体物質を包含できる。ドレーン 3 2 0 の上にビットライン B L が形成される。ビットライン B L は第 1 方向に沿って互に離隔される。ビットライン B L は第 2 方向に沿って伸張されて複数のドレーン 3 2 0 に連結される。

40

【 0 3 4 6 】

例示的に、ビットライン B L とドレーン 3 2 0、及び共通ソース領域 C S R と下部ピラー P L D はコンタクトプラグを通じて連結され得る。

【 0 3 4 7 】

1 つのパイプラインコンタクトを通じて連結された 1 つの下部ピラーと 1 つの上部ピラーとは 1 つのセルストリングを構成することができる。

【 0 3 4 8 】

例示的に、図 3 9 乃至図 4 1 を参照して説明されたように、上部ピラー P L U 及び下部ピラー P L D は第 1 方向に沿ってジグザグ形態に配置され得る。

【 0 3 4 9 】

50

図44の平面図の一部分ECは第1乃至第7例にしたがう等価回路BLKa1~BLKa7の中で1つに対応することができる。

【0350】

メモリブロックBLKeで、図8乃至図13、図20及び図21、図23及び図24を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロックBLKeで、図16及び図17を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【0351】

図47は図2のメモリブロックBLK1~BLKzの中で1つのメモリブロックBLKfの一部を示す第6例にしたがう平面図である。図48は図47のXXXXVIII-XXXXVIII'線に沿う斜視断面図の第1例を示す。図49は図47のXXXXVIII-XXXXVIII'線に沿う断面図の第1例を示す。

10

【0352】

図47乃至図49を参照すれば、基板111に共通ソース領域CSRが形成される。例示的に、共通ソース領域CSRは1つのドーピング領域であり得る。共通ソース領域CSRは共通ソースラインCSLを構成することができる。

【0353】

共通ソース領域CSRの上に、基板111と垂直になる方向に積層され、基板111と垂直になる方向に互に離隔された第1乃至第8導電物質CM1~CM8が形成される。第1乃至第8導電物質CM1~CM8の中でストリング選択トランジスタSSTを構成する導電物質はストリング選択ラインカット(SSLCut)によって分離され得る。ストリング選択ラインカット(SSLCut)は第1方向に沿って伸張され、第2方向に沿って互に離隔され得る。ストリング選択トランジスタSSTを構成しない導電物質は共通ソース領域CSRの上で第1及び第2方向に沿って伸張されるプレート(plate)形態を有することができる。

20

【0354】

例示的に、第1乃至第7導電物質CM1~CM7はプレート形態を有し、第8導電物質CM8はストリング選択ラインカット(SSLCut)によって分離され得る。第8導電物質CM8は共通ソース領域CSRの上で第1方向に沿って伸張され、第2方向に沿って互に離隔され得る。

【0355】

30

第1乃至第8導電物質CM1~CM8で、基板111と垂直になる方向に第1乃至第8導電物質CM1~CM8を貫通して共通ソース領域CSRと接触する複数のピラーPLが提供される。第8導電物質CM8の中で1つの導電物質で、第1方向に沿って1列のピラーPLが提供され得る。ピラーPLは情報格納膜116、チャンネル膜114、及び内部物質115を包含できる。

【0356】

情報格納膜116は電荷を捕獲又は流出することによって情報を格納できる。情報格納膜116はトンネルリング絶縁膜、電荷捕獲膜、及びブロッキング絶縁膜を包含できる。チャンネル膜114は複数のピラーPLの垂直ボディーとして動作できる。チャンネル膜114は真性半導体(intrinsic semiconductor)を包含できる。チャンネル膜114は基板111と同一な導電形(例えば、P導電形)を有する半導体を包含できる。内部物質115は絶縁物質又はエアギャップ(air gap)を包含できる。

40

【0357】

例示的に、図34及び図35を参照して説明されたように、ピラーPLは下部ピラー及び上部ピラーで構成され得る。図39乃至図41を参照して説明されたように、ピラーPLは第1方向に沿ってジグザグ形態に配置され得る。

【0358】

図47の平面図の一部分ECの第1例にしたがう等価回路BLKf1が図50に図示されている。図47乃至図50を参照すれば、ピラーPLと基板111との間に共通ソース

50

領域 C S R が形成される。

【 0 3 5 9 】

チャンネル膜 1 1 4 は P 導電形を有し得り、共通ソース領域 C S R は N 導電形を有することができる。チャンネル膜 1 1 4 の中で接地選択トランジスター G S T に対応する部分は P 導電形を有し得り、共通ソース領域 C S R は N 導電形を有することができる。即ち、チャンネル膜 1 1 4 と共通ソース領域 C S R とは P N 接合を形成できる。したがって、ピラー P L によって構成されるセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 と共通ソース領域 C S R によって構成される共通ソースライン C S L との間にダイオード D が形成され得る。ダイオード D が提供されることを除外すれば、等価回路 B L K f 1 は図 7 を参照して説明された等価回路 B L K a 1 と同一である。

10

【 0 3 6 0 】

等価回路 B L K f 1 は第 2 乃至第 7 例にしたがう等価回路 B L K a 2 ~ B L K a 7 のように応用され得る。

【 0 3 6 1 】

メモリブロック B L K f 1 で、図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロック B L K f 1 で、図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 6 2 】

図 5 1 は図 4 7 の XXXXVIII - XXXXVIII ' 線に沿う斜視断面図の第 2 例を示す。図 5 2 は図 4 7 の XXXXVIII - XXXXVIII ' 線に沿う断面図の第 2 例を示す。

20

【 0 3 6 3 】

図 4 7、図 5 1、及び図 5 2 を参照すれば、第 1 乃至第 8 導電物質 C M 1 ~ C M 8 の中で接地選択トランジスター G S T を構成する導電物質は第 1 方向に沿って伸張され、第 2 方向に沿って互に離隔され得る。接地選択トランジスター G S T を構成する導電物質はストリング選択トランジスター S S T を構成する導電物質と同一な構造を有することができる。例示的に、第 1 導電物質 C M 1 は第 8 導電物質 C M 8 と同一な構造を有することができる。

【 0 3 6 4 】

例示的に、図 3 4 及び図 3 5 を参照して説明されたように、ピラー P L は下部ピラー及び上部ピラーで構成され得る。図 3 9 乃至図 4 1 を参照して説明されたように、ピラー P L は第 1 方向に沿ってジグザグ形態に配置され得る。

30

【 0 3 6 5 】

図 4 7 の平面図の一部分 E C の第 2 例にしたがう等価回路 B L K f 2 が図 5 3 に図示されている。図 4 7、図 5 0 乃至図 5 3 を参照すれば、セルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 と共通ソースライン C S L との間にダイオード D が形成される。接地選択トランジスター G S T は複数の接地選択ライン G S L 1、G S L 2 に連結される。例示的に、セルストリング C S 1 1、C S 1 2 の接地選択トランジスターは第 1 接地選択ライン G S L 1 に連結され、セルストリング C S 2 1、C S 2 2 の接地選択トランジスターは第 2 接地選択ライン G S L 2 に連結される。

40

【 0 3 6 6 】

等価回路 B L K f 2 は第 2 乃至第 7 例にしたがう等価回路 B L K a 2 ~ B L K a 7 のように応用され得る。

【 0 3 6 7 】

メモリブロック B L K f 2 で、図 8 乃至図 1 3、図 2 0 及び図 2 1、図 2 3 及び図 2 4 を参照して説明されたことと同一な方法に消去が遂行できる。メモリブロック B L K f 2 で、図 1 6 及び図 1 7 を参照して説明されたことと同一な方法にプリ読出しが遂行できる。

【 0 3 6 8 】

図 5 4 は本発明の実施形態によるメモリシステム 1 0 0 0 を示すブロック図である。図

50

5 4を参照すれば、メモリシステム1 0 0 0は不揮発性メモリ装置1 1 0 0及び制御器1 2 0 0を含む。

【0 3 6 9】

不揮発性メモリ装置1 1 0 0は本発明の実施形態による不揮発性メモリ装置1 0 0 ~ 5 0 0の中で1つと同一な構造を有することができる。即ち、不揮発性メモリ装置1 1 0 0は基板1 1 1の上に提供される複数のセルストリングCS 1 1、CS 1 2、CS 2 1、CS 2 2を含み、複数のセルストリングCS 1 1、CS 1 2、CS 2 1、CS 2 2の各々は基板1 1 1と垂直になる方向に積層された複数のセルトランジスタCTを含む。不揮発性メモリ装置1 1 0 0は上述された消去方法によって消去を遂行できる。不揮発性メモリ装置1 1 0 0は上述されたプリ読出し方法によってプリ読出しを遂行できる。

10

【0 3 7 0】

制御器1 2 0 0はホスト(H o s t)及び不揮発性メモリ装置1 1 0 0に連結される。ホスト(H o s t)からの要請に応答して、制御器1 2 0 0は不揮発性メモリ装置1 1 0 0をアクセスするように構成される。例えば、制御器1 2 0 0は不揮発性メモリ装置1 1 0 0の読出し、書込み、消去、プリ読出し、そして背景(b a c k g r o u n d)動作を制御するように構成される。制御器1 2 0 0は不揮発性メモリ装置1 1 0 0及びホスト(H o s t)の間にインターフェイスを提供するように構成される。制御器1 2 0 0は不揮発性メモリ装置1 1 0 0を制御するためのファームウェア(f i r m w a r e)を駆動するように構成される。

【0 3 7 1】

20

制御器1 2 0 0は不揮発性メモリ装置1 1 0 0へ制御信号C T R L、コマンドC M D、及びアドレスA D D Rを提供するように構成される。制御器1 2 0 0から提供される制御信号C T R L、コマンドC M D、及びアドレスA D D Rに応答して、不揮発性メモリ装置1 1 0 0は読出し、書込み、プリ読出し、そして消去動作を遂行するように構成される。

【0 3 7 2】

制御器1 2 0 0は内部メモリ1 2 1 0及びエラー訂正部1 2 2 0を含む。内部メモリ1 2 1 0は制御器1 2 0 0の動作メモリであり得る。エラー訂正部1 2 2 0は不揮発性メモリ装置1 1 0 0に書き込まれるデータをエンコーディングすることができる。エラー訂正部1 2 2 0は不揮発性メモリ装置1 1 0 0から読み出されるデータをデコーディングしてエラーを訂正できる。エラー訂正部1 2 2 0はLDPC(L o w D e n s i t y P a r i t y C h e c k c o d e)を利用して誤り訂正を遂行できる。エラー訂正部1 2 2 0はBCH(B o s e C h a u d h u r i H o c q u e n g h e m)コード又はRS(R e e d S o l o m o n)コードを利用して誤り訂正を遂行できる。エラー訂正部1 2 2 0のエラー訂正ビット数にしたがって、不揮発性メモリ装置1 1 0 0の第1乃至第3値V 1 ~ V 3が決定され得る。

30

【0 3 7 3】

例示的に、制御器1 2 0 0はプロセッシングユニット(p r o c e s s i n g u n i t)、ホストインターフェイス(h o s t i n t e r f a c e)、及びメモリインターフェイス(m e m o r y i n t e r f a c e)のような構成要素をさらに包含できる。プロセッシングユニットは制御器1 2 0 0の諸般動作を制御する。

40

【0 3 7 4】

ホストインターフェイスはホスト(H o s t)及び制御器1 2 0 0の間のデータ交換を遂行するためのプロトコルを含む。例示的に、制御器1 2 0 0はUSB(U n i v e r s a l S e r i a l B u s)プロトコル、MMC(m u l t i m e d i a c a r d)プロトコル、PCI(p e r i p h e r a l c o m p o n e n t i n t e r c o n n e c t i o n)プロトコル、PCI-E(P C I - e x p r e s s)プロトコル、ATA(A d v a n c e d T e c h n o l o g y A t t a c h m e n t)プロトコル、S e r i a l - A T Aプロトコル、P a r a l l e l - A T Aプロトコル、S C S I(s m a l l c o m p u t e r s m a l l i n t e r f a c e)プロトコル、E S D I(e n h a n c e d s m a l l d i s k i n t e r f a c e)プロトコル、及びIDE

50

(Integrated Drive Electronics) プロトコル等のような多様なインターフェイスプロトコルの中で少なくとも1つを通じて外部(ホスト)と通信するように構成される。メモリインターフェイスは不揮発性メモリ装置1100とインターフェイスングする。例えば、メモリインターフェイスはNANDインターフェイス又はNORインターフェイスを含む。

【0375】

メモリシステム1000はコンピューター、UMPC(Ultra Mobile P C)、ワークステーション、ネットブック(net-book)、PDA(Personal Digital Assistants)、ポータブル(portable)コンピューター、ウェブタブレット(web tablet)、タブレットコンピューター(tablet computer)、無線電話機(wireless phone)、モバイルフォン(mobile phone)、スマートフォン(smart phone)、e-book、PMP(portable multimedia player)、携帯用ゲーム機、ナビゲーション(navigation)装置、ブラックボックス(black box)、デジタルカメラ(digital camera)、DMB(Digital Multimedia Broadcasting)再生器、3次元受像機(3-dimensional television)、デジタル音声録音機(digital audio recorder)、デジタル音声再生器(digital audio player)、デジタル映像録画器(digital picture recorder)、デジタル映像再生器(digital picture player)、デジタル動画録画器(digital video recorder)、デジタル動画再生器(digital video player)、データセンターを構成するストレージ、情報を無線環境で送受信できる装置、溝ネットワークを構成する多様な電子装置の中で1つ、コンピューターネットワークを構成する多様な電子装置の中で1つ、テレマティクスネットワークを構成する多様な電子装置の中で1つ、RFID装置、又はコンピューティングシステムを構成する多様な構成要素の中で1つ等のような電子装置の多様な構成要素の中で1つに提供される。

【0376】

不揮発性メモリ装置1100又はメモリシステム1000は多様な形態のパッケージに実装され得る。例えば、不揮発性メモリ装置1100又はメモリシステム1000はPoP(Package on Package)、Ball grid arrays(BGAs)、Chip scale packages(CSPs)、Plastic Leaded Chip Carrier(PLCC)、Plastic Dual In Line Package(PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board(COB)、Ceramic Dual In Line Package(CERDIP)、Plastic Metric Quad Flat Pack(MQFP)、Thin Quad Flatpack(TQFP)、Small Outline(SOIC)、Shrink Small Outline Package(SSOP)、Thin Small Outline(TSOP)、Thin Quad Flatpack(TQFP)、System In Package(SIP)、Multi Chip Package(MCP)、Wafer-level Fabricated Package(WFP)、Wafer-Level Processed Stack Package(WSP)等のような方式にパッケージ化されて実装され得る。

【0377】

図55は本発明の第1実施形態によるメモリシステム1000の動作方法を示す順序図である。図54及び図55を参照すれば、S1110段階で制御器1200は不揮発性メモリ装置1100へ消去コマンドを伝送することができる。消去される領域の住所が消去コマンドと共に伝送され得る。

【0378】

10

20

30

40

50

S 1 1 2 0 段階で、不揮発性メモリ装置 1 1 0 0 は本発明の第 1 乃至第 3 実施形態による消去方法の中で 1 つにしたがって、消去を遂行できる。例えば、不揮発性メモリ装置 1 1 0 0 は第 1 又は第 2 実施形態にしたがって、プリ読出しを遂行し、オフストリングを消去パスとして処理して消去を遂行できる。不揮発性メモリ装置 1 1 0 0 は第 3 又は第 4 実施形態にしたがって、フェイルストリングの数を特定値と比較し、消去を遂行できる。

【 0 3 7 9 】

消去が完了されれば、S 1 1 3 0 段階で、不揮発性メモリ装置 1 1 0 0 は消去が完了されたことを表す応答を制御器 1 2 0 0 へ伝送することができる。

【 0 3 8 0 】

S 1 1 4 0 段階で、制御器 1 2 0 0 は消去コマンドを不揮発性メモリ装置 1 1 0 0 へ伝送することができる。

10

【 0 3 8 1 】

S 1 1 5 0 段階で、不揮発性メモリ装置 1 1 0 0 は本発明の第 1 乃至第 3 実施形態による消去方法の中で 1 つにしたがって、消去を遂行できる。プリ読出しを通じて検出されたオフストリングの数が第 1 値 V 1 より大きい時、及びフェイルストリングの数が第 2 値 V 2 又は第 3 値 V 3 より大きい状態に消去が終了される時、消去の時にエラーが発生したとと判別され得る。

【 0 3 8 2 】

消去の時にエラーが発生したとと判別されれば、S 1 1 6 0 段階で、不揮発性メモリ装置 1 1 0 0 は消去エラーを表す応答を制御器 1 2 0 0 へ伝送することができる。

20

【 0 3 8 3 】

エラーを表す応答が受信されれば、制御器 1 2 0 0 はエラー処理を遂行できる。例えば、制御器 1 2 0 0 は消去エラーが発生したメモリブロックをバッドブロックとして処理できる。

【 0 3 8 4 】

上述されたように、不揮発性メモリ装置 1 1 0 0 にオフストリングが存在しても、制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 が正常的に動作するように制御することができる。

【 0 3 8 5 】

図 5 6 は本発明の第 2 実施形態によるメモリシステム 1 0 0 0 の動作方法を示す順序図である。図 5 4 及び図 5 6 を参照すれば、S 1 2 1 0 段階で制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へコマンドを伝送する。伝送されるコマンドは書込み、読出し、消去コマンドと異なるコマンドであり得る。

30

【 0 3 8 6 】

S 1 2 2 0 段階で、不揮発性メモリ装置 1 1 0 0 は受信されたコマンドに応答して第 1 及び第 2 実施形態によるプリ読出し方法の中で 1 つにしたがって、プリ読出しを遂行できる。プリ読出しを通じて、不揮発性メモリ装置 1 1 0 0 はオフストリング情報を検出することができる。オフストリング情報はオフストリングの数、プリ読出し結果、又はオフストリングの数とプリ読出し結果を包含できる。オフストリング情報の種類は S 1 2 1 0 段階で伝送されるコマンドにしたがって、決定され得る。

40

【 0 3 8 7 】

S 1 2 3 0 段階で、不揮発性メモリ装置 1 1 0 0 はオフストリング情報を制御器 1 2 0 0 へ出力することができる。

【 0 3 8 8 】

S 1 2 4 0 段階で、制御器 1 2 0 0 は受信されたオフストリング情報を内部メモリ 1 2 1 0 に格納できる。内部メモリ 1 2 1 0 に格納されたオフストリング情報を利用して、制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 を制御することができる。

【 0 3 8 9 】

例示的に、オフストリング情報は内部メモリ 1 2 1 0 に臨時的に格納され得る。オフストリング情報はホストからの論理住所を不揮発性メモリ装置 1 1 0 0 の物理住所とマッピ

50

ングするマッピングテーブルと共に内部メモリ 1 2 1 0 に格納され得る。

【 0 3 9 0 】

図 5 7 は制御器 1 2 0 0 がオフストリング情報を利用する方法の第 1 例を示す順序図である。図 5 7 を参照すれば、S 1 3 1 0 段階で制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へ消去コマンド及びオフストリング情報を伝送することができる。消去される領域を表す住所が共に伝送され得る。

【 0 3 9 1 】

S 1 3 2 0 段階で、オフストリングを消去パスされたことと処理し、メモリセルが消去される。例えば、不揮発性メモリ装置 1 1 0 0 は図 8 の S 1 1 5 段階を参照して説明されたことのようにオフストリングを消去パスされたことと処理し、メモリセルを消去することができる。例示的に、S 1 3 2 0 段階は図 8 の消去方法で S 1 1 3 段階及び S 1 1 4 段階のプリ読出しが除去された形態に遂行できる。

【 0 3 9 2 】

消去が完了されれば、S 1 3 3 0 段階で、不揮発性メモリ装置 1 1 0 0 は消去が完了されたことを表す応答を制御器 1 2 0 0 へ伝送する。

【 0 3 9 3 】

S 1 3 4 0 段階で、制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へ消去コマンド及びオフストリング情報を伝送することができる。消去される領域を表す住所が共に伝送され得る。

【 0 3 9 4 】

S 1 3 5 0 段階で、不揮発性メモリ装置 1 1 0 0 はオフストリングを消去パスされたことと処理し、メモリセルを消去することができる。

【 0 3 9 5 】

消去の時にエラーが発生すれば、S 1 3 6 0 段階で消去エラーが発生したことを表す応答が制御器 1 2 0 0 へ伝送され得る。

【 0 3 9 6 】

消去エラーを表す応答が受信すれば、S 1 3 7 0 段階で制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へコマンドを伝送することができる。消去エラーが発生された領域を表す住所が共に伝送され得る。

【 0 3 9 7 】

コマンドに応答して、S 1 3 8 0 段階で不揮発性メモリ装置 1 1 0 0 はプリ読出しを遂行できる。プリ読出しが遂行されれば、不揮発性メモリ装置 1 1 0 0 はオフストリング情報を検出することができる。

【 0 3 9 8 】

S 1 3 9 0 段階で、不揮発性メモリ装置 1 1 0 0 はオフストリング情報を制御器 1 2 0 0 へ伝送することができる。

【 0 3 9 9 】

S 1 3 9 5 段階で、制御器 1 2 0 0 は伝送されたオフストリング情報を利用して、内部メモリに格納されたデータを更新するか、或いはエラープロセスを遂行できる。

【 0 4 0 0 】

例示的に、メモリセルの劣化によってオフストリングが追加的に発生できる。オフストリングが追加的に発生すれば、消去の時にエラーが発生できる。消去エラーが発生する時プリ読出しを遂行してオフストリング情報が更新されれば、オフストリングが追加的に発生した場合にも不揮発性メモリ装置 1 1 0 0 が正常的に動作できる。

【 0 4 0 1 】

例示的に、オフストリングの数がエラー訂正ビット数より大きいか、或いはオフストリングの以外の要因によって消去エラーが発生した場合、制御器 1 2 0 0 はエラープロセスを遂行できる。例えば、制御器 1 2 0 0 は消去エラーが発生したメモリブロックをバッドブロックとして処理できる。

【 0 4 0 2 】

10

20

30

40

50

図58は制御器1200がオフストリング情報を利用する方法の第2例を示す順序図である。図58を参照すれば、S1410段階で制御器1200は不揮発性メモリ装置1100へ読出しコマンドを送信することができる。読み出される領域を表す住所が共に伝送され得る。

【0403】

S1420段階で、不揮発性メモリ装置1100は読み出されたデータを制御器1200に伝送することができる。

【0404】

S1430段階で、制御器1200はオフストリング情報を利用して読み出されたデータのエラーを訂正できる。例えば、制御器1200はオフストリング情報を利用して、読み出されたデータの中でオフストリングに対応するデータの位置を検出することができる。オフストリングに対応するデータはエラーデータである確率がある。エラーデータである確率があるデータの位置を獲得することによって、制御器1200のエラー訂正部1220のエラー訂正効率又はエラー訂正能力が増大できる。特に、エラー訂正部1220がLDPCを使用する場合、エラー訂正効率又はエラー訂正能力が増大できる。

【0405】

図59は制御器1200がオフストリング情報を利用する方法の第3例を示す順序図である。図59を参照すれば、S1510段階で制御器1200は書込みデータ及びオフストリング情報を利用してコードワードを生成することができる。例示的に、オフストリングに対応するデータは読み出される時、エラーを発生させ得る。制御器1200はデータが読み出される時、エラー訂正が容易にするように、コードワードを生成することができる。制御器1200はオフストリングに対応するデータを高い閾値電圧に対応するデータにマッピングできる。

【0406】

S1520段階で、制御器1200は書込みコマンドと共にコードワードを不揮発性メモリ装置1100へ伝送する。

【0407】

S1530段階で、不揮発性メモリ装置1530は受信されたコードワードを書き込む。

【0408】

S1540段階で、不揮発性メモリ装置1100は書込みが完了されたことを表す応答を制御器1200へ伝送することができる。

【0409】

オフストリングの位置にしたがって、コードワードが生成されれば、コードワードが読み出される時、エラー訂正効率又はエラー訂正能力が増大できる。

【0410】

図60は本発明の第3実施形態によるメモリシステム1000の動作方法を示す順序図である。図60を参照すれば、S1610段階で制御器1200は不揮発性メモリ装置1100へコマンドを送信することができる。特定の領域を表す住所が共に伝送され得る。オフストリング情報が要求される時、制御器1200はコマンドを送信することができる。

【0411】

S1620段階で、不揮発性メモリ装置1100はプリ読出しを遂行する。プリ読出しが遂行されれば、オフストリング情報が検出され得る。

【0412】

S1630段階で、不揮発性メモリ装置1100はオフストリング情報を制御器1200へ伝送する。

【0413】

S1640段階で、制御器1200は伝送されたオフストリング情報を不揮発性メモリ装置1100に書き込むことができる。例えば、不揮発性メモリ装置1100のメモリブ

10

20

30

40

50

ロック B L K 1 ~ B L K z (図 2 参 照) は データ領域及びバッファ領域に分割され得る。データ領域に使用者データが書き込まれ得る。バッファ領域にデータ領域に対する情報又はデータ領域に書き込まれるデータに対する情報が書き込まれ得る。制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 のバッファ領域にオフストリング情報が書き込まれるように、不揮発性メモリ装置 1 1 0 0 を制御することができる。

【 0 4 1 4 】

制御器 1 2 0 0 はオフストリング情報を利用して追加的な動作を遂行できる。例えば、制御器 1 2 0 0 はオフストリング情報を利用して書込み、読出し、又は消去を遂行できる。

【 0 4 1 5 】

以後に、制御器 1 2 0 0 の内部メモリ 1 2 1 0 に格納されたオフストリング情報は削除され得る。オフストリング情報が要求されない時、制御器 1 2 0 0 はオフストリング情報を削除することができる。

【 0 4 1 6 】

S 1 6 5 0 段階で、制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へコマンドを送送することができる。例えば、制御器 1 2 0 0 は特定な領域のオフストリング情報が要求される時、コマンドを送送することができる。特定な領域に書込み、読出し、又は消去を遂行しようとする時、制御器 1 2 0 0 は特定な領域のオフストリング情報を要請するコマンドを送送することができる。

【 0 4 1 7 】

S 1 6 6 0 段階で、不揮発性メモリ装置 1 1 0 0 はバッファ領域に格納されたオフストリング情報を出力することができる。出力されたオフストリング情報を利用して、制御器 1 2 0 0 は書込み、読出し、消去等の動作を遂行できる。

【 0 4 1 8 】

S 1 6 7 0 段階で、S 1 3 4 0 段階乃至 S 1 3 6 0 段階を参照して説明されたように消去エラーが発生できる。

【 0 4 1 9 】

消去エラーが発生すれば、S 1 6 8 0 段階で、S 1 3 7 0 段階乃至 S 1 3 9 0 段階を参照して説明されたようにオフストリング情報が更新され得る。

【 0 4 2 0 】

オフストリング情報が更新されれば、制御器 1 2 0 0 は更新されたオフストリング情報を不揮発性メモリ装置 1 1 0 0 のバッファ領域に書き込むことができる。

【 0 4 2 1 】

図 6 1 は本発明の第 4 実施形態によるメモリシステム 1 0 0 0 の動作方法を示す順序図である。図 6 1 を参照すれば、S 1 7 1 0 段階で制御器 1 2 0 0 は不揮発性メモリ装置 1 1 0 0 へコマンドを送送することができる。特定な領域を表す住所が共に伝送され得る。オフストリング情報が要求される時、制御器 1 2 0 0 はコマンドを送送することができる。

【 0 4 2 2 】

S 1 7 2 0 段階で、不揮発性メモリ装置 1 1 0 0 は予め格納されたオフストリング情報を制御器 1 2 0 0 へ伝送することができる。例示的に、オフストリング情報は不揮発性メモリ装置 1 1 0 0 のテスト段階で検出されて不揮発性メモリ装置 1 1 0 0 に予め格納され得る。オフストリング情報は不揮発性メモリ装置 1 2 0 0 のメモリブロック B L K 1 ~ B L K z の中でバッファ領域に格納され得る。

【 0 4 2 3 】

制御器 1 2 0 0 はオフストリング情報を利用して追加的な動作を遂行できる。例えば、制御器 1 2 0 0 はオフストリング情報を利用して書込み、読出し、又は消去を遂行できる。

【 0 4 2 4 】

以後に、制御器 1 2 0 0 の内部メモリ 1 2 1 0 に格納されたオフストリング情報は削除

10

20

30

40

50

され得る。オフストリング情報が要求されない時、制御器 1 2 0 0 はオフストリング情報を削除できる。

【 0 4 2 5 】

S 1 7 3 0 段階乃至 S 1 7 7 0 段階で、消去エラーが発生すれば、オフストリング情報が更新され、更新されたオフストリング情報が不揮発性メモリ装置 1 1 0 に書き込まれ得る。S 1 7 3 0 段階乃至 S 1 7 7 0 段階は S 1 6 5 0 段階乃至 S 1 6 9 0 段階と同様に遂行できる。

【 0 4 2 6 】

上述された実施形態で、不揮発性メモリ装置で生成されたオフストリング情報は制御器へ出力され、制御器から伝送されるオフストリング情報が不揮発性メモリ装置に書き込まれることと説明した。しかし、不揮発性メモリ装置で生成されたオフストリング情報は制御器の制御にしたがって、不揮発性メモリ装置に直接書き込まれ得る。

【 0 4 2 7 】

図 6 2 は図 5 4 のメモリシステム 1 0 0 0 の応用例を示すブロック図である。図 6 2 を参照すれば、メモリシステム 2 0 0 0 は不揮発性メモリ装置 2 1 0 0 及び制御器 2 2 0 0 を含む。不揮発性メモリ装置 2 1 0 0 は複数の不揮発性メモリチップを含む。複数の不揮発性メモリチップは複数のグループを形成する。複数の不揮発性メモリチップのグループの各々は 1 つの共通チャンネルを通じて制御器 2 2 0 0 と通信するように構成される。例示的に、複数の不揮発性メモリチップは第 1 乃至第 k チャンネル C H 1 ~ C H k を通じて制御器 2 2 0 0 と通信できる。

【 0 4 2 8 】

不揮発性メモリチップの各々は本発明の実施形態による不揮発性メモリ装置 1 0 0 ~ 5 0 0 の中で 1 つと同一な構造を有し、同様に動作できる。即ち、不揮発性メモリ装置 2 1 0 0 は基板 1 1 1 の上に提供される複数のセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 を含み、複数のセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 の各々は基板 1 1 1 と垂直になる方向に積層された複数のセルトランジスタ C T を含む。不揮発性メモリ装置 2 1 0 0 は上述された消去方法によって消去を遂行できる。不揮発性メモリ装置 2 1 0 0 は上述されたプリ読出し方法によってプリ読出しを遂行できる。

【 0 4 2 9 】

図 5 4 乃至図 6 1 を参照して説明されたように、制御器 2 2 0 0 は不揮発性メモリ装置 2 1 0 0 からオフストリング情報を受信して多様な動作を遂行できる。

【 0 4 3 0 】

図 6 2 で、1 つのチャンネルに複数の不揮発性メモリチップが連結されることと説明されている。しかし、1 つのチャンネルに 1 つの不揮発性メモリチップが連結されるようにメモリシステム 2 0 0 0 が変形され得る。

【 0 4 3 1 】

図 6 3 は本発明の実施形態によるメモリカード 3 0 0 0 を示す。図 6 3 を参照すれば、メモリカード 3 0 0 0 は不揮発性メモリ装置 3 1 0 0、制御器 3 2 0 0、及びコネクター 3 3 0 0 を含む。

【 0 4 3 2 】

不揮発性メモリ装置 3 1 0 0 は本発明の実施形態による不揮発性メモリ装置 1 0 0 ~ 5 0 0 の中で 1 つと同一な構造を有し、同様に動作できる。即ち、不揮発性メモリ装置 3 1 0 0 は基板 1 1 1 の上に提供される複数のセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 を含み、複数のセルストリング C S 1 1、C S 1 2、C S 2 1、C S 2 2 の各々は基板 1 1 1 と垂直になる方向に積層された複数のセルトランジスタ C T を含む。不揮発性メモリ装置 3 1 0 0 は上述された消去方法によって消去を遂行できる。不揮発性メモリ装置 3 1 0 0 は上述されたプリ読出し方法によってプリ読出しを遂行できる。

【 0 4 3 3 】

制御器 3 2 0 0 は図 5 4 乃至図 6 1 を参照して説明されたように、不揮発性メモリ装置 3 1 0 0 から受信されるオフストリング情報を利用して多様な動作を遂行できる。

【0434】

コネクター3300はメモリカード3000とホストを電氣的に連結することができる。

【0435】

メモリカード3000はPCカード(PCMCIA、personal computer memory card international association)、コンパクトフラッシュ(登録商標)カード(CF)、スマートメディアカード(SM、SMC)、メモリスティック、マルチメディアカード(MMC、RS-MMC、MMCmicro)、SDカード(SD、miniSD、microSD、SDHC)、ユニバーサルフラッシュ記憶装置(UFS)等のようなメモリカードを構成することができる。

10

【0436】

図64は本発明の実施形態によるソリッドステートドライブ4000(SSD、Solid State Drive)を示す。図64を参照すれば、ソリッドステートドライブ4000は複数の不揮発性メモリ装置4100、制御器4200、及びコネクター4300を含む。

【0437】

不揮発性メモリ装置4100の各々は本発明の実施形態による不揮発性メモリ装置100~500の中で1つと同一な構造を有し、同様に動作できる。即ち、不揮発性メモリ装置4100の各々は基板111の上に提供される複数のセルストリングCS11、CS12、CS21、CS22を含み、複数のセルストリングCS11、CS12、CS21、CS22の各々は基板111と垂直になる方向に積層された複数のセルトランジスタCTを含む。不揮発性メモリ装置4100の各々は上述された消去方法によって消去を遂行できる。不揮発性メモリ装置4100の各々は上述されたプリ読出し方法によってプリ読出しを遂行できる。

20

【0438】

制御器4200は図54乃至図61を参照して説明されたように、不揮発性メモリ装置4100から受信されるオフストリング情報を利用して多様な動作を遂行できる。

【0439】

コネクター4300はソリッドステートドライブ4000とホストを電氣的に連結することができる。

30

【0440】

図65は本発明の実施形態によるコンピューティングシステム5000を示すブロック図である。図65を参照すれば、コンピューティングシステム5000は中央処理装置5100、RAM5200、使用者インターフェイス5300、モデム5400、及びメモリシステム5600を含む。

【0441】

メモリシステム5600はシステムバス5500を通じて、中央処理装置5100、RAM5200、使用者インターフェイス5300、及びモデム5400に電氣的に連結される。使用者インターフェイス5300を通じて提供されるか、或いは、中央処理装置5100によって処理されたデータはメモリシステム5600に格納される。

40

【0442】

メモリシステム5600は不揮発性メモリ装置5610及び制御器5620を含む。メモリシステム5600は本発明の実施形態によるメモリシステム1000、2000、メモリカード3000、又はソリッドステートドライブ4000であり得る。

【0443】

図66は本発明の実施形態によるテストシステム6000を示すブロック図である。図66を参照すれば、テストシステム6000は不揮発性メモリ装置6100及びテスト装置6200を含む。

【0444】

不揮発性メモリ装置6100は本発明の実施形態による不揮発性メモリ装置100~5

50

00の中で1つと同一な構造を有し、同様に動作できる。即ち、不揮発性メモリ装置6100は基板111の上に提供される複数のセルストリングCS11、CS12、CS21、CS22を含み、複数のセルストリングCS11、CS12、CS21、CS22の各々は基板111と垂直になる方向に積層された複数のセルトランジスタCTを含む。不揮発性メモリ装置6100は上述された消去方法によって消去を遂行できる。不揮発性メモリ装置6100は上述されたプリ読出し方法によってプリ読出しを遂行できる。

【0445】

図67は本発明の実施形態によるテスト方法を示す順序図である。図66及び図67を参照すれば、S6110段階でテスト装置6200は不揮発性メモリ装置6100へコマンドを伝送することができる。

【0446】

コマンドに応答して、S6120段階で、不揮発性メモリ装置6100はプリ読出しを遂行できる。プリ読出しが遂行されれば、オフストリング情報が検出され得る。

【0447】

S6130段階で、不揮発性メモリ装置6100はテスト装置6200へオフストリング情報を出力することができる。

【0448】

S6140段階で、テスト装置6200はリペアを遂行する。例えば、オフストリング情報又はその他の多様なテストデータにしたがって、テスト装置6200はリペアを遂行できる。例えば、特定メモリブロックのオフストリングの数が特定値より大きい時、テスト装置6200は特定メモリブロックをリペアできる。リペアはテスト装置6200が不揮発性メモリ装置6100のヒューズ(レーザーヒューズ又は電気ヒューズ)を制御する動作を包含できる。

【0449】

S6150段階で、テスト装置6150はオフストリング情報を不揮発性メモリ装置6100に書き込むことができる。例えば、テスト装置6150はオフストリング情報を不揮発性メモリ装置6100のメモリブロックBLK1~BLKz(図2参照)の中でバッファメモリブロックに書き込むことができる。

【0450】

不揮発性メモリ装置6100に書き込まれたデータは不揮発性メモリ装置6100を制御するために使用され得る。

【0451】

本発明の詳細な説明では具体的な実施形態に関して説明したが、本発明の範囲と技術的思想から逸脱しない限度内で様々な変形が可能である。したがって本発明の範囲は上述した実施形態に限定されて制限されなく、後述する特許請求の範囲のみでなくこの発明の特許請求の範囲と均等なことによって定めなければならない。

【符号の説明】

【0452】

100、200、300、400、500・・・不揮発性メモリ装置
 110、210、310、410、510・・・メモリセルアレイ
 120、220、320、420、520・・・アドレスデコーディング部
 130、230、330、430、530・・・ページバッファ部
 140、240、340、440、540・・・データ入出力部
 150、250、350、450、550・・・カウンティング部
 160、260、360、460、560・・・パス/フェイルチェック部
 170、270、370、470、570・・・制御ロジック
 BLK1~BLKz・・・メモリブロック
 111・・・基板
 112、112a・・・絶縁物質
 PL、PLa、PLb・・・ピラー

10

20

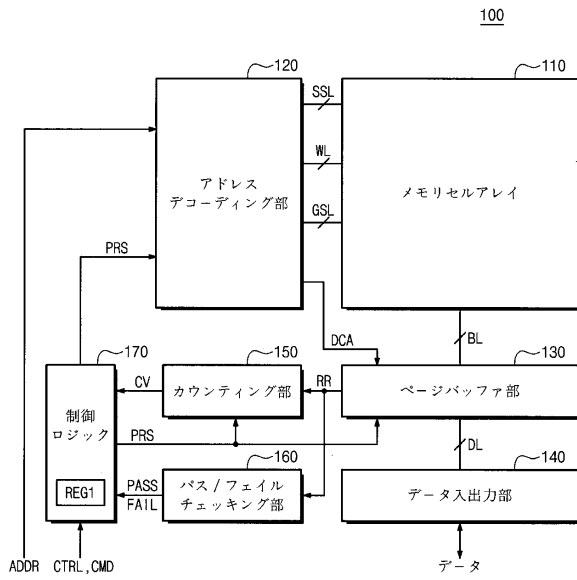
30

40

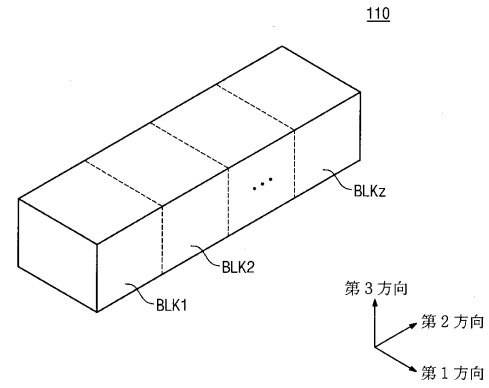
50

1 1 4 , 1 1 4 a , 1 1 4 b . . .	チャンネル膜	
1 1 5 、 1 1 5 a 、 1 1 5 b . . .	内部物質	
1 1 6 . . .	情報格納膜	
1 1 7 ~ 1 1 9 . . .	第 1 乃至第 3 サブ絶縁膜	
C M 1 ~ C M 8 . . .	第 1 乃至第 8 導電物質	
C T . . .	セルトランジスター	
W L C u t . . .	ワードラインカット	
C S R . . .	共通ソース領域	
3 2 0 . . .	ドレイン	
B L 、 B L 1 、 B L 2 . . .	ビットライン	10
C S 1 1 、 C S 1 2 、 C S 2 1 、 C S 2 2 . . .	セルストリング	
G S T 、 G S T a 、 G S T b . . .	接地選択トランジスター	
G S L 、 G S L 1 、 G S L 2 . . .	接地選択ライン	
M C 1 ~ M C 6 . . .	メモリセル	
W L 1 ~ W L 6 . . .	ワードライン	
C S L . . .	共通ソースライン	
S S T 、 S S T a 、 S S T b . . .	ストリング選択トランジスター	
S S L 1 、 S S L 2 、 S S L 1 a 、 S S L 1 b 、 S S L 2 a 、 S S L 2 b . . .	ストリ ング選択ライン	
B L K a 1 ~ B L K 7 . . .	等価回路	20
I M . . .	絶縁物質	
C M U 1 ~ C M U 8 . . .	上部導電物質	
C M D 1 a 、 C M D 1 b 、 C M D 2 ~ C M D 4 . . .	下部導電物質	
P L U . . .	上部ピラー	
P L D . . .	下部ピラー	
D . . .	ダイオード	
1 0 0 0 、 2 0 0 0 . . .	メモリシステム	
3 0 0 0 . . .	メモリカード	
4 0 0 0 . . .	ソリッドステートドライブ	
5 0 0 0 . . .	コンピューティングシステム	30
6 0 0 0 . . .	テストシステム	

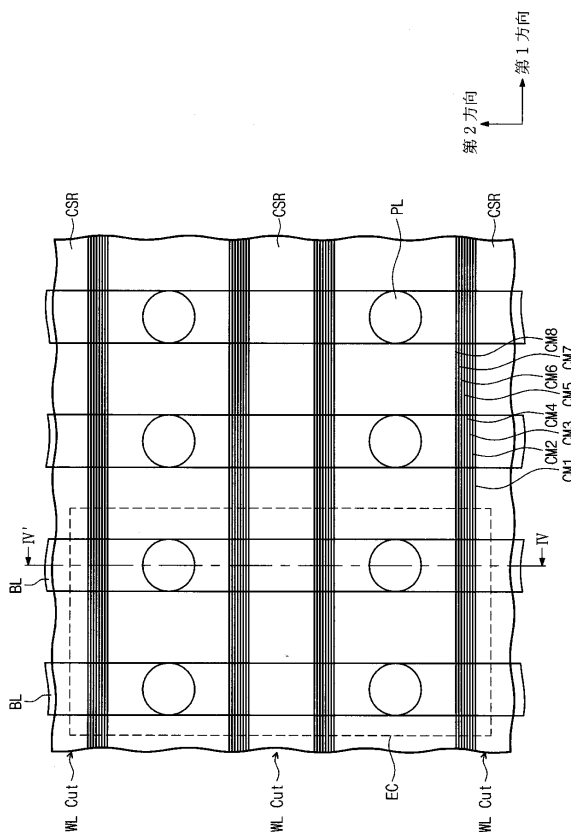
【図 1】



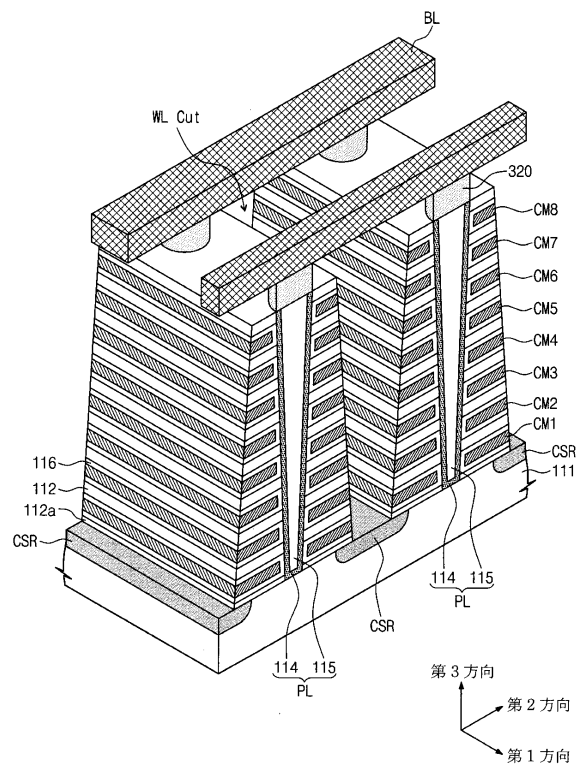
【図 2】



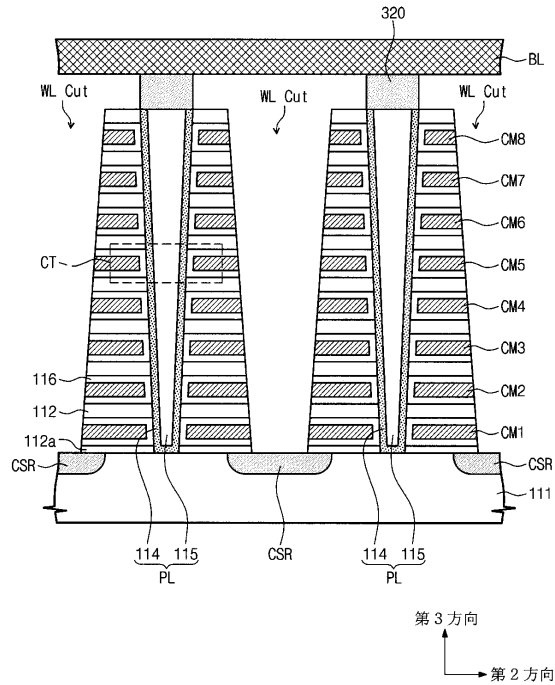
【図 3】



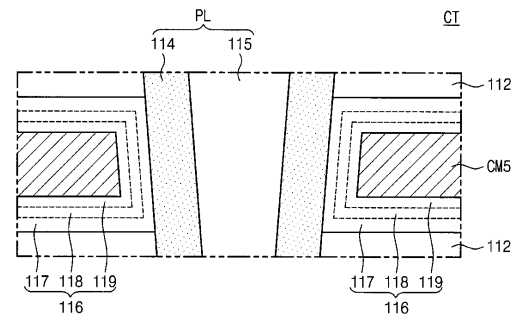
【図 4】



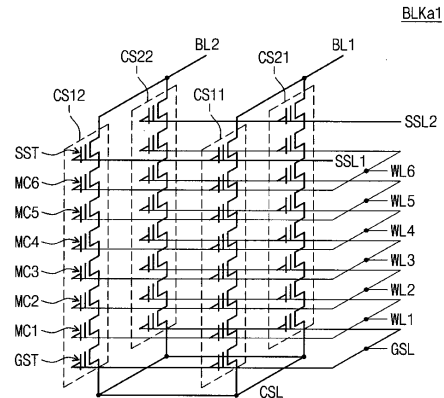
【図5】



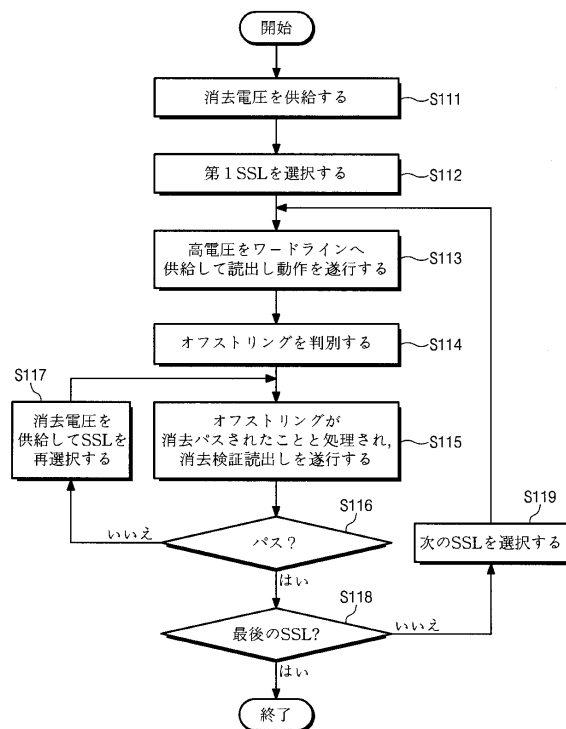
【図6】



【図7】



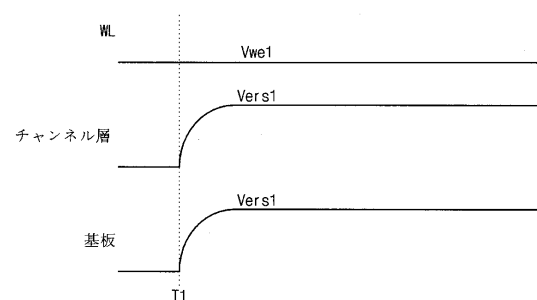
【図8】



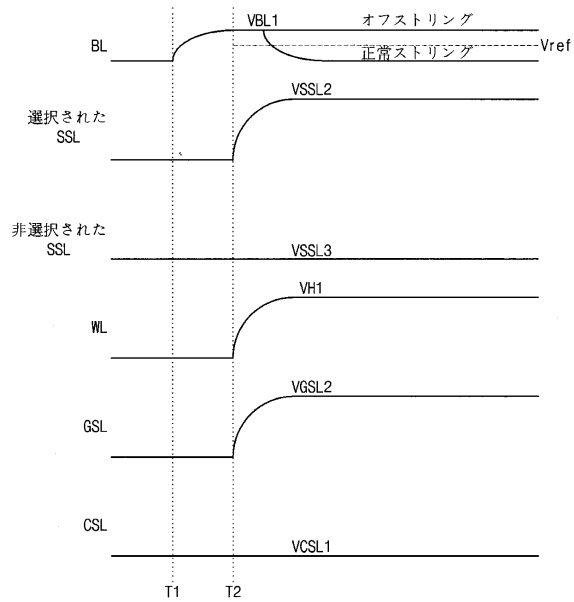
【図9】

	S111	S113	S115
BL	フローティング	VBL1(VCC)	正常; VBL2(VCC) オフ; VBL3(VSS)
選択されたSSL	フローティング又は VSSL1	VSSL2(On)	VSSL4(On)
非選択されたSSL		VSSL3(Off)	VSSL5(Off)
WL	Vwe1(VSS)	VH1(Vread)	VFY1
GSL	フローティング又は VGSL1	VGSL2(On)	VGSL3(On)
CSL	フローティング	VCSL1(VSS)	VCSL2(VSS)
基板	Vers1	VSUB1(VSS)	VSUB2(VSS)

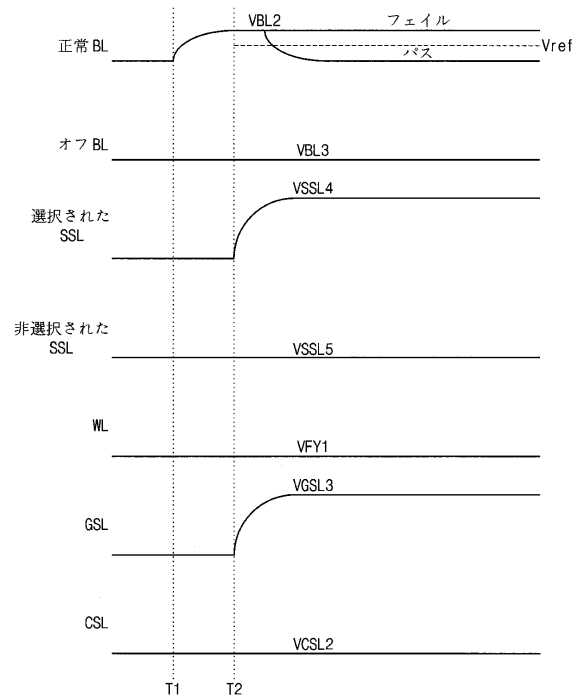
【図10】



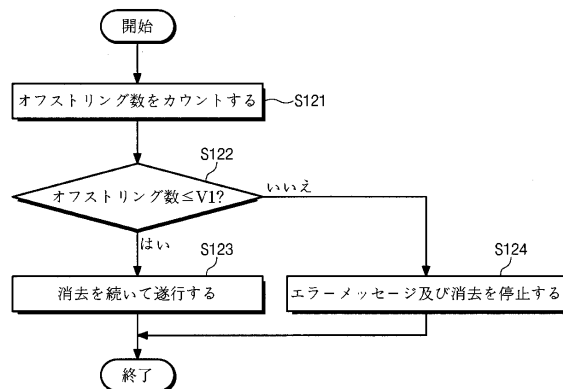
【図 1 1】



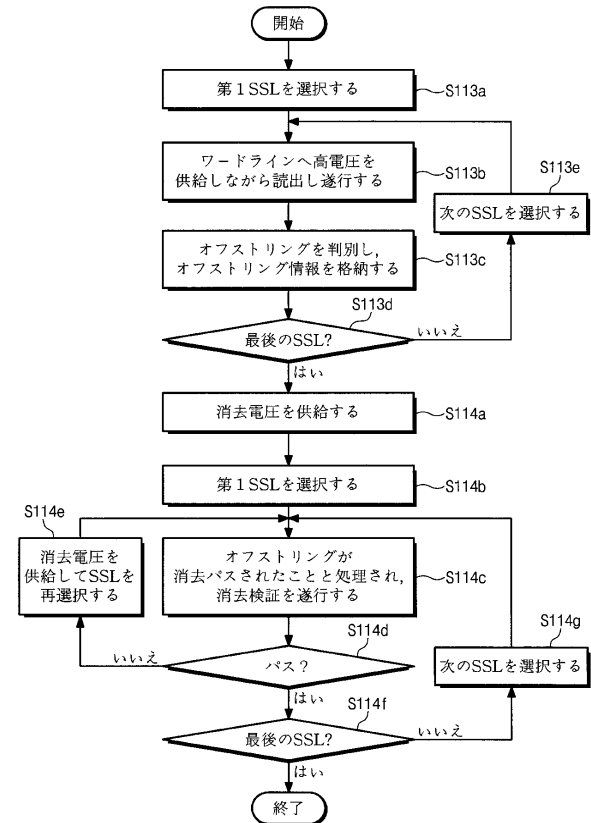
【図 1 2】



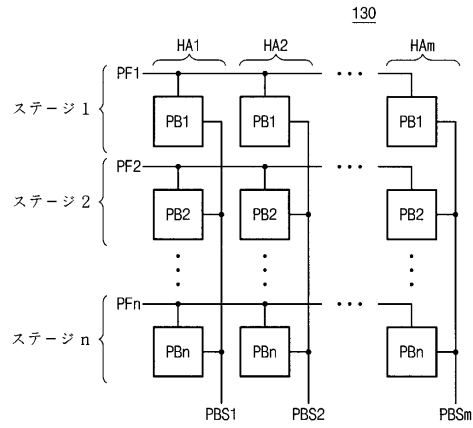
【図 1 3 A】



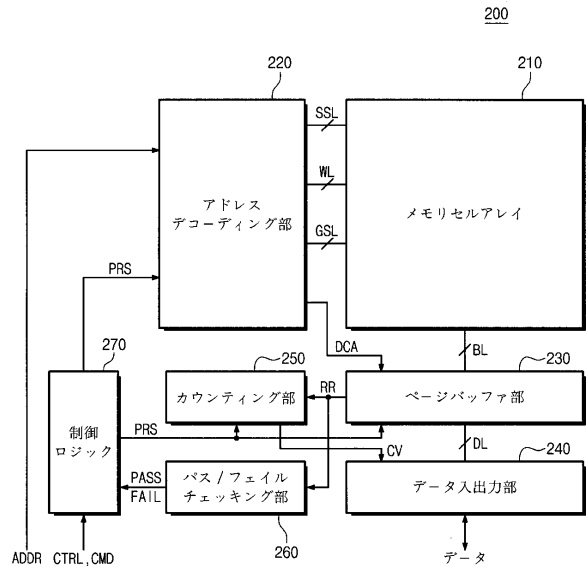
【図 1 3 B】



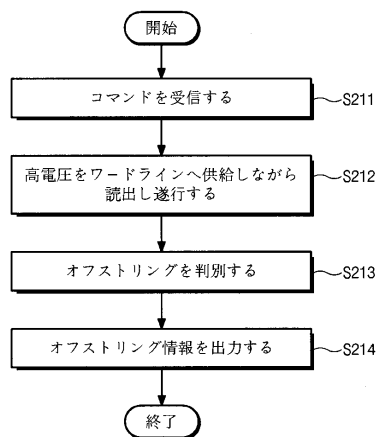
【図 14】



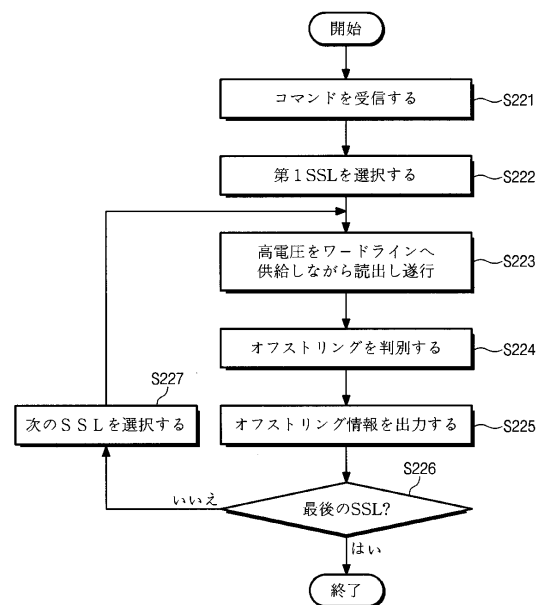
【図 15】



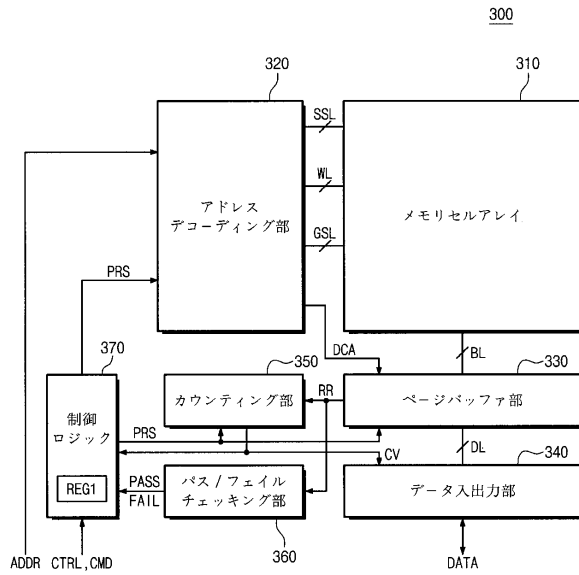
【図 16】



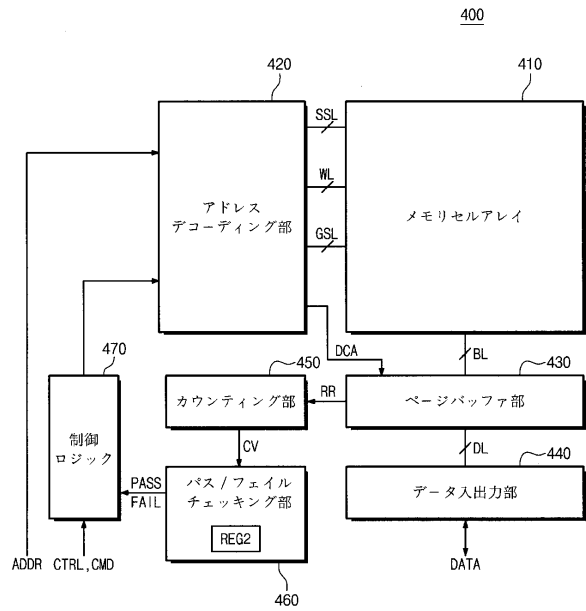
【図 17】



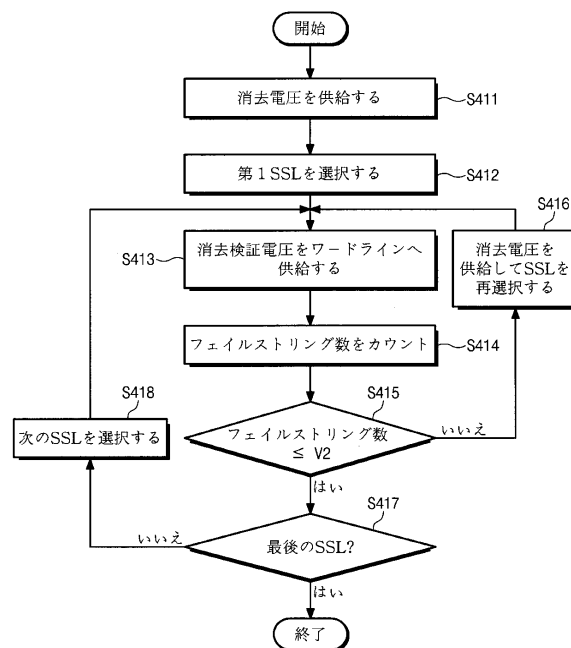
【図18】



【図19】



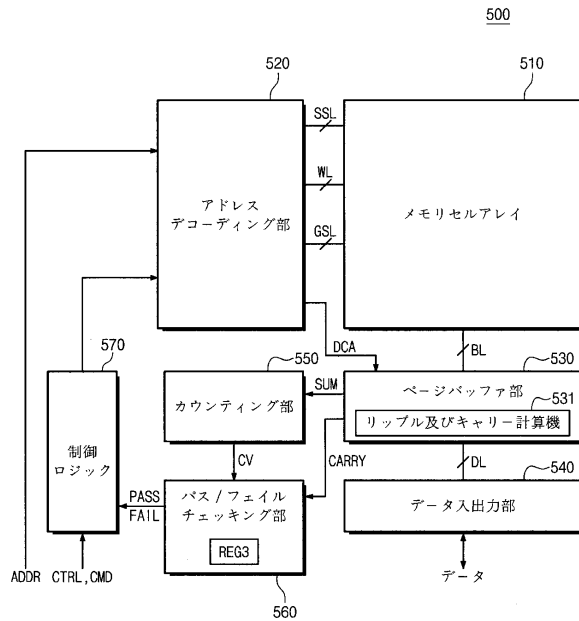
【図20】



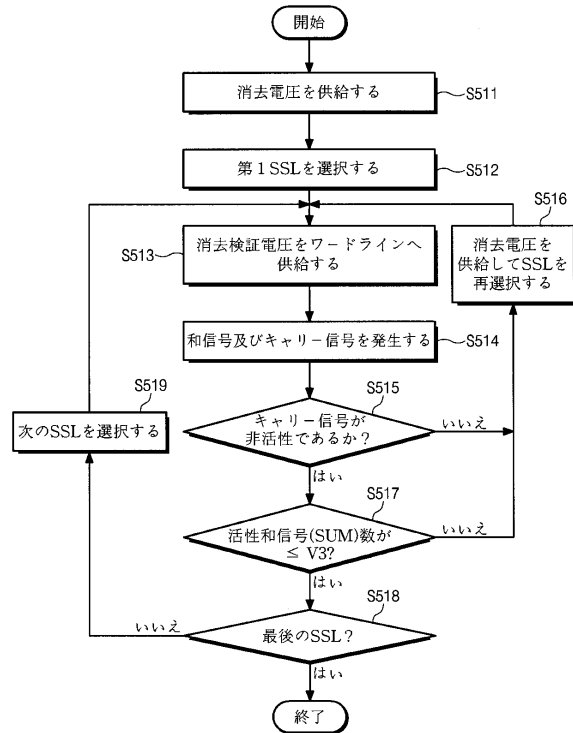
【図21】

	S411	S413
BL	フローティング	VBL4(VCC)
選択されたSSL	フローティング又は VSSL6	VSSL7(On)
非選択されたSSL		VSSL8(Off)
WL	Vwe2(VSS)	VFY2
GSL	フローティング又は VGSL4	VGSL5(On)
CSL	フローティング	VCSL3(VSS)
基板	Vers2	VSUB3(VSS)

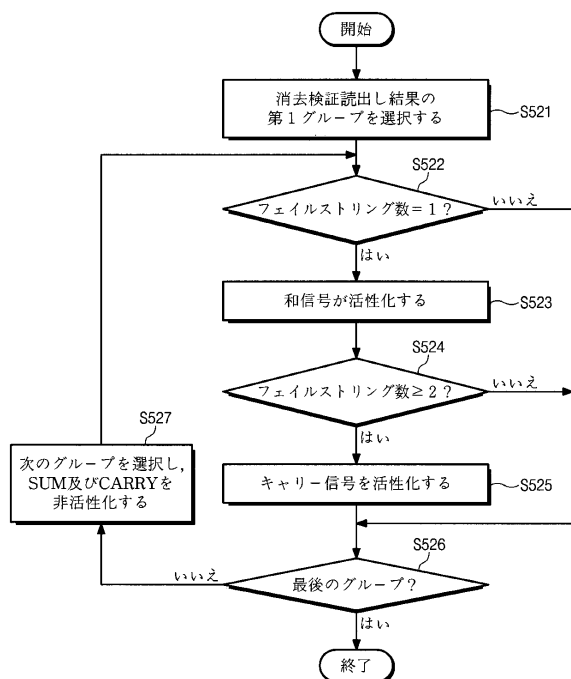
【図 22】



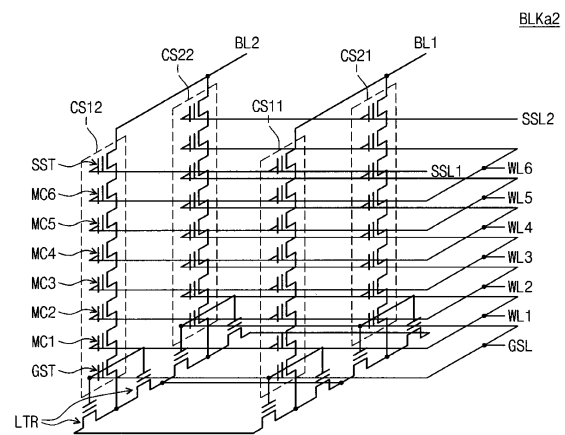
【図 23】



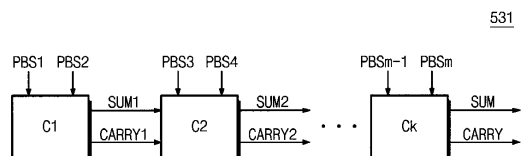
【図 24】



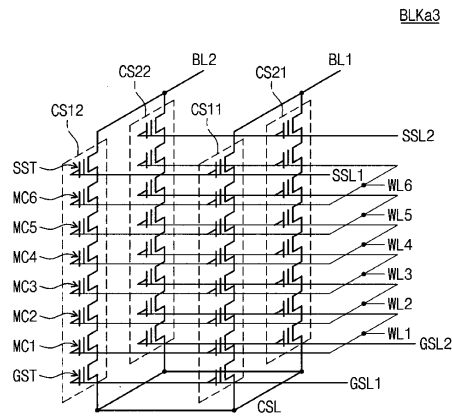
【図 26】



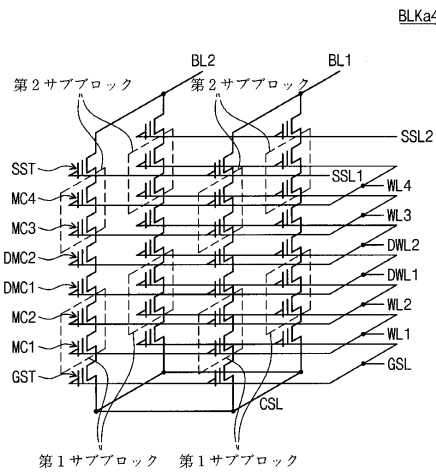
【図 25】



【図 27】



【図 28】



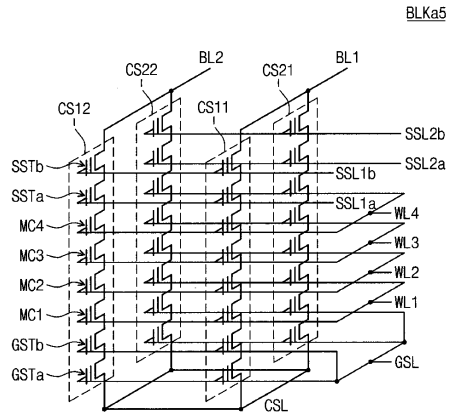
【図 29】

	S111	S113	S115
BL	フローティング	VBL1(VCC)	正常 ; VBL2(VCC) オフ ; VBL3(VSS)
選択された SSL	フローティング又は VSSL1	VSSL2(On)	VSSL4(On)
非選択された SSL		VSSL3(Off)	VSSL5(Off)
選択された WL	Vwe1(VSS)	VH1(Vread)	VFY1
DWL	フローティング又は VDWL1	VDWL2	VDWL3
非選択された WL	フローティング又は VWL1	VH1(Vread)	VH2(Vread)
GSL	フローティング又は VGSL1	VGSL2(On)	VGSL3(On)
CSL	フローティング	VCSL1(VSS)	VCSL2(VSS)
基板	Vers1	VSUB1(VSS)	VSUB2(VSS)

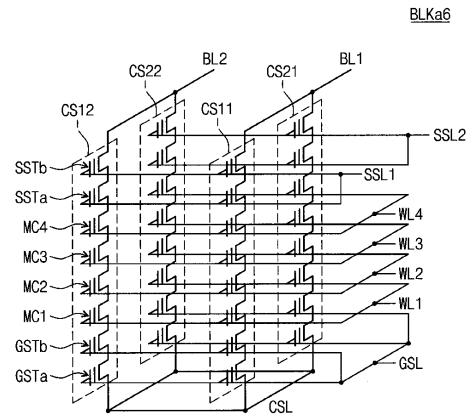
【図 30】

	S411	S413
BL	フローティング	VBL4(VCC)
選択された SSL	フローティング又は VSSL6	VSSL7(On)
非選択された SSL		VSSL8(Off)
選択された WL	Vwe2(VSS)	VFY2
DWL	フローティング又は VDWL4	VDWL5
非選択された WL	フローティング又は VWL2	VWL3(Vread)
GSL	フローティング又は VGSL4	VGSL5(On)
CSL	フローティング	VCSL3(VSS)
基板	Vers2	VSUB3(VSS)

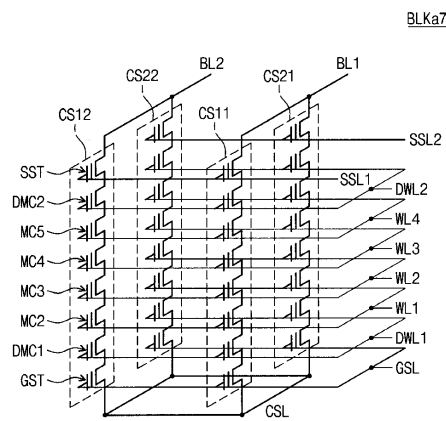
【図 3 1】



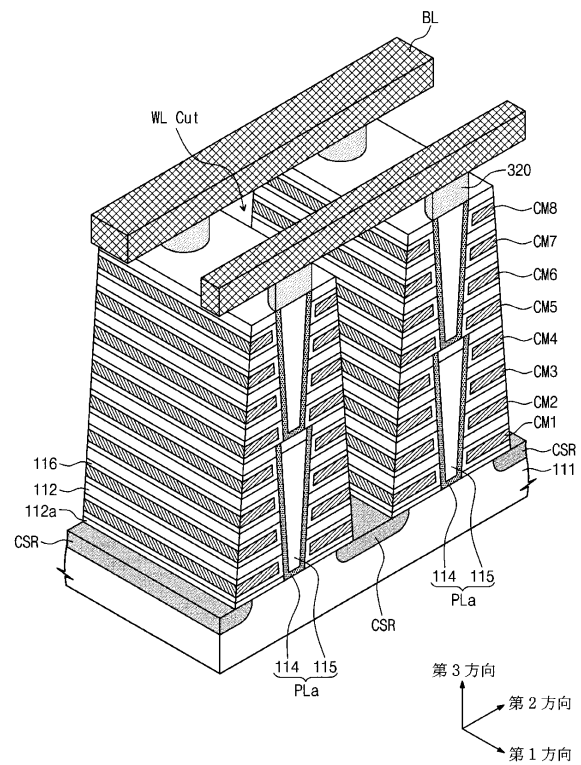
【図 3 2】



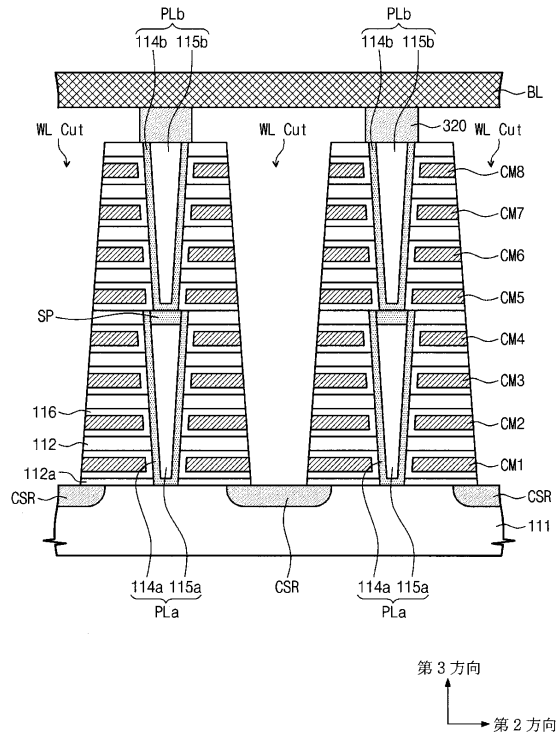
【図 3 3】



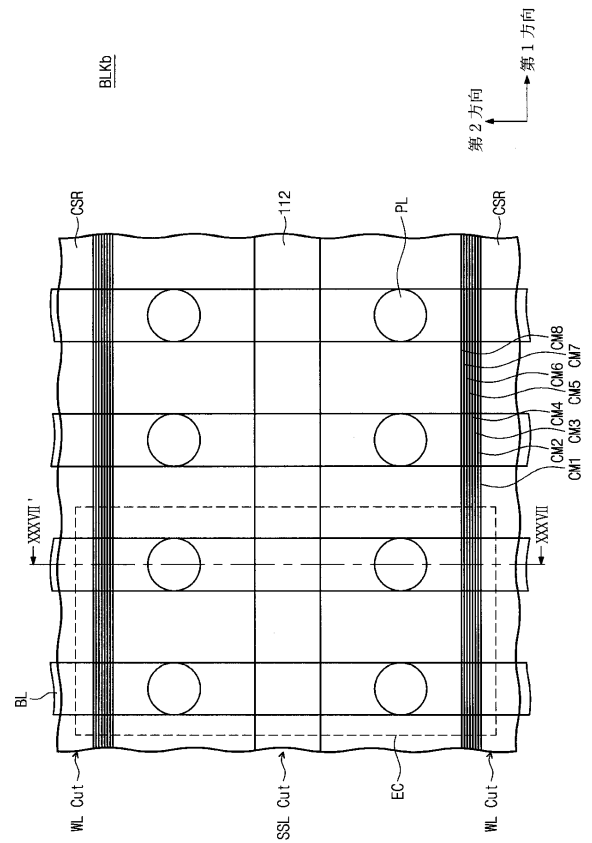
【図 3 4】



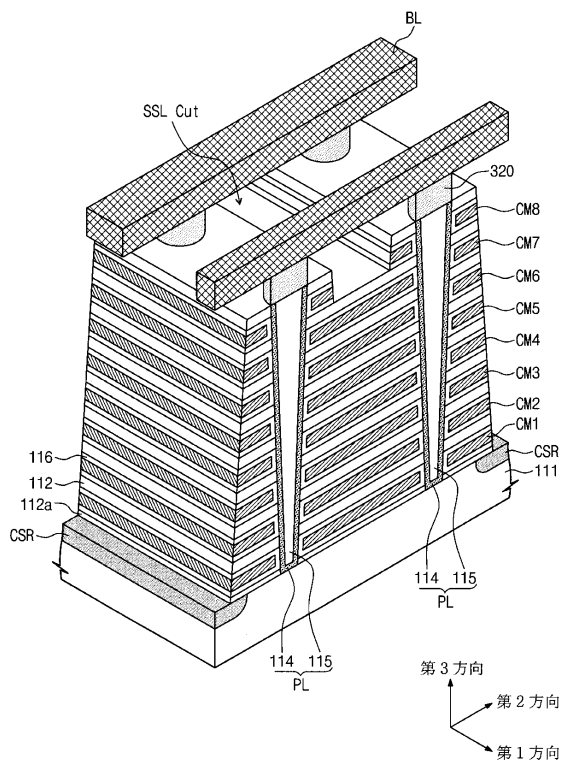
【図 35】



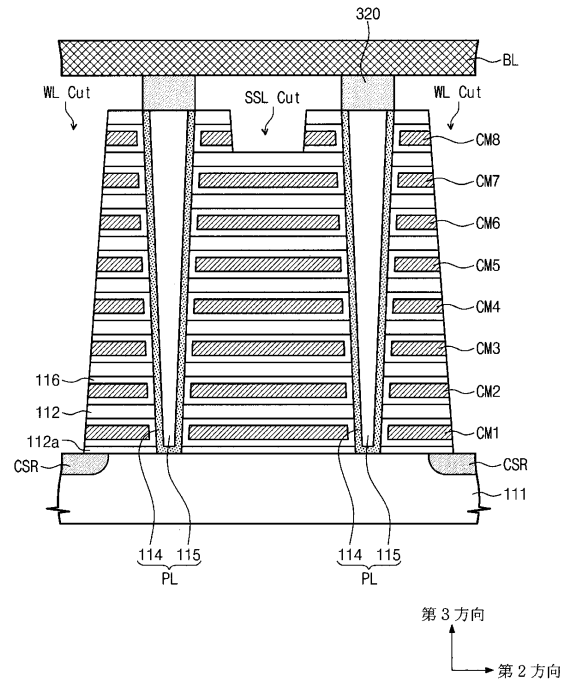
【図 36】



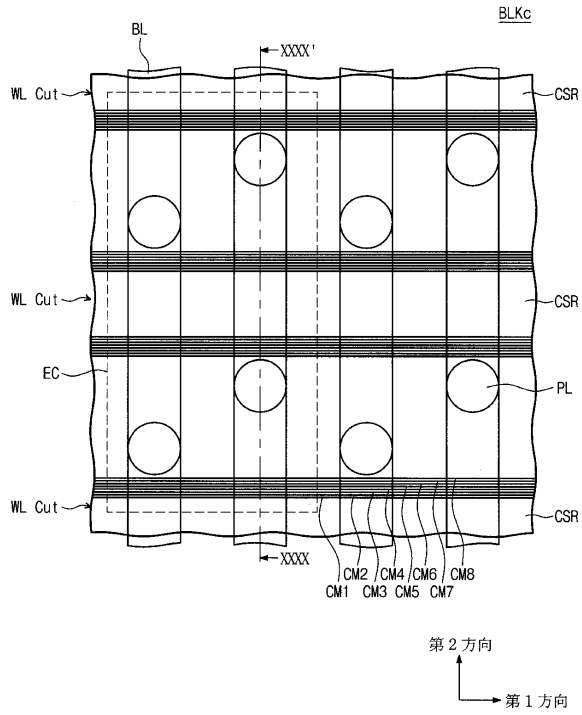
【図 37】



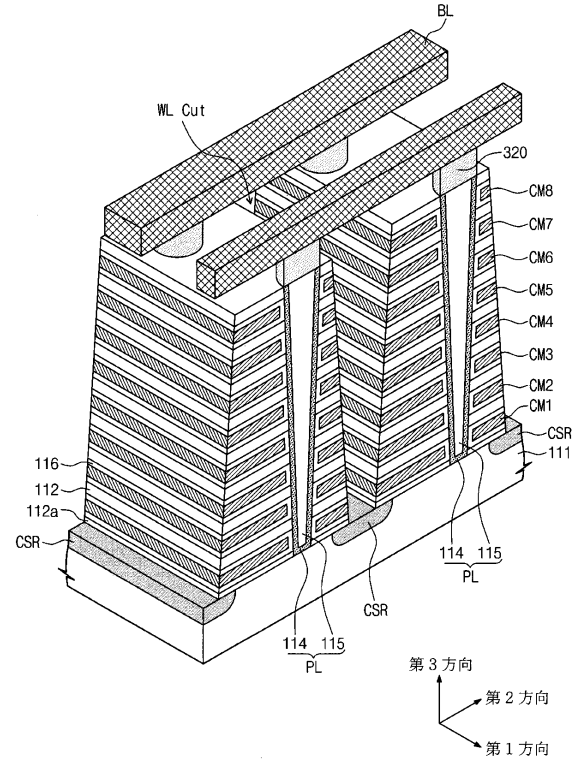
【図 38】



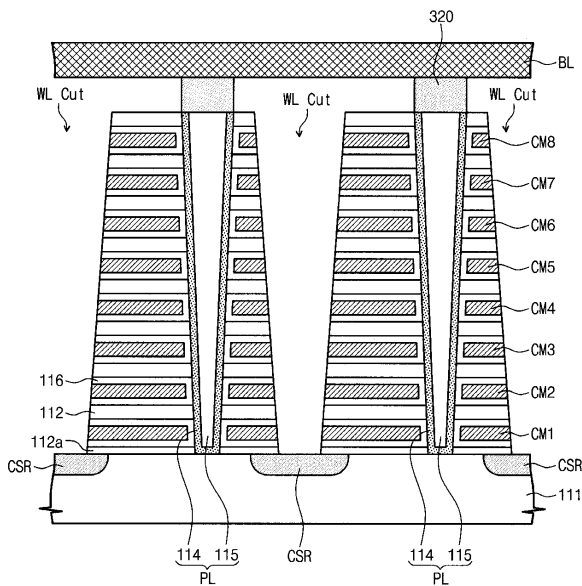
【図 39】



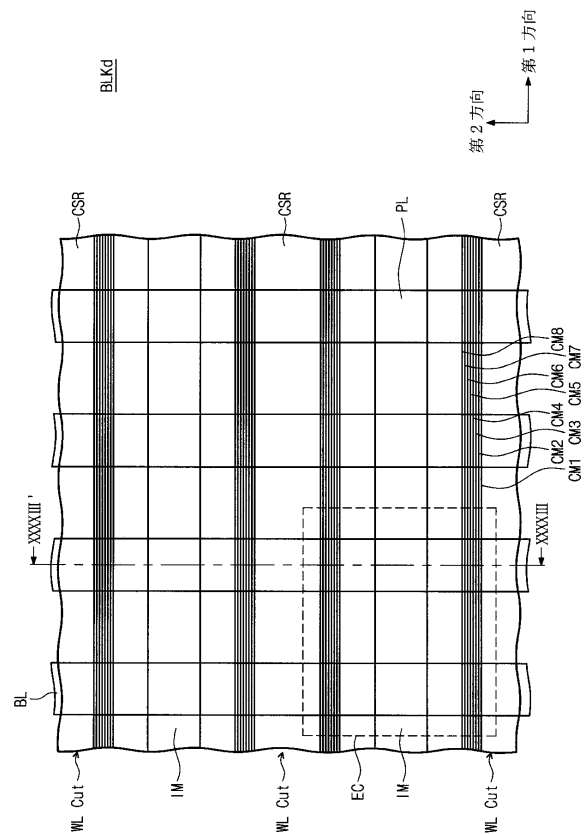
【図 40】



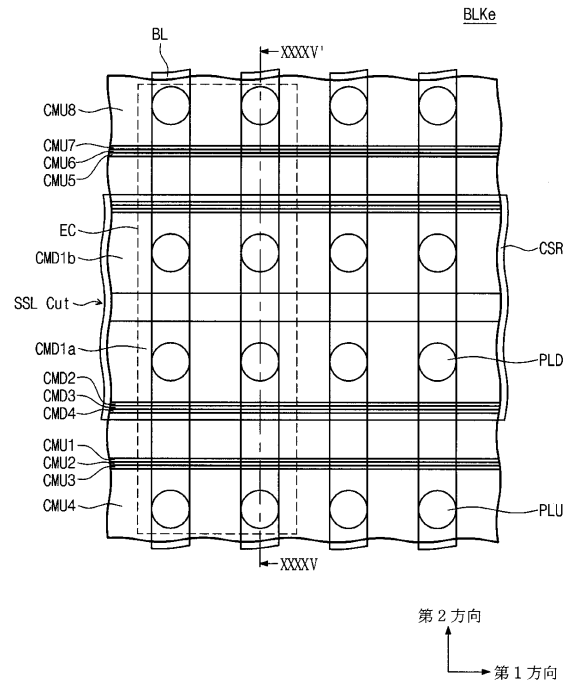
【図 41】



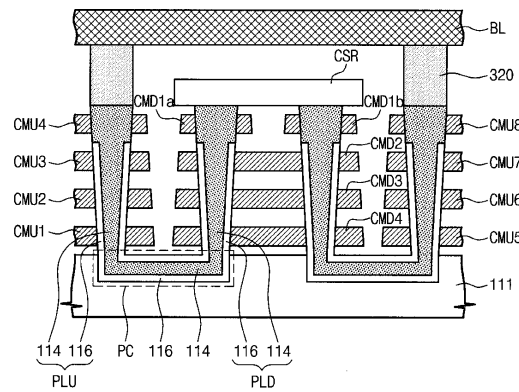
【図 42】



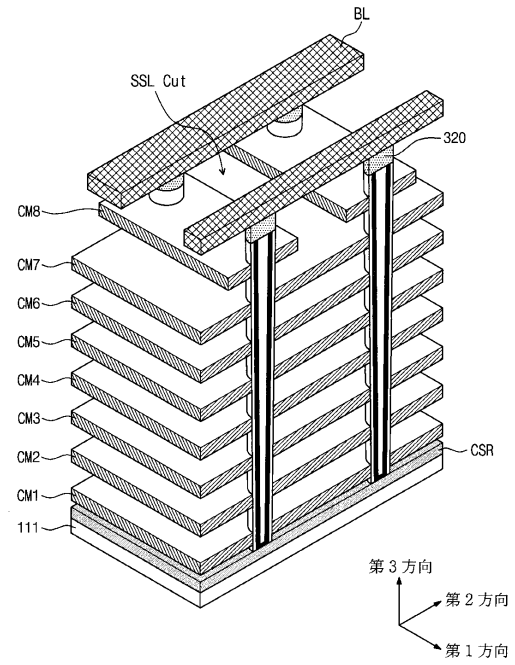
【 図 4 4 】



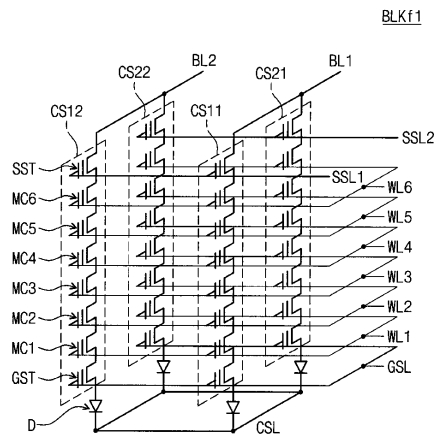
【 図 4 6 】



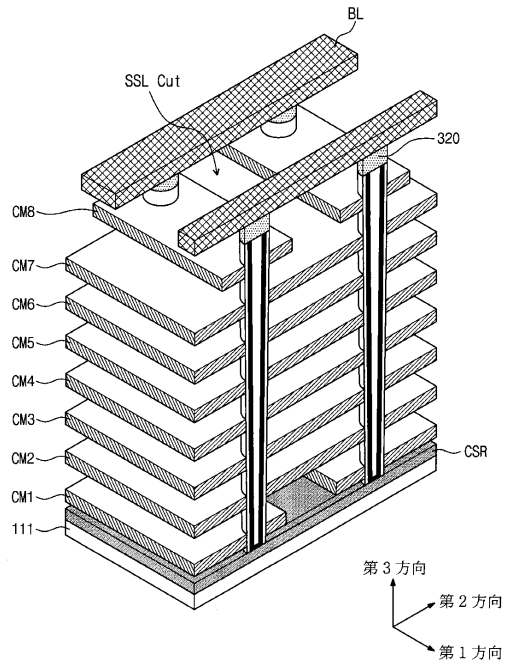
【 図 4 8 】



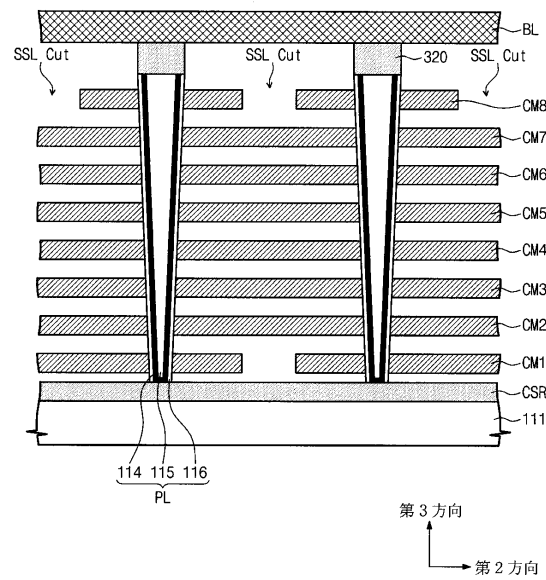
【 図 5 0 】



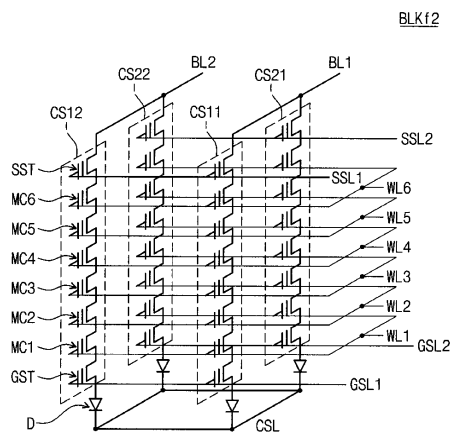
【図 5 1】



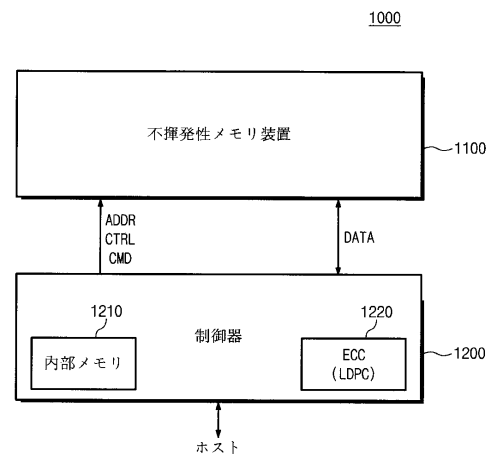
【図 5 2】



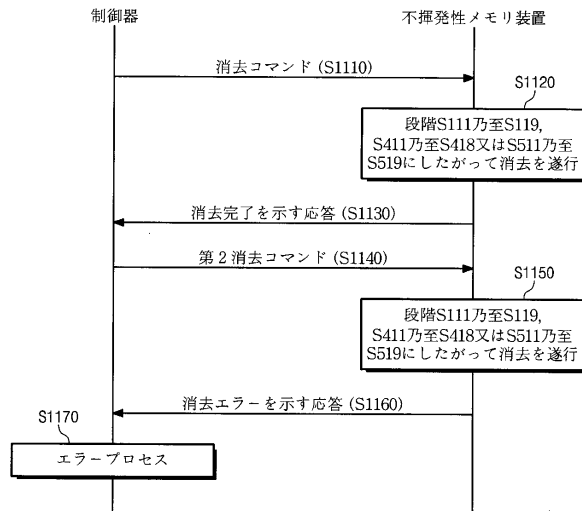
【図 5 3】



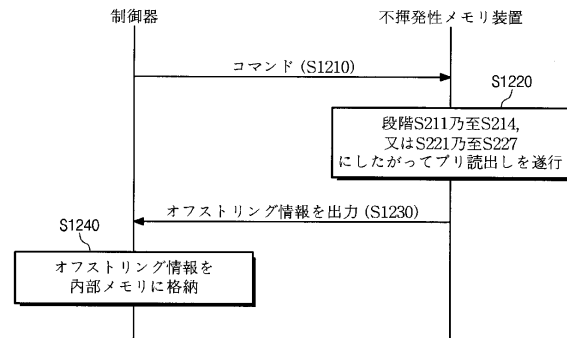
【図 5 4】



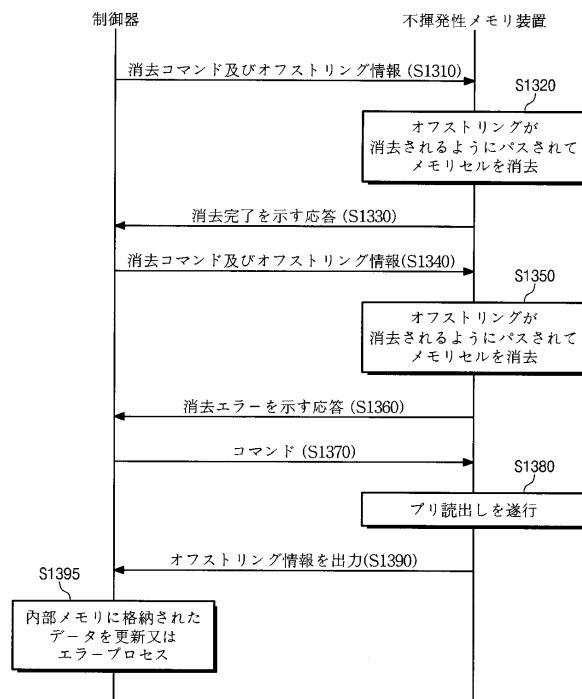
【図 55】



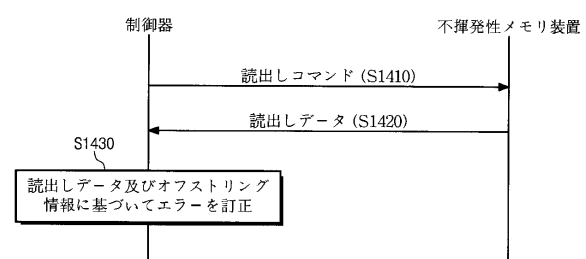
【図 56】



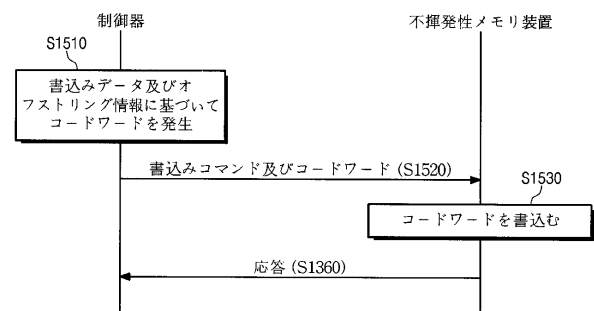
【図 57】



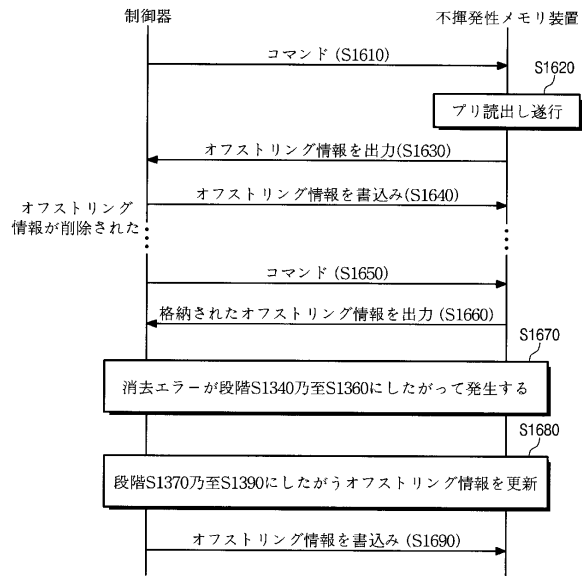
【図 58】



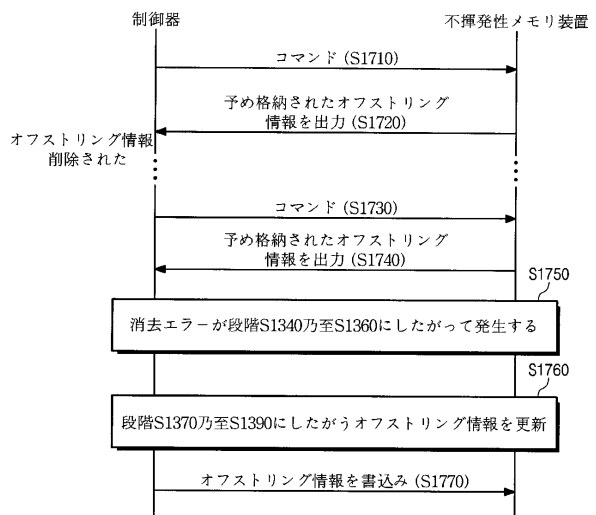
【図 59】



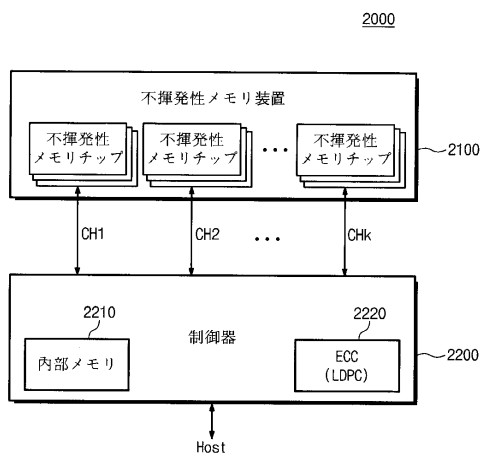
【図 60】



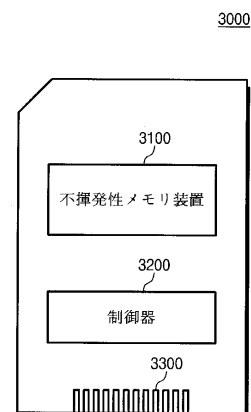
【図 61】



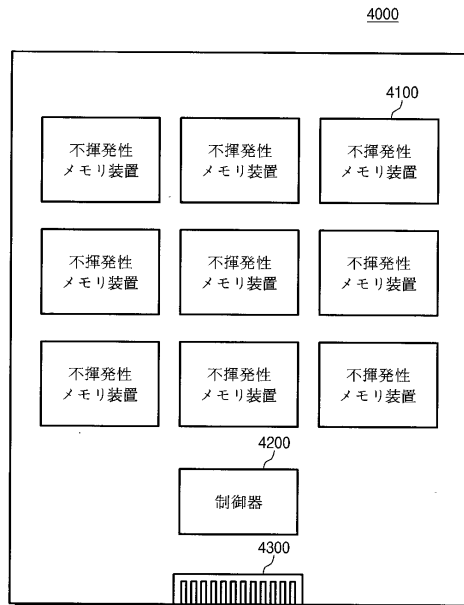
【図 62】



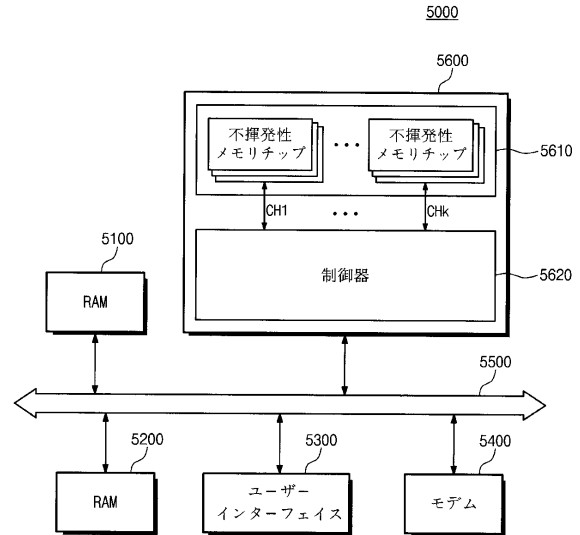
【図 63】



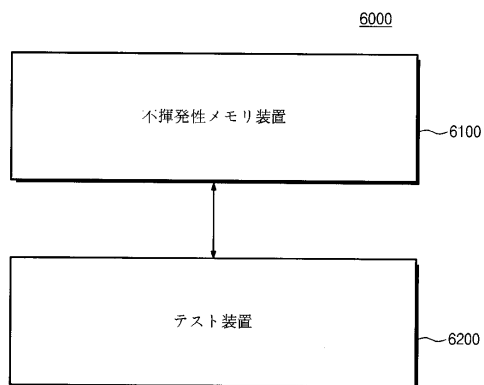
【図 6 4】



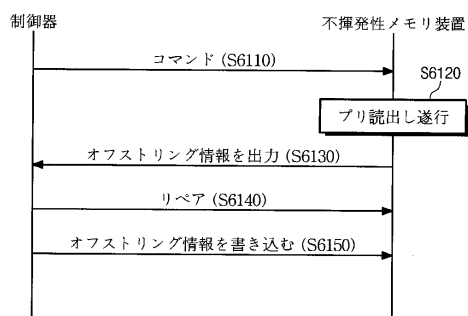
【図 6 5】



【図 6 6】



【図 6 7】



フロントページの続き

審査官 堀田 和義

- (56)参考文献 特開 2 0 0 3 - 2 3 3 9 9 5 (J P , A)
米国特許出願公開第 2 0 0 3 / 0 1 3 3 3 4 0 (U S , A 1)
特開 2 0 0 6 - 7 9 6 9 5 (J P , A)
米国特許出願公開第 2 0 0 6 / 0 0 5 0 5 6 4 (U S , A 1)
特開平 8 - 2 4 9 8 9 6 (J P , A)
米国特許第 5 6 7 1 1 7 8 (U S , A)
特開 2 0 0 6 - 4 8 7 7 7 (J P , A)
米国特許出願公開第 2 0 0 6 / 0 1 7 1 2 0 2 (U S , A 1)
特開 2 0 1 2 - 1 1 9 0 4 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 6 / 0 2
G 1 1 C 1 6 / 0 4
G 1 1 C 1 6 / 0 6

- (54)【発明の名称】不揮発性メモリ装置、不揮発性メモリ装置の消去方法、不揮発性メモリ装置の動作方法、不揮発性メモリ装置を含むメモリシステム、メモリシステムの動作方法、不揮発性メモリ装置を含むメモリカード、及びソリッドステートドライブ