

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2024 年 3 月 7 日 (07.03.2024)



(10) 国际公布号  
**WO 2024/045261 A1**

(51) 国际专利分类号:  
**H01L 29/06** (2006.01)

(21) 国际申请号: PCT/CN2022/123931

(22) 国际申请日: 2022 年 10 月 9 日 (09.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202211076042.4 2022年9月2日 (02.09.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 赵春蕾 (ZHAO, Chunlei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。陆勇 (LU, Yong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。徐亚超 (XU, Yachao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。张瑞奇 (ZHANG, Ruiqi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(54) Title: SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

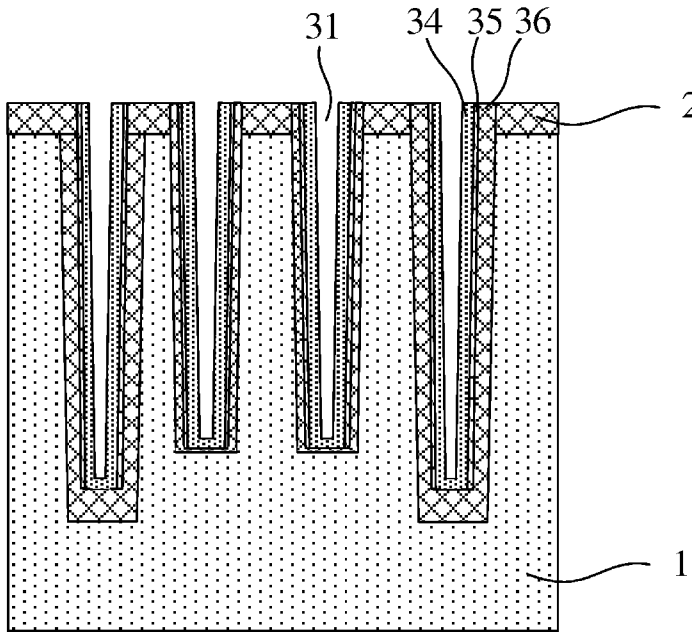


图 11

(57) Abstract: The present disclosure relates to a semiconductor structure and a preparation method therefor. The semiconductor structure comprises: a substrate (1), and a gate trench (31) located in the substrate (1); and a gate dielectric layer, which comprises a first oxide layer (34), a barrier layer (35) and a second oxide layer (36), wherein the second oxide layer (36) covers a side wall and the bottom of the gate trench (31), the barrier layer (35) covers a side wall of the second oxide layer (36), and the first oxide layer (34) covers the surface of the barrier layer (35) and covers the surface, which is located at the bottom of the gate trench (31), of the



(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

second oxide layer (36).

(57) 摘要: 本公开涉及一种半导体结构及其制备方法。半导体结构包括: 基底(1), 以及位于所述基底(1)内的栅极沟槽(31); 栅极介质层, 所述栅极介质层包括第一氧化层(34)、阻挡层(35)和第二氧化层(36), 所述第二氧化层(36)覆盖所述栅极沟槽(31)的侧壁及底部, 所述阻挡层(35)覆盖所述第二氧化层(36)的侧壁, 所述第一氧化层(34)覆盖所述阻挡层(35)的表面以及覆盖位于所述栅极沟槽(31)底部的所述第二氧化层(36)的表面。

## 半导体结构及其制备方法

### 相关申请的交叉引用：

本申请要求于 2022 年 9 月 02 日提交中国专利局、申请号为 2022110760424、  
5 发明名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本公开涉及半导体技术领域，特别是涉及一种半导体结构及其制备方法。

### 背景技术

这里的陈述仅提供与本公开有关的背景信息，而不必然地构成现有技术。

随着半导体工艺技术的不断改进，器件的特征尺寸也不断按比例缩小。但器件的工作电压并不是按比例缩小的，使得栅极沟槽的电场强度不断加强，  
15 HCI(hot carrier injection，热载流子注入)效应也变得越来越严重。

然而在字线结构中，字线导电层与基底之间只有一层常规栅氧化层，不能起到较好的保护作用，容易导致漏电情况的发生，HCI 效应也变得越来越严重。

### 发明内容

基于此，有必要针对现有技术中的字线导电层与基底之间只有一层常规栅氧化层，起不到较好的保护作用，容易导致漏电的问题提供一种半导体结构及其制备方法。

为了实现上述目的，一方面，本公开提供了一种半导体结构，包括：

基底，以及位于所述基底内的栅极沟槽；

25 栅极介质层，所述栅极介质层包括第一氧化层、阻挡层和第二氧化层，所述第二氧化层覆盖所述栅极沟槽的侧壁及底部，所述阻挡层覆盖所述第二氧化层的侧壁，所述第一氧化层覆盖所述阻挡层的表面以及覆盖位于所述栅极沟槽底部的所述第二氧化层的表面。

在其中一个实施例中，位于所述栅极沟槽底部侧壁的所述第二氧化层的厚度，小于位于所述栅极沟槽顶部侧壁的第二氧化层的厚度。

在其中一个实施例中，所述阻挡层包括掺杂多晶硅层。

在其中一个实施例中，所述阻挡层的厚度为 0.5nm~1nm。

在其中一个实施例中，所述阻挡层的掺杂类型为 N 型，所述阻挡层中掺杂离子的掺杂浓度为  $10E20\text{ cm}^{-3}$ ~ $20E20\text{ cm}^{-3}$ 。

5 在其中一个实施例中，所述半导体结构还包括位于所述栅极沟槽中的导电层，所述导电层覆盖所述第一氧化层的表面。

在其中一个实施例中，所述基底还包括浅沟槽隔离结构，所述浅沟槽隔离结构于所述基底内隔离出多个间隔排布的有源区。

本公开还提供一种半导体结构的制备方法，包括：

10 提供基底；

于所述基底内形成栅极沟槽；

于所述栅极沟槽的侧壁形成初始阻挡层；

于所述初始阻挡层的表面及所述栅极沟槽的底部形成第一氧化层；

15 对所述初始阻挡层及所述基底进行热氧化处理，以形成覆盖所述栅极沟槽的侧壁及底部的第二氧化层及覆盖所述第二氧化层的侧壁的阻挡层。

在其中一个实施例中，于所述栅极沟槽的侧壁形成所述初始阻挡层，包括：

于所述栅极沟槽的侧壁、所述栅极沟槽的底部及所述基底上形成阻挡材料层；去除位于所述栅极沟槽底部及位于所述基底上的所述阻挡材料层，保留位于所述栅极沟槽侧壁的所述阻挡材料层，形成所述初始阻挡层。

20 在其中一个实施例中，采用低台阶覆盖工艺于所述栅极沟槽的侧壁、所述栅极沟槽的底部及所述基底上沉积掺杂多晶硅层，形成所述阻挡材料层。

在其中一个实施例中，所述阻挡材料层的厚度为 2 nm~8 nm，所述初始阻挡层的厚度为 1 nm~3 nm，所述阻挡层的厚度为 0.5 nm~1 nm。

25 在其中一个实施例中，所述阻挡层中掺杂离子的掺杂浓度为  $10E20\text{ cm}^{-3}$ ~ $20E20\text{ cm}^{-3}$ 。

在其中一个实施例中，所述对所述初始阻挡层及所述基底进行热氧化处理包括：采用原位水汽生成工艺氧化部分所述初始阻挡层以及被所述初始阻挡层覆盖的部分所述基底。

30 在其中一个实施例中，所述方法还包括：形成所述第二氧化层及所述阻挡层之后，于所述第一氧化层的表面形成导电层。

在其中一个实施例中，所述提供基底之后，所述于所述基底内形成栅极沟槽之前，还包括：于所述基底内形成浅沟槽隔离结构，所述浅沟槽隔离结构于所述基底内隔离出多个间隔排布的有源区。

本公开的半导体结构及其制备方法具有如下有益效果：

5 本公开的半导体结构中，栅极介质层包括第一氧化层、阻挡层和第二氧化层，第二氧化层覆盖栅极沟槽的侧壁及底部，阻挡层覆盖第二氧化层的侧壁，第一氧化层覆盖阻挡层的表面以及覆盖位于栅极沟槽底部的第二氧化层的表面，相较于只有一层氧化层的栅极介质层结构，本公开的栅极介质层可以对器件进行更好地保护，降低栅极异常漏电的发生，降低热载流子注入效应。

10 本公开的半导体结构的制备方法，通过在栅极沟槽内形成第一氧化层、第二氧化层及阻挡层，第二氧化层覆盖栅极沟槽的侧壁及底部，阻挡层覆盖第二氧化层的侧壁，形成具有多层氧化层的栅极介质层结构，本公开的栅极介质层可以对器件进行更好地保护，降低栅极异常漏电的发生，降低热载流子注入效应。

15

## 附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

20

图 1 为一实施例中提供的半导体结构的制备方法的流程图；

图 2 为一实施例中提供的半导体结构的制备方法中步骤 S11 所得结构的截面结构示意图；

25 图 3 为一实施例中提供的半导体结构的制备方法中于基底内形成浅沟槽隔离结构，浅沟槽隔离结构于基底内隔离出多个间隔排布的有源区的步骤所得结构的截面结构示意图；

图 4 为一实施例中提供的半导体结构的制备方法中于基底的上表面形成隔离材料层的步骤所得结构的截面结构示意图；

30 图 5 为一实施例中提供的半导体结构的制备方法中步骤 S12 所得结构的俯视结构示意图；

图 6 为图 5 中 A-A'处所截取的结构的截面结构示意图；

图 7 为一实施例中提供的半导体结构的制备方法中步骤 S13 的步骤流程图；

图 8 为一实施例中提供的半导体结构的制备方法中步骤 S131 所得结构的截面结构示意图；

5 图 9 为一实施例中提供的半导体结构的制备方法中步骤 S132 所得结构的截面结构示意图；

图 10 为一实施例中提供的半导体结构的制备方法中步骤 S14 所得结构的截面结构示意图；

10 图 11 为一实施例中提供的半导体结构的制备方法中步骤 S15 所得结构的截面结构示意图；

图 12 为一实施例中提供的半导体结构的制备方法中于第一氧化层的表面形成导电层所得结构的截面结构示意图。

附图标记说明：

15 1、基底；11、浅沟槽隔离结构；12、有源区；2、隔离材料层；31、栅极沟槽；32、阻挡材料层；33、初始阻挡层；34、第一氧化层；35、阻挡层；36、第二氧化层；37、导电层。

## 具体实施方式

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。

20 附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

25 除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，  
30 则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描

述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为 P 型且第二掺杂类型可以为 N 型，或第一掺杂类型可以为 N 型且第二掺杂类型可以为 P 型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转 90 度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本公开的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形

状并不表示器件的区的实际形状，且并不限定本公开的范围。

随着半导体工艺技术的不断改进，器件的特征尺寸也不断按比例缩小。但器件的工作电压并不是按比例缩小的，使得栅极沟槽的电场强度不断加强，HCI(hot carrier injection，热载流子注入)效应也变得越来越严重。

5 然而在字线结构中，字线导电层与基底之间只有一层常规栅氧化层，不能起到较好的保护作用，容易导致漏电情况的发生，HCI 效应也变得越来越严重。

基于此，有必要针对现有技术中的字线导电层与基底之间只有一层常规栅氧化层，起不到较好的保护作用，容易导致漏电的问题提供一种半导体结构及其制备方法。

10 为了实现上述目的，如图 1 所示，本公开提供一种半导体结构的制备方法，包括：

S11：提供基底；

S12：于基底内形成栅极沟槽；

S13：于栅极沟槽的侧壁形成初始阻挡层；

15 S14：于初始阻挡层的表面及栅极沟槽的底部形成第一氧化层；

S15：对初始阻挡层及基底进行热氧化处理，以形成覆盖栅极沟槽的侧壁及底部的第二氧化层及覆盖第二氧化层的侧壁的阻挡层。

上述实施例中的半导体结构的制备方法，通过在栅极沟槽内形成第一氧化层、第二氧化层及阻挡层，第二氧化层覆盖栅极沟槽的侧壁及底部，阻挡层覆盖第二氧化层的侧壁，形成具有多层氧化层的栅极介质层结构，本公开的栅极  
20 介质层可以对器件进行更好地保护，降低栅极异常漏电的发生，降低热载流子注入效应。

在步骤 S11 中，请参阅图 1 中的 S11 步骤及图 2，提供基底 1。

其中，基底 1 可以包括但不限于硅基底、锗基底、硅锗基底、砷化镓基底、氮化镓基底和碳化硅基底中的至少一种；具体地，基底 1 可以是硅基底、  
25 锗基底、硅锗基底、砷化镓基底、氮化镓基底和碳化硅基底中的任意一种，也可以是其中两种或两种以上组合而成的复合基底。

在一个实施例中，于基底 1 内形成栅极沟槽之前，还包括：于基底 1 内形成浅沟槽隔离结构 11，浅沟槽隔离结构 11 于基底 1 内隔离出多个间隔排布的有  
30 源区 12 的步骤，所得结构如图 3 所示。

在一些示例中，可以对有源区 12 进行第一离子注入，以于有源区 12 内形成阱区；对有源区 12 进行第二离子注入，以于阱区内形成轻掺杂区。

具体地，若第一离子为 N 型离子，则第二离子为 P 型离子；若第一离子为 P 型离子，则第二离子为 N 型离子；N 型离子可以包括磷离子、砷离子或锑离子中的至少一种；P 型离子可以包括硼离子、镓离子或铟离子中的至少一种。

其中，轻掺杂区的深度小于阱区的深度，即以阱区的上表面与轻掺杂区的上表面相平齐为例，阱区的底部低于轻掺杂区的底部。其中，轻掺杂区可以包括源区及漏区。

在一个实施例中，于基底 1 内形成浅沟槽隔离结构 11 可以包括：

于基底 1 内形成浅沟槽；

于浅沟槽内填充沟槽介质层，以形成浅沟槽隔离结构 11。

具体地，于基底 1 内形成浅沟槽可以采用干法刻蚀的方式；于浅沟槽内填充沟槽介质层可以采用沉积的方式；沟槽介质层可以是但不仅限于二氧化硅层。

进一步地，于基底 1 内形成浅沟槽可以包括：

于基底 1 的上表面形成光阻层；形成光阻层的方法可以是涂布法中的旋涂法；

基于第一图形化光罩对光阻层进行曝光；

对曝光后的光阻层进行显影，以得到图形化光阻层；

基于图形化光阻层刻蚀基底 1，以于基底 1 内形成浅沟槽。

在一些示例中，光阻层可以包括正性光阻层，也可以包括负性光阻层。

在一个实施例中，于基底 1 内形成浅沟槽隔离结构 11 之后，于基底 1 内形成栅极沟槽之前，还包括：于基底 1 的上表面形成隔离材料层 2 的步骤，所得结构如图 4 所示。其中，于基底 1 的上表面形成隔离材料层 2 的方法可以包括但不仅限于原子层沉积法、外延法、化学气相沉积法等。隔离材料层 2 可以与浅沟槽隔离结构 11 内的沟槽介质层为相同材料；示例性的，隔离材料层 2 可以是但不仅限于二氧化硅层。

在步骤 S12 中，请参阅图 1 中的 S12 步骤及图 5 至图 6，于基底 1 内形成栅极沟槽 31。其中，图 5 为于基底 1 内形成栅极沟槽 31 所得结构的俯视示意图；图 6 为图 5 中 A-A' 处所截取的结构截面示意图。

具体地，于基底 1 内形成栅极沟槽 31 可以包括：

S121: 于隔离材料层 2 的上表面形成掩膜层; 掩膜层可以是氮化硅层、碳化硅层和氮氧化硅层中的至少一种;

S122: 基于第二图形化光罩对掩膜层进行曝光;

S123: 对曝光后的掩膜层进行显影, 以得到图形化掩膜层;

5 S124: 基于图形化掩膜层, 沿厚度方向依次刻蚀隔离材料层 2 和基底 1, 以于有源区 12 内和浅沟槽隔离结构 11 内形成栅极沟槽 31。

其中, 刻蚀的方式可以采用但不仅限于干法刻蚀工艺。栅极沟槽 31 的深度可以为 30~400nm; 示例性的, 栅极沟槽 31 的深度可以为 30nm、50nm、100nm、200nm、300nm 或 400nm, 也可以是其他位于 30~400nm 之间的深度, 不受所例  
10 举的实施例限制。

在步骤 S13 中, 请参阅图 1 中的 S13 步骤及图 7 至图 9, 于栅极沟槽 31 的侧壁形成初始阻挡层 33。

在一个实施例中, 如图 7 所示, 于栅极沟槽 31 的侧壁形成初始阻挡层 33, 可以包括:

15 S131: 于栅极沟槽 31 的侧壁、栅极沟槽 31 的底部及基底 1 上形成阻挡材料层 32, 如图 8 所示;

S132: 去除位于栅极沟槽 31 底部及位于基底 1 上的阻挡材料层 32, 保留位于栅极沟槽 31 侧壁的阻挡材料层 32, 形成初始阻挡层 33, 如图 9 所示。

其中, 阻挡材料层 32 可以是漏电流阻挡材料层; 初始阻挡层 33 可以是初  
20 始漏电流阻挡层。

具体地, 阻挡材料层 32 的厚度可以为 2nm~8nm; 具体地, 阻挡材料层 32 的厚度可以为 2nm、4nm、6nm 或 8nm, 也可以是其他位于 2nm~8nm 之间的任意厚度, 不受所列举的实施例限制。

需要说明的是, 参阅图 5、图 6 和图 9, 因栅极沟槽 31 横穿有源区 12 和浅  
25 沟槽隔离结构 11, 所以于栅极沟槽 31 的侧壁形成初始阻挡层 33, 便是同时在于有源区 12 里的栅极沟槽 31 内和浅沟槽隔离结构 11 里的栅极沟槽 31 内形成初始阻挡层 33。

在一个示例中, 可以通过回刻 (Etching Back) 工艺去除位于栅极沟槽 31 底部的阻挡材料层 32; 其中, 回刻的深度小于浅沟槽隔离结构 11 和隔离材料层  
30 2 的厚度之和; 回刻的方式可以是干法蚀刻。

具体地，回刻去除位于栅极沟槽 31 底部的阻挡材料层 32 所采用的刻蚀气体可以包括六氟化硫、氯气、甲烷、氯化硅及氩气中的至少一种。

在一个实施例中，可以采用低台阶覆盖工艺于栅极沟槽 31 的侧壁、栅极沟槽 31 的底部及基底 1 上沉积掺杂多晶硅层，形成阻挡材料层 32。

5 具体地，阻挡材料层 32 及初始阻挡层 33 的材料均可以是掺杂多晶硅材料，掺杂离子可以包括但不限于磷离子、砷离子或锑离子中的至少一种。掺杂多晶硅材料中掺杂离子的掺杂浓度均可以为  $10E20\text{cm}^{-3}\sim 20E20\text{cm}^{-3}$ ，具体地，掺杂浓度均可以为  $10E20\text{cm}^{-3}$ 、 $12E20\text{cm}^{-3}$ 、 $15E20\text{cm}^{-3}$ 、 $18E20\text{cm}^{-3}$  或  $20E20\text{cm}^{-3}$ ，也可以是其他位于  $10E20\text{cm}^{-3}\sim 20E20\text{cm}^{-3}$  之间的浓度，不受所列举的实施例限制。  
10 示例性的，本实施例中，阻挡材料层 32 的掺杂浓度可以是  $15E20\text{cm}^{-3}$ 。

在一个实施例中，初始阻挡层 33 的厚度可以为  $1\text{nm}\sim 3\text{nm}$ ；具体地，初始阻挡层 33 的厚度可以为  $1\text{nm}$ 、 $2\text{nm}$ 、 $2.5\text{nm}$  或  $3\text{nm}$ ，也可以是其他位于  $1\text{nm}\sim 3\text{nm}$  之间的任意厚度，不受所列举的实施例限制。

进一步地，可以采用低台阶覆盖工艺于栅极沟槽 31 的侧壁、栅极沟槽 31  
15 的底部及基底 1 上形成 N 型掺杂多晶硅层作为阻挡材料层 32。即阻挡材料层 32 及初始阻挡层 33 的材料均可以是 N 型掺杂多晶硅材料。

具体地，低台阶覆盖工艺可提高阻挡材料层 32 的膜均匀性，工艺上具有极低飞溅量和高沉积速率的特点，能减少工艺过程中的材料飞溅和增加电弧的稳定性，进而获得质量较高的阻挡材料层 32。通过低台阶覆盖工艺沉积 N 型掺杂  
20 多晶硅材料，过程中工艺简单。相较于传统的形成 N 型掺杂的工艺中掺杂的离子容易被蚀刻过程所消耗，本公开的低台阶覆盖工艺沉积 N 型掺杂多晶硅材料的方案可以补充掺杂离子，掺杂的 N 型离子可以起到较好防止漏电和提高漏电流的作用，提升器件性能，且工艺简单，可节约成本。

需要说明的是，采用低台阶覆盖工艺于栅极沟槽 31 的侧壁形成阻挡材料层  
25 32 后，位于栅极沟槽 31 的底部侧壁的阻挡材料层 32 的厚度小于位于栅极沟槽 31 的顶部侧壁的阻挡材料层 32 的厚度。

在步骤 S14 中，请参阅图 1 中的 S14 步骤及图 10，于初始阻挡层 33 的表面及栅极沟槽 31 的底部形成第一氧化层 34。

具体地，可以采用原子层沉积的方式于初始阻挡层 33 的表面及栅极沟槽 31  
30 的底部形成第一氧化层 34；第一氧化层 34 可以包括氧化硅层、氮氧化硅层和碳

氧化硅层中的至少一种。

在步骤 S15 中，请参阅图 1 中的 S15 步骤及图 11，对初始阻挡层 33 及基底 1 进行热氧化处理，以形成覆盖栅极沟槽 31 的侧壁及底部的第二氧化层 36 及覆盖第二氧化层的侧壁的阻挡层 35。

5 需要说明的是，位于栅极沟槽 31 的底部侧壁的阻挡材料层 32 的厚度小于位于栅极沟槽 31 的顶部侧壁的阻挡材料层 32 的厚度，使得位于栅极沟槽 31 底部侧壁的第二氧化层 36 的厚度小于位于栅极沟槽 31 顶部侧壁的第二氧化层 36 的厚度。

10 在一个实施例中，对初始阻挡层 33 及基底 1 进行热氧化处理包括：采用原位水汽生成工艺氧化部分初始阻挡层 33 以及被初始阻挡层 33 覆盖的部分基底 1。

具体地，采用原位水汽生成（In-Situ Steam Generation, ISSG）工艺对初始阻挡层 33 及基底 1 进行热氧化处理，以消耗部分初始阻挡层 33 及部分基底 1，从而得到第二氧化层 36 及阻挡层 35，因此，阻挡层 35 的厚度是小于初始阻挡层 33 的厚度的。

15 其中，原位水汽生成技术是一种新型低压快速氧化热退火技术(RTP, Rapid Thermal Process)，目前主要用于超薄氧化薄膜生长、牺牲氧化层以及氮氧薄膜的制备。原位水汽生成技术通过高温水汽氛围来生长氧化层，其生长氧化层的速度较快，并且，采用原位水汽生成方法所生长出的栅氧化膜，相对于采用炉管湿法氧化而获得的栅氧化膜，有着更为突出的电学性能。

进一步地，因为初始阻挡层 33 的材料可以采用掺杂多晶硅材料，在采用原位水汽生成工艺对初始阻挡层 33 及基底 1 进行热氧化处理的过程中，掺杂离子可以部分扩散至第一氧化层 34 及第二氧化层 36 中，可以帮助降低栅极结构的漏电风险。

25 在一些示例中，第二氧化层 36 可以包括氧化硅层、氮氧化硅层和碳氧化硅层中的至少一种。阻挡层 35 的材料均可以是掺杂多晶硅材料，掺杂多晶硅材料中掺杂离子的掺杂浓度均可以为  $10E20cm^{-3} \sim 20E20cm^{-3}$ ，具体地，掺杂浓度均可以为  $10E20cm^{-3}$ 、 $12E20cm^{-3}$ 、 $15E20cm^{-3}$ 、 $18E20cm^{-3}$  或  $20E20cm^{-3}$ ，也可以是其他位于  $10E20cm^{-3} \sim 20E20cm^{-3}$  之间的浓度，不受所列举的实施例限制。阻挡层 30 35 的厚度可以为 0.5nm~1nm；具体地，阻挡层 35 的厚度可以为 0.5nm、0.6nm、

0.8nm 或 1nm，也可以是其他位于 0.5nm~1nm 之间的任意厚度，不受所列举的实施例限制。

在一个实施例中，半导体结构的制备方法还包括：形成第二氧化层 36 及阻挡层 35 之后，于第一氧化层 34 的表面形成导电层 37 的步骤，所得结构如图 12 所示。

具体地，导电层 37 的上表面可以低于栅极沟槽 31 的上表面；导电层 37 的材料可以包括硅、锗硅和钨、钽、钛、钼、铝、铅、钨和金属硅化物中的至少一种。

在一个示例中，于第一氧化层 34 的表面形成导电层 37 可以包括：

于第一氧化层 34 及隔离材料层 2 的表面形成导电材料层；回刻导电材料层，以于栅极沟槽 31 内形成导电层 37，导电层 37 覆盖第一氧化层 34 的底部及部分侧壁。

具体地，回刻导电材料层所采用的刻蚀气体可以包括六氟化硫、氯气、甲烷、氯化硅及氩气中的至少一种。

在一些示例中，于第一氧化层 34 的表面形成导电层 37 之后，还可以包括：于导电层 37 的上表面形成绝缘隔离层，绝缘隔离层填满栅极沟槽的步骤。

具体地，于导电层 37 的上表面形成绝缘隔离层的方法可以包括但不限于原子层沉积法、外延法、化学气相沉积法等。绝缘隔离层可以包括但不限于氮化硅层、碳化硅层和氮氧化硅层中的至少一种。

应该理解的是，虽然上述各实施例的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，各流程图中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本公开还提供了一种半导体结构，如图 11 所示，半导体结构可以包括：基底 1，以及位于基底 1 内的栅极沟槽 31；栅极介质层，栅极介质层包括第一氧化层 34、阻挡层 35 和第二氧化层 36，第二氧化层 36 覆盖栅极沟槽 31 的侧壁及底部，阻挡层 35 覆盖第二氧化层 36 的侧壁，第一氧化层 34 覆盖阻挡层 35

的表面以及覆盖位于栅极沟槽 31 底部的第二氧化层 36 的表面。

上述实施例中的半导体结构中，栅极介质层包括第一氧化层 34、阻挡层 35 和第二氧化层 36，第二氧化层 36 覆盖栅极沟槽 31 的侧壁及底部，阻挡层 35 覆盖第二氧化层 36 的侧壁，第一氧化层 34 覆盖阻挡层 35 的表面以及覆盖位于栅极沟槽 31 底部的第二氧化层 36 的表面，相较于只有一层氧化层的栅极介质层结构，本公开的栅极介质层可以对器件进行更好地保护，降低栅极异常漏电的发生，降低热载流子注入效应，提升器件性能。

在一些示例中，基底 1 可以包括但不限于硅基底、锗基底、硅锗基底、砷化镓基底、氮化镓基底和碳化硅基底中的至少一种；基底 1 可以是硅基底、锗基底、硅锗基底、砷化镓基底、氮化镓基底和碳化硅基底中的任意一种，也可以是其中两种或两种以上组合而成的复合基底。第一氧化层 34 可以包括氧化硅层、氮氧化硅层和碳氧化硅层中的至少一种。第二氧化层 36 可以包括氧化硅层、氮氧化硅层和碳氧化硅层中的至少一种。

在一个实施例中，阻挡层 35 可以包括掺杂多晶硅层。

进一步地，掺杂多晶硅层中的掺杂元素可以包括但不限于磷离子、砷离子或锑离子中的至少一种。阻挡层 35 的掺杂离子可以部分扩散至第一氧化层 34 及第二氧化层 36 中，可以帮助降低栅极结构的漏电风险。

在一个实施例中，阻挡层的掺杂类型为 N 型，阻挡层中掺杂离子的掺杂浓度可以是  $10E20cm^{-3}$ ~ $20E20cm^{-3}$ ，示例性的，掺杂浓度均可以为  $10E20cm^{-3}$ 、 $12E20cm^{-3}$ 、 $15E20cm^{-3}$ 、 $18E20cm^{-3}$  或  $20E20cm^{-3}$ ，也可以是其他位于  $10E20cm^{-3}$ ~ $20E20cm^{-3}$  之间的浓度，不受所列举的实施例限制。

在一个实施例中，阻挡层 35 的厚度可以为 0.5nm~1nm。

具体地，阻挡层 35 的厚度可以为 0.5nm、0.6nm、0.8nm 或 1nm，也可以是其他位于 0.5nm~1nm 之间的任意厚度，不受所列举的实施例限制。

在一个实施例中，位于栅极沟槽 31 底部侧壁的第一氧化层 34 的厚度可以小于位于栅极沟槽 31 顶部侧壁的第一氧化层 34 的厚度。

在一个实施例中，如图 12 所示，半导体结构还可以包括位于栅极沟槽中的导电层 37，导电层 37 覆盖第一氧化层 34 的表面。

具体地，导电层 37 的上表面可以低于栅极沟槽 31 的上表面；导电层 37 的材料可以包括硅、锗和钨、钼、钛、钽、铝、铅、钨和金属硅化物中的至少

一种。

在一个实施例中，参阅图 3，基底 1 还包括浅沟槽隔离结构 11，浅沟槽隔离结构 11 于基底 1 内隔离出多个间隔排布的有源区 12。

具体地，浅沟槽隔离结构 11 可以是浅沟槽内填充有沟槽介质层的结构；沟槽介质层可以是二氧化硅层。

在一些示例中，有源区 12 内形成有阱区，阱区内注入有第一离子；阱区内形成有轻掺杂区，轻掺杂区内注入有第二离子。

具体地，若第一离子为 N 型离子，则第二离子为 P 型离子；若第一离子为 P 型离子，则第二离子为 N 型离子；N 型离子可以包括磷离子、砷离子或锑离子中的至少一种；P 型离子可以包括硼离子、镓离子或铟离子中的至少一种。

其中，轻掺杂区的深度小于阱区的深度，即以阱区的上表面与轻掺杂区的上表面相平齐为例，阱区的底部低于轻掺杂区的底部。其中，轻掺杂区可以包括源区及漏区。

在一个实施例中，参阅图 4，半导体结构还包括隔离材料层 2，隔离材料层 2 位于基底 1 的上表面。

具体地，隔离材料层 2 可以与浅沟槽隔离结构 11 内的沟槽介质层为相同材料层；示例性地，隔离材料层 2 可以是二氧化硅层。

在一个实施例中，半导体结构还包括绝缘隔离层（图未示出），绝缘隔离层位于导电层 37 的上表面。

具体地，绝缘隔离层可以包括但不限于氮化硅层、碳化硅层和氮氧化硅层中的至少一种。

本公开的半导体结构可应用于各种半导体元器件中，如用在动态随机存取存储器(dynamic random access memory, DRAM)中，本公开的半导体结构的栅极介质层可以对动态随机存取存储器进行更好地保护，降低栅极异常漏电的发生，降低热载流子注入效应，提升器件稳定性。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的

普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

## 权利要求书

1. 一种半导体结构，包括：  
基底，以及位于所述基底内的栅极沟槽；  
栅极介质层，所述栅极介质层包括第一氧化层、阻挡层和第二氧化层，所述第二氧化层覆盖所述栅极沟槽的侧壁及底部，所述阻挡层覆盖所述第二氧化层的侧壁，所述第一氧化层覆盖所述阻挡层的表面以及覆盖位于所述栅极沟槽底部的所述第二氧化层的表面。
2. 根据权利要求 1 所述的半导体结构，其中，位于所述栅极沟槽底部侧壁的所述第二氧化层的厚度，小于位于所述栅极沟槽顶部侧壁的第二氧化层的厚度。
3. 根据权利要求 1 所述的半导体结构，其中，所述阻挡层包括掺杂多晶硅层。
4. 根据权利要求 1 所述的半导体结构，其中，所述阻挡层的厚度为 0.5nm~1nm。
5. 根据权利要求 1 所述的半导体结构，其中，所述阻挡层的掺杂类型为 N 型，所述阻挡层中掺杂离子的掺杂浓度为  $10E20\text{ cm}^{-3}$ ~ $20E20\text{ cm}^{-3}$ 。
6. 根据权利要求 1 所述的半导体结构，其中，所述半导体结构还包括位于所述栅极沟槽中的导电层，所述导电层覆盖所述第一氧化层的表面。
7. 根据权利要求 1 至 6 中任一项所述的半导体结构，其中，所述基底还包括浅沟槽隔离结构，所述浅沟槽隔离结构于所述基底内隔离出多个间隔排布的有源区。
8. 一种半导体结构的制备方法，包括：  
提供基底；  
于所述基底内形成栅极沟槽；  
于所述栅极沟槽的侧壁形成初始阻挡层；  
于所述初始阻挡层的表面及所述栅极沟槽的底部形成第一氧化层；  
对所述初始阻挡层及所述基底进行热氧化处理，以形成覆盖所述栅极沟槽的侧壁及底部的第二氧化层及覆盖所述第二氧化层的侧壁的阻挡层。
9. 根据权利要求 8 所述的半导体结构的制备方法，其中，于所述栅极沟槽的侧壁形成所述初始阻挡层，包括：

于所述栅极沟槽的侧壁、所述栅极沟槽的底部及所述基底上形成阻挡材料层；去除位于所述栅极沟槽底部及位于所述基底上的所述阻挡材料层，保留位于所述栅极沟槽侧壁的所述阻挡材料层，形成所述初始阻挡层。

10. 根据权利要求 9 所述的半导体结构的制备方法，其中，采用低台阶覆盖工艺于所述栅极沟槽的侧壁、所述栅极沟槽的底部及所述基底上沉积掺杂多晶硅层，形成所述阻挡材料层。

11. 根据权利要求 9 所述的半导体结构的制备方法，其中，所述阻挡材料层的厚度为 2 nm~8 nm，所述初始阻挡层的厚度为 1 nm~3 nm，所述阻挡层的厚度为 0.5 nm~1 nm。

12. 根据权利要求 10 所述的半导体结构的制备方法，其中，所述阻挡层中掺杂离子的掺杂浓度为  $10E20\text{ cm}^{-3}$ ~ $20E20\text{ cm}^{-3}$ 。

13. 根据权利要求 8 所述的半导体结构的制备方法，其中，所述对所述初始阻挡层及所述基底进行热氧化处理包括：采用原位水汽生成工艺氧化部分所述初始阻挡层以及被所述初始阻挡层覆盖的部分所述基底。

14. 根据权利要求 8 所述的半导体结构的制备方法，其中，所述方法还包括：形成所述第二氧化层及所述阻挡层之后，于所述第一氧化层的表面形成导电层。

15. 根据权利要求 8 至 14 中任一项所述的半导体结构的制备方法，其中，所述提供基底之后，所述于所述基底内形成栅极沟槽之前，还包括：于所述基底内形成浅沟槽隔离结构，所述浅沟槽隔离结构于所述基底内隔离出多个间隔排布的有源区。

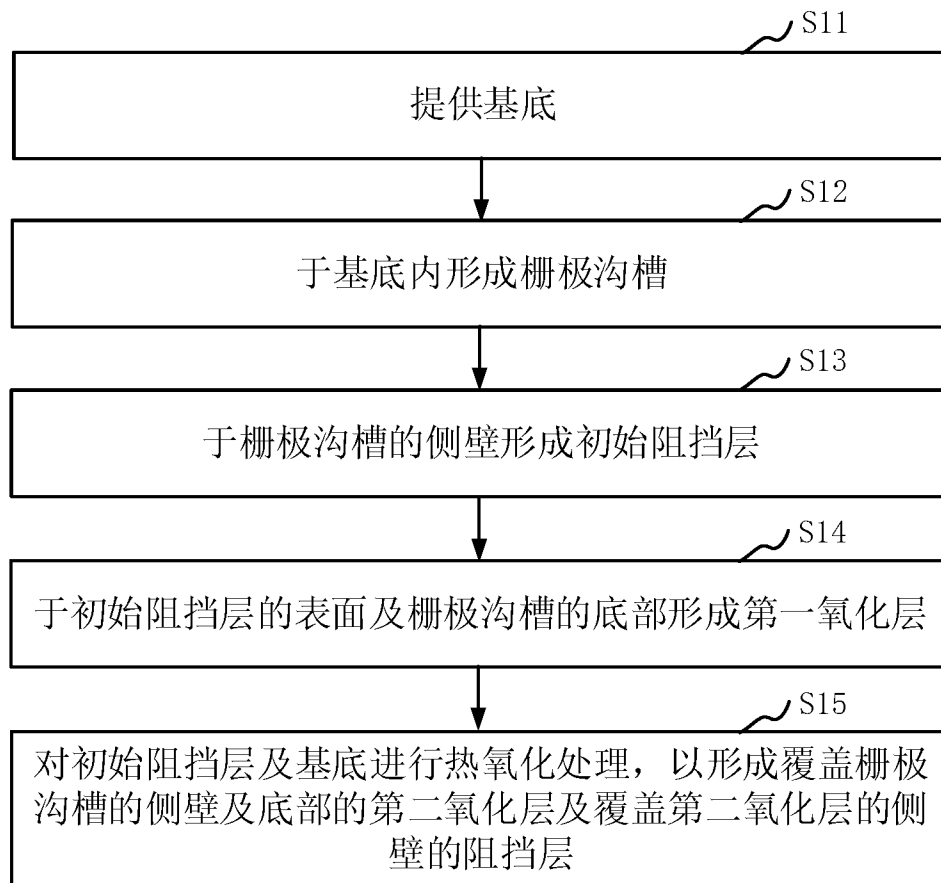


图 1

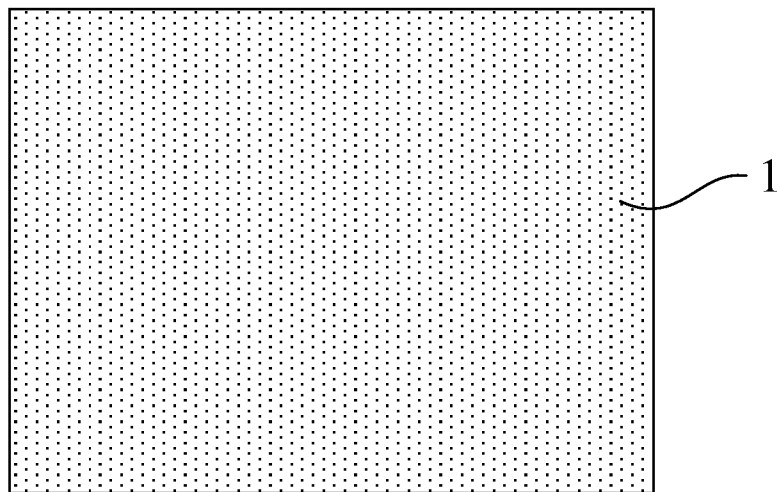


图 2

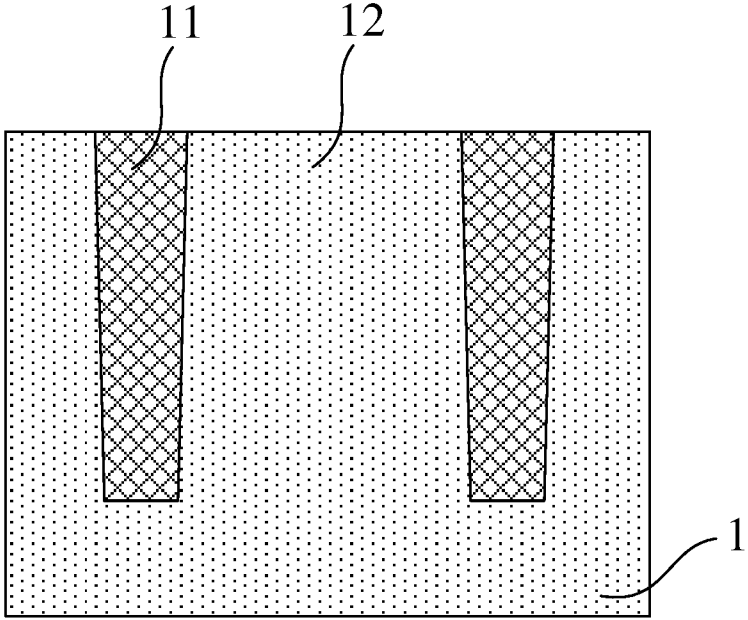


图 3

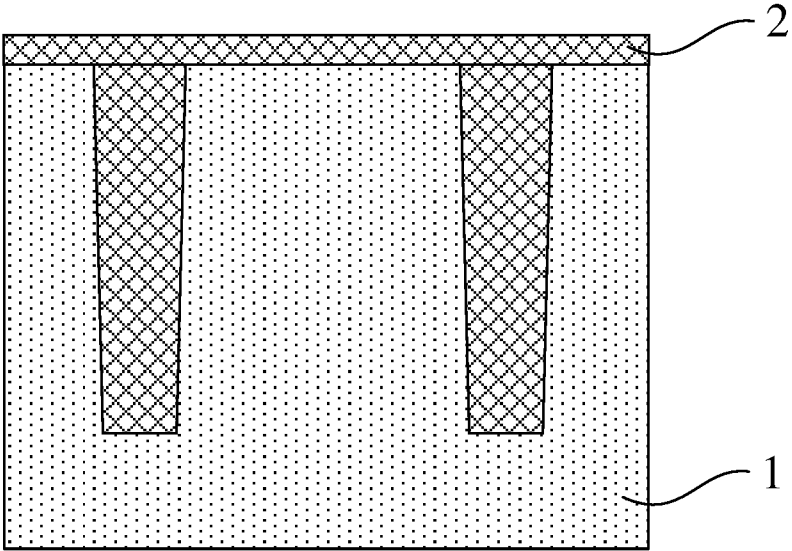


图 4

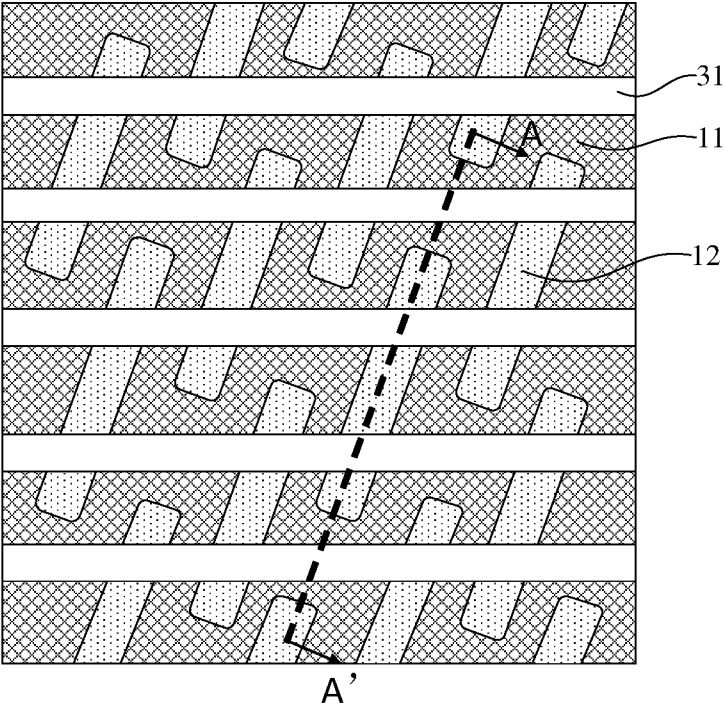


图 5

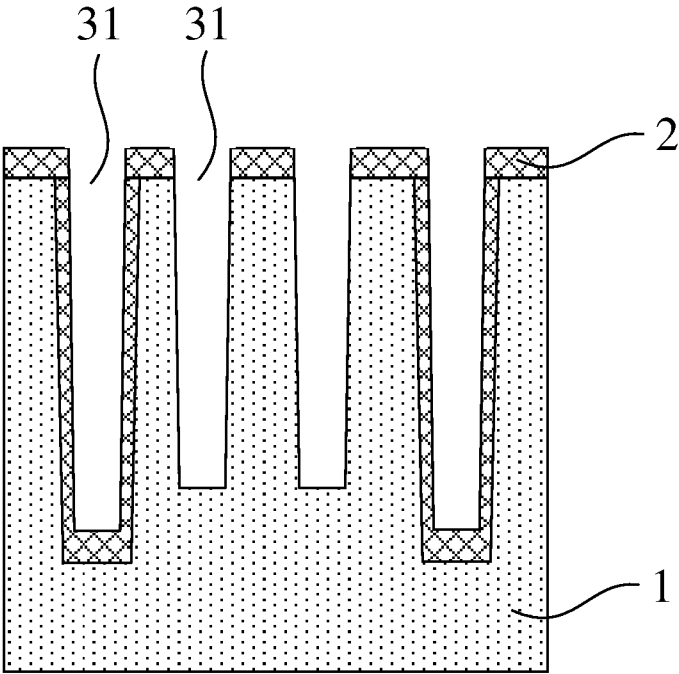


图 6

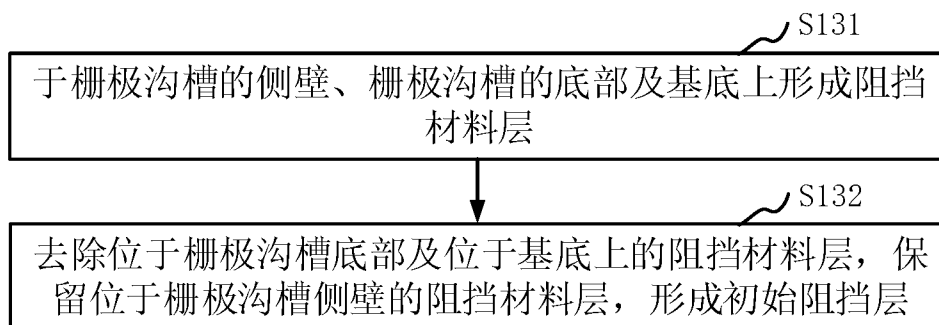


图 7

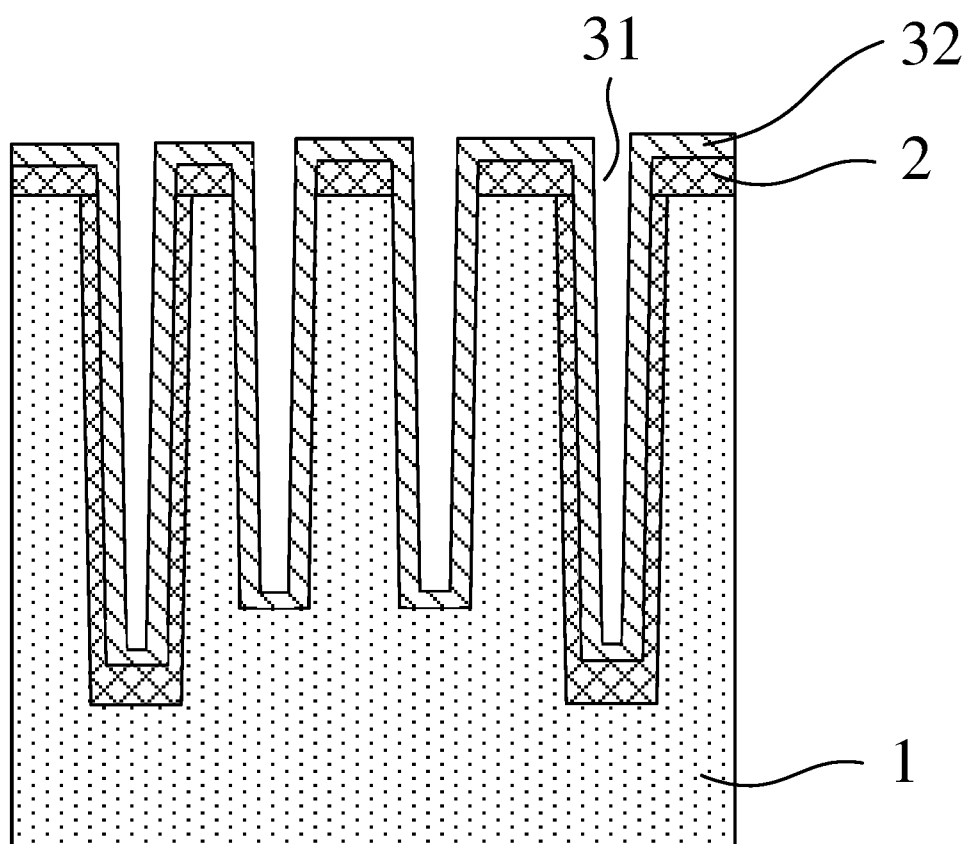


图 8

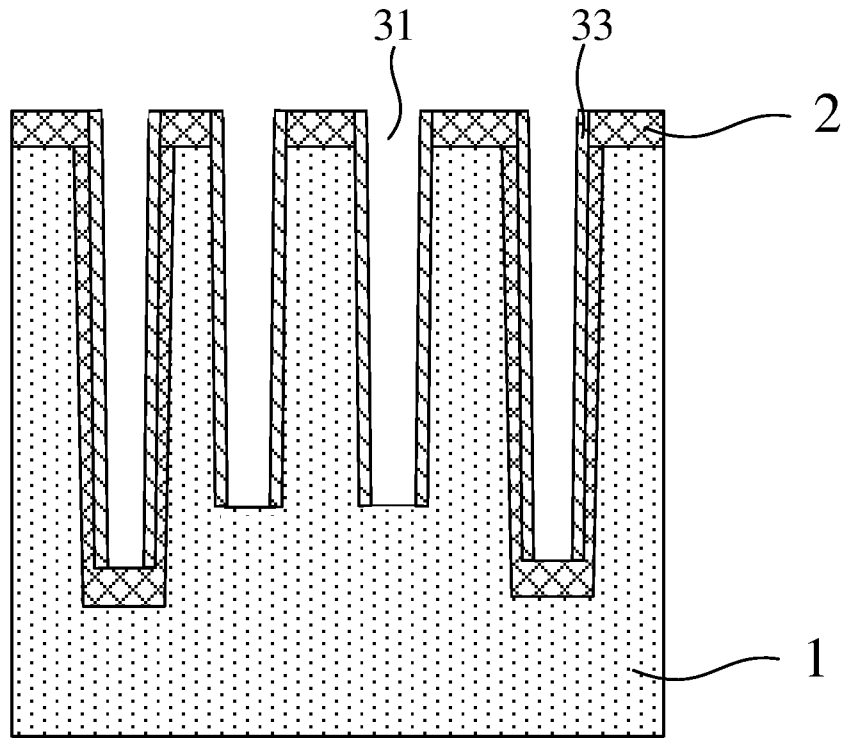


图 9

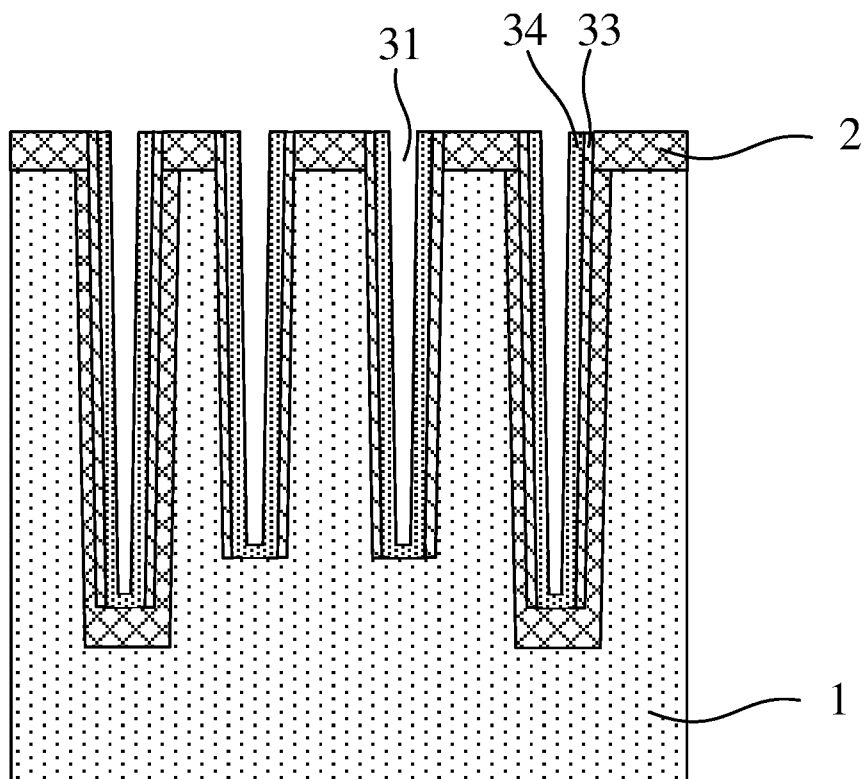


图 10

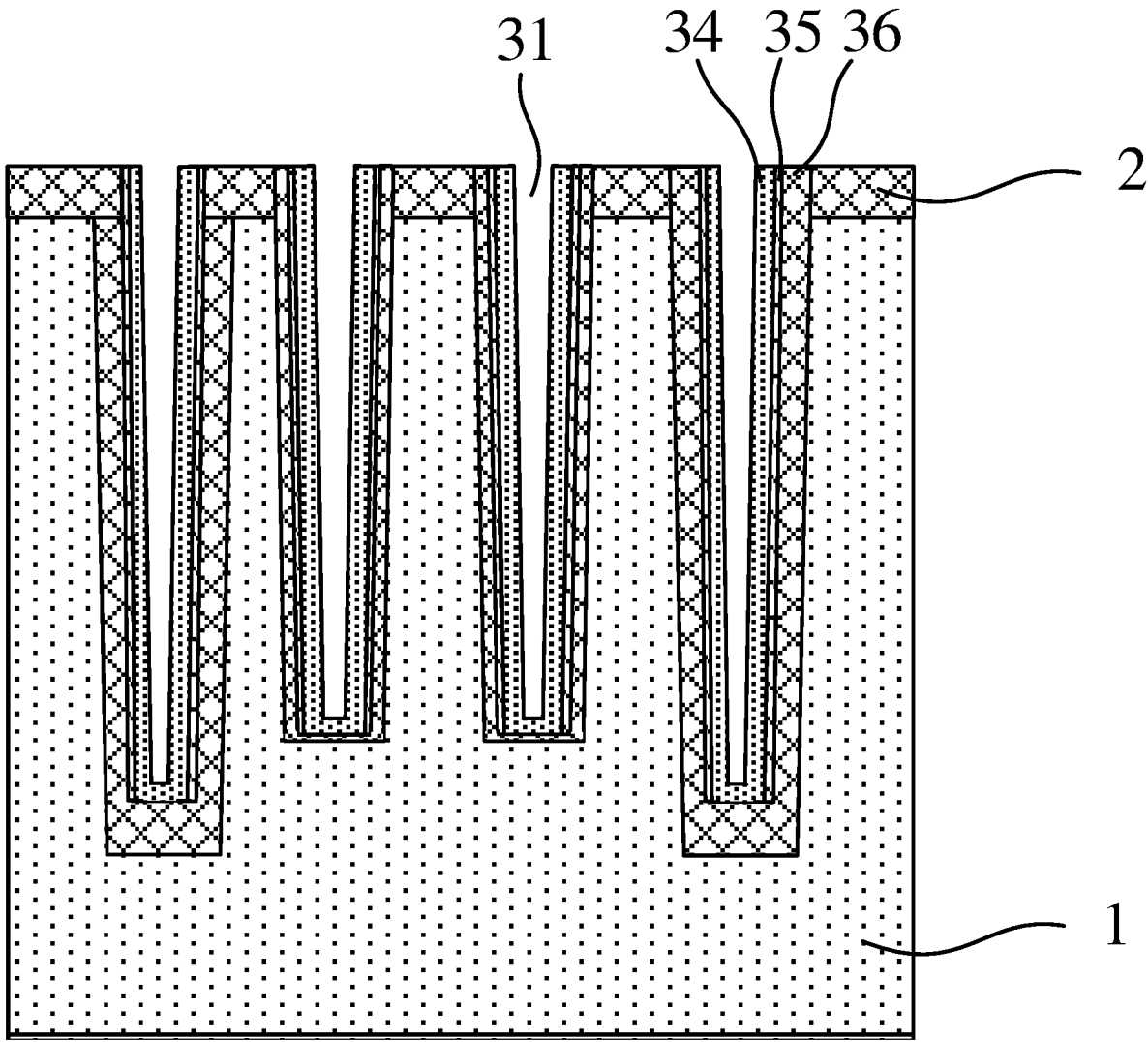


图 11

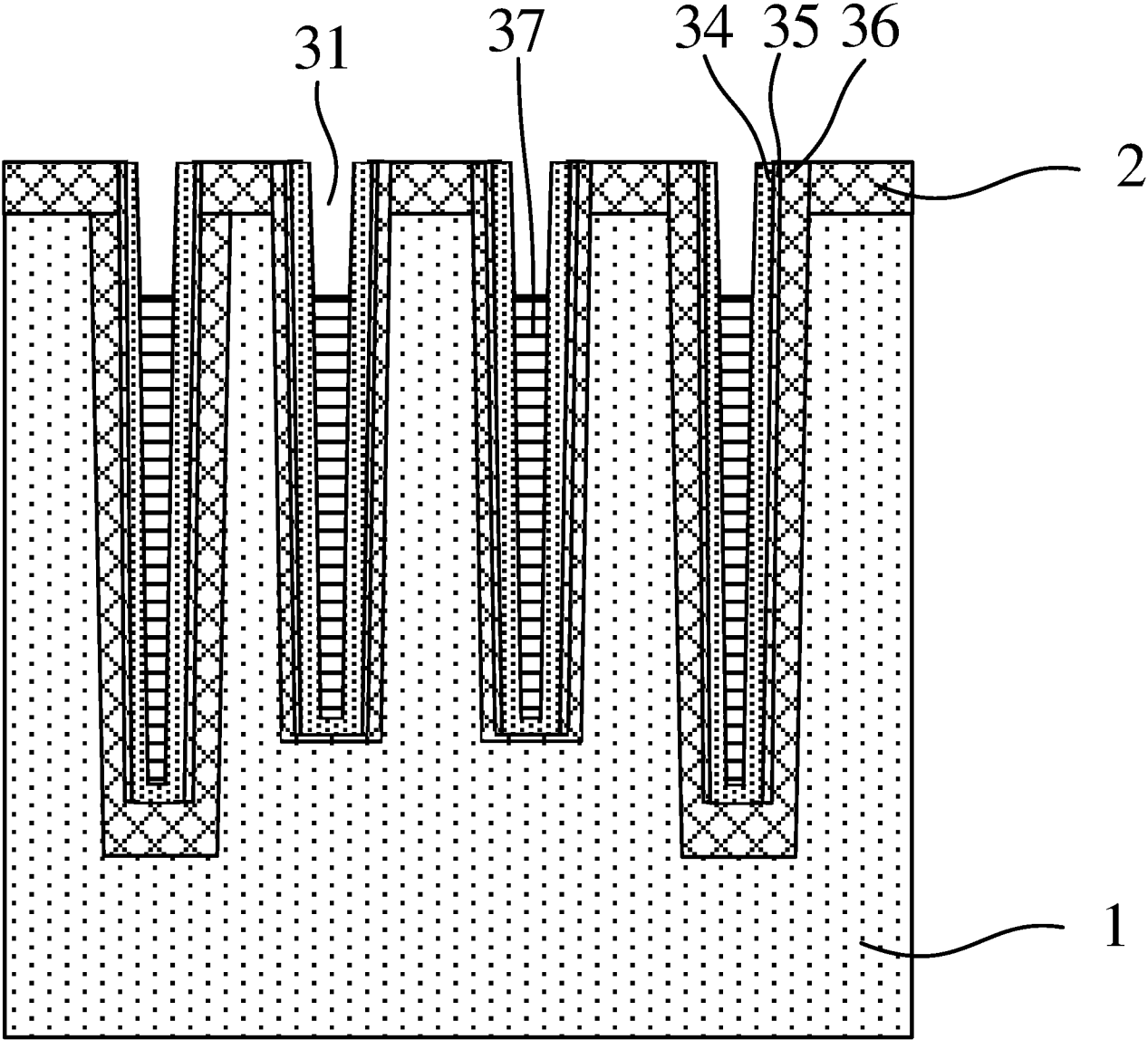


图 12

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/123931

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, ENTXT, USTXT, VEN, CNKI: 漏电, 栅, 沟槽, 介质层, 氧化层, 阻挡, 侧壁, 厚度, leakage, current, GIDL, gate, trench, oxidation, barrier, sidewall, thick+

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                               | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | CN 111063722 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 24 April 2020 (2020-04-24)<br>description, paragraphs [0058]-[0096], and figures 1-10        | 1-15                  |
| Y         | CN 114156236 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 08 March 2022 (2022-03-08)<br>description, paragraphs [0090]-[0171], and figures 1-28 | 1-15                  |
| A         | CN 102163576 A (SHANGHAI GRACE SEMICONDUCTOR MANUFACTURING CORP.) 24 August 2011 (2011-08-24)<br>entire document                                 | 1-15                  |
| A         | CN 103928326 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 16 July 2014 (2014-07-16)<br>entire document                     | 1-15                  |
| A         | CN 114141714 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 March 2022 (2022-03-04)<br>entire document                                                | 1-15                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 March 2023

Date of mailing of the international search report

22 March 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,  
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/123931

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                           | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | US 2017236836 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 17 August 2017 (2017-08-17)<br>entire document | 1-15                  |
| <hr/>     |                                                                                                                              |                       |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2022/123931**

| Patent document<br>cited in search report |            |    | Publication date<br>(day/month/year) | Patent family member(s) |            |    | Publication date<br>(day/month/year) |
|-------------------------------------------|------------|----|--------------------------------------|-------------------------|------------|----|--------------------------------------|
| CN                                        | 111063722  | A  | 24 April 2020                        | None                    |            |    |                                      |
| CN                                        | 114156236  | A  | 08 March 2022                        | None                    |            |    |                                      |
| CN                                        | 102163576  | A  | 24 August 2011                       | CN                      | 102163576  | B  | 04 February 2015                     |
| CN                                        | 103928326  | A  | 16 July 2014                         | CN                      | 103928326  | B  | 13 June 2017                         |
| CN                                        | 114141714  | A  | 04 March 2022                        | None                    |            |    |                                      |
| US                                        | 2017236836 | A1 | 17 August 2017                       | WO                      | 2016023260 | A1 | 18 February 2016                     |
|                                           |            |    |                                      | US                      | 10475807   | B2 | 12 November 2019                     |
|                                           |            |    |                                      | CN                      | 104157654  | A  | 19 November 2014                     |
|                                           |            |    |                                      | CN                      | 104157654  | B  | 06 June 2017                         |

## 国际检索报告

国际申请号

PCT/CN2022/123931

## A. 主题的分类

H01L29/06 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, ENTXT, USTXT, VEN, CNKI: 漏电, 栅, 沟槽, 介质层, 氧化层, 阻挡, 侧壁, 厚度, leakage, current, GIDL, gate, trench, oxidation, barrier, sidewall, thick+

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                                               | 相关的权利要求 |
|------|-----------------------------------------------------------------------------------------------------------------|---------|
| Y    | CN 111063722 A (长鑫存储技术有限公司) 2020年4月24日 (2020 - 04 - 24)<br>说明书第[0058]-[0096]段、附图1-10                            | 1-15    |
| Y    | CN 114156236 A (长鑫存储技术有限公司 等) 2022年3月8日 (2022 - 03 - 08)<br>说明书第[0090]-[0171]段、附图1-28                           | 1-15    |
| A    | CN 102163576 A (上海宏力半导体制造有限公司) 2011年8月24日 (2011 - 08 - 24)<br>全文                                                | 1-15    |
| A    | CN 103928326 A (中芯国际集成电路制造 (上海) 有限公司) 2014年7月16日 (2014 - 07 - 16)<br>全文                                         | 1-15    |
| A    | CN 114141714 A (长鑫存储技术有限公司) 2022年3月4日 (2022 - 03 - 04)<br>全文                                                    | 1-15    |
| A    | US 2017236836 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 2017年8月17日 (2017 - 08 - 17)<br>全文 | 1-15    |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2023年3月15日

国际检索报告邮寄日期

2023年3月22日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

王雪婷

电话号码 (+86) 010-53961207

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2022/123931

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |            |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|------------|----|----------------|
| CN          | 111063722  | A  | 2020年4月24日     | 无    |            |    |                |
| CN          | 114156236  | A  | 2022年3月8日      | 无    |            |    |                |
| CN          | 102163576  | A  | 2011年8月24日     | CN   | 102163576  | B  | 2015年2月4日      |
| CN          | 103928326  | A  | 2014年7月16日     | CN   | 103928326  | B  | 2017年6月13日     |
| CN          | 114141714  | A  | 2022年3月4日      | 无    |            |    |                |
| US          | 2017236836 | A1 | 2017年8月17日     | WO   | 2016023260 | A1 | 2016年2月18日     |
|             |            |    |                | US   | 10475807   | B2 | 2019年11月12日    |
|             |            |    |                | CN   | 104157654  | A  | 2014年11月19日    |
|             |            |    |                | CN   | 104157654  | B  | 2017年6月6日      |