



(12) 发明专利

(10) 授权公告号 CN 101169970 B

(45) 授权公告日 2010.06.02

(21) 申请号 200710154768.4

CN 1714461 A, 2005.12.28, 全文.

(22) 申请日 2007.09.19

WO 00/79539 A1, 2000.12.28, 全文.

(30) 优先权数据

审查员 齐慧峰

11/552,464 2006.10.24 US

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 何家骅 赖二琨 谢光宇

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 葛宝成 黄小临

(51) Int. Cl.

G11C 11/56 (2006.01)

H01L 45/00 (2006.01)

(56) 对比文件

US 2006/0145135 A1, 2006.07.06, 全文.

CN 1536688 A, 2004.10.13, 全文.

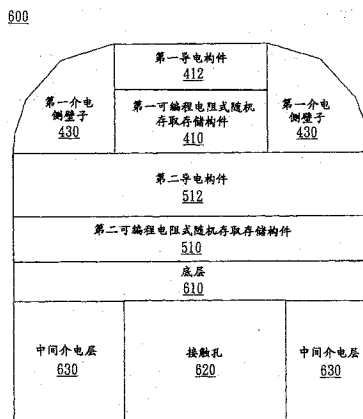
权利要求书 3 页 说明书 23 页 附图 18 页

(54) 发明名称

双稳态电阻式随机存取存储器的操作方法

(57) 摘要

用以揭露操作一双稳态电阻式随机存取存储器具有二个存储层堆栈串联的方法。此双稳态电阻式随机存取存储器在每一存储单元中包含每一存储单元有两个存储层堆栈,该双稳态电阻式随机存取存储器以四种逻辑状态操作,包括逻辑状态「00」、「01」、「10」和「11」。四个不同逻辑状态下的相互关系可以两变量 n 及 f 以及一电阻 R 以数学式子表示。以数学式表示逻辑状态「0」为 $(1+f)R$ 。以数学式表示逻辑状态「1」为 $(n+f)R$ 。以数学式表示逻辑状态「2」为 $(1+nf)R$ 。以数学式表示逻辑状态「3」为 $n(1+f)R$ 。



1. 一种操作一电阻式随机存取存储器装置的方法,该电阻式随机存取存储器装置具有第一导电构件,位于一第一可编程电阻式随机存取存储器构件上,该第一可编程电阻式随机存取存储器构件位于一第二导电构件上,该第二导电构件则位于第二可编程电阻式随机存取存储器构件上,一介电侧壁子沉积于该第一导电构件以及该第一可编程电阻式随机存取存储器构件两侧以及在该第二导电构件的上表面,该第二可编程电阻式随机存取存储器构件的面积为该介电侧壁子的厚度 f 的函数,该方法至少包含:

该第一可编程电阻式随机存取存储器构件与该第二可编程电阻式随机存取存储器构件以串联连接,该第一可编程电阻式随机存取存储器构件具有一表示一第一电阻值的面积,该第二可编程电阻式随机存取存储器构件具有一表示一第二电阻值 R 的面积,该第二可编程电阻式随机存取存储器构件的面积大于该第一可编程电阻式随机存取存储器构件的面积,该电阻式随机存取存储器装置具有第一逻辑状态,即“00”状态、第二逻辑状态,即“01”状态、第三逻辑状态,即“10”状态及第四逻辑状态,即“11”状态;以及

改变该电阻式随机存取存储器装置的逻辑状态至另一逻辑状态,该逻辑状态是该第一及该第二可编程电阻式随机存取存储器构件的材料系数 n 及该介电侧壁子的厚度 f 的函数,其中,该第一逻辑状态依据数学式 $(1+f)R$ 操作,该第二逻辑状态依据数学式 $(n+f)R$ 操作,该第三逻辑状态依据数学式 $(1+nf)R$ 操作,该第四逻辑状态依据数学式 $n(1+f)R$ 操作。

2. 如权利要求 1 所述的方法,更包括:

连接第一位线电压 V_{b1} 至该第一导电构件的一顶面;

连接第二位线电压 V_{b2} 至该第二可编程电阻式随机存取存储器构件的底面;

产生第一电阻式随机存取存储器电压 V_{1RRAM} 于该第一导电构件及该第一可编程电阻式随机存取存储器构件之间;以及

产生一第二电阻式随机存取存储器电压 V_{2RRAM} 于该第一可编程电阻式随机存取存储器构件及该第二可编程电阻式随机存取存储器构件之间。

3. 如权利要求 2 所述的方法,其中,该第一及第二可编程电阻式随机存取存储器构件在一重置状态。

4. 如权利要求 2 所述的方法,其中,该存储器装置从该第一逻辑状态经由过渡状态至该第二逻辑状态,如此从该第一逻辑状态改变至该过渡状态时,设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} ,该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} ,该第一电阻式随机存取存储器电压 V_{1RRAM} 大于该设定电压 V_{SET} ,以及从该过渡状态改变至该第二逻辑状态时,设定该第二位线电压 V_{b2} 减去该第一位线电压 V_{b1} 之值等于一低电压 V_{low} 的负值,该低电压 V_{low} 的负值小于零,该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值小于一重置电压 V_{RESET} 的绝对值,且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} 的绝对值。

5. 如权利要求 2 所述的方法,其中,该存储器装置藉由设定该第二位线电压 V_{b2} 减去该第一位线电压 V_{b1} 之值等于一低电压 V_{low} ,该第二电阻式随机存取存储器电压 V_{2RRAM} 小于一设定电压 V_{SET} ,该第一电阻式随机存取存储器电压 V_{1RRAM} 大于该设定电压 V_{SET} ,使得该第一逻辑状态改变至该第三逻辑状态。

6. 如权利要求 2 所述的方法,其中,该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} ,该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一

设定电压 V_{SET} , 该第一电阻式随机存取存储器电压 V_{1RRAM} 大于该设定电压 V_{SET} , 使得该第一逻辑状态改变至该第四逻辑状态。

7. 如权利要求 2 所述的方法, 其中, 该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} , 且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} , 使得该第二逻辑状态改变至该第一逻辑状态。

8. 如权利要求 2 所述的方法, 其中, 该存储器装置从该第二逻辑状态经由过渡状态至该第三逻辑状态, 如此从该第一逻辑状态改变至该过渡状态时, 设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} , 该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} , 以及从该过渡状态改变至第三逻辑状态时, 设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一低电压 V_{low} , 该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} , 该第一电阻式随机存取存储器电压 V_{1RRAM} 小于该设定电压 V_{SET} 。

9. 如权利要求 2 所述的方法, 其中, 该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} , 该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} , 该第一电阻式随机存取存储器电压 V_{1RRAM} 大于该设定电压 V_{SET} , 使得该存储器装置从该第二逻辑状态改变至该第四逻辑状态。

10. 如权利要求 2 所述的方法, 其中, 该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} , 且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} , 使得该存储器装置从该第三逻辑状态改变至该第一逻辑状态。

11. 如权利要求 2 所述的方法, 其中, 该存储器装置从该第三逻辑状态经由过渡状态改变至该第二逻辑状态, 如此从该第三逻辑状态改变至该过渡状态时, 设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} , 该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} , 且该第一电阻式随机存取存储器电压 V_{1RRAM} 大于该设定电压 V_{SET} , 以及从该第三逻辑状态改变至该第二逻辑状态时, 设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一低电压 V_{low} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} 的绝对值, 且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} 的绝对值。

12. 如权利要求 2 所述的方法, 其中, 该存储器装置从该第三逻辑状态至该第四逻辑状态时, 该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} , 该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} , 且该第一电阻式随机存取存储器电压 V_{1RRAM} 小于该设定电压 V_{SET} 。

13. 如权利要求 2 所述的方法, 其中, 该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} , 且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} , 使得该存储器装置从该第四逻辑状态改变至该第一逻辑状态。

14. 如权利要求 2 所述的方法, 其中, 该存储器装置藉由设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一低电压 V_{low} 的负值, 该第二电阻式随机存取存储器电压 V_{2RRAM}

的绝对值大于一重置电压 V_{RESET} 的绝对值,且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值小于该重置电压 V_{RESET} 的绝对值,使得该存储器装置从该第四逻辑状态改变至该第二逻辑状态。

15. 如权利要求 2 所述的方法,其中,该存储器装置从该第四逻辑状态经由过渡状态改变至该第一逻辑状态,如此从该第四逻辑状态改变至该过渡状态时,设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一高电压 V_{high} 的负值,该第二电阻式随机存取存储器电压 V_{2RRAM} 的绝对值大于一重置电压 V_{RESET} ,且该第一电阻式随机存取存储器电压 V_{1RRAM} 的绝对值大于该重置电压 V_{RESET} ,以及从该过渡状态改变至该第四逻辑状态时,设定该第一位线电压 V_{b1} 减去该第二位线电压 V_{b2} 之值等于一低电压 V_{low} ,该第二电阻式随机存取存储器电压 V_{2RRAM} 大于一设定电压 V_{SET} ,且该第一电阻式随机存取存储器电压 V_{1RRAM} 小于该设定电压 V_{SET} 。

双稳态电阻式随机存取存储器的操作方法

技术领域

[0001] 本发明涉及一种基于可编程电阻式存储器材料的高密度存储器装置,包含金属氧化基材及其它材料,以及此装置制造的方法。

背景技术

[0002] 读/写光盘广泛使用相变化为主的存储器材料。而此材料至少含有两种固体相,举例来说包含一般的非晶质固体相及一般的晶质固定相。激光脉冲可使读/写光盘的在相位的切换以及在相位改变之后读取的光学特性的材料。

[0003] 相变化基本存储器材料,如硫属化物基本素材及相似的材料,可藉由应用适合电流电平施加于集成电路使得相位改变。一般非晶质状态较一般晶质固定相具有高电阻系数的特征,而可立即地去感应及指出数据。因这些特性而产生了使用可编程电阻的材料来形成非挥发性电路的兴趣,可以随机存取来读取与写入。

[0004] 一般是以一低电流操作而使非晶质状态改变至晶质状态。从晶质改变至非晶质,在此处被称为重置(reset),一般是以一高电流来操作,其包含了一瞬时高密度电流脉冲来熔化或打断晶质结构,而其相变化材料经冷却相变化程序可快速冷却,且至少有一部份相变化结构以非晶质状态稳定。想要将引起相变化材料从晶质状态变成非晶质状态的重置电流强度减至最低。减少重置动作所需的重置电流强度可藉由减少相变化材料及电极的尺寸以及相变化材料与电极之间的接触面积来达成,通过相变化材料而以小绝对电流值达至更高的电流密度。

[0005] 一种发展方向是在集成电路里形成小孔洞,以及使用小量的可编程电阻式材料来填补此小孔洞。而指出朝向小孔洞发展的专利包含:Ovshinsky 于 1997 年 11 月 11 日发表的美国专利案号 No. 5,687,112 “具有尖细接触点的多位单存储单元存储元件(Multibit Single Cell Memory Element Having Tapered Contact);Zahorik 等人于 1998 年 8 月 4 日发表的美国专利案号 No. 5,789,277 “硫化合物存储器装置制造的方法(Method of Making Chalcogenide[sic] Memory Device”;Doan 等人于 2000 年 11 月 21 日发表的美国专利案号 No. 6,150,253”可控制的双向相变化半导体存储器装置及制造方法(Controllable Ovonic Phase-Change Semiconductor Memory Device and Methods of Fabricating the Same)”。

[0006] 制造此种装置所产生的问题例如装置需要非常小的尺寸,以及要符合大尺寸存储器装置严谨的规格需要改变制程。如同追寻更大的记体容量,需要相变化存储器的每一存储层储存多位。

发明内容

[0007] 一双稳态随机存取存储器描述中包含多个可编程电阻式随机存取存储单元,此处每一个可编程电阻式随机存取存储器单元具有多层的存储层堆栈。每一存储层堆栈包含一导电层覆于一可编程电阻式随机存取存储层。根据本发明的第一方面,一第一存储层堆栈

覆盖一第二存储层堆栈,以及第二存储层堆栈覆盖一第三存储层堆栈。此第一存储层堆栈包含一第一导电层覆盖于一第一可编程电阻式随机存储层。此第二存储层堆栈包含一第二导电层覆盖于第二可编程电阻式随机存取存储层。第三存储层堆栈包含一第三导电层覆盖于一第三可编程电阻式随机存储层。此第三可编程电阻式随机存取存储层具有一存储面积且大于第二可编程随机存取存储层的存储面积。此第二可编程随机存取存储层具有一存储面积且大于此第一可编程随机存取存储层的存储面积。

[0008] 每一可编程电阻式随机存取存储层具有多阶的存储状态,例如:第一位用以储存第一状态及第二位用以储存第二状态。第一存储堆栈与第二存储堆栈串连,且第二存储堆栈与第三存储堆栈串联。存储单元具有三个存储堆栈而提供八个逻辑状态 (2^k),此处的 k 代表存储层或存储堆栈的数量。举例来说,存储堆栈的数量可减少为每一存储单元里两个存储堆栈,或增加为每一存储单元里为四个存储器堆栈,端看存储器的设计。

[0009] 做为第一可编程电阻式机存储层、第二可编程电阻式随机存储层或第三可编程电阻式随机存储层的适当材料,可包括但不限于金属氧化物、巨磁阻材料 (Colossal magnetoresistance, CMR)、三元氧化物 (three-elementoxide)、相变化材料以及高分子材料。电阻式随机存取存储器 (RRAM) 用于第一可编程电阻式随机存取存储层与第二可编程电阻式随机存取存储层的材料可相同或不同。电阻式随机存取存储器 (RRAM) 用于第三可编程电阻式随机存取存储层与第一可编程电阻式随机存取存储层的材料可相同或不同。电阻式随机存取存储器 (RRAM) 用于第三可编程电阻式随机存取存储层与第二可编程电阻式随机存取存储层的材料可相同或不同。而在第一、第二及第三可编程电阻式随机存取存储器之间的厚度例如为大约 1 纳米 (nm) 至 200 纳米 (nm)。

[0010] 广泛来说,存储器装置包含第一导电构件覆盖于第一可编程电阻式随机存取存储器构件,第一可编程电阻式随机存取存储器构件具有表示第一电阻值的面积,第一导电构件及第一可编程电阻式随机存取存储器具有侧边;以及一第二导电构件覆盖于第二可编程电阻式随机存取存储器构件,第一可编程电阻式随机存取存储器构件覆盖于第二导电构件,第一可编程电阻式随机存取存储器构件与第二可编程电阻式随机存取存储器构件串联,且第二可编程电阻式随机存取存储器具表示一第二电阻值的面积,而第二可编程随机存取存储器构件的面积大于第一可编程随机存取存储器构件的面积。

[0011] 在此描述制造一双稳态电阻式随机存取存储器且具有多重存储层堆栈的方法。第一存储层堆栈,包含第一导电层覆盖于第一可编程电阻式随机存取存储器材料上,以及第二存储层堆栈包含了第二导电层覆盖于第二可编程电阻式随机存取存储层,而第一存储层堆栈是堆积在第二存储层堆栈上。屏蔽 (mask) 以干式或湿式蚀刻化学设置在部分第一导电层上。此第一导电层及第一可编程电阻式随机存取存储层的左侧及右侧蚀刻至第二导电层的顶面,由此产生第一导电构件以及第一可编程电阻式随机存取存储器构件。介电侧壁子设置在第一导电构件及第一可编程电阻式随机存取存储器构件的左右两侧。

[0012] 此介电侧壁子的厚度影响第二导电构件及第二可编程电阻式随机存取存储器构件两者的面积尺寸。举例来说,如假设屏蔽的临界尺寸 (criticaldimension, CD) 大约为 0.15 微米 (μm),而介电侧壁子的厚度大约可选择为 31 纳米 (nm),即代表第二可编程电阻式随机存取存储器构件的面积大约为第一可编程电阻式随机存取存储器构件的面积二倍。此面积与电阻值成反比,而以一数学关系式 $R = \rho (l/A)$ 表示,此处 l 代表可编程电

阻式随机存取存储器构件的长度,以及 A 代表可编程电阻式随机存取存储器构件的面积。在这个例子中,第二可编程电阻式随机存取存储器构件的电阻大约为第一可编程电阻式随机存取存储器构件的电阻的二分之一。界于第一及第二可编程电阻式随机存取存储器构件间理想的电阻差值是取决于此可编程电阻式随机存取存储器构件的 SET/RESET 电阻窗(resistance window)(其以一状态至另一状态的电阻比值来定义)。将第二导电层及第二可编程电阻式随机存取存储器层的左右两侧蚀刻,产生一第二导电构件以及一第二可编程电阻式随机存取存储器构件。对第二导电层及第二可编程电阻式随机存取存储器层的左右两侧蚀刻至下一层或穿过下一层为止。而一接触孔(via plug)则置于下一层的下方。

[0013] 根据本发明的第二方面,揭露一用以操作串联排列的二个存储层堆栈的电阻式随机存取存储器。此第一存储器堆栈包含一第一导电层覆盖在一第一可编程电阻式随机存取存储层上,以及第二存储层堆栈包含一第二导电层覆盖于第二可编程电阻式随机存取存储层上。一第一位线电压 V_{b1} 与第一导电层的顶面连接以及一第二位线电压 V_{b2} 与第二可编程电阻式随机存取存储器的底面连接。一可编程电阻式随机存取电压 V_{1RRAM} 具有一第一端与第一导电构件连接以及一第二端与第一可编程电阻式随机存取存储层构件连接。第二可编程电阻式随机存取电压 V_{2RRAM} 一般以一第一端与第一可编程电阻式随机存取存储器构件连接以及一第二端与第二可编程电阻式随机存取存储器构件连接。

[0014] 有两个重要的变量影响双稳态可编程电阻式随机存取存储器如何从一逻辑状态变化至另一逻辑状态。第一个变量以符号 n 来代表,用以表示所选择的存储器材料特性。第二个变量以符号 f 来代表,用以表示介电侧壁子的厚度(或宽度)。此变量 f 可选择或调整来与电阻的改变符合,而有足够大的操作窗去执行一多重位电阻式随机存取存储器(resistive random access memory, RRAM)。在一双稳态随机存取存储器中每一个存储器单元具有两个存储层堆栈,双稳态电阻式随机存取存储器以四个逻辑状态操作,逻辑状态「00」(或逻辑状态「0」)、逻辑状态「01」(或逻辑状态「1」)、逻辑状态「10」(或逻辑状态「2」)以及逻辑状态「11」(或逻辑状态「3」)。而这四个不同的逻辑状态之间的关系可藉由两个变量 n 、 f 及电阻值 R 以数学来表示。逻辑状态「0」以数学式 $(1+f)R$ 表示。逻辑状态「1」以数学式 $(n+f)R$ 表示。逻辑状态「2」以数学式 $(1+nf)R$ 表示。逻辑状态「3」以数学式 $n(1+f)R$ 表示。

[0015] 本发明的优点为藉由使用每一存储器单元以多重存储层堆栈增加一双稳态电阻式随机存取存储器的整体密度。本发明也提供一三维的双稳态随机存取存储器设计及制造方案。本发明更能减少于双稳态式电阻式随机存取存储器的电阻改变。

[0016] 本发明中的结构与方法在之后详细叙述揭露。此处的发明内容不意图去定义本发明。而本发明以专利申请范围进行定义。为让这些以及其它技术的实施例、特征、方面以及优点能更明显易懂,下文特举一较佳实施例,并配合附图,作详细说明如下。

附图说明

[0017] 图 1 示出了根据本发明的双稳态电阻式随机存取存储器阵列的示意图。

[0018] 图 2 示出了根据本发明一较佳实施例的一电阻式随机存取存储器构造的集成电路图的简单方块图。

[0019] 图 3 示出了根据本发明制造双稳态电阻式随机存取存储层的两可编程电阻式随

机存取存储层的沉积及微影技术的参考步骤的简单示意图。

[0020] 图 4 示出了根据本发明制造双稳态电阻式随机存取存储器的下一步骤的示意图，蚀刻至第二导电层，第二导电层沉积邻近于第一导电构件及第一可编程电阻式随机存取存储器构件的介电侧壁子。

[0021] 图 5 为示出了根据本发明制造双稳态电阻式随机存取存储器的下一步骤的结构图，蚀刻穿过第二电阻式随机存取存储层。

[0022] 图 6 为示出了根据本发明双稳态电阻式随机存取存储器的电阻式随机存取存储器结构的简单示意图。

[0023] 图 7 为示出了根据本发明具有一电阻式随机存取存储层的双稳态电阻式随机存取存储器的电流 - 电压 (I-V) 曲线的范例。

[0024] 图 8A 为示出了根据本发明具有两个均位于重置 (RESET) 状态的电阻式随机存取存储器构件的双稳态电阻式随机存取存储器的简单示意图。

[0025] 图 8B 示出了根据本发明的具有两个位于设定 (SET) 及重置 (RESET) 状态电阻式随机存取构件的双稳态电阻式随机存取存储器的简单示意图。

[0026] 图 8C 示出了根据本发明的具有两个位于设定 (SET) 及重置 (RESET) 状态的电阻式随机存取存储器构件的双稳态电阻式随机存取存储器的简单示意图。

[0027] 图 8D 示出了根据本发明的具有两个位于设定 (SET) 状态的电阻式随机存取存储器构件的双稳态电阻式随机存取存储器的简单示意图。

[0028] 图 9 示出了根据本发明的以串联方式连接两个电阻式随机存取存储器构件以提供四种逻辑状态的双稳态电阻式随机存取存储器的四种逻辑状态的数学关系。

[0029] 图 10 示出了根据本发明以串联方式连接多重电阻式随机存取存储器构件以使每一存储器单元提供多重位的双稳态随机存取存储器的示意图。

[0030] 图 11 示出了根据本发明具有蚀刻程序于第一及第二电阻式随机存取存储层以及沉积介电侧壁子的双稳态电阻式随机存取存储器的示意图。

[0031] 图 12 示出了根据本发明去除介电侧壁子后具有多重电阻式随机存取存储器构件及多重导电构件的双稳态电阻式随机存取存储器的示意图。

[0032] 图 13 示出了根据本发明用以施用电压以程序具有二电阻式随机存取存储器构件的双稳态电阻式随机存取存储器。

[0033] 图 14 示出了根据本发明说明双稳态电阻式随机存取存储器从逻辑状态「00」编程至其它三个逻辑状态，逻辑状态「01」、逻辑状态「10」以及逻辑状态「11」的流程图。

[0034] 图 15 示出了根据本发明说明双稳态电阻式随机存取存储器从逻辑状态「01」编程至其它三个逻辑状态，逻辑状态「00」、逻辑状态「10」以及逻辑状态「11」的流程图。

[0035] 图 16 示出了根据本发明说明双稳态电阻式随机存取存储器从逻辑状态「10」编程至其它三个逻辑状态，逻辑状态「00」、逻辑状态「01」以及逻辑状态「11」的流程图。

[0036] 图 17 示出了根据本发明说明双稳态电阻式随机存取存储器从逻辑状态「11」编程至其它三个逻辑状态，逻辑状态「00」、逻辑状态「01」以及逻辑状态「10」的流程图。

[0037] 附图符号说明

[0038] 100 : 存储器阵列

[0039] 123、124、262 : 字线

- [0040] 128 : 共源线
- [0041] 132、133 : 下部电极构件
- [0042] 134 : 上部电极构件
- [0043] 135 : 侧壁接脚存储器单元
- [0044] 141、142、264 : 位线
- [0045] 145 : y- 解码器 / 字线驱动器
- [0046] 146 : - 解码器 / 字线驱动器
- [0047] 150、151、152、153 : : 存取晶体管
- [0048] 200、275 : 集成电路
- [0049] 260 : 存储器阵列
- [0050] 261 : 列解码器
- [0051] 263 : 接脚解码器
- [0052] 265 : 总线
- [0053] 266 : 感应放大器及数据输入结构
- [0054] 267 : 数据总线
- [0055] 268 : 偏压排列供应电压
- [0056] 269 : 偏压排列状态机
- [0057] 271 : 数据输入线
- [0058] 272 : 数据输出线
- [0059] 274 : 其它电路
- [0060] 300、1000、500 : 双稳态电阻式随机存取存储器
- [0061] 310 : 第一可编程电阻式随机存取存储层
- [0062] 312 : 第一导电层
- [0063] 320 : 第二可编程电阻式随机存取存储层
- [0064] 322 : 第二导电层
- [0065] 330 : 屏蔽
- [0066] 410 : 第一可编程电阻式随机存取存储器构件
- [0067] 412、420 : 第一导电构件
- [0068] 430 : 第一介电侧壁子
- [0069] 510 : 第二可编程电阻式随机存取存储器构件
- [0070] 512、520 : 第二导电构件
- [0071] 600 : 双稳态可编程电阻式随机存取存储器
- [0072] 610 : 底层
- [0073] 620 : 接触孔
- [0074] 630 : 中间介电层
- [0075] 700 : 电流 - 电压曲线范例图
- [0076] 710 : 电压
- [0077] 720 : 电流
- [0078] 730 : 重置状态

- [0079] 740 : 设定状态
- [0080] 750 : 读取电压
- [0081] 752 : 虚线
- [0082] 810 : 电阻 R
- [0083] 820、860 : 电阻 fR
- [0084] 830、880 : 电阻 nfR
- [0085] 850、870 : 电阻 nR
- [0086] 910 : 逻辑状态「0」
- [0087] 920 : 逻辑状态「1」
- [0088] 930 : 逻辑状态「2」
- [0089] 940 : 逻辑状态「3」
- [0090] 1010 : 第三电阻式随机存取存储层
- [0091] 1012 : 第三导电层
- [0092] 1020 : 第 (n-1)th 可编程电阻式随机存储层
- [0093] 1022 : 第 (n-1)th 导电层
- [0094] 1030 : 第 nth 可编程电阻式随机存取存储层
- [0095] 1032 : 第 nth 导电层
- [0096] 1110 : 第二介电侧壁子
- [0097] 1200 : 双稳态可编程电阻式随机存取存储器
- [0098] 1210 : 第三可编程电阻式随机存取存储构件
- [0099] 1220 : 第三导电构件
- [0100] 1300 : 电路系统
- [0101] 1310 : 第一电阻器 R₁
- [0102] 1312 : 第二电阻器 R₂、
- [0103] 1313 : 第一可编程电阻式随机存取电压 V_{1RRAM}
- [0104] 1314 : 第二可编程电阻式随机存取存储器电压 V_{2RRAM}
- [0105] 1316 : 附加的可编程电阻式随机存取存储器电压
- [0106] 1320 : 第一位线电压 V_{b1}
- [0107] 1330 : 第二位线电压 V_{b2}
- [0108] 1340 : 第一位线 BL₁
- [0109] 1342 : 第二位线 BL₂
- [0110] 1400、1500、1600、1700 : 流程图。

具体实施方式

[0111] 描述本发明的结构实施例及方法请参照所提供的第 1 至图 17。可了解到具体揭露的本发明实施例并不用以限缩范围并且本发明也可使用其它特征、元件、方法及以实施例来实施。在不同实施例中相同元件共享相同标号。

[0112] 图 1 为一概要图用以说明一存储器阵列 100，以如此处描述的方式实施。在图 1 中所示，一共源线 (common source line) 128、一字线 (word line) 123 以及一字线 124 一般

以 Y 轴方向平行排列。一位线 141 及 142 一般以 X 轴方向平行排列。因此, Y- 解码器 / 字线驱动器 (word line driver) 145 在里与字线 123 及 124 耦接。X- 解码器 / 感应放大器 (sense amplifier) 146 与位线 141 及 142 耦接。此共源线 128 与存取晶体管 150、151、152 及 153 的源极端 (sourceterminal) 耦接。存取晶体管 150 的栅极 (gate) 与字线 123 耦接。存取晶体管 151 的栅极与字线 124 耦接。存取晶体管 152 的栅极与字线 123 耦接。存取晶体管 153 的栅极与字线 124 耦接。此存取晶体管 150 的漏极以侧壁接脚存储单元 (sidewall pin memory cell) 135 与下部电极构件 132 耦接, 且侧壁接脚存储单元 135 具有上部电极构件 134 及下部电极构件 132。此上部电极构件 134 与位线 141 耦接。而共源线 128 可视为由两列存储器元件所分享, 此处所指的列是指示意图的 Y 方向。在其它的实施例中, 可以二极管取代此存取晶体管, 或选择装置用以控制电流流量的其它结构于阵列中用以读取及写出数据。

[0113] 图 2 示出了根据本发明一较佳实施例的一电阻式随机存取存储器构造的集成电路 200 的简单方块图。此集成电路 275 包含存储器阵列, 是应用侧边主动接脚双稳态电阻式随机存取存储单元于半导体基板。列解码器 261 与数条字符线 262 耦接, 且沿着存储器阵列 260 的列排列。接脚解码器 263 与数条位线 264 耦接并延着存储器阵列 260 的接脚排列, 用以读取及编程存储器阵列 260 内的侧边接脚存储器元件数据。由总线 265 所提供的地址至接脚解码器 263 及列解码器 261。感应放大器及数据输入结构 266 通过数据总线 267 与接脚解码器 263 耦接。数据的提供是经由从位于集成电路 275 的输入 / 输出埠或从位于集成电路 275 内部或外部的其它数据来源经由数据输入线 (data-in line) 271 流入至位于感应放大器及数据输入结构 266 的数据输入结构。在此实施例说明中, 其它的电路图也包含在集成电路里, 如一般用途处理器 (general-purpose processor) 或特殊用途应用电路系统 (specialpurpose application circuitry), 或藉由薄膜双稳态电阻式随机存取存储单元阵列提供功能性的系统芯片 (system-on-a chip) 的模块组合。数据藉由数据输出线 (data-out line) 272 提供, 从位于感应放大器及数据输入结构 266 的感应放大器至集成电路 275 上输入 / 输出接口, 或者至其它内部的数据目的单元或外部的集成电路 275。

[0114] 此例中控制器利用偏压排列状态机 (bias arrangement statemachine) 269 控制偏压排列供应电压 (bis arrangement supply voltage) 268, 如读取、编程、抹除、抹除验证以及程序验证电压。此控制器可使用现有的特殊目的逻辑电路实施。在替代实施例中, 此控制器包含一多种用途的多重处理器, 其可以执行相同的集成电路, 也可执行一计算机程序去控制装置的操作。另一实施例中, 合并特殊用途逻辑电路及多种用途的多重处理器也可利用于控制器的实施。

[0115] 图 3 示出了根据本发明制造双稳态电阻式随机存取存储层的两可编程电阻式随机存取存储层的沉积及微影技术的参考步骤的简单示意图。此双稳态电阻式随机存取存储器 300 包含第一可编程电阻式随机存取存储层 310 与第二可编程电阻式随机存取存储层 320 串连。每一个第一可编程电阻式随机存取存储层 310 和第二可编程电阻式随机存取存储层 320 提供储存两组信息状态的容量。第一及第二可编程电阻式随机存取存储层 310、320 在双稳态电阻式随机存取存储器 300 提供总计四组逻辑状态: 第一逻辑状态「00」(或「0」)、第二逻辑状态「01」(或「1」)、第三逻辑状态「10」(或「2」) 以及第四逻辑状态「11」(或「3」)。

[0116] 在一实施例中,第一可编程电阻式随机存取存储层 310 与第二可编程电阻式随机存取存储层 320 是相同的材料。在另一实施例中,第一可编程电阻式随机存取存储层 310 与第二可编程电阻式随机存取存储层 320 则是不同的材料。而第一可编程电阻式随机存取存储层 310 与第二可编程电阻式随机存取存储层 320 两者的厚度可为相同或者相异。而第一可编程电阻式随机存取存储层 310 或第二可编程电阻式随机存取存储层 320 其厚度范围例如大约从 1 纳米 (nm) 至 200 纳米 (nm)。

[0117] 以同一材料所形成的各可编程电阻式存储层 310、320 至少包含两个稳态电阻电平,意即电阻式随机存取存储器材料。在后续叙述证明不同的材料对制造电阻式随机存取存储器有益。

[0118] 项次“双稳态电阻式随机存取存储器”意指控制一电阻电平而有下列的意义:电压振幅、电流振幅或电极性。相变化存储器的状态是通过电压振幅、电流振幅或脉冲时间来进行控制。此双稳态电阻式随机存取存储器 300 的电极性并不会影响双稳态电阻式随机存取存储器 300 的编程。

[0119] 接下来为简短摘要叙述四种型式电阻式存储器材料适合做为电阻式随机存取存储器。第一种适合用于实施例的存储器材料为巨磁阻 (CMR) 材料,如镨 - 钙 - 锰氧化物 ($\text{Pr}_x\text{Ca}_y\text{MnO}_3$) 其中 $x : y = 0.5 : 0.5$ 或者是 $x : 0-1 ; y : 0-1$ 来组成 CMR,其中氧化锰 (Mn oxide) 可选择性的使用。

[0120] 一种形成 CMR 材料的方法例如为使用物理气相沉积 (physical vapor deposition, PVD) 溅镀或磁控溅镀方法 (magnetron-sputtering method),并使用氩气 (Ar)、氮气 (N_2)、氧气 (O_2) 以及或者氦气 (He) 做为来源气体,其压力位于 1-100 毫托尔 (mTorr) 之间。而其沉积温度其范围从室温至 600°C ,取决于后续沉积处理的条件。一具有纵横比 1-5 的准直仪 (collimator) 可以用来改善填补表现 (fill-in performance)。为了改善填补表现,直流式偏压由数十倍的电压至数百倍的电压均可使用。另一方面,可同时结合直流偏压及准直仪来使用。一磁场由数十倍高斯 (Gauss) 到一特斯拉 (Tesla = 10,000 Gauss) 也可应用于改善磁结晶相。

[0121] 沉积后退火处理可选择使用于真空或于氮气或氮气 / 氧气混合的环境中来改善 CMR 材料的结晶状态。其退火温度位于 400°C 至 600°C 之间,且其退火时间至少小于 2 小时。

[0122] CMR 材料的厚度取决于存储单元结构的设计。例如可使用厚度为 10-200 纳米 (nm) 的 CMR 做为核心材料。一钇 - 钡 - 铜氧化物 (YBaCuO_3 为一种高温超导体材料) 缓冲层 (buffer layer) 也常使用于改善 CMR 材料的结晶状态。此 YBCO 是沉积在 CMR 材料前。且 YBCO 的厚度范围为 30-200 纳米 (nm)。

[0123] 第二种存储器材料型式为两种元素的化合物,如镍氧化物 (Ni_xO_y)、钛氧化物 (Ti_xO_y)、铝氧化物 (Al_xO_y)、钨氧化物 (W_xO_y)、锌氧化物 (Zn_xO_y)、锆氧化物 (Zr_xO_y)、铜氧化物 (Cu_xO_y) 等,其中 $x : y = 0.5 : 0.5$ 或是 $x : 0-1 ; y : 0-1$ 。一形成方法例如为使用 PVD 溅镀或磁控溅镀方法与反应性气体氩气 (Ar)、氮气 (N_2)、氧气 (O_2) 以及或者氦气 (He) 等,压力位于 1-100 毫托尔 (mTorr) 之间,使用氧化金属做为靶材,如镍氧化物 (Ni_xO_y)、钛氧化物 (Ti_xO_y)、铝氧化物 (Al_xO_y)、钨氧化物 (W_xO_y)、锌氧化物 (Zn_xO_y)、锆氧化物 (Zr_xO_y)、铜氧化物 (Cu_xO_y) 等。而沉积通常在室温中形成。一具有纵横比 1-5 的准直仪可以用来改善填补表现。为了改善填补表现,直流偏压由数十倍至数百倍的电压均可使用。假如需要,直流偏压

也可同时与准直仪同时使用。

[0124] 一沉积后退火处理可选择使用于真空或于氮气或氮气 / 氧气混合的环境中来改善金属氧化物的氧气分布。其退火温度位于 400℃ 至 600℃ 之间,其退火时间小于 2 小时。

[0125] 一替代性形成方法可使用 PVD 溅镀或磁控溅镀方法与反应性气体氩 / 氧 (Ar/O₂)、氩 / 氮 / 氧 (Ar/N₂/O₂)、纯氧 (O₂)、氦 / 氧 (He/O₂)、氦 / 氮 / 氧 (He/N₂/O₂) 等气体,其压力为 1-100 毫托尔 (mTorr),使用金属靶材如镍 (Ni)、钛 (Ti)、铝 (Al)、钨 (W)、锌 (Zn)、锆 (Zr)、铜 (Cu) 等。其沉积通常在室温执行。具有纵横比 1-5 的准直仪可以用来改善填补表现。为了改善填补表现,直流偏压由数十倍至数百倍的电压均可使用。假如需要,直流偏压也可同时与准直仪同时使用。

[0126] 一沉积后退火处理可选择使用于真空或于氮气或氮气 / 氧气混合的环境中来改善金属氧化物的氧气分布。其退火温度位于 400℃ 至 600℃ 之间,其退火时间小于 2 小时。

[0127] 另一个形成方法为藉由高温氧化系统进行氧化,如熔炉或快速热火处理 (rapid thermal pulse, RTP) 系统。其温度为 200-700℃ 以及纯氧 (O₂) 及氮 / 氧 (N₂/O₂) 混合气体其压力为数毫托尔 (mTorr) 至 1 大气压 (atm)。而时间范围为数分钟至数小时。另一氧化方法为电浆氧化。一射频或一直流来源电浆为以纯氧 (O₂)、氩 / 氧 (Ar/O₂) 混合气体或氩 / 氮 / 氧 (Ar/O₂/O₂) 混合气体于压力 1-100 毫托尔 (mTorr) 用于氧化金属表面,金属例如为镍 (Ni)、钛 (Ti)、铝 (Al)、钨 (W)、锌 (Zn)、锆 (Zr)、铜 (Cu) 等。其氧化时间从数秒至数分钟。其氧化温度范围由室温至 300℃ 其,视电浆氧化的程度决定。

[0128] 第三种存储体型式材料为一聚合物,如氰基对醌二甲烷错合物 (tetracyquinodimethane, TCNQ) 掺杂铜 (Cu)、碳 60 (C₆₀)、银 (Ag) 等或苯基 C61 丁酸甲酯 (phenyl C61-butyrac acid methyl ester, PCBM)- 氰基对醌二甲烷错合物 (TCNQ) 混合聚合物。形成方法可藉由热蒸镀 (thermal evaporation)、电子束蒸镀 (e-beam evaporation) 或分子束磊晶成长 (molecular beam epitaxy, MBE) 系统等进行蒸镀。固体状态的 TCNQ 与掺杂粒状物于一单槽里共蒸 (co-evaporated)。固体状态的 TCNQ 与粒状物掺杂放入一钨舟 (w-boat) 或一钽舟 (Ta-boat) 或一陶舟。一高电流或电子束应用于熔解来源材料以便材料混合及沉积于晶圆上。没有反应性的化学物质及气体。而沉积则是于压力 10⁻⁴-10⁻¹⁰ 托尔 (Torr) 进行。晶圆的温度范围由室温至 200℃。

[0129] 沉积后退火处理可选择使用于真空或于氮气 (N₂) 环境中来改善聚合物材料的组成分布。其退火温度位于室温至 300℃,其退火时间小于 1 小时。

[0130] 另一技术用以形成一聚合物为主的存储器材料为使用掺杂 TCNQ 的溶液以小于 1000rpm 的转速旋转涂布。在旋转涂布后,此晶圆会摆置一段时间直至形成固体状态 (一般在室温或低于 200℃ 中进行)。此摆置时间范围从数分钟至数天,视其温度以及形成状态。

[0131] 第四种型式为硫化物 (chalcogenide) 材料,如锗 - 锑 - 碲 (Ge_xSb_yTe_z) 其中 x : y : z = 2 : 2 : 5 或以 x : 0-5, y : 0-5, z : 0-10 所组成。GeSbTe 可以掺杂氮 (N-)、硅 (Si-)、锑 (Sb-) 或选择性的掺杂其它的元素。

[0132] 形成硫化物材料的方法例如可使用 PVD 溅镀或磁控溅镀方法与来源气体氩 (Ar)、氮 (N₂) 及 / 或氦 (He) 等气体,在压力为 1-100 毫托尔 (mTorr)。沉积通常于室温下形成。一具有纵横比 1-5 的准直仪可以用来改善填补表现。为了改善填补表现,直流偏压由数十倍至数百倍的电压均可使用。假如需要,直流偏压也可同时与准直仪同时使用。

[0133] 沉积后退火处理可选择使用于真空或于氮气的环境中来改善硫化物的晶体状态。其退火温度一般位于 100℃ 至 400℃ 之间,其退火时间小于 30 分钟。该硫化材料的厚度高于 8 纳米 (nm) 而可具有相变化特性以使材料展现出两种稳定的电阻状态。

[0134] 实施例中于双稳态电阻式随机存取存储器 300 的存储单元可能包括相变化为主的存储器材料,包含硫化物为主的材料以及其它材料,做为第一可编程电阻式随机存取存储层 310 以及第二可编程电阻式随机存取存储层 320。硫族元素包含周期表的第六族以及任何有这四种元素氧 (Oxygen)、硫 (Sulfur)、硒 (Selenium) 以及碲 (Tellurium)。硫化物包含具有更趋正电性 (electropositive element) 或自由基 (radical) 的硫属元素化合物。硫属合金包含硫属化合物及如过渡金属等其它材料。硫属合金通常包含一或多个元素从周期表元素的第六栏如锗 (germanium) 及锡 (Tin)。通常硫属合金包含锑 (antimony)、镓 (gallium)、铟 (indium) 及银 (silver) 中的一个或多个的组合。许多相变化基本存储器材料已叙述于科技出版品内,包含合金:镓/锑 (Ga/Sb)、铟/锑 (In/Sb)、铟/硒 (In/Se)、锑/碲 (Sb/Te)、锗/碲 (Ge/Te)、锗/锑/碲 (Ge/Sb/Te)、铟/锑/碲 (In/Sb/Te)、镓/硒/碲 (Ga/Se/Te)、锡/锑/碲 (Sn/Sb/Te)、铟/锑/碲 (In/Sb/Ge)、银/铟/锑/碲 (Ag/In/Sb/Te)、锗/锡/锑/碲 (Ge/Sn/Sb/Te)、锗/锑/硒/碲 (Ge/Sb/Se/Te) 及碲/锗/锑/硫 (Te/Ge/Sb/S)。于锗/锑/碲 (Ge/Sb/Te) 合金家族里,可使用的合金组成范围很大。而其组成可以碲-锗-锑化合物 ($\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$) 做为特征。一研究员曾描述最有用的合金其沉积材料里的碲 (Te) 平均浓度最好是少于 70%,一般为低于 60%,一般范围最低从 23% 至 58% Te,以及较佳地大约为 48% -58% Te。锗 (Ge) 的浓度大约超过 5% 以及平均在材料中从最低的大约从 8% 至平均 30% 的范围,一般低于 50%。在此化合物中剩余主要组成元素为锑 (Sb)。这些百分比为原子百分比,其组成元素原子的总量为 100%。(Ovshinsky" 112patent, cols 10-11.)。另一研究者评估的特殊合金包含碲-锑-镓化合物 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 以及 GeSb_4Te_7) (Noboru Yamada, "以镓-锑-碲 (Ge-Sb-Te) 做为高速率数据记录的相变化光盘的可能性", SPIE v. 3109, pp. 28-37 (1997))。更广泛性的来说,一过渡金属如铬 (chromium, Cr)、铁 (iron, Fe)、镍 (nickel, Ni)、铌 (niobium, Nb)、钯 (palladium, Pd)、铂 (platinum, Pt) 以及其混合物或其合金也可以与锗/锑/碲 (Ge/Sb/Te) 相互合并来形成一相变化合金,以具有可编程电阻的特性。由 Ovshinsky' 112patent at columns 11-13 所提供的存储器材料的特殊例子也可能有用,此处的例子包含在参考数据内。

[0135] 相变化合金可切换于第一结构状态及第二结构状态之间,第一结构状态是材料位于一般非晶质固体相以及第二结构状态是材料位于一般晶质固体相,也就是存储单元的活动信道区域内的局部秩序 (local order)。此些合金至少为双稳态。非晶质是指相对来说较无秩序的结构,较单一晶体较无致序,比起结晶态具有具有可检测特性如较高的电阻系数。结晶态是指其相对来说其较为有序的结构 (较非晶质结构有致序),其具有可检测特性例如其电阻系数较非晶质相低。一般来说,相变化材料可于局部秩序的完全的非晶质及晶质状态的范围间的可检测状态中相互电切换。其它材料特性也会被相位在非晶质与晶质变化时影响,包含原子序、自由电子密度以及活化能。材料可以切换为不同的固体相,或是两个或更多的固体混合相,以提供一个介于完全非晶质及完全晶质状态的灰阶。在材料里的电子特性会对应产生改变。

[0136] 相变化合金藉由电子脉冲的应用可从一相位改变至另一相位。而可观察出一较短、较高振幅的脉冲倾向于改变相变化材料至一般非晶质状态。一较长、较低的振幅的脉冲倾向于改变相变化材料至一般晶质状态。一较短、较高振幅的脉冲的能量够高而使晶体键结被打断,也因为脉冲够短而可避免原子重新排列为晶体状态。不必经由过度实验即可决定适用于特殊相变化合金的适当脉冲波形。在后续的章节中所揭露的相变化材料是指锗-锑-碲(GsT),而且可以了解的是其它的相变化材料也可以被使用。在此所描述对完成相变化随机存取存储器(phase change random access memory, PCRAM)有帮助的材料为锗-锑-碲化合物($\text{Ge}_2\text{Sb}_2\text{Te}_5$)。

[0137] 其它的可编程电阻式存储器材料也可使用于本发明的其它实施例,包含锗-锑-碲(GST)掺杂氮气(N_2)、锗-锑化合物(Ge_xSb_y)、或其它材料使用不同晶体相的变化来决定其电阻;镨-钙-锰氧化物($\text{Pr}_x\text{Ca}_y\text{MnO}_3$)、镨-锶-锰氧化物(PrSrMnO_3)、锆氧化物(ZrO_x)、钨氧化物(WO_x)、钛氧化物(TiO_x)、铝氧化物(AlO_x)或其它材料使用电子脉冲来改变其电阻状态;7,7,8,8-氰基对醌二甲烷错合物(7,7,8,8-tetracyanoquinodimethane, TCNQ)、methanofullerene6,6-phenyl C61-butyric acid ester, PCBM、TCNQ-PCBM、Cu-TCNQ、Ag-TCNQ、 C_{60} -TCNQ、掺杂其它金属的TCNQ、或者任何其它可被电子脉冲控制且具有双稳态或多重稳态电阻的状态的聚合物材料。

[0138] 第一导电层312覆于第一可编程电阻式随机存取存储层310上,是一导电元件。第二导电层322则是被设置在第一可编程电阻式随机存取存储层310和第二可编程电阻式随机存取存储层320之间。此第一导电层312是与第一可编程电阻式随机存取存储层310有连接的导电元件。此第二导电层322是与第二可编程电阻式随机存取存储层320有连接的导电元件。适合做为第一导电层312和第二导电层322的材料包含:钛(Ti)、氮化钛(TiN)、氮化钛/钨/氮化钛(TiN/W/TiN)、氮化钛/钛/铝/氮化钛(TiN/Ti/Al/TiN)、n+多晶硅(n+polysilicon)、氮氧化钛(TiON)、钽(Ta)、氮化钽(TaN)、氮氧化钽(TaON)以及其它材料。

[0139] 在一实施例里,第一导电层312和第二导电层322为相同的材料。但在另一实施例里,第一导电层312与第二导电层322则是不同的材料。第一导电层312与第二导电层322的厚度可以相同或是相异。第一导电层312或是第二导电层322的厚度范围例如大约为10至20纳米(nm)之间。

[0140] 一屏蔽330形成于第一导电层312上。此屏蔽330包含光阻、硬屏蔽(hardmask),如硅氧化物(SiO_x)、硅氮化物(SiN_x)、硅氮氧化物(SiO_xN_y)。此屏蔽可以藉由挑选适合屏蔽的技术来修整出临界尺寸(CD)。假如屏蔽330为光阻,以氯(Cl_2)及溴化氢(HBr)为主要的反应离子蚀刻机用以修整光阻。假如屏蔽330为一硬屏蔽,以湿修整搭配适当的溶剂可用以修整此硬屏蔽。尤其是,稀释的氟化氢(dilute HF, DHF)可使用于以氧化硅(SiO_x)制作的硬屏蔽。热磷酸(Hot phosphoric acid, HPA)则使用于以氧化氮(SiN_x)制作的硬屏蔽。

[0141] 图4示出了根据本发明制造双稳态电阻式随机存取存储器300的下一步骤的示意图,蚀刻至第二导电层,第二导电层有邻近于第一导电构件412及第一可编程电阻式随机存取存储器构件410沉积的介电侧壁子。如图3所示,第一导电层312及第一可编程电阻式随机存取存储层310被蚀刻至第二导电层322的顶面,以形成第一导电构件412及第一可编程电阻式随机存取存储器构件410。用于第一导电层312及第一可编程电阻式随机存

取存储层 310 的蚀刻程序可以是单一非等相性蚀刻,或者以两阶段程序,第一,以第一蚀刻化学物蚀刻第一导电层 312;第二,以第二次蚀刻化学物蚀刻第一可编程电阻式随机存取存储层 310。蚀刻化学物可依据单一材料或复数材料来选择。举例来说:假如第一导电构件 412 使用氮化钛 (TiN) 以及一电阻式随机存取存储器构件 410 材料使用氧化钨 (WO_x),则两阶段蚀刻程序的第一蚀刻步骤是以氯 (Cl_2) 完成第一导电层 312,以及第二蚀刻步骤是以氟化硫 (SF_6) 来蚀刻第一可编程电阻式随机存取存储层 310。第一介电侧壁子 430 沉积在第一可编程电阻式随机存取存储器构件 410 材料和第一导电构件 412 的左侧及右侧。第一介电侧壁子 430 置于第二导电层 322 的部分顶面上。而适合用于第一介电侧壁子 430 的材料包含氧化硅 (SiO_x) 和氮化硅 (SiN_x),且此处选择材料具有一预定厚度。第一介电侧壁子 430 的厚度会影响第二导电构件 512 (如图 5 示) 以及第二可编程电阻式随机存取存储器构件 510 (如图 5 示) 的面积。举例来说:假如屏蔽 330 具有一临界尺寸大约为 0.15 微米 (μm),而设定的介电侧壁子的厚度大约可为 31 纳米 (nm),以使第二可编程电阻式随机存取存储器构件 510 的面积大约为第一可编程电阻式随机存取存储器构件 410 的二倍大。也就是说,在相同的逻辑状态 (如 SET 或 RESET),第二可编程电阻式随机存取存储器构件 510 的电阻大约为第一可编程电阻式随机存取存储器构件 410 的电阻的一半。第一可编程电阻式随机存取存储器构件 410 与第二可编程电阻式随机存取存储器构件 510 的电阻差值是依据一电阻式随机存取存储器材料的 SET/RESET 电阻窗。假设 SET/RESET 窗大约为 10 倍一个数量级 (order of magnitude),则第一可编程电阻式随机存取存储器构件 410 及第二可编程电阻式随机存取存储器构件 510 的电阻差值大约两倍是适当的。

[0142] 图 5 为示出了根据本发明制造双稳态电阻式随机存取存储器下一步骤的结构图 500,蚀刻穿过第二电阻式随机存取存储层。此第二导电层 322 和第二可编程电阻式随机存取存储层 320 (如图 3 示),藉由一反应离子蚀刻机蚀刻至底层的顶面或是蚀刻穿过一底层 610 (如图 6 所示) 来产生第二导电构件 512 和第二可编程电阻式随机存取存储器构件 510。此蚀刻程序可对第二导电层 322 及第二可编程电阻式随机存取存储层 320 以一单一非等相性蚀刻或一两阶段程序,第一,第一蚀刻化学物蚀刻第二导电层 322;第二,以第二蚀刻化学物蚀刻第二可编程电阻式随机存取存储层 320。蚀刻化学物可依据材料或材料选择。举例来说,假如第二导电构件 512 使用氮化钛 (TiN) 以及第二可编程电阻式随机存取存储器构件 510 使用钨氧化物 (WO_x),则两阶段蚀刻程序之以氯 (Cl_2) 对第二导电层 512 进行第一次蚀刻,以及以氟化硫 (SF_6) 对第二可编程电阻式随机存取存储器构件 510 进行第二次蚀刻。

[0143] 图 6 为示出了根据本发明双稳态可编程电阻式随机存取存储器的电阻式随机存取存储单元结构 600 的简单示意图。此单元结构 600 示出了底层 610 已被蚀刻穿过,如上述图 5 的描述。双稳态可编程电阻式随机存取存储器 600 包含底层 610 是设置在第二可编程电阻式随机存取存储器构件 510 下。底层 610 的蚀刻程序于中间介电层 630 的顶面即停止。底层 610 则与接触孔 620 连接,是设置在底层 610 之下以及由中间介电层 630 围绕。接触孔 620 的实施例包含钨栓塞 (W-plug) 或多晶硅栓塞 (poly-Si plug)。而多晶硅栓塞则可由多晶硅两极体 (Poly-Si diode) 或 NP 二极管 (NP diode) 所构成。

[0144] 图 7 为示出了根据本发明具有一电阻式随机存取存储层的双稳态电阻式随机存取存储器的电流-电压曲线的范例 700,其 x 轴为电压 710 而 y 轴为电流 720。在一重置

(RESET) 状态 730, 此电阻式随机存取存储层为低电阻。在一设定 (SET) 状态 740, 此电阻式随机存取存储层于一高电阻。在此例子中, 此电阻式随机存取存储层的设定 / 重置窗大约为一个数量级的读取电压 750。此读取电压, 图标为一虚线 752, 表现展示高电流状态 (高逻辑状态) 以及低电流状态 (低逻辑状态) 之间具有一显著间隙。从重置状态 730, 在电压应力之后, 重置状态 730 内的电流升高至高电流。从设定状态 740, 设定状态内的电流降低。电流停止时的大幅摆荡, 由低状态至高状态或由高状态至一低状态, 以电压控制不同逻辑多重状态会变得困难。因此, 以不同电阻式随机存取存储层以串连相互连接, 而此处每一电阻式随机存取存储器具有各自的面积或自己的电阻, 用于双稳态电阻式随机存取存储器实现不同逻辑状态。

[0145] 图 8A 为示出了根据本发明具有两个均位于重置 (RESET) 状态的电阻式随机存取存储器构件的双稳态可编程电阻式随机存取存储器 600 的简单示意图。当第一可编程电阻式随机存取存储器构件 410 和第二可编程电阻式随机存取存储器构件 510 均于重置状态, 此双稳态可编程电阻式随机存取存储器 600 操作于逻辑状态“00”。第二可编程电阻式随机存取存储器构件 510 具有一电阻 R810 而第一可编程电阻式随机存取存储器构件 410 具有一电阻 $fR820$ 。此处变量 f 大于 1, 因为第一可编程电阻式随机存取存储器构件 410 的面积小于第二可编程电阻式随机存取存储器构件 510 的面积。此双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(1+f)R$ 。举例来说, 假设变量 f 等于 2, 而总电阻可计算为 $3R$, 数学式表示为 $(1+2R) = 3R$ 。

[0146] 图 8B 示出了根据本发明的具有两个位于设定 (SET) 及重置 (RESET) 状态电阻式随机存取构件的双稳态可编程电阻式随机存取存储器 600 的简单示意图。当第一可编程电阻式随机存取存储器构件 410 于一设定状态以及第二可编程电阻式随机存取存储器构件 510 于一重置状态, 此双稳态可编程电阻式随机存取存储器 600 操作于一逻辑状态“01”, 而此处的第二可编程电阻式随机存取存储器构件 510 仍然处于重置状态或未充电。第二可编程电阻式随机存取存储器构件 510 具有一电阻 R810 以及第一可编程电阻式随机存取存储器构件 410 具有一电阻 $nR830$, 此处的变量 n 比 1 大。而双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(1+n)fR$ 。举例来说, 假如变量 f 等于 2 以及变量 n 等于 10, 而总电阻经计算为 $21R$, 其数学式表示如 $(10+21)R = 31R$ 。

[0147] 图 8C 示出了根据本发明具有两个位于设定 (SET) 及重置 (RESET) 状态的电阻式随机存取存储器构件的双稳态可编程电阻式随机存取存储器 600 的简单示意图。当第一电阻式随机存取存储器材料构件 410 于一重置状态以及第二可编程电阻式随机存取存储器构件 510 于一设定状态, 此双稳态可编程电阻式随机存取存储器 600 操作于逻辑状态“10”, 而此处第一可编程电阻式随机存取存储器构件 410 仍于重置状态或充电。第二可编程电阻式随机存取存储器构件 510 具有一电阻 $nR850$ 以及第一可编程电阻式随机存取存储器构件 410 具有一电阻 $fR860$, 此处变量 n 大于 1。此双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(n+f)R$ 。举例来说, 假设变量 f 等于 2 且变量 n 等于 10, 总电阻可计算为 $12R$, 其数学式表示为 $(10+2)R = 12R$ 。

[0148] 图 8D 示出了根据本发明的具有两个位于设定 (SET) 状态的电阻式随机存取存储器构件的双稳态可编程电阻式随机存取存储器 600 的简单示意图。当第一可编程电阻式随机存取存储器构件 410 在一设定状态以及第二可编程电阻式随机存取存储器构件 510 在

一设定状态,则此双稳态可编程电阻式随机存取存储器 600 操作于一逻辑状态“11”。第二可编程电阻式随机存取存储器构件 510 具有一电阻 $nR870$ 以及第一电阻式随机存取存储器 410 具有一电阻 $nR880$ 。此双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $n(1+f)R$ 。举例来说,假设变量 f 等于 2 以及变量 n 等于 10,总电阻可以计算为 $30R$,而数学式表示为 $10(1+2)R = 30R$ 。

[0149] 图 9 示出了根据本发明以串联方式连接的两个电阻式随机存取存储器构件以提供四种逻辑状态的双稳态可编程电阻式随机存取存储器 600 的四种逻辑状态的数学关系,且每存储单元储存两位。三个变量 R 、 n 以及 f 使用电阻关系的方程式,此处变量 R 表示一存储器构件的重置电阻、变量 n 与电阻式随机存取存储器材料的特性有关,且变量 f 与介电侧壁子的厚度有关。换句话说,变数 n 随材料特性相关而定。变量 f 可以藉由介电侧壁子厚度来控制。在逻辑状态「0」910,双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(1+f)R$ 。在逻辑状态「1」920,双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(n+f)R$ 。在逻辑状态「2」930,双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $(1+nf)R$ 。在逻辑状态「3」940,双稳态可编程电阻式随机存取存储器 600 的总电阻大约为 $n(1+f)R$ 。调整变量 f 来符合电阻变换,以便有充足的操作窗在双稳态可编程电阻式随机存取存储器 600 中进行二位操作。举例来说,上述二位操作窗在以下列的电阻表示: $3R$ 、 $12R$ 、 $21R$ 至 $30R$ 。假如变量 $n = 100$,以及变量 $f = 2$,而二位操作窗将被计算为 $3R$ 、 $102R$ 、 $201R$ 及 $300R$ 。

[0150] 图 10 示出了根据本发明以串联方式连接多重电阻式随机存取存储器构件以使每一存储器单元提供多重位的双稳态电阻式随机存取存储器 1000 的示意图。多重电阻随机存取存储器构件以串联连接每一存储单元以提供多重位。双稳态电阻式随机存取存储器 1000 包含以串连连接的多重电阻式随机存取存储层,换言之,即为一第一可编程电阻式随机存取存储层 310 与第二可编程电阻式随机存取存储层 320 串联,第二可编程电阻式随机存取存储层 320 与第三可编程电阻式随机存取存储层 1010 串联, ..., 第 $(n-1)^{th}$ 可编程电阻式随机存取存储层 1020 与第 n^{th} 可编程电阻式随机存取存储层 1030 串联。在实施例,每个第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 分别提供储存两逻辑状态的能力。在另一实施例中,每个第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 分别提供储存大于两位的信息的能力。在其它的实施例中,每个第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 分别提供储存两个或多于两位的信息能力,其中每位具有储存多重的信息的能力。双稳态电阻式随机存取存储器 1000 的总逻辑状态数量藉由各电阻式随机存取存储层的 x 数目以及每位的层数 y 来决定,以数学式 Z^{x*y} 表示,符号 Z 表示总电阻式随机存取存储层的总数量。举例来说,假如双稳态电阻式随机存取存储器 1000 具有八个电阻式随机存取存储层,此处每电阻式存取存储层可储存 1 元位的信息以及每一位储存两逻辑状态或电流电平,而逻辑状态的总数目可计算为 8^{1*2} 或 64 种逻辑状态。

[0151] 每个第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 材料分别可为相同或相异,或是某一些电阻式随机存取存储层使用相同的材料,部分结合其它电阻式随机存取存储层使用另一材料。此外,第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 厚度可彼此相同或相异,或

者某一些电阻式随机存取存储器使用相同的厚度,部分其它电阻式随机存取存储层的使用不同的厚度。第一、第二、第三... $(n-1)^{\text{th}}$ 、 n^{th} 可编程电阻式随机存取存储层 310、320、1010、1020、1030 的厚度范围例如大约从 1 纳米 (nm) 至 200 纳米 (nm) 之间。

[0152] 每一电阻式随机存取存储层均会与一导电层相连。除上述描述的第一及第二导电层 312、322,第三导电层 1012 设置在第三电阻式随机存取存储层 1010 上。第 $(n-1)^{\text{th}}$ 导电层 1022 设置在第 $(n-1)^{\text{th}}$ 电阻式随机存取存储层上。第 n^{th} 导电层 1032 设置在第 n^{th} 可编程电阻式随机存取存储层 1030 上。

[0153] 图 11 示出了根据本发明具有蚀刻程序于第一及第二可编程电阻式随机存取存储器构件 410、510 以及沉积第一、第二介电侧壁子 430、1110 的双稳态电阻式随机存取存储器 1000 的示意图。蚀刻程序可以更进一步的执行于第一及第二可编程电阻式随机存取存储器构件 410、510 以及后续的电式随机存取存储层,如第三电阻式随机存取存储层 1010。在此例子中,第三导电层 1012 在第三电阻式随机存取存储层 1010 同时被蚀刻。相同的介电侧壁子也设置在后续的导电层及电阻式随机存取存储层上。在实施例,第二可编程电阻式随机存取存储器构件 510 的面积主要是藉由第一介电侧壁子 430 来决定的。相同地,第三电阻式随机存取存储器构件 1010 的面积主要也是藉由第二介电侧壁子 1110 来决定的。因此,每一电阻式随机存取存储层具有其各别的面积,且主要是由介电侧壁子的厚度所定义的,如此,电阻式随机存取存储层具有其各自的电阻。

[0154] 图 12 示出了根据本发明去除介电侧壁子后具有多重电阻式随机存取存储器构件及多重导电构件的双稳态电阻式随机存取存储器 1200 的示意图。双稳态电阻式随机存取存储器 1200 包含第一导电构件 412 设置在第一可编程电阻式随机存取存储器构件 410 上、第一可编程电阻式随机存取存储器构件 410 设置在第二导电构件 512 上、第二导电构件 512 设置在第二可编程电阻式随机存取存储器构件 510 上、第二可编程电阻式随机存取存储器构件 510 设置在第三导电构件 1220 上、第三导电构件 1220 设置在第三可编程电阻式随机存取存储器构件 1210... ,以及第 n^{th} 导电构件 1040 设置在第 n^{th} 可编程电阻式随机存取存储器层 1030 上。于实施例,第一导电构件 412 与第一可编程电阻式随机存取存储器构件 410 具有相同的宽度,且小于第二导电构件 512 及第二可编程电阻式随机存取存储器构件 510 的宽度。第二导电构件 512 与第二可编程电阻式随机存取存储器构件 510 具有相同的宽度,且小于第三导电构件 1220 及第三可编程电阻式随机存取存储器构件 1210 的宽度。第 n^{th} 导电构件 1040 及第 n^{th} 可编程电阻式随机存取存储器层 1030 的宽度会较前一个电阻式随机存取存储器构件及导电构件的宽度为宽。

[0155] 如图 12 及 13 所示,位线电压施加于双稳态可编程电阻式随机存取存储器 600 使其达到不同的逻辑状态。如图 5 的结构 500 可以图 13 以相同电路图示意。在此实施例中,描述两可编程电阻式随机存取存储层,以及额外附加存储层及相对应的位线电压。此电路 1300 的第一电阻器 R_1 1310 表示第一可编程电阻式随机存取存储器构件 410 的电阻,以及第二电阻器 R_2 1312 表示第二可编程电阻式随机存取存储器构件 510 的电阻,而与具有第一位线电压 V_{b1} 1320 的第一位线 BL_1 1340 与具有第二位线电压 V_{b2} 1330 的第二位线 BL_2 1342 相连。第一位线电压 V_{b1} 1320 与连接于第一导电层构件 412 的顶面以及第二位线电压 V_{b2} 1330 与第二可编程电阻式随机存取存储器构件 510 的底面相连。在此实施例中,双稳态电阻式随机存取存储器 500 包含两可编程电阻式随机存取存储层,其具有两个分别与第一可编程电阻

式随机存取存储器构件 410 和第二可编程电阻式随机存取存储器构件 510 相连的电压,其中第一电压至第一可编程电阻式随机存取存储器构件 410,以符号 $V_{1RRAM1312}$ 表示而第二电压至第二电阻式随机存取构件 510,以符号 $V_{2RRAM1314}$ 表示。此第一可编程电阻式随机存取电压 $V_{1RRAM1313}$ 具有一第一端与第一导电构件 412 相连,以及一第二端与第一可编程电阻式随机存取存储器构件 410 相连。第二可编程电阻式随机存取存储器电压 $V_{2RRAM1314}$ 具有一第一端一般与第一可编程电阻式随机存取存储器构件 410 及第一可编程电阻式随机存取电压 $V_{1RRAM1313}$ 相连,以及以一第二端与第二可编程电阻式随机存取存储器构件 510 相连。另外的可编程电阻式随机存取存储器电压,如 $V_{3RRAM1316}$ 与第三可编程电阻式随机存取存储器 1210 相连,且可施加于后续的可编程电阻式随机存取存储器构件。

[0156] 当双稳态电阻式随机存取存储器 500 为重置状态时,也就是重置状态,此双稳态可编程电阻式随机存取存储器 600 由逻辑状态「0」(或状态「00」)设定。此双稳态可编程电阻式随机存取存储器 600 可从逻辑状态「0」编程至逻辑状态「1」(或状态「01」)、或是从逻辑状态「0」至逻辑状态「2」(或状态「10」)、或是从逻辑状态「0」至逻辑状态「3」(或状态「11」)。

[0157] 在可编程双稳态电阻式随机存取存储器 500 从逻辑状态「00」至逻辑状态「10」过程中,第一电压施加于第一位线达到第一位线电压 $V_{b1}1320$ 以及一第二电压施加于第二位线达当第二位线电压 $V_{b2}1330$ 。施加达到第一位线电压 $V_{b1}1320$ 的电压可为 0 电压或者是小的负电压。施加于第一元位线 $V_{b1}1320$ 及第二位线电压 $V_{b2}1330$ 间的电压差值与第一电阻式随机存取存储器电压 $V_{1RRAM1313}$ 及第二电阻式随机存取存储器电压 $V_{2RRAM1314}$ 的总合相等,若以数学表示即为: $V_{b2}-V_{b1} = V_{2RRAM}+V_{1RRAM} = V_{low}$ 。第一可编程电阻式随机存取存储器构件 410 和第二可编程电阻式随机存取存储器构件 510 两者的初始状态为重置状态,也就是一低电阻的状态。在此实施例中,第一可编程电阻式随机存取存储器构件 410 的面积较第二可编程电阻式随机存取存储器构件 510 的面积小。因此,第一可编程电阻式随机存取存储器构件 410 的电阻较第二可编程电阻式随机存取存储器构件 510 的电阻高。这意义即为第一电阻式随机存取存储器电压 $V_{1RRAM1313}$ 的值较第二电阻式随机存取存储器电压 $V_{2RRAM1314}$ 大,若以数学关系式表示即为 $V_{1RRAM} > V_{2RRAM}$ 。假设第一电阻式随机存取存储器电压 $V_{1RRAM1313}$ 比一重置电压大 ($V_{1RRAM} > V_{SET}$),则第一可编程电阻式随机存取存储器构件 410 由一重置状态改变为一设定状态(也就是高电阻)。假如第二电阻式随机存取存储器电压 $V_{2RRAM1314}$ 小于设定电压 ($V_{2RRAM} < V_{SET}$),则第二可编程电阻式随机存取存储器构件 510 保持于重置状态下。此第一可编程电阻式随机存取存储器构件 410 的电阻具有 $(1+f)R$ 的电阻值从逻辑状态「0」(或状态「00」)改变至具有电阻 $(1+nf)R$ 的逻辑状态「2」(或状态「10」)。举例来说,假如变量 $f = 2$,变量 $n = 10$,及第二可编程电阻式随机存取存储器构件 510 的重置电阻等于 R ,而总电阻就会从 $3R$ 改变至 $21R$ 。

[0158] 在双稳态可编程电阻式随机存取存储器 600 从逻辑状态「0」(或状态「00」)编程至逻辑状态「3」(或状态「11」)的过程中,第一电压施加于第一位线达到第一位线电压 $V_{b1}1320$,而第二电压施加于第二位线达当第二位线电压 $V_{b2}1330$ 。施加达到第一位线电压 $V_{b1}1320$ 的电压可以为零电压或是小的负电压。第一可编程电阻式随机存取存储器构件 410 和第二可编程电阻式随机存取存储器构件 510 的初始状态为一重置状态,也就是一低电阻状态。介于第一位线电压 $V_{b1}1320$ 和第二位线电压 $V_{b2}1330$ 的电压差值够高 (V_{high}),足以使

第一电阻式随机存取构件电压 $V_{1RRAM1313}$ 及第二电阻式随机存取存储器电压 $V_{2RRAM1314}$ 均较第一可编程电阻式随机存取存储器构件 410 及第二可编程电阻式随机存取存储器构件 510 的 V_{SET} 高。第一可编程电阻式随机存取存储器构件 410 及第二可编程电阻式随机存取存储器构件 510 的电阻状态从重置状态改变至设定状态。第一及第二可编程电阻式随机存取存储器构件 410、510 的电阻从电阻值 $(1+f)R$ 的逻辑状态「0」(状态「00」)变化至电阻值 $n(1+f)R$ 的逻辑状态「3」(状态「11」)。举例来说,假如变量 $f = 2$, 变量 $n = 10$ 及第二可编程电阻式随机存取存储器构件 510 的重置电阻等于 R , 则总电阻会从 $3R$ 改变至 $30R$ 。

[0159] 在双稳态可编程电阻式随机存取存储器 600 从逻辑状态「0」(或状态「00」)编程至逻辑状态「1」(或状态「01」)的过程中,此双稳态可编程电阻式随机存取存储器 600 首先依序从逻辑状态「0」(或状态「00」)改变至逻辑状态「3」(或状态「11」),且第一及第二可编程电阻式随机存取存储器构件 410、510 也从重置状态改变为设定状态。提供给第二位线电压 $V_{b2}1330$ 的电压可以为零电压或一小负电压,以数学式表示为: $V_{b2}-V_{b1} = -V_{low} < 0$ 。第一位线电压 $V_{b1}1320$ 提供一正电压。在设定状态,第一可编程电阻式随机存取存储器构件的面积较第二可编程电阻式随机存取存储器构件 510 的面积小,以便第一可编程电阻式随机存取存储器构件 410 具有较第二可编程电阻式随机存取存储器构件 510 高的电阻。这代表发生一高电压泄降通过第一可编程电阻式随机存取存储器构件 410,以数学式表示为 $|V_{1RRAM}| > |V_{2RRAM}|$ 。假如第一电阻式随机存取存储器电压 $V_{1RRAM1313}$ 的绝对值大于重置电压 ($|V_{1RRAM}| > V_{RESET}$),则第一可编程电阻式随机存取存储器构件 410 改变至重置状态(低电阻)。假如第二电阻式随机存取存储器电压 $V_{2RRAM1314}$ 的绝对值少于重置电压 ($|V_{2RRAM}| < V_{RESET}$),此第二可编程电阻式随机存取存储器构件 510 仍维持于设定状态。在第一和第二可编程电阻式随机存取存储器构件 410、510 的电阻从电阻值 $n(1+f)R$ 的逻辑状态“3”(或状态“11”)改变至电阻值 $(n+f)R$ 的逻辑状态“1”(或状态“01”)。举例来说,假如变量 $f = 2$, 变量 $n = 10$ 以及第二可编程电阻式随机存取存储器构件 510 的重置电阻等于 R , 当从逻辑状态“0”变至“3”时,总电阻从 $3R$ 变至 $30R$, 当逻辑状态从“3”变至“1”时,总电阻从 $30R$ 变至 $12R$ 。

[0160] 两电阻 R_11310 和 R_21312 串连于两位线 BL_11340 和 BL_21342 之间。供给于位线的电压分别表示为 $V_{b1}1320$ 和 $V_{b2}1342$, 以及跨越两电阻的电压泄降分别为 $V_{1RRAM1313}$ 和 $V_{2RRAM1314}$, 两位线间的电压泄降为 $V_{b2}-V_{b1}$ 相等于 $V_{1RRAM}+V_{2RRAM}$ 。如图 5、图 6、图 8A-8B、及图 12 图示所绘,第一可编程电阻式随机存取存储器构件 410 的面积较第二可编程电阻式随机存取存储器构件 510 的面积小,因此电阻 R_1 大于 R_2 。

[0161] 结合电阻式随机存取存储器的状态,及其造成的单元值 (cell value) 如第 1 表所示。此单元值对应于相对的整体电阻值。

[0162] 第 1 表状态 / 值

[0163]

R_1	R_2	单元值
重置	重置	0 (“00”)
重置	设定	1 (“01”)

设定	重置	2(“10”)
设定	设定	3(“11”)

[0164] 值得注意的是第1表的实施例是依循一小尾序 (small-endian) 的结构表示。也就是说,最后一个元件是最低有效数字 (least significant digit, LSD) 及最高有效数字 (most significant digit, MSD)。其它实施例是依循大尾序 (big-endian) 模式,亦即数字被保存,且开始的程序是同样的程序,但两个存储单元是颠倒。

[0165] 如图 8A 至 8D 描述呈现各存储单元状态的数学式推导的关系。图 8A 示出了具有第一存储器元件 M_1 的存储单元包含第一可编程电阻式随机存取存储器构件 410 以及第一导电构件 420。以及第二存储器元件 M_2 , 包含第二可编程电阻式随机存取存储器构件 510 和第二导电构件 520。此处,两构件在重置状态均具有低电阻。假如 R 可以被当作较大第二可编程电阻式随机存取存储器构件 510 的电阻,然后其它的第一可编程电阻式随机存取存储器构件 410 的电阻值与第二可编程电阻式随机存取存储器构件 510 的一定值 f 相关。此实施例表示,此第一可编程电阻式随机存取读取存储器构件 410 的电阻较第二可编程电阻式随机存取存储器构件 510 的电阻高,因此,常数 f 已知大于 1,但其它实施例在语义上是与上述颠倒的描述。

[0166] 如图示,此实施例的图 8A 至 8D 表现出的电阻的差值是由于两电阻式随机存取存储器构件不同的尺寸。较小的电阻式随机存取存储器构件具有一较高的电阻值。在另一实施例中(未示出),藉由两元件使用不同的材料以取得相同的操作电阻差值。在此两实施例结构上的差距,并不会影响彼此之间关系的表示,然而其差值仍可由常数 f 获得。在此实施例中,两电阻式随机存取存储器构件大约为相同的厚度(以下提出详细说明),但是其宽度不同因而产生电阻差异。

[0167] 此两电阻式随机存取存储器构件以串联排列,以及因此存储单元的电阻可全部以 $R+fR$ 、或 $(1+f)R$ 来表示。转换较低次序元件 M_2 至设定状态,其具有一相对高电阻电平,如图 8B 所示。电阻电平与常数 n 成比例升高。不同的材料存在不同的常数,依据特定化合物的特性或准予挑选,但是一给定材料其重置及设定状态之间的关可通过一关系式 $R \rightarrow nR$ 如图 8B 所示。如此,在图 8B 所示出了的状态可以藉由数学式 $fR+nR$ 或 $(n+f)R$ 描述。

[0168] 相似的,图 8C 示出了转换电阻式随机存取存储器元件 M_2 至设定状态的结果,保留 M_1 在重置状态。在此实施例中,以相同材料形成两构件,此常数 n 可描述介于设定与重置之间的差值,且允许以 nfR 来描述电阻值。推导出完整的数学式 $(1+nf)R$ 来描述存储单元的电阻值。最后,在图 8D 示出了转换 RRAM 构件 M_1 、 M_2 至一设定状态,产生过渡 $R \rightarrow nR$ (for M_2) 以及 $fR \rightarrow nfR$ (for M_1) 的过渡状态。此状态可表示为 $nR+nfR$ 或 $n(1+f)R$ 。

[0169] 四个单元值语意上的关系可以第 2 表做一整理如下。

[0170] 第 2 表单元值关系

[0171]

关系	单元值
$(1+f)R$	0 (“00”)
$(n+f)R$	1 (“01”)
$(1+nf)R$	2 (“10”)
$n(1+f)R$	3 (“11”)

[0172] 感应操作窗的例子可以藉由设定参数值 n 、 f 及 R 实现。假如 $R = 10^4 \Omega$ 、 $n = 10$ 及 $f = 2$ ，四状态的电阻值可表示为 $3 \times 10^4 \Omega$ 、 $1.2 \times 10^5 \Omega$ 、 $2.1 \times 10^5 \Omega$ 及 $3 \times 10^5 \Omega$ 。一检测电压（读取电压）为 120mV ，此四状态的感应电流分别为 $4 \mu\text{A}$ 、 $1 \mu\text{A}$ 、 $0.6 \mu\text{A}$ 及 $0.4 \mu\text{A}$ 。用以多重电平操作的区别电压可设定为 $2.5 \mu\text{A}$ 、 $0.8 \mu\text{A}$ 及 $0.5 \mu\text{A}$ 。对于高于 $2.5 \mu\text{A}$ 的感应电流，一最低电阻状态可被定义为状态「0」（或状态「00」）。对于少于 $0.5 \mu\text{A}$ 的感应电流，一最高电阻状态可被定义为状态「3」（或状态「11」）。对于高于 $0.8 \mu\text{A}$ 但少于 $2.5 \mu\text{A}$ 的感应电流，一低电阻状态可被定义为状态「1」（或状态「01」）。对于检测高于 $0.5 \mu\text{A}$ 但少于 $0.8 \mu\text{A}$ 的感应电流，一高电阻状态可被定义为状态「2」（或状态「10」）。感应电流的变化是依据制造程序的变化以及材料本质的变化。举例来说，介电侧壁子的厚度（或宽度）的变化决定第二可编程电阻式随机存取存储器构件的面积，其厚度及面积决定第二可编程电阻式随机存取存储器构件的电阻。因此，一高品质的多重位电阻式随机存取存储器的操作需要一宽广操作窗。一较高的常数 n 以及较高的系数 f 可以提供一宽广操作窗，因此来避免产品发生状态确认错误。

[0173] 通过跨越位线 BL_1 和 BL_2 施加电压以设定存储器于期望值。四电压的总值足以完成所有如第 1 表所示的可能值。在此技艺领域中的技术人员可了解存在一些可用的实际电压。在一实施例中，使用两正电压（此处的正是在 VB_1 以及 VB_2 测量）及两负电压，此结果电压标记为 V_{high} 、 V_{low} 、 $-V_{\text{high}}$ 及 $-V_{\text{low}}$ 。施加电压的绝对值取决于存储器构件的特性，包括材料及尺寸。在此实施例中表示，一高电压值为 3.3 伏特 (volts) 及一低电压值为 1.5 伏特 (volts) 被验证为有效的。

[0174] 第一个程序为一般的重置，也就是驱动电阻式随机存取存储器构件至重置状态，来产生 0 单元值。此程序如下方第 3 表所示。

[0175] 第 3 表整体重置过渡过程

[0176] $((V_{b2} - V_{b1}) = -V_{\text{high}})$

[0177]

	元件状态	单元值	动作	元件状态	单元值
M_1	1	3	$ V_1 > V_{\text{RESET}}$	0	0
M_2	1		$ V_2 > V_{\text{RESET}}$	0	

[0178] 如上示，适当的过渡区电压为 $-V_{\text{high}}$ ，如电压泄降的每一绝对值 $V_{1\text{RRAM}}$ 和 $V_{2\text{RRAM}}$ 均超

过重置值。随着两电阻式随机存取存储器构件在重置状态,存储单元的整体值则为 0。

[0179] 重置状态是进一步的操作的起始点。因为不可预知的结果可能发生在中间状态的过渡,较佳地在任何相变化操作中可以降低单位至重置状态做为第一步。

[0180] 其相反的状态,一单元值为 3,如下方第 4 表中所示。

[0181] 第 4 表 0-3 的过渡

[0182] $(V_{b2}-V_{b1}) = V_{high}$

[0183]

	元件状态	单元值	动作	元件状态	单元值
M ₁	0	0	$V_1 < V_{SET}$	1	3
M ₂	0		$V_2 > V_{SET}$	1	

[0184] 施加一 V_{high} 高压,足以产生超过两构件的 V_{SET} 的电压泄降。随着两构件在设定状态,此单元值为二进制的 11 或 3。

[0185] 要产生一单元值 2,其程序如下方第 5 表所示。

[0186] 第 5 表 0-2 的过渡

[0187] $(V_{b2}-V_{b1}) = V_{low}$

[0188]

	元件状态	单元值	动作	元件状态	单元值
M ₁	0	0	$V_1 > V_{SET}$	1	2
M ₂	0		$V_2 < V_{SET}$	0	

[0189] 此设定中,此电压泄降 V_1 大于产生一设定状态的需求,所以 R_1 为设定状态,但此电压泄降 V_2 小于设定需求。此结果使 R_1 位于一设定状态,且 R_2 于重置状态,而造成一单元值为二位 01 或 2。

[0190] 产生一单元值 1 的方式第 6 表所示。到达 1 值较其它过渡转换更加的困难,可明显的观察到假如两构件从重置状态开始,在 V_2 施加一足以产生设定状态的电压也必然会在 V_1 设定,而造成的值为 3 而非 1。而此解决方法为首先让存储单元全部为设定状态,如前第 3 表所示。然后,从一单元值 3 设定,施加 $-V_{low}$ 电压足够在 R_1 而非 R 产生重置状态₂,而产生二位的单元值 01 或 1。

[0191] 第 6 表 3-1 的过渡

[0192] $(V_{b2}-V_{b1}) = -V_{low}$

[0193]

	元件状态	单元值	动作	元件状态	单元值
M ₁	1	3	$ V_1 > V_{RESET}$	0	1
M ₂	1		$ V_2 > V_{RESET}$	1	

[0194] 图 14 示出了根据本发明说明双稳态可编程电阻式随机存取存储器 600 从逻辑状态「00」至其它三个逻辑状态,逻辑状态「01」、逻辑状态「10」以及逻辑状态「11」的流程图 1400。在步骤 1410,双稳态可编程电阻式随机存取存储器 600 可编程从逻辑状态「00」至三逻辑状态、逻辑状态「01」、逻辑状态「10」及逻辑状态「11」。在步骤 1410 中,双稳态可编程电阻式随机存取存储器 600 在逻辑状态「00」。假如,双稳态可编程电阻式随机存取存储器 600 从逻辑状态「00」编程至逻辑状态「01」,在步骤 1420 中此双稳态可编程电阻式随机存取存储器 600 首先从逻辑状态「00」编程至逻辑状态「11」,以及其次在步骤 1430 中从逻辑状态「11」编程至逻辑状态「01」。在步骤 1420 中此双稳态可编程电阻式随机存取存储器 600 由逻辑状态「00」编程至逻辑状态「11」,其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的差值电压相等于一高电压 V_{high} ,以数学式表示为 $V_{b1} - V_{b2} = V_{high}$,此第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{SET} 电压,且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{SET} 电压。在步骤 1430 中双稳态可编程电阻式随机存取存储器 600 从逻辑状态「11」编程至逻辑状态「01」,其第一元位线电压 V_{b1} 1320 和第二位线电压 V_{b2} 1330 间的电压差值相等于一负低电压 $-V_{low}$,以数学式表示为 $V_{b2} - V_{b1} = -V_{low}$,其第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值小于 V_{RESET} 电压的绝对值,以及第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{RESET} 电压的绝对值。

[0195] 在步骤 1440 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「00」编程至逻辑状态「10」,在第一位线电压 V_{b1} 1320 和第二位线电压 V_{b2} 1330 间的电压差值等于一低电压 V_{low} ,而以数学式表示为 $V_{b2} - V_{b1} = V_{low}$,第二电阻式随机存取存储器电压 V_{2RRAM} 1314 小于 V_{SET} 电压,且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{SET} 电压。在步骤 1450 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「00」编程至逻辑状态「11」,其第一位线电压 V_{b1} 1320 和第二位线电压 V_{b2} 1330 间的电压差值等于高电压 V_{high} ,由数学式表示为 $V_{b1} - V_{b2} = V_{high}$,此第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{SET} 电压,且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{SET} 电压。

[0196] 图 15 示出了根据本发明说明双稳态可编程电阻式随机存取存储器 600 从逻辑状态「01」至其它三个逻辑状态,逻辑状态「00」、逻辑状态「10」以及逻辑状态「11」的流程图 1500。在步骤 1510,双稳态可编程电阻式随机存取存储器 600 位于逻辑状态「01」。在步骤 1520,双稳态电阻式随机存取存储器 600 由逻辑状态「01」编程至逻辑状态「00」,第一位线电压 V_{b1} 1320 和第二位线电压 V_{b2} 1330 间的电压差值相等于一负高电压 $-V_{high}$,由数学式表示为 $V_{b1} - V_{b2} = -V_{high}$,且第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值大于 V_{RESET} 电压,以及第一电阻式随机存取存储器电压 V_{1RRAM} 1313 的绝对值大于 V_{RESET} 电压。

[0197] 假如双稳态可编程电阻式随机存取存储器 600 从逻辑状态「01」编程至逻辑状态「10」,此双稳态可编程电阻式随机存取存储器 600 在步骤 1530 中首先由逻辑状态「01」编程至逻辑状态「00」,其次在步骤 1540 中由逻辑状态「00」编程至逻辑状态「10」。在步骤 1530 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「01」编程至逻辑状态「00」,其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的电压差值相等于一负高电压 $-V_{high}$,以数学式表示为 $V_{b1} - V_{b2} = -V_{high}$,其第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值大于 V_{RESET} 电压,且第一电阻式随机存取存储器 V_{1RRAM} 1313 的绝对值大于 V_{RESET} 电压。在步骤 1540 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「00」编程至逻辑状态「10」,其第一

位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的电压差值相等于一低电压 V_{low} ，以数学式表示为 $V_{b1}-V_{b2} = V_{low}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{RESET} 电压，且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 小于 V_{RESET} 电压。

[0198] 在步骤 1550 中，双稳态可编程电阻式随机存取存储器 600 从逻辑状态「01」编程至逻辑状态「11」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的电压差值相等于一高电压 V_{high} ，以数学式表示为 $V_{b1}-V_{b2} = V_{high}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{SET} 电压，且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{SET} 电压。

[0199] 图 16 示出了根据本发明说明双稳态可编程电阻式随机存取存储器 600 从逻辑状态「10」编程至其它三个逻辑状态，逻辑状态「00」、逻辑状态「01」以及逻辑状态「11」的流程图 1600。在步骤 1610，双稳态可编程电阻式随机存取存储器 600 于逻辑状态「10」。在步骤 1620 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「10」编程至逻辑状态「00」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的电压差值相等于一负高电压 $-V_{high}$ ，以数学式表示为 $V_{b1}-V_{b2} = -V_{high}$ ，其第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值大于 V_{RESET} 电压，及第一电阻式随机存取存储器电压 V_{1RRAM} 1313 的绝对值大于 V_{RESET} 电压。

[0200] 假如双稳态可编程电阻式随机存取存储器 600 由逻辑状态「10」编程至逻辑状态「01」，在步骤 1630 中此双稳态可编程电阻式随机存取存储器 600 首先由逻辑状态「10」编程至逻辑状态「11」，其次，在步骤 1640 中由逻辑状态「11」编程至逻辑状态「01」。在步骤 1630 中双稳态可编程电阻式随机存取存储器 600 从逻辑状态「10」编程至逻辑状态「11」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 间的电压差值相等于一高电压 V_{high} ，以数学式表示为 $V_{b1}-V_{b2} = V_{high}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{SET} 电压，且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 大于 V_{SET} 电压。在步骤 1640 中，双稳态可编程电阻式随机存取存储器 600 由逻辑状态「11」编程至逻辑状态「01」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 的电压差值相等于一负低电压 $-V_{low}$ ，以数学式表示为 $V_{b1}-V_{b2} = -V_{low}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值大于 V_{RESET} 电压的绝对值，且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 的绝对值小于 V_{RESET} 电压的绝对值。

[0201] 在步骤 1650 中，双稳态可编程电阻式随机存取存储器 600 由逻辑状态「10」编程至逻辑状态「11」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 的电压差值相等于一高电压 V_{high} ，以数学式表示为 $V_{b1}-V_{b2} = V_{high}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 大于 V_{SET} 电压，且第一电阻式随机存取存储器电压 V_{1RRAM} 1312 大于 V_{SET} 电压。

[0202] 图 17 示出了根据本发明说明双稳态可编程电阻式随机存取存储器 600 的从逻辑状态「1」编程至其它三个逻辑状态，逻辑状态「00」、逻辑状态「01」以及逻辑状态「10」的流程图 1700。在步骤 1710 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「11」编程至逻辑状态「00」，其介于第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 的电压差值相等于一负高电压 $-V_{high}$ ，以数学式表示为 $V_{b1}-V_{b2} = -V_{high}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的绝对值大于 V_{RESET} 电压，且第一电阻式随机存取存储器电压 V_{1RRAM} 1313 的绝对值大于 V_{RESET} 电压。

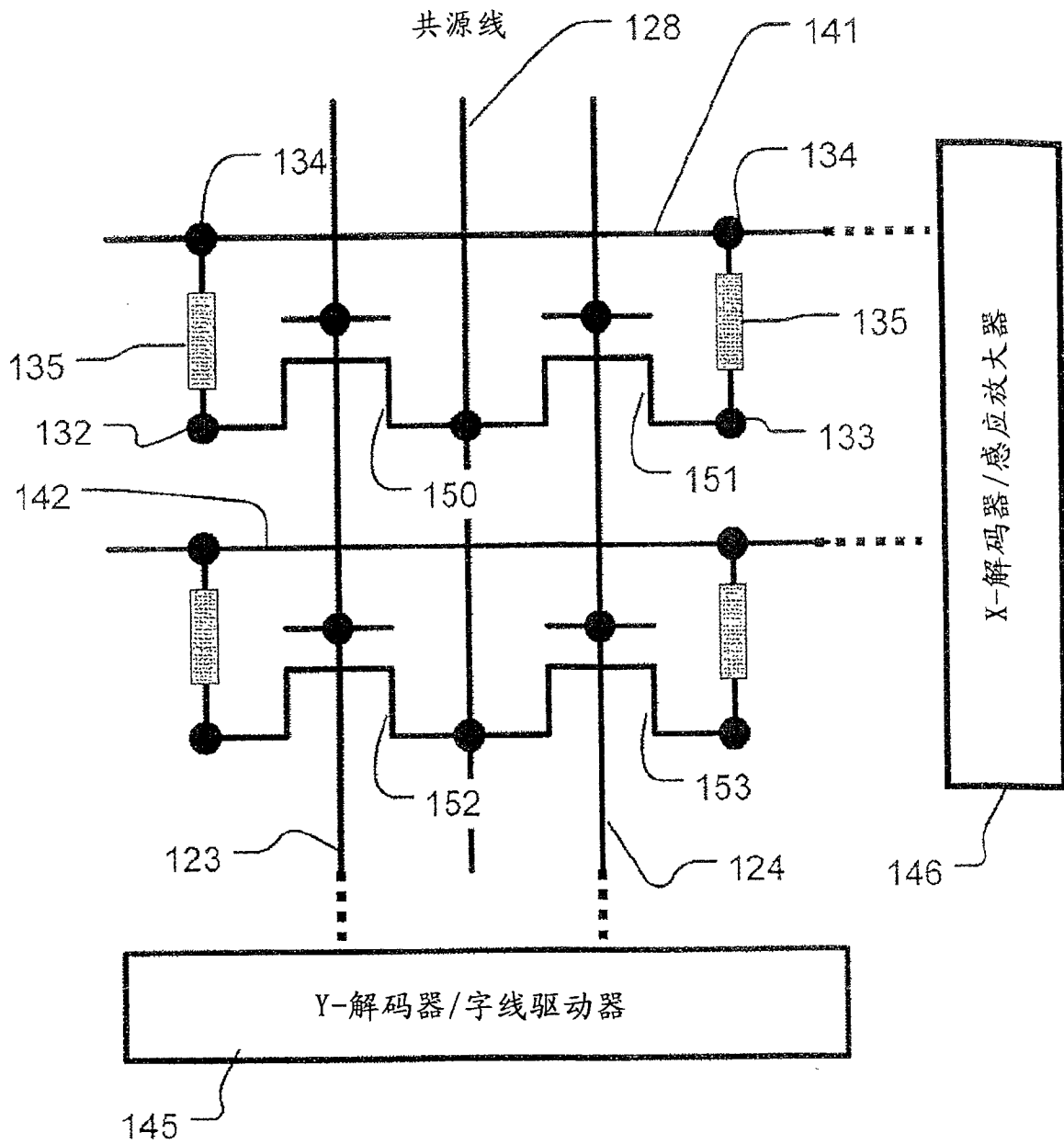
[0203] 在步骤 1730 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「11」编程至逻辑状态「01」，其第一位线电压 V_{b1} 1320 及第二位线电压 V_{b2} 1330 之间的电压差值相等于一负低电压 $-V_{low}$ ，以数学式表示为 $V_{b1}-V_{b2} = -V_{low}$ ，第二电阻式随机存取存储器电压 V_{2RRAM} 1314 的

绝对值大于 V_{RESET} 电压的绝对值,且第一电阻式随机存取存储器电压 $V_{\text{1RRAM}1313}$ 的绝对值小于 V_{RESET} 电压的绝对值。

[0204] 假如双稳态可编程电阻式随机存取存储器 600 由逻辑状态「11」编程至逻辑状态「10」,在步骤 1740 双稳态可编程电阻式随机存取存储器 600 首先由逻辑状态「11」编程至逻辑状态「00」,其次在步骤 1750 中由逻辑状态「00」编程至逻辑状态「10」。在步骤 1740 中双稳态可编程电阻式随机存取存储器 600 由逻辑状态「11」编程至逻辑状态「00」,其第一位线电压 $V_{\text{b1}1320}$ 及第二位线电压 $V_{\text{b2}1330}$ 之间的电压差值相等于负高电压 $-V_{\text{high}}$,以数学式表示为 $V_{\text{b1}}-V_{\text{b2}} = -V_{\text{high}}$,第二电阻式随机存取存储器电压 $V_{\text{2RRAM}1314}$ 的绝对值大于 V_{RESET} 电压,且第一电阻式随机存取存储器电压 $V_{\text{1RRAM}1313}$ 的绝对值大于 V_{RESET} 电压。在步骤 1750 中,其双稳态可编程电阻式随机存取存储器 600 由逻辑状态「00」编程至逻辑状态「10」,其第一位线电压 $V_{\text{b1}1320}$ 及第二位线电压 $V_{\text{b2}1330}$ 之间的电压差值相等于负低电压 $-V_{\text{low}}$,以数学式表示为 $V_{\text{b1}}-V_{\text{b2}} = -V_{\text{low}}$,第二电阻式随机存取存储器电压 $V_{\text{2RRAM}1314}$ 大于 V_{SET} 电压,且第一电阻式随机存取存储器电压 $V_{\text{1RRAM}1313}$ 小于 V_{SET} 电压。

[0205] 关于相变化随机存取存储器装置的制造、材料组成、使用及操作的其它信息,请见美国专利案号 No. 11/155,067 "Thin Film Fuse Phase Change RAM and Manufacturing Method.", 此专利于 2005 年 6 月 17 号申请并为此应用的受让人所拥有,包括在在此提出的参考文献中。

[0206] 综上所述,虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰。因此,本发明的保护范围当视本发明的申请专利范围所界定者为准。



100

图 1

200

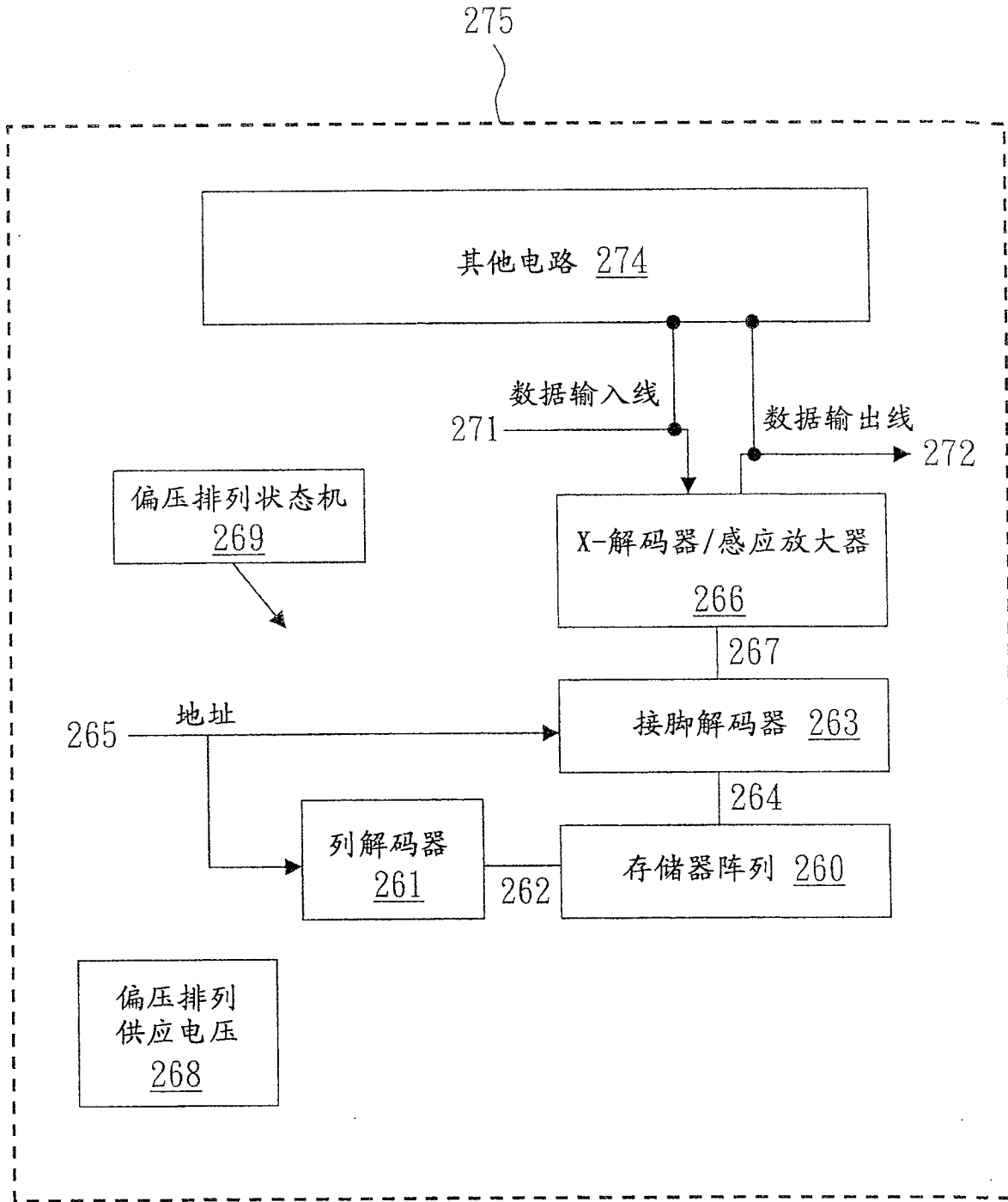


图 2

300

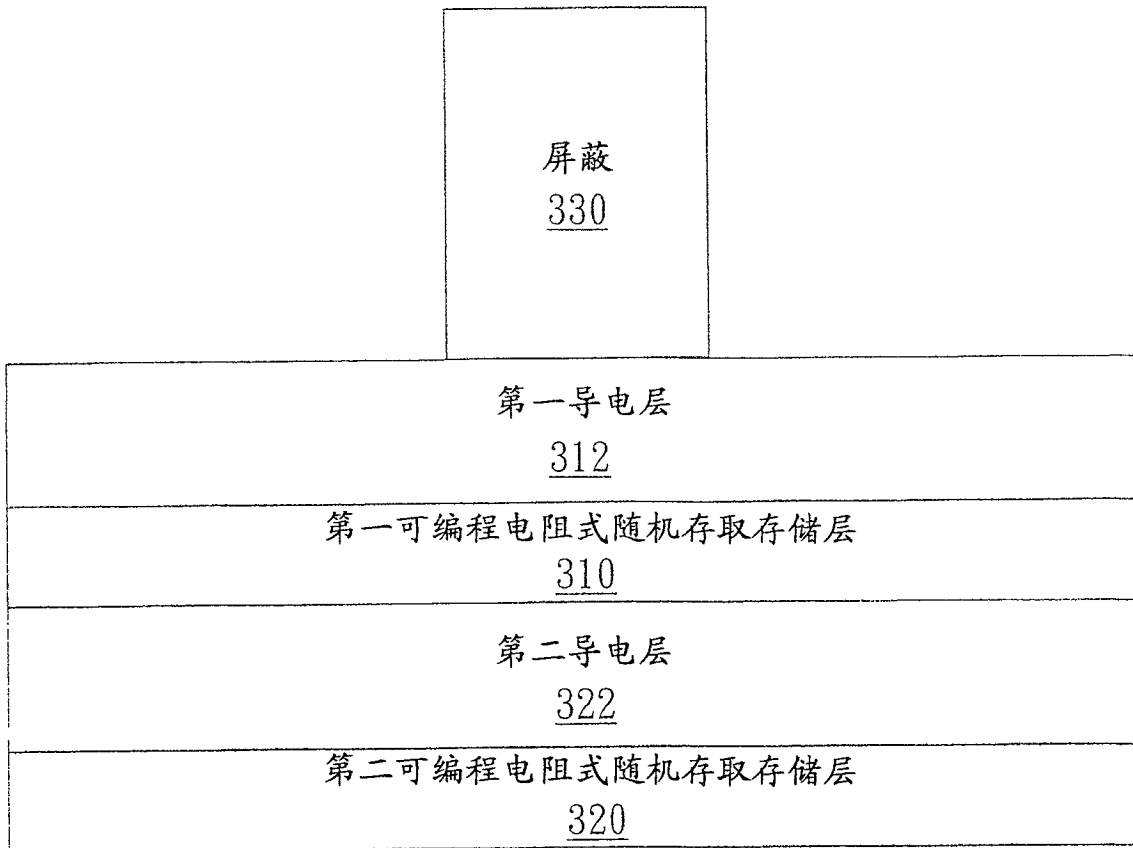


图 3

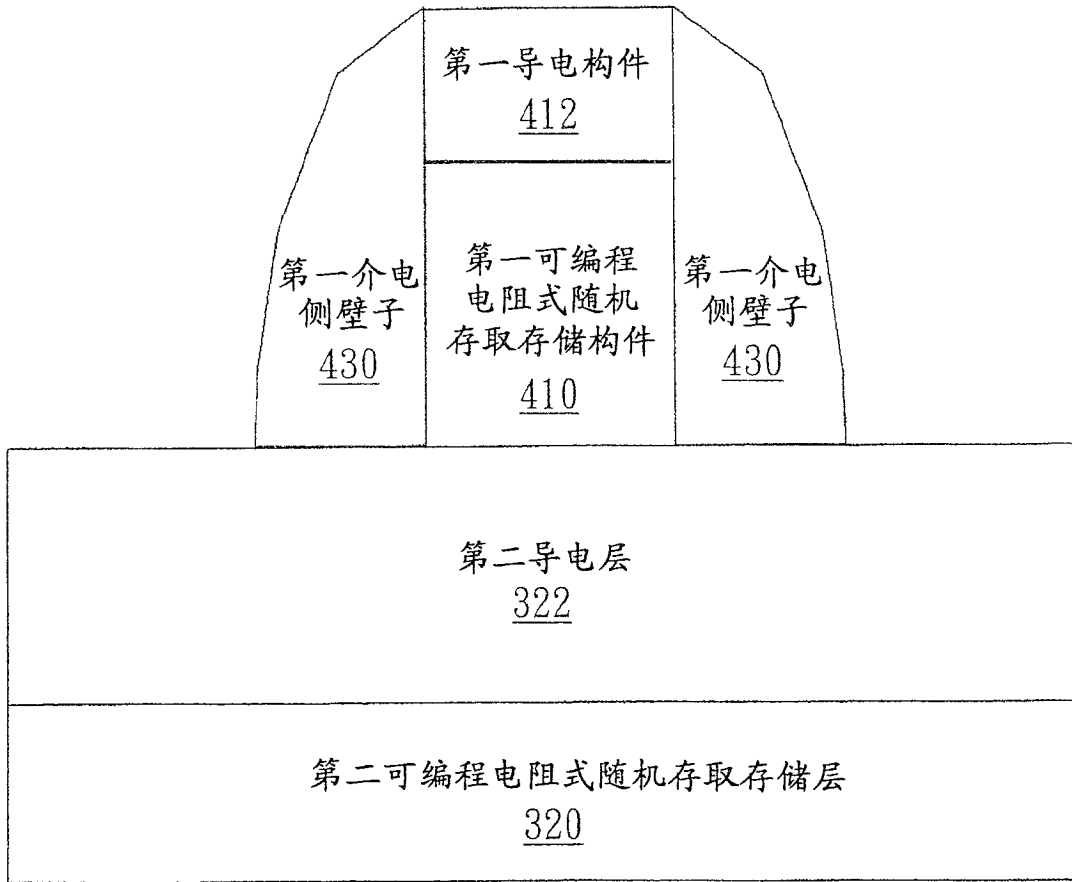


图 4

500

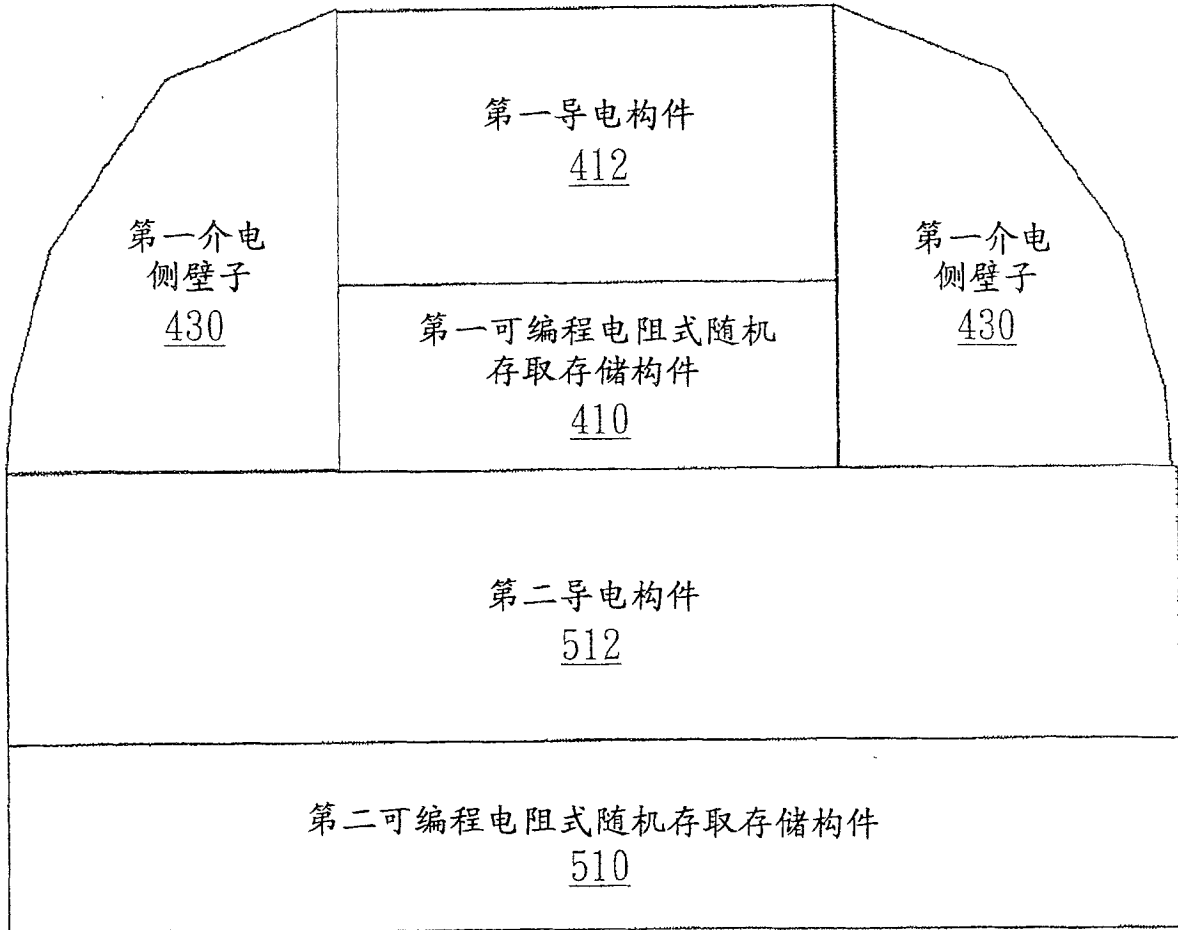


图 5

600

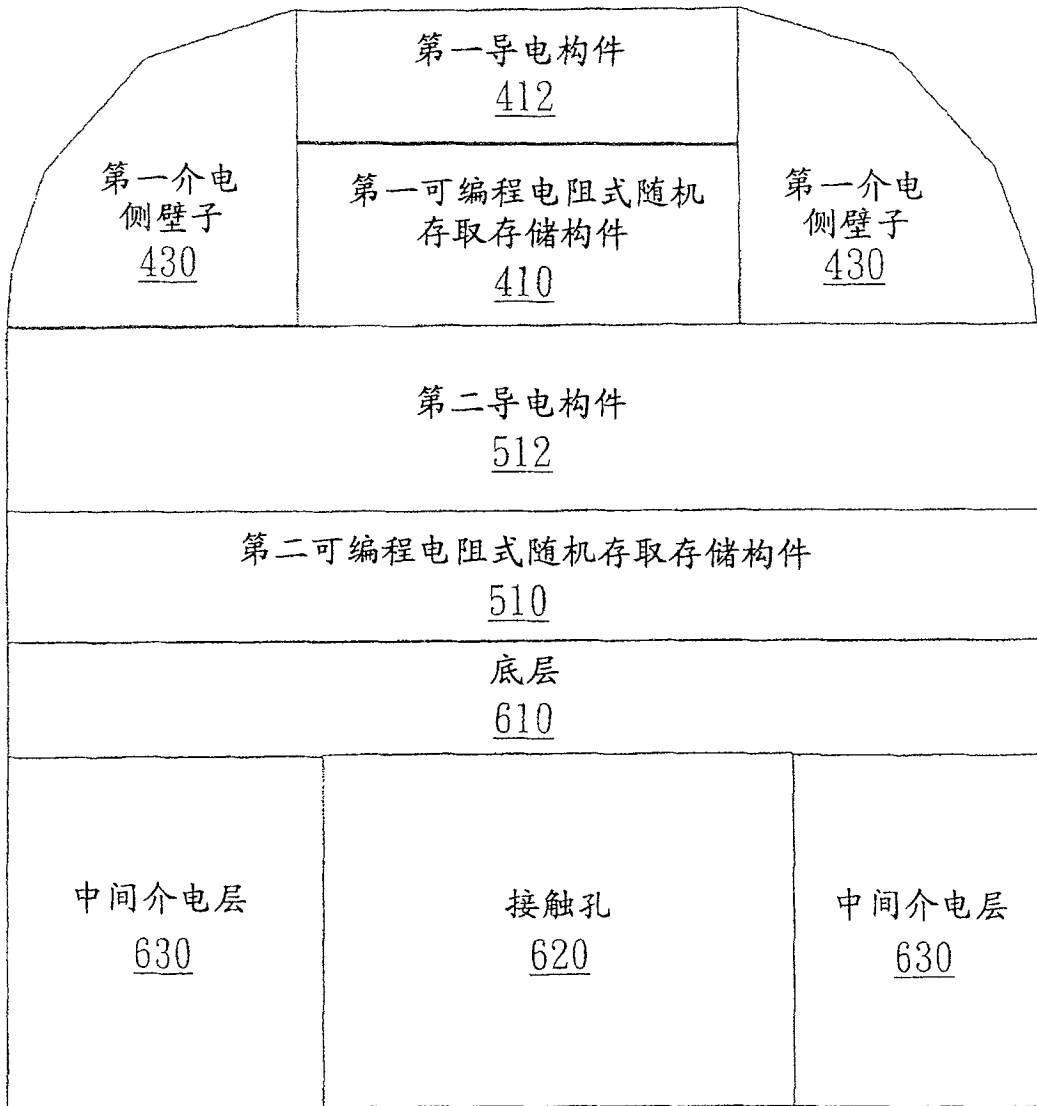


图 6

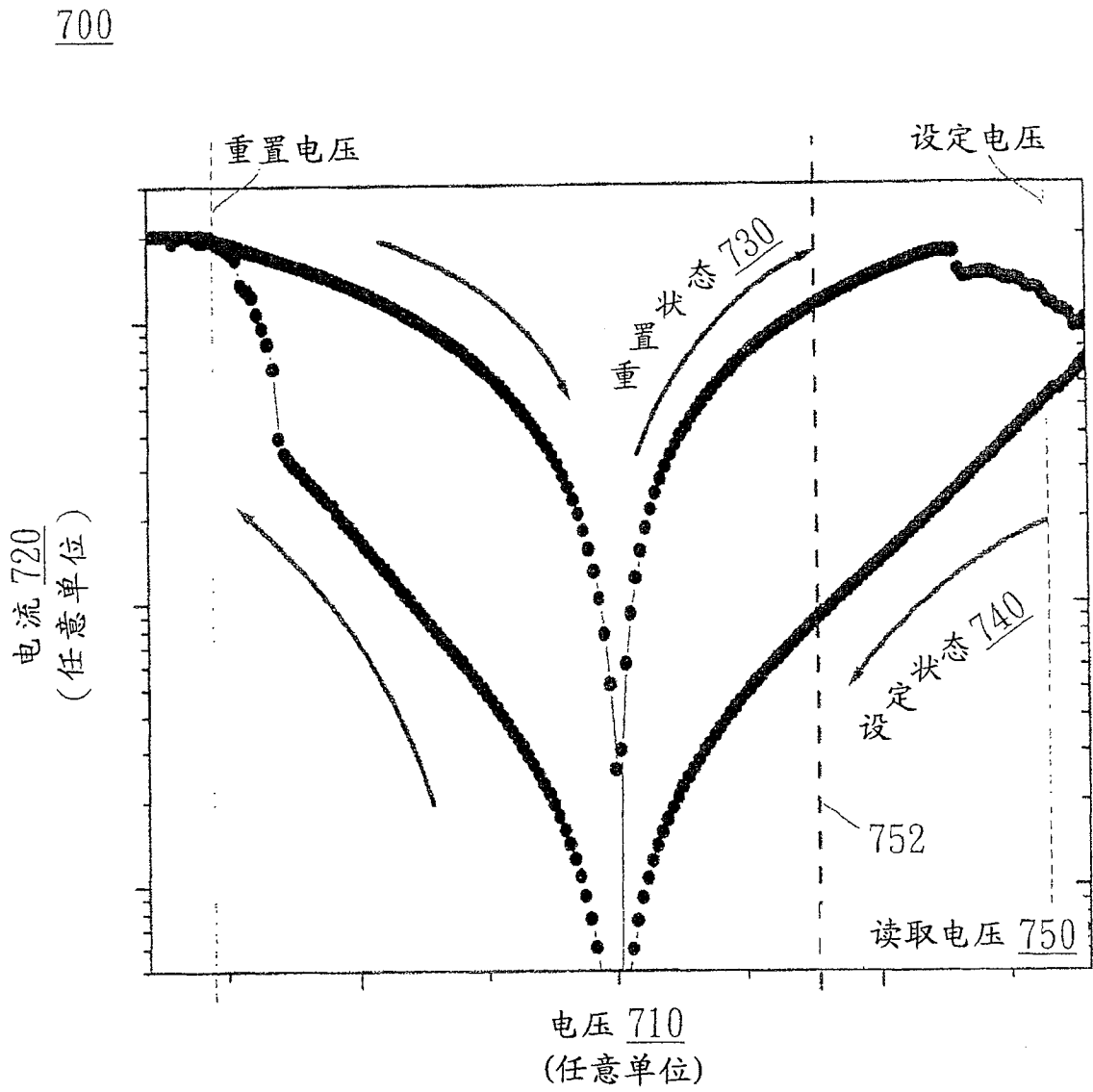


图 7

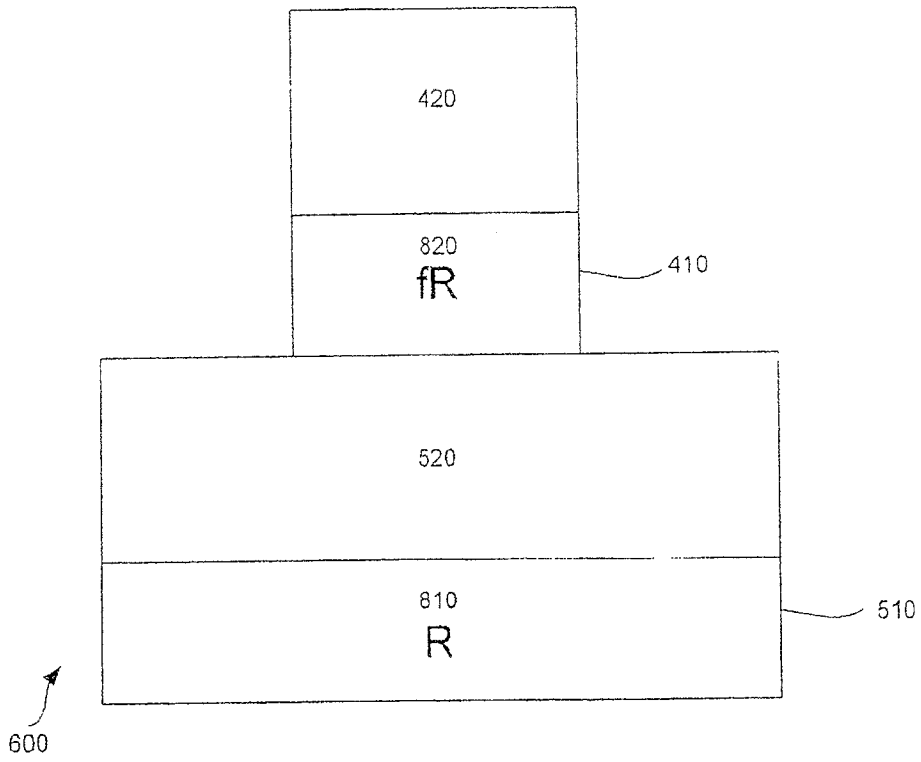


图 8A

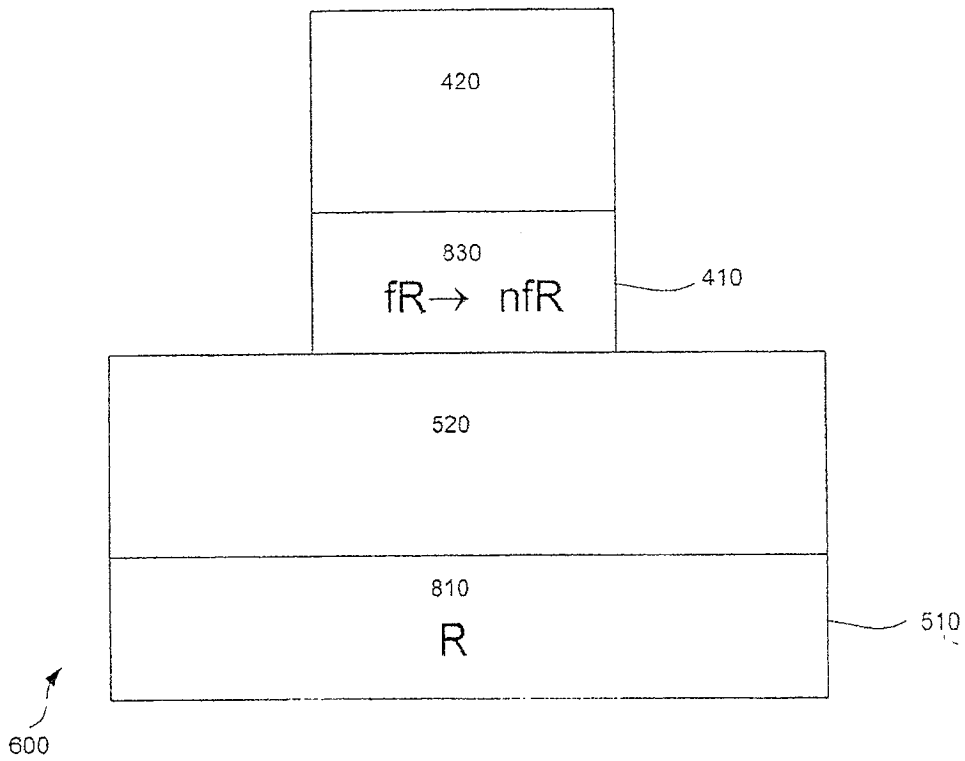


图 8B

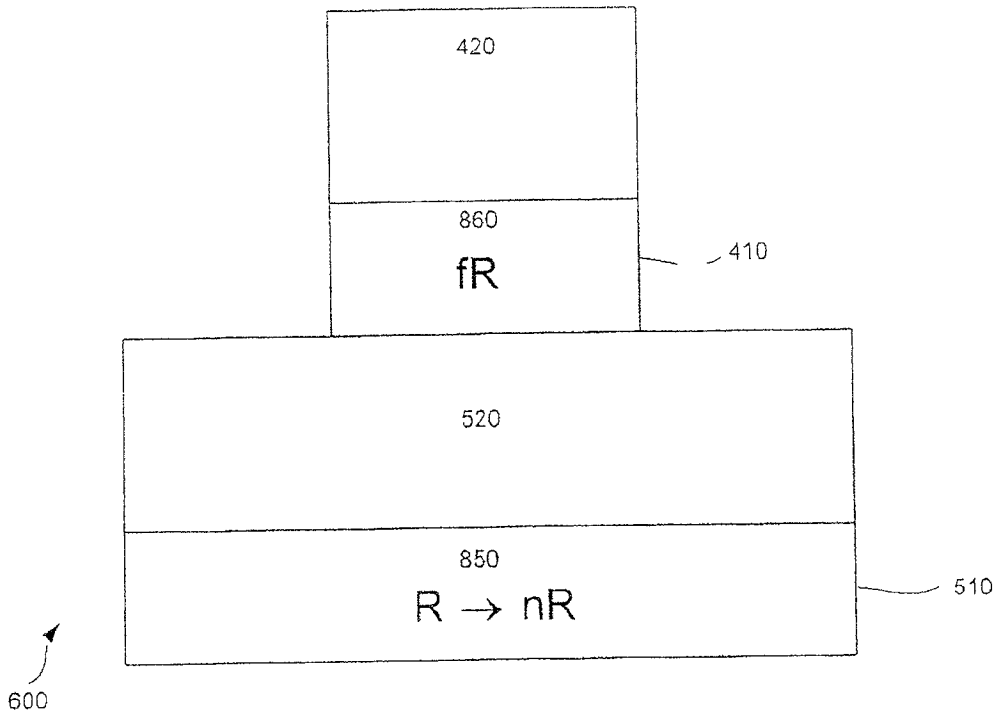


图 8C

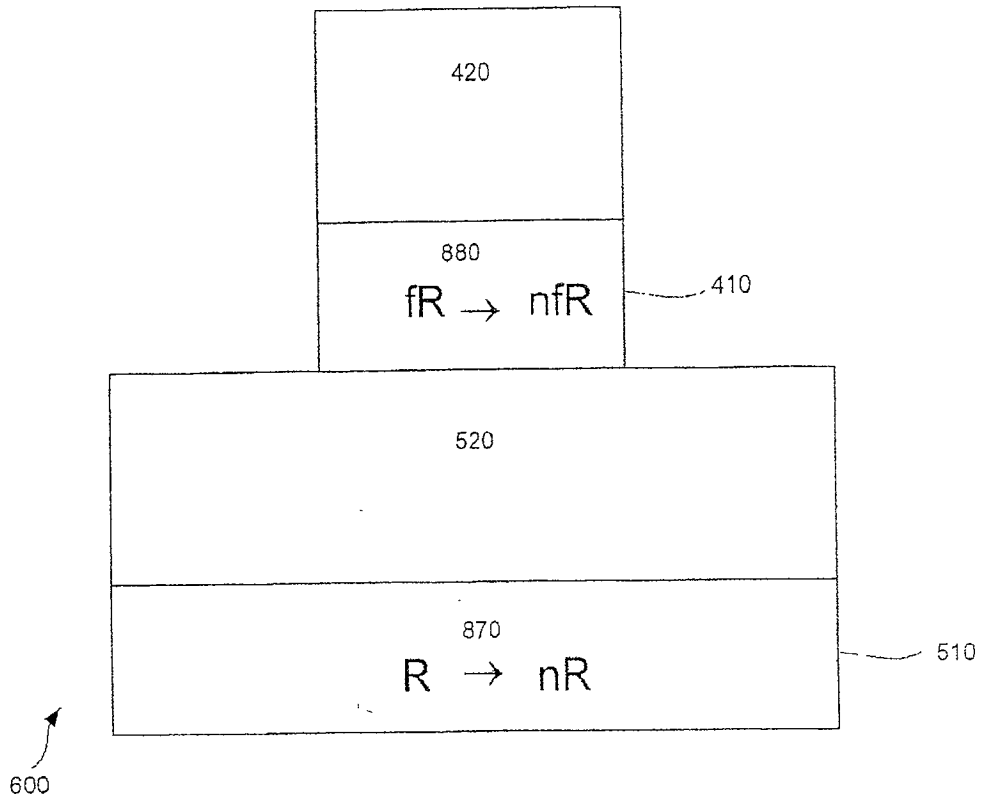


图 8D

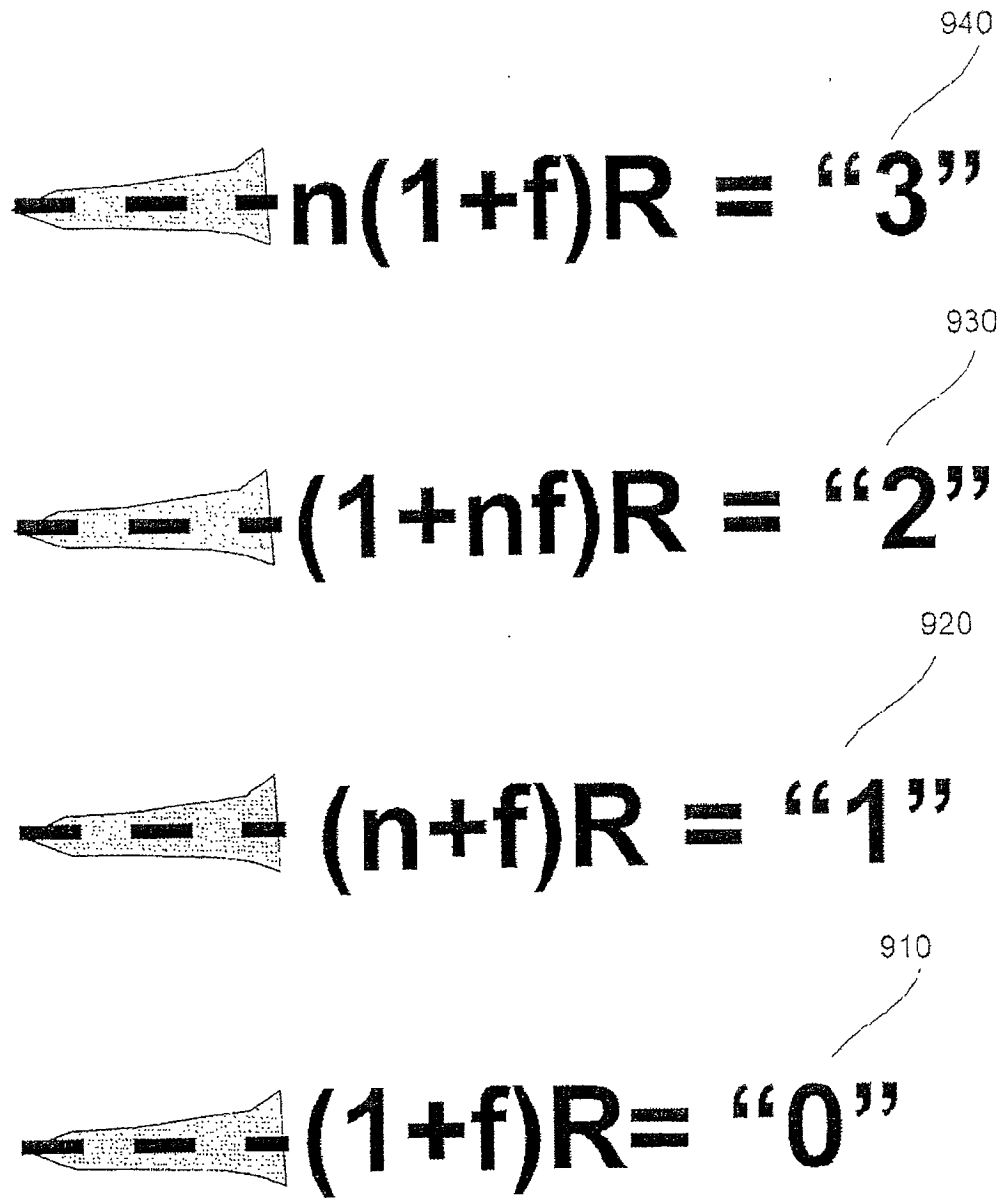


图 9

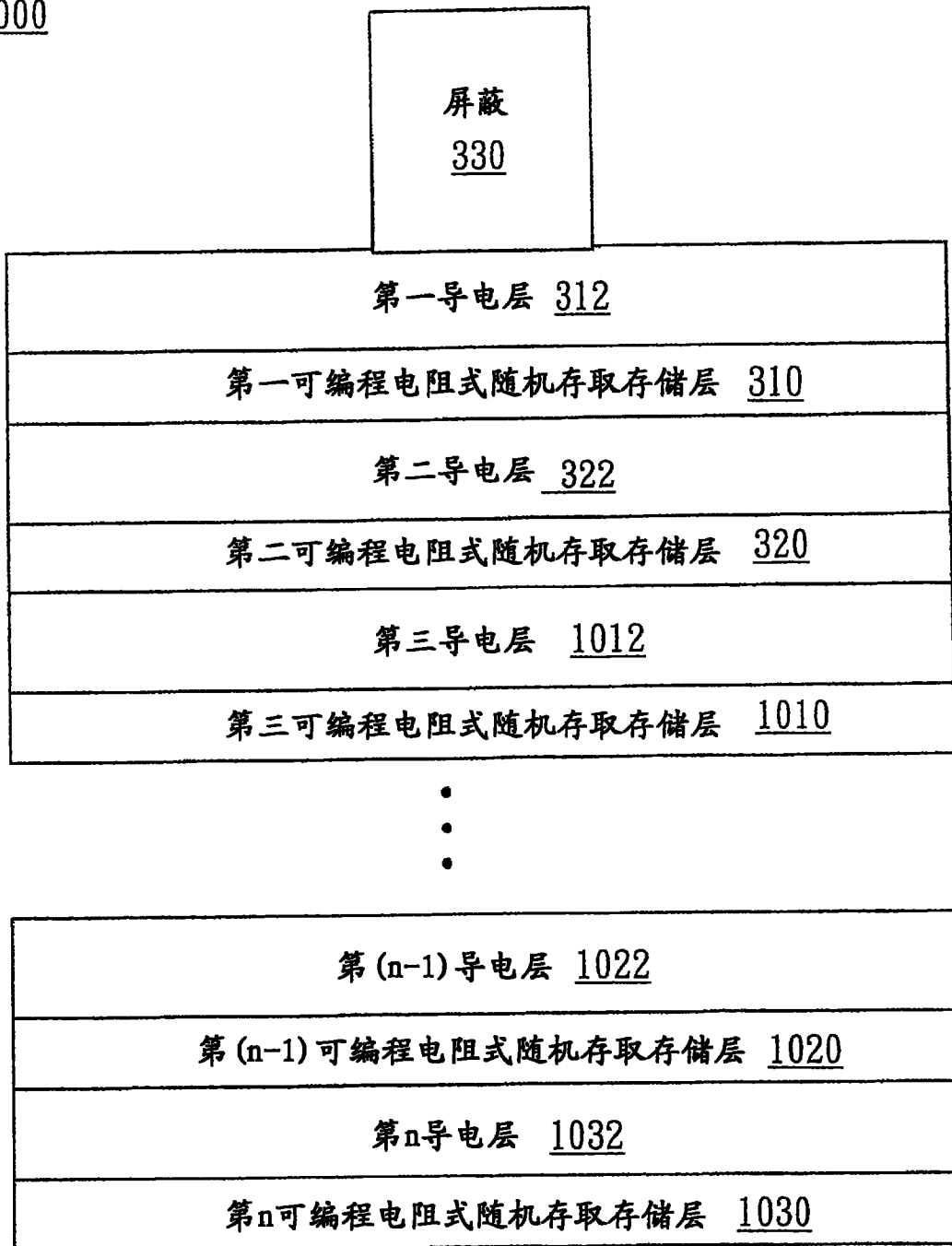
1000

图 10

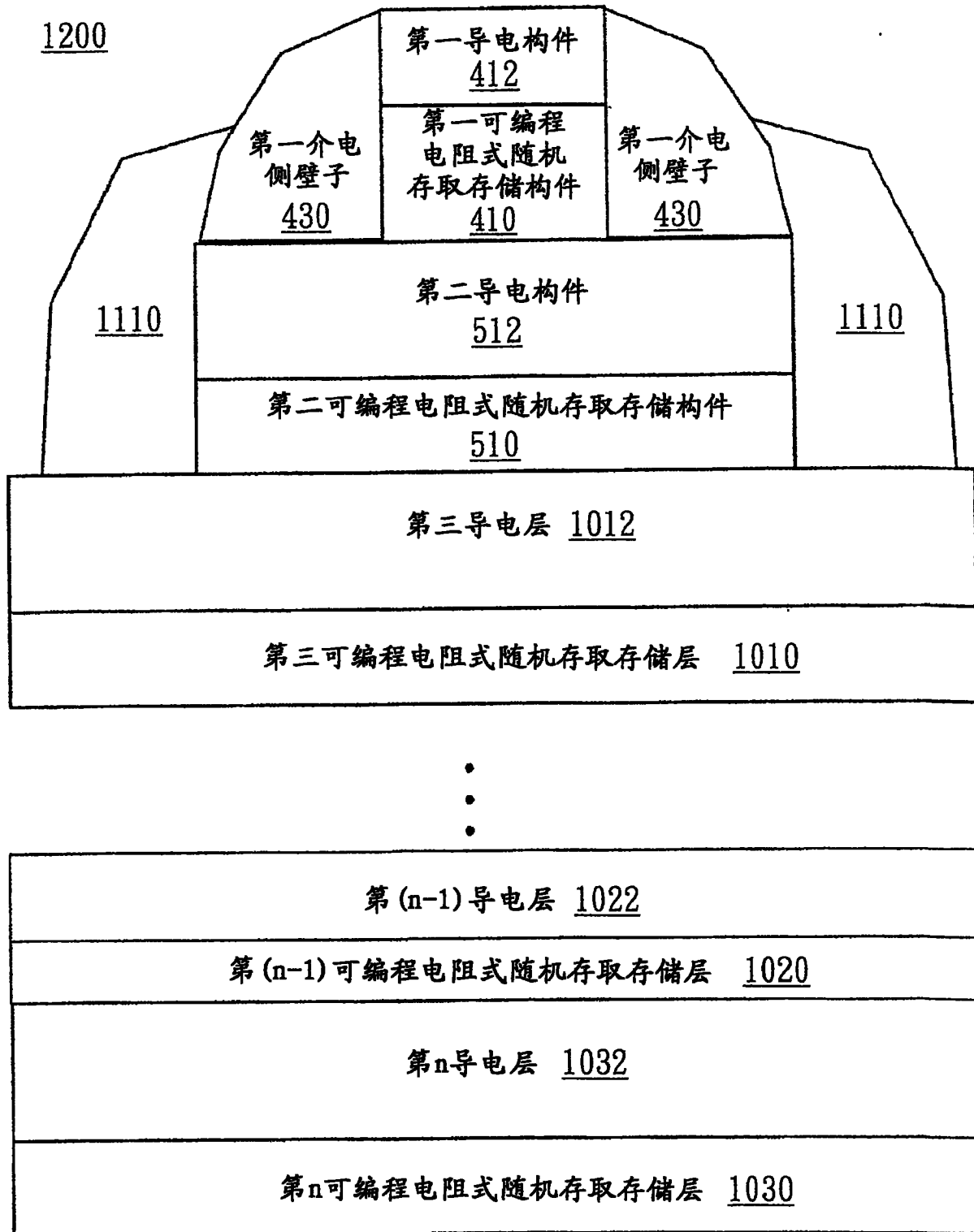


图 11

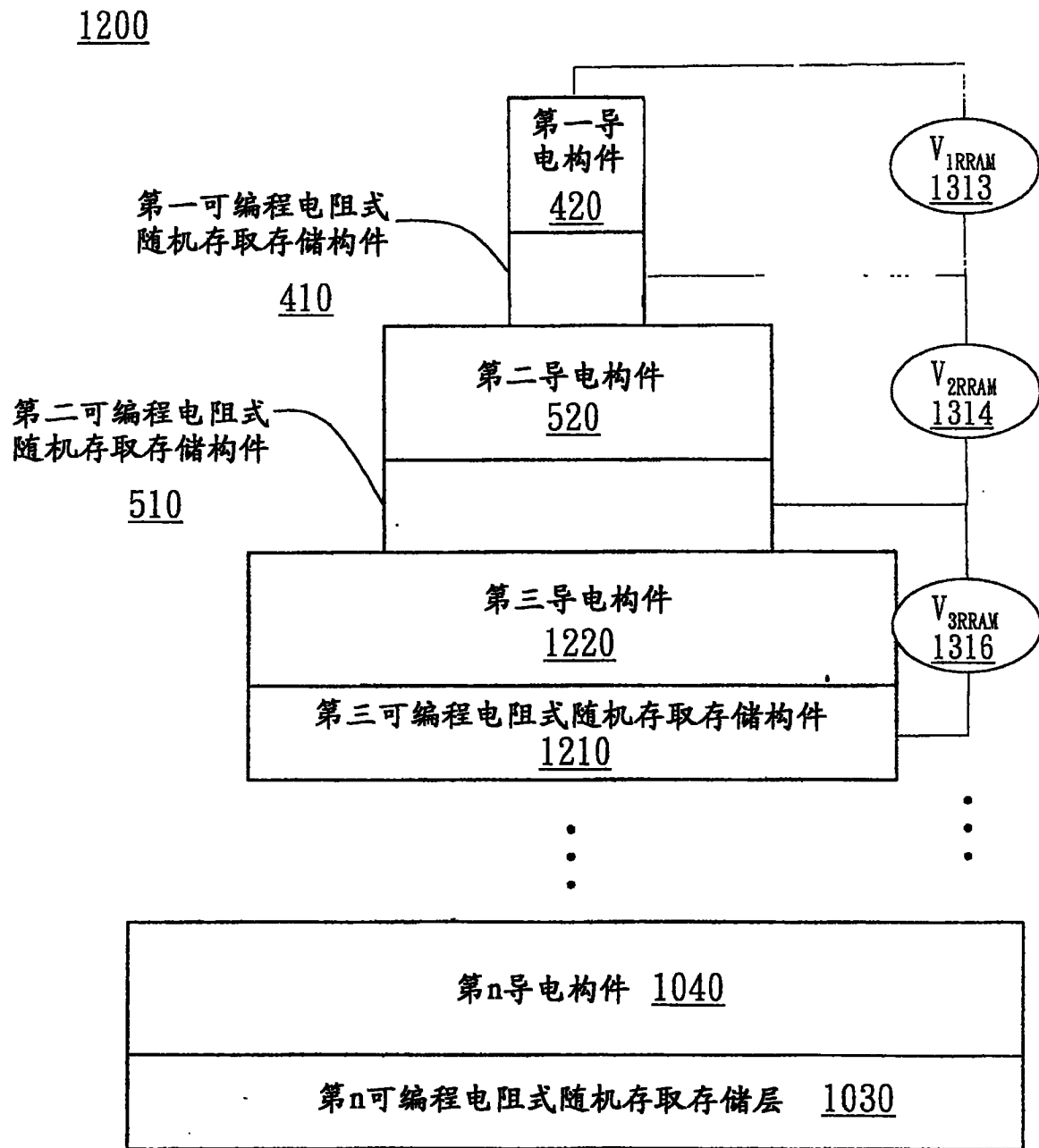


图 12

1300

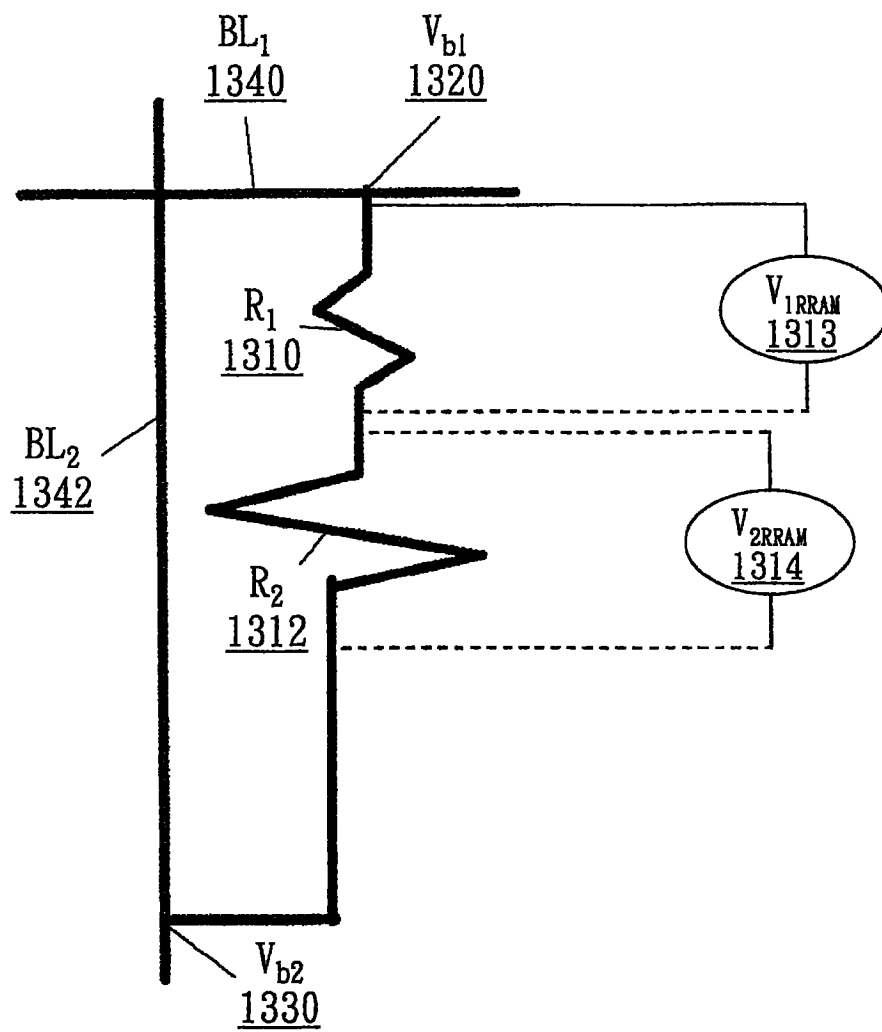


图 13

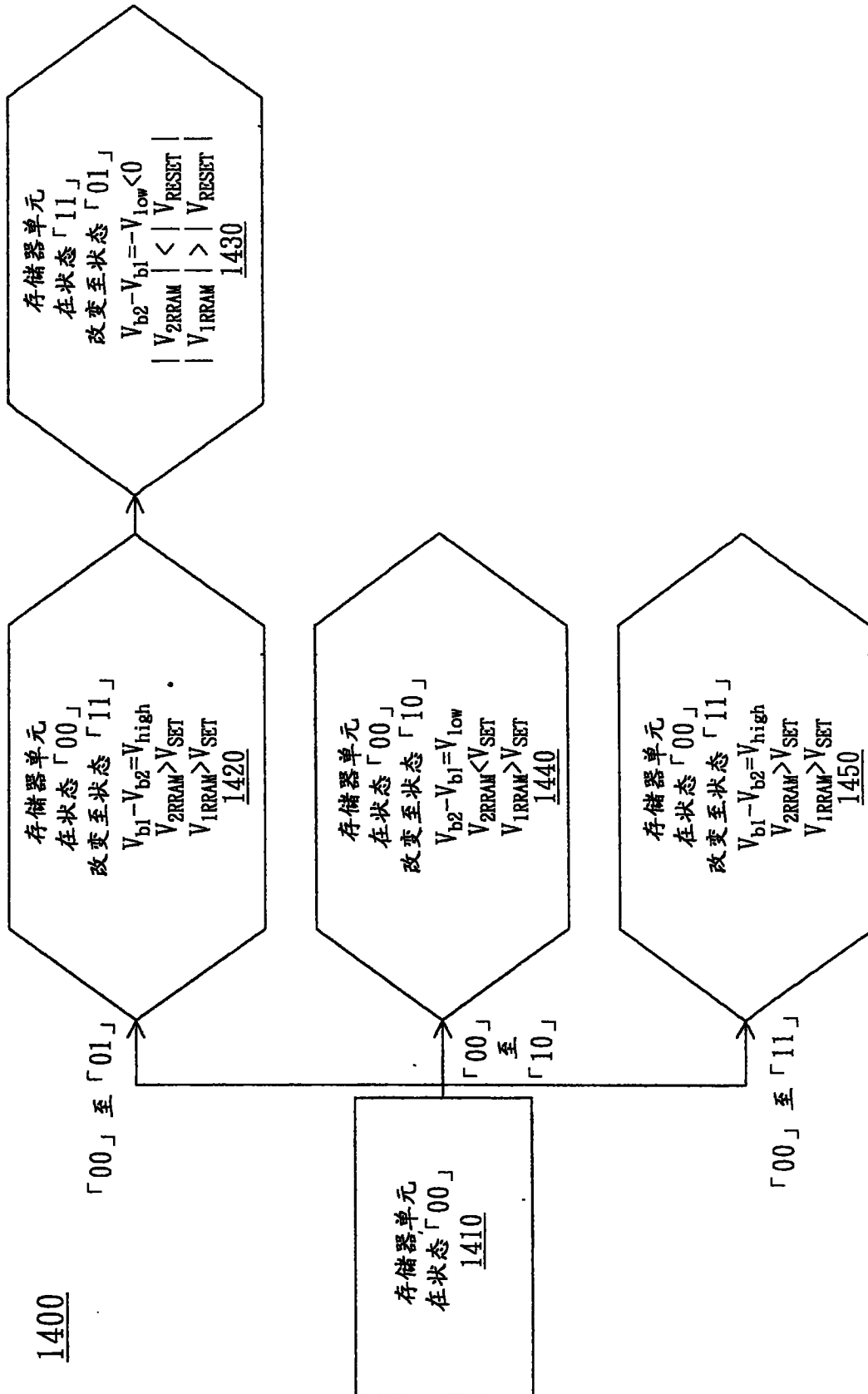


图 14

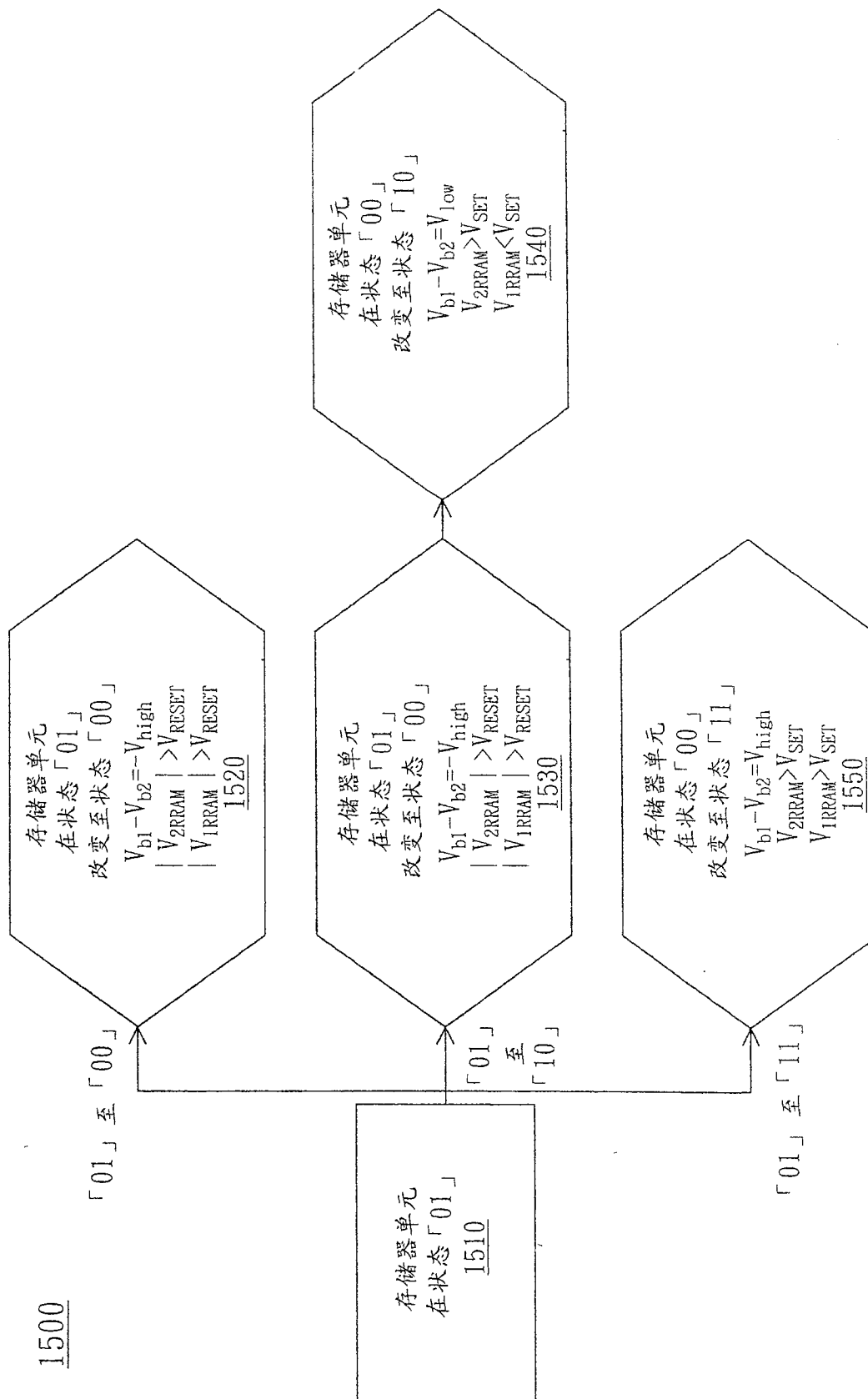


图 15

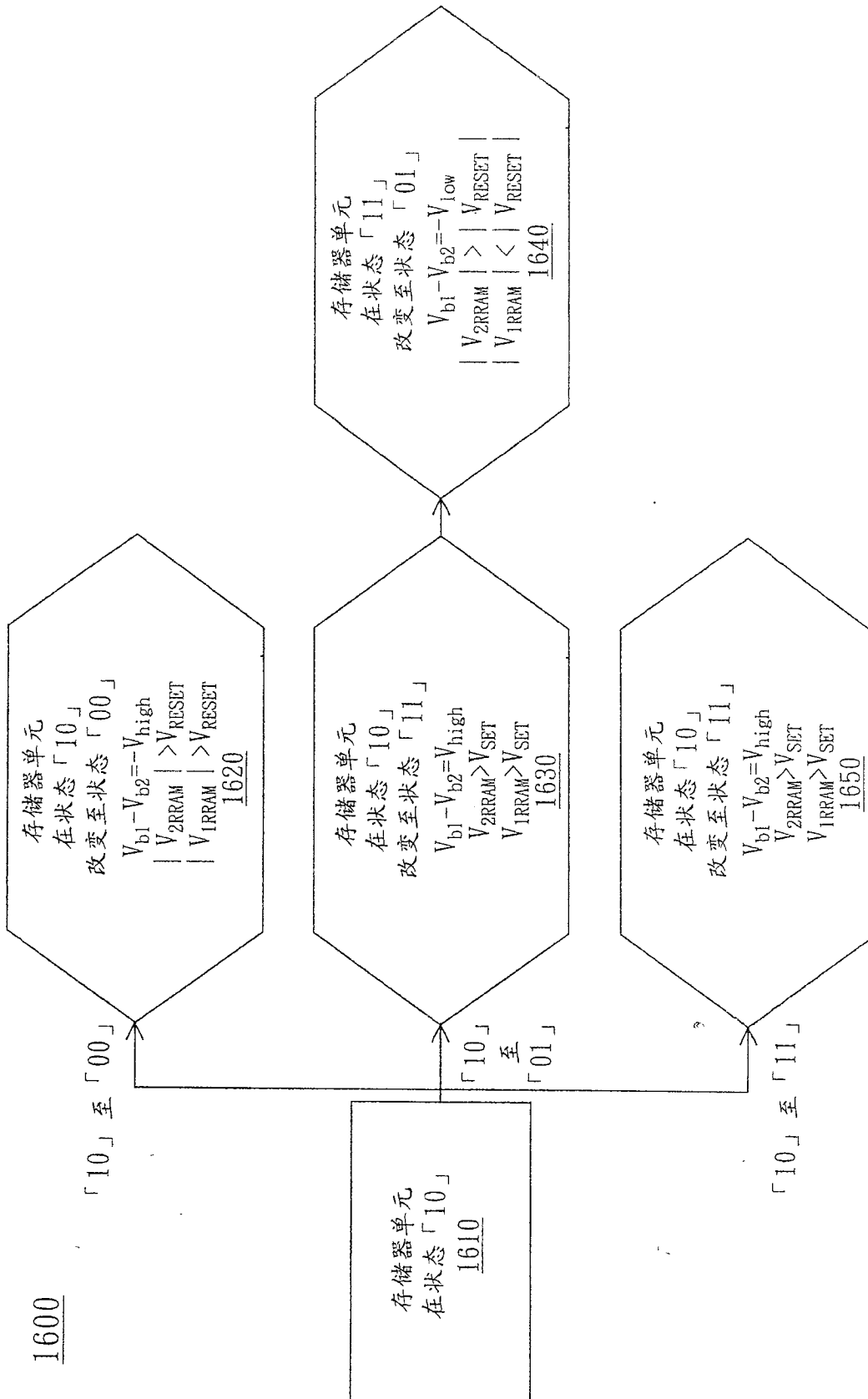


图 16

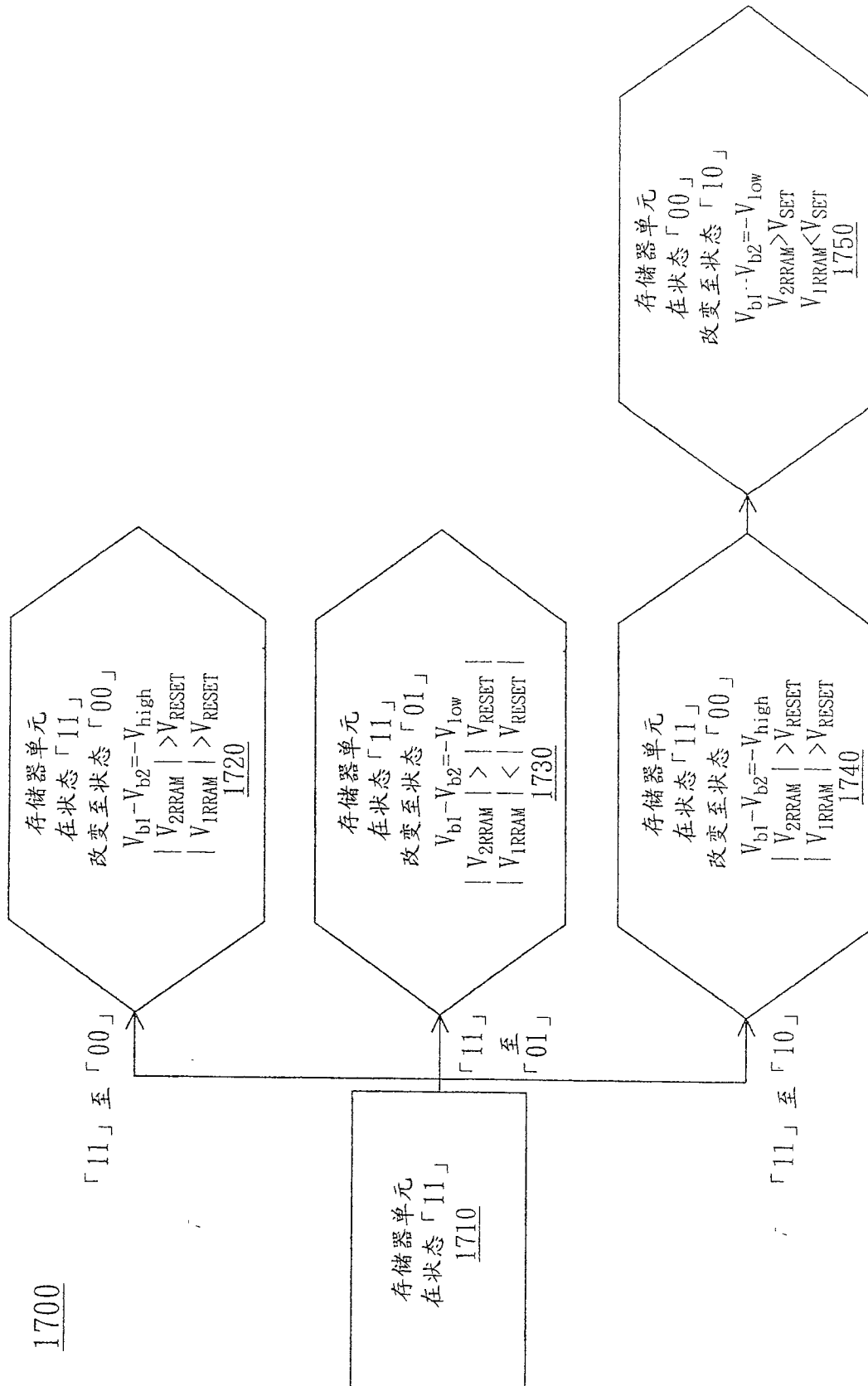


图 17