I884396

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I884396 B**

(45)公告日： 中華民國 114 (2025) 年 05 月 21 日

(21)申請案號：111142520 (22)申請日： 中華民國 111 (2022) 年 11 月 08 日

(51)Int. Cl.： *G11C7/06 (2006.01)* *G11C11/4063(2006.01)*
G11C11/40 (2006.01) *G06F13/14 (2006.01)*

(30)優先權：2022/06/23 中國大陸 202210726556.3

(71)申請人：大陸商長鑫存儲技術有限公司 (中國大陸) CHANGXIN MEMORY TECHNOLOGIES, INC. (CN)
中國大陸

(72)發明人：林 峰 LIN, FENG (US)

(74)代理人：許世正

(56)參考文獻：

TW	I409635B	CN	100401269C
CN	111159081A	CN	112753071A
CN	113517011A	KR	10-2009-0044055A
US	10825493B2	US	2008/0089155A1
US	2009/0129459A1	US	2021/0266201A1

審查人員：陳俊達

申請專利範圍項數：8 項 圖式數：8 共 45 頁

(54)名稱

數據接收電路、數據接收系統以及存儲裝置

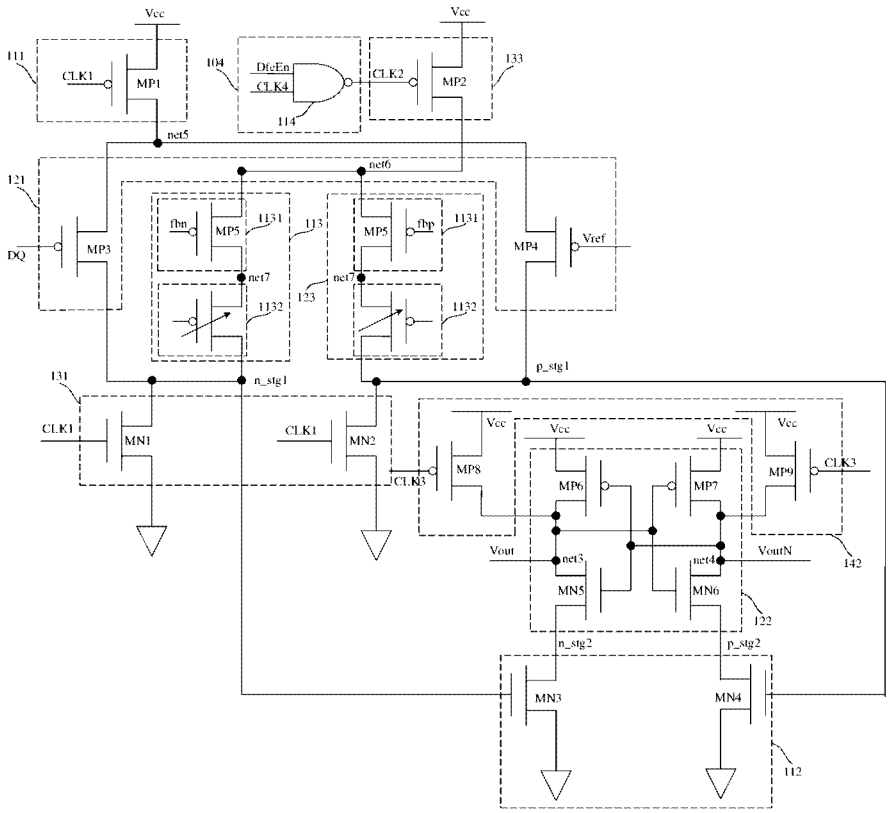
(57)摘要

本發明實施例提供一種數據接收電路、數據接收系統以及存儲裝置，數據接收電路包括：第一放大模組被配置為，接收數據訊號和參考訊號，響應於第一採樣時脈訊號對數據訊號和參考訊號進行比較，並輸出第一電壓訊號和第二電壓訊號；決策回饋控制模組被配置為，響應於致能訊號生成第二採樣時脈訊號；決策回饋均衡模組被配置為，在致能訊號具有第一電平值期間，響應於第二採樣時脈訊號和反饋訊號執行決策回饋均衡，在致能訊號具有第二電平值期間，停止執行決策回饋均衡；第二放大模組被配置為，對第一電壓訊號與第二電壓訊號進行處理，並輸出第一輸出訊號和第二輸出訊號。本發明實施例至少有利於在提高數據接收電路的接收性能的同時降低其功耗。

The embodiments of the present disclosure provide a data receiving circuit, a data receiving system and a storage device. The data receiving circuit includes: a first amplification module configured to receive a data signal and a reference signal, compare the data signal and the reference signal in response to a first sampling clock signal, and output a first voltage signal and a second voltage signal; a decision feedback control module configured to generate a second sampling clock signal in response to the enable signal; a decision feedback equalization module configured to, when the enable signal is in a first level value interval, perform decision feedback equalization in response to the second sampling clock signal and stop performing the decision feedback equalization when the enable signal is in a second level value interval; and a second amplification module configured to process the first voltage signal and the second voltage signal and output the first output signal and the second output signal. The embodiments of the present disclosure are favorable

for at least improving the reception performance of the data receiving circuit and simultaneously reducing the power consumption of the data receiving circuit.

指定代表圖：



【圖5】

符號簡單說明：

111:第一電流源

121:比較單元

131:第一復位單元

112:輸入單元

122:鎖存單元

142:第二復位單元

113:第一決策回饋單元

1131:開關單元

1132:調節單元

123:第二決策回饋單元

133:第二電流源

104:決策回饋控制模組

114:反及閘電路

I884396

【發明摘要】

【中文發明名稱】 數據接收電路、數據接收系統以及存儲裝置

【英文發明名稱】 DATA RECEIVING CIRCUIT, DATA RECEIVING SYSTEM AND STORAGE DEVICE

【中文】

本發明實施例提供一種數據接收電路、數據接收系統以及存儲裝置，數據接收電路包括：第一放大模組被配置為，接收數據訊號和參考訊號，響應於第一採樣時脈訊號對數據訊號和參考訊號進行比較，並輸出第一電壓訊號和第二電壓訊號；決策回饋控制模組被配置為，響應於致能訊號生成第二採樣時脈訊號；決策回饋均衡模組被配置為，在致能訊號具有第一電平值期間，響應於第二採樣時脈訊號和反饋訊號執行決策回饋均衡，在致能訊號具有第二電平值期間，停止執行決策回饋均衡；第二放大模組被配置為，對第一電壓訊號與第二電壓訊號進行處理，並輸出第一輸出訊號和第二輸出訊號。本發明實施例至少有利於在提高數據接收電路的接收性能的同時降低其功耗。

【英文】

The embodiments of the present disclosure provide a data receiving circuit, a data receiving system and a storage device. The data receiving circuit includes: a first amplification module configured to receive a data signal and a reference signal, compare the data signal and the reference signal in response to a first sampling clock signal, and output a first voltage signal and a second voltage signal; a decision feedback control module configured to generate a second sampling clock signal in response to the enable

signal; a decision feedback equalization module configured to, when the enable signal is in a first level value interval, perform decision feedback equalization in response to the second sampling clock signal and stop performing the decision feedback equalization when the enable signal is in a second level value interval; and a second amplification module configured to process the first voltage signal and the second voltage signal and output the first output signal and the second output signal. The embodiments of the present disclosure are favorable for at least improving the reception performance of the data receiving circuit and simultaneously reducing the power consumption of the data receiving circuit.

【指定代表圖】　　圖 5

【代表圖之符號簡單說明】

111:第一電流源

121:比較單元

131:第一復位單元

112:輸入單元

122:鎖存單元

142:第二復位單元

113:第一決策回饋單元

1131:開關單元

1132:調節單元

123:第二決策回饋單元

133:第二電流源

104:決策回饋控制模組

114:反及閘電路

【特徵化學式】

無。

113年08月23日 所提修正
113 年 8 月 23 日替換本

【發明說明書】

【中文發明名稱】 數據接收電路、數據接收系統以及存儲裝置

【英文發明名稱】 DATA RECEIVING CIRCUIT, DATA RECEIVING SYSTEM AND STORAGE DEVICE

【技術領域】

【0001】 本發明實施例涉及半導體技術領域，特別涉及一種數據接收電路、數據接收系統以及存儲裝置。

【先前技術】

【0002】 在記憶體應用中，隨著訊號傳輸速率越來越快，信道損耗對訊號質量的影響越來越大，容易導致碼間干擾。目前通常利用均衡電路對信道進行補償，均衡電路可以選擇CTLE(Continuous Time Linear Equalizer，連續線性均衡電路)或DFE(Decision Feedback Equalizer，決策回饋均衡電路)。

【0003】 然而，雖然增設均衡電路可以對訊號進行補償，但在數據接收電路中的增設均衡電路會增加數據接收電路的整體功耗。

【發明內容】

【0004】 本發明實施例提供一種數據接收電路、數據接收系統以及存儲裝置，至少有利於在提高數據接收電路的接收性能的同時，降低數據接收電路的功耗。

【0005】 根據本發明一些實施例，本發明實施例一方面提供一種數據接收電路，包括：第一放大模組，被配置為，接收數據訊號和參考訊號，響應於第一採樣時脈訊號對數據訊號以及參考訊號進行比較，並分別透過第一節點和第二節點輸出第一電壓訊號和第二電壓訊號；決策回饋控制模組，被配置為，響應於致能訊號生成第二採樣時脈訊號；決策回饋均衡模組，與所述第一節

點以及所述第二節點連接，被配置為，在所述致能訊號具有第一電平值期間，響應於所述第二採樣時脈訊號並基於反饋訊號執行決策回饋均衡，以調整所述第一電壓訊號以及所述第二電壓訊號，在所述致能訊號具有第二電平值期間，停止執行決策回饋均衡，其中，所述反饋訊號基於先前接收到的數據得到；第二放大模組，被配置為，對所述第一電壓訊號與所述第二電壓訊號的電壓差進行放大處理，並分別透過第三節點和第四節點輸出第一輸出訊號和第二輸出訊號。

【0006】 在一些實施例中，所述第一放大模組包括：第一電流源，被配置為，連接在電源節點和第五節點之間，響應於所述第一採樣時脈訊號向所述第五節點提供電流；比較單元，連接所述第五節點、所述第一節點以及所述第二節點，被配置為，接收所述數據訊號和所述參考訊號，當所述第一電流源響應於所述第一採樣時脈訊號向所述第五節點提供電流時，對所述數據訊號以及所述參考訊號進行比較，並透過所述第一節點輸出所述第一電壓訊號，透過所述第二節點輸出所述第二電壓訊號。

【0007】 在一些實施例中，所述第一電流源包括：第一 PMOS 電晶體，連接在所述電源節點與所述第五節點之間，所述第一 PMOS 電晶體的閘極接收所述第一採樣時脈訊號。

【0008】 在一些實施例中，所述比較單元包括：第三 PMOS 電晶體，連接在所述第五節點與所述第一節點之間，所述第三 PMOS 電晶體的閘極接收所述數據訊號；第四 PMOS 電晶體，連接在所述第五節點與所述第二節點之間，所述第四 PMOS 電晶體的閘極接收所述參考訊號。

【0009】 在一些實施例中，所述第一放大模組還包括：第一復位單元，連接所述第一節點以及所述第二節點，被配置為，對所述第一節點以及所述第二節點進行復位。

【0010】 在一些實施例中，所述第一復位單元包括：第一NMOS電晶體，連接在所述第一節點與地端之間，所述第一NMOS電晶體的閘極接收所述第一採樣時脈訊號；第二NMOS電晶體，連接在所述第二節點與所述地端之間，所述第二NMOS電晶體的閘極接收所述第一採樣時脈訊號。

【0011】 在一些實施例中，所述反饋訊號包括互為差分訊號的第一反饋訊號以及第二反饋訊號；所述決策回饋均衡模組包括：第二電流源，被配置為，連接在電源節點與第六節點之間，響應於所述第二採樣時脈訊號向所述第六節點提供電流；第一決策回饋單元，連接所述第一節點以及所述第六節點，被配置為，當所述第二電流源響應於所述第二採樣時脈訊號向所述第六節點提供電流時，基於所述第一反饋訊號對所述第一節點進行決策回饋均衡，以調整所述第一電壓訊號；第二決策回饋單元，連接所述第二節點以及所述第六節點，被配置為，當所述第二電流源響應於所述第二採樣時脈訊號向所述第六節點提供電流時，基於所述第二反饋訊號對所述第二節點進行決策回饋均衡，以調整所述第二電壓訊號。

【0012】 在一些實施例中，所述第二電流源包括：第二PMOS電晶體，連接在所述電源節點與所述第六節點之間，所述第二PMOS電晶體的閘極接收所述第二採樣時脈訊號。

【0013】 在一些實施例中，所述第一決策回饋單元和所述第二決策回饋單元中的任一者均包括：開關單元，被配置為，響應於所述反饋訊號導通所述第六節點與第七節點；調節單元，連接在所述第七節點與輸出節點之間，所述輸出節點為所述第一節點與所述第二節點之間的一者，被配置為，響應於控制訊號調整所述第七節點與所述輸出節點之間的等效電阻值的大小；其中，所述第一決策回饋單元中，所述反饋訊號為所述第一反饋訊號，所

述輸出節點為所述第一節點，所述開關單元響應於所述第一反饋訊號；所述第二決策回饋單元中，所述反饋訊號為所述第二反饋訊號，所述輸出節點為所述第二節點，則所述開關單元響應於所述第二反饋訊號。

【0014】 在一些實施例中，所述開關單元包括：第五 PMOS 電晶體，連接在所述第六節點與所述第七節點之間，所述第五 PMOS 電晶體的閘極接收所述反饋訊號。

【0015】 在一些實施例中，所述調節單元包括：多個並聯在所述第七節點與所述輸出節點之間的電晶體組，不同的所述電晶體組的控制端接收的所述控制訊號不同，且不同的所述電晶體組的等效電阻值不同。

【0016】 在一些實施例中，不同的所述電晶體組包括：至少一個所述電晶體組由單個 MOS 管構成；至少一個所述電晶體組包括至少兩個串聯的 MOS 管。

【0017】 在一些實施例中，所述第二放大模組包括：輸入單元，連接所述第一節點以及所述第二節點，被配置為，對所述第一電壓訊號以及所述第二電壓訊號進行比較，並分別向第八節點和第九節點提供第三電壓訊號以及第四電壓訊號；鎖存單元，被配置為，對所述第三電壓訊號以及所述第四電壓訊號進行放大並鎖存，並向所述第三節點輸出所述第一輸出訊號，向所述第四節點輸出所述第二輸出訊號。

【0018】 在一些實施例中，所述輸入單元包括：第三 NMOS 電晶體，連接在所述第八節點與地端之間，所述第三 NMOS 電晶體的閘極接收所述第一電壓訊號；第四 NMOS 電晶體，連接在所述第九節點與所述地端之間，所述第四 NMOS 電晶體的閘極接收所述第二電壓訊號。

【0019】 在一些實施例中，所述鎖存單元包括：第五 NMOS

電晶體，連接在所述第八節點與所述第三節點之間，所述第五NMOS電晶體的閘極接收所述第二輸出訊號；第六NMOS電晶體，連接在所述第九節點與所述第四節點之間，所述第六NMOS電晶體的閘極接收所述第一輸出訊號；第六PMOS電晶體，連接在電源節點與所述第三節點之間，所述第六PMOS電晶體的閘極接收所述第二輸出訊號；第七PMOS電晶體，連接在所述電源節點與所述第四節點之間，所述第七PMOS電晶體的閘極接收所述第一輸出訊號。

【0020】 在一些實施例中，所述第二放大模組還包括：第二復位單元，連接所述鎖存單元，被配置為，對所述鎖存單元進行復位。

【0021】 在一些實施例中，所述第二復位單元包括：第八PMOS電晶體，連接在電源節點和所述第三節點之間；第九PMOS電晶體，連接在所述電源節點和所述第四節點之間，所述第八PMOS電晶體的閘極和所述第九PMOS電晶體的閘極均響應於第三採樣時脈訊號。

【0022】 在一些實施例中，所述決策回饋控制模組包括：反及閘電路，一輸入端接收第四採樣時脈訊號，另一輸入端接收所述致能訊號，輸出端輸出所述第二採樣時脈訊號。

【0023】 根據本發明一些實施例，本發明實施例另一方面還提供一種數據接收系統，包括：多個級聯的數據傳輸電路，每一所述數據傳輸電路包括如前述任一項所述的數據接收電路以及連接所述數據接收電路的鎖存電路，每一所述數據接收電路連接至數據端口，接收所述數據訊號；上一級所述數據傳輸電路連接下一級所述數據傳輸電路的所述決策回饋均衡模組，上一級所述數據傳輸電路的輸出作為下一級所述數據傳輸電路的所述決策回饋均衡模組的所述反饋訊號；最後一級所述數據傳輸電路連接第一

級所述數據傳輸電路的所述決策回饋均衡模組，最後一級所述數據傳輸電路的輸出作為第一級所述數據傳輸電路的所述決策回饋均衡模組的所述反饋訊號。

【0024】 根據本發明一些實施例，本發明實施例又一方面還提供一種存儲裝置，包括：多個數據端口；多個如前述任一項所述的數據接收系統，每一所述數據接收系統與一所述數據端口相對應。

【0025】 本發明實施例提供的技術方案至少具有以下優點：

【0026】 將決策回饋控制模組以及決策回饋均衡模組集成於數據接收電路中，利用決策回饋控制模組生成控制決策回饋均衡模組的第二採樣時脈訊號，以靈活控制決策回饋均衡模組是否處於工作狀態。例如，只有致能訊號處於第一電平值期間時，決策回饋均衡模組才會執行決策回饋均衡，以提高數據接收電路的接收性能；在致能訊號處於第二電平值期間時，決策回饋均衡模組停止執行決策回饋均衡，即使得決策回饋均衡模組處於非工作狀態，以降低數據接收電路整體的功耗。

【0027】 其中，透過決策回饋均衡模組調節第一輸出訊號以及第二輸出訊號，以減小碼間干擾對數據接收的影響，相比於相關技術中，存儲裝置透過單獨設置決策回饋均衡器以減小碼間干擾的方式，本發明實施例有利於使用更小的電路佈局面積以及更低的功耗實現對數據接收電路輸出的訊號的調整，以及透過靈活控制決策回饋均衡模組對第一輸出訊號和第二輸出訊號的調整能力，以降低數據接收電路接收的數據的碼間干擾對數據接收電路的影響，以提高數據接收電路的接收性能，以及減小數據的碼間干擾對數據接收電路輸出的訊號準確性的影響。

【圖式簡單說明】

【0028】 一個或多個實施例透過與之對應的附圖中的圖片進

行示例性說明，這些示例性說明並不構成對實施例的限定，附圖中具有相同參考數字標號的元件表示為類似的元件，除非有特別申明，附圖中的圖不構成比例限制；為了更清楚地說明本發明實施例或傳統技術中的技術方案，下面將對實施例中所需要使用的附圖作簡單地介紹，顯而易見地，下面描述中的附圖僅僅是本發明的一些實施例，對於本領域普通技術人員來講，在不付出創造性勞動的前提下，還可以根據這些附圖獲得其他的附圖。

圖 1 為本發明一實施例提供的數據接收電路的一種功能框圖；

圖 2 為本發明另一實施例提供的數據接收系統的功能框圖；

圖 3 至圖 4 為本發明一實施例提供的數據接收電路的另外兩種功能框圖；

圖 5 為本發明一實施例提供的數據接收電路的一種電路結構示意圖；

圖 6 至圖 7 為本發明一實施例提供的數據接收電路中第一決策回饋單元的兩種電路結構示意圖；

圖 8 為本發明一實施例提供的數據接收電路的另一種電路結構示意圖。

【實施方式】

【0029】 由背景技術可知，在提高數據接收電路的接收性能的同時，數據接收電路的功耗有待降低。

【0030】 本發明實施提供一種數據接收電路、數據接收系統以及存儲裝置，數據接收電路中，將決策回饋控制模組以及決策回饋均衡模組均集成於數據接收電路中，利用決策回饋控制模組生成控制決策回饋均衡模組的第二採樣時脈訊號，以靈活控制決策回饋均衡模組是否處於工作狀態。譬如，在需要降低碼間干擾對數據接收電路的影響時，即致能訊號處於第一電平值期間時，基於決策回饋控制模組輸出的第二採樣時脈訊號控制決策回饋均

衡模組執行決策回饋均衡，以提高數據接收電路的接收性能；在無需考慮碼間干擾對數據接收電路的影響時，即致能訊號處於第二電平值期間時，基於決策回饋控制模組輸出的第二採樣時脈訊號控制決策回饋均衡模組停止執行決策回饋均衡，以降低數據接收電路整體的功耗，如此，有利於在可以實現提高數據接收電路的接收性能的同時，還可以實現對數據接收電路的整體功耗的降低。

【0031】 下面將結合附圖對本發明的各實施例進行詳細的闡述。然而，本領域的普通技術人員可以理解，在本發明各實施例中，為了使讀者更好地理解本發明實施例而提出了許多技術細節。但是，即使沒有這些技術細節和基於以下各實施例的種種變化和修改，也可以實現本發明實施例所要求保護的技術方案。

【0032】 本發明一實施例提供一種數據接收電路，以下將結合附圖對本發明一實施例提供的數據接收電路進行詳細說明。圖1為本發明一實施例提供的數據接收電路的一種功能框圖；圖3至圖4為本發明一實施例提供的數據接收電路的另外兩種功能框圖；圖5為本發明一實施例提供的數據接收電路的一種電路結構示意圖；圖6至圖7為本發明一實施例提供的數據接收電路中第一決策回饋單元的兩種電路結構示意圖；圖8為本發明一實施例提供的數據接收電路的另一種電路結構示意圖。

【0033】 參考圖1，數據接收電路100包括：第一放大模組101，被配置為，接收數據訊號DQ和參考訊號Vref，響應於第一採樣時脈訊號CLK1對數據訊號DQ以及參考訊號Vref進行比較，並分別透過第一節點n_stg1和第二節點p_stg1輸出第一電壓訊號和第二電壓訊號；決策回饋控制模組104，被配置為，響應於致能訊號DfeEn生成第二採樣時脈訊號CLK2；決策回饋均衡模組103，與第一節點n_stg1以及第二節點p_stg1連接，被配

置為，在致能訊號 DfeEn 具有第一電平值期間，響應於第二採樣時脈訊號 CLK2 並基於反饋訊號 fb 執行決策回饋均衡，以調整第一電壓訊號以及第二電壓訊號，在致能訊號 DfeEn 具有第二電平值期間，停止執行決策回饋均衡，其中，反饋訊號 fb 基於先前接收到的數據得到；第二放大模組 102，被配置為，對第一電壓訊號與第二電壓訊號的電壓差進行放大處理，並分別透過第三節點 net3（參考圖 5）和第四節點 net4（參考圖 5）輸出第一輸出訊號 Vout 和第二輸出訊號 VoutN。

【0034】 需要說明的是，數據接收電路 100 採用兩級放大模組，即第一放大模組 101 和第二放大模組 102 對數據訊號 DQ 和參考訊號 Vref 進行處理，有利於增強數據接收電路 100 的放大能力，增大第一輸出訊號 Vout 和第二輸出訊號 VoutN 的電壓幅度，便於後續電路的處理。

【0035】 此外，利用決策回饋控制模組 104 生成控制決策回饋均衡模組 103 的第二採樣時脈訊號 CLK2，以靈活控制決策回饋均衡模組 103 是否處於工作狀態。譬如，在需要降低碼間干擾對數據接收電路 100 的影響時，即致能訊號 DfeEn 處於第一電平值期間時，決策回饋控制模組 104 響應於此時的致能訊號 DfeEn 生成第二採樣時脈訊號 CLK2，決策回饋均衡模組 103 基於該第二採樣時脈訊號 CLK2 執行決策回饋均衡，以提高數據接收電路 100 的接收性能；在無需考慮碼間擾對數據接收電路 100 的影響時，即致能訊號 DfeEn 處於第二電平值期間時，決策回饋均衡模組 103 基於此時的第二採樣時脈訊號 CLK2 停止執行決策回饋均衡，以降低數據接收電路 100 整體的功耗，如此，有利於在可以實現提高數據接收電路 100 的接收性能的同時，還可以實現對數據接收電路 100 的整體功耗的降低。

【0036】 其中，將決策回饋均衡模組 103 集成於數據接收電

路100中，有利於使用更小的電路佈局面積以及更低的功耗實現對數據接收電路100輸出的訊號的調整。而且，本發明一實施例提供的決策回饋均衡模組103對第一輸出訊號Vout以及第二輸出訊號VoutN的調整能力可調，可以理解的是，在數據接收電路100接收的數據訊號DQ和/或參考訊號Vref變化時，可以靈活控制決策回饋均衡模組103對第一輸出訊號Vout以及第二輸出訊號VoutN的調整能力，以降低數據接收電路100接收的數據的碼間干擾對數據接收電路100的影響，以提高數據接收電路100的接收性能，以及減小數據的碼間干擾對數據接收電路100輸出的訊號準確性的影響。

【0037】 在一些實施例中，參考圖3，第一放大模組101可以包括：第一電流源111，被配置為，連接在電源節點Vcc（參考圖5）和第五節點net5之間，響應於第一採樣時脈訊號CLK1向第五節點net5提供電流；比較單元121，連接第五節點net5、第一節點n_stg1以及第二節點p_stg1，被配置為，接收數據訊號DQ和參考訊號Vref，當第一電流源111響應於第一採樣時脈訊號CLK1向第五節點net5提供電流時，對數據訊號DQ以及參考訊號Vref進行比較，並透過第一節點n_stg1輸出第一電壓訊號，透過第二節點p_stg1輸出第二電壓訊號。

【0038】 可以理解的是，比較單元121可以基於數據訊號DQ和參考訊號Vref之間的差異，控制提供給第一節點n_stg1處的電流與提供給第二節點p_stg1處的電流的差異，以輸出第一電壓訊號和第二電壓訊號。

【0039】 以下結合圖5和圖8對第一放大模組101進行詳細說明。

【0040】 在一些實施例中，參考圖5和圖8，第一電流源111可以包括：第一PMOS電晶體MP1，連接在電源節點Vcc與第五

節點 net5 之間，第一 PMOS 電晶體 MP1 的閘極接收第一採樣時脈訊號 CLK1。在第一採樣時脈訊號 CLK1 為低電平時，第一 PMOS 電晶體 MP1 的閘極接收第一採樣時脈訊號 CLK1 以導通，向第五節點 net5 提供電流，使得比較單元 121 處於工作狀態，對接收的數據訊號 DQ 和參考訊號 Vref 進行比較。

【0041】 在一些實施例中，繼續參考圖 5 和圖 8，比較單元 121 可以包括：第三 PMOS 電晶體 MP3，連接在第五節點 net5 與第一節點 n_stg1 之間，第三 PMOS 電晶體 MP3 的閘極接收數據訊號 DQ；第四 PMOS 電晶體 MP4，連接在第五節點 net5 與第二節點 p_stg1 之間，第四 PMOS 電晶體 MP4 的閘極接收參考訊號 Vref。

【0042】 需要說明的是，數據訊號 DQ 和參考訊號 Vref 的電平值變化不同步，使得接收數據訊號 DQ 的第三 PMOS 電晶體 MP3 的導通時刻不同於接收參考訊號 Vref 的第四 PMOS 電晶體 MP4 的導通時刻，且同一時刻下，第三 PMOS 電晶體 MP3 的導通程度不同於第四 PMOS 電晶體 MP4 的導通程度。可以理解的是，基於第三 PMOS 電晶體 MP3 的導通程度不同於第四 PMOS 電晶體 MP4 的導通程度，第三 PMOS 電晶體 MP3 與第四 PMOS 電晶體 MP4 對第五節點 net5 處的電流的分流能力也不同，使得第一節點 n_stg1 處的電壓與第二節點 p_stg1 處的電壓不同。

【0043】 在一個例子中，數據訊號 DQ 的電平值低於參考訊號 Vref 的電平值時，第三 PMOS 電晶體 MP3 的導通程度大於第四 PMOS 電晶體 MP4 的導通程度，使得第五節點 net5 處的電流更多的流入第三 PMOS 電晶體 MP3 所在的通路，使得第一節點 n_stg1 處的電流大於第二節點 p_stg1 處的電流，從而進一步使得第一節點 n_stg1 輸出的第一電壓訊號電平值高，第二節點 p_stg1 輸出的第二電壓訊號電平值低。

【0044】 在一些實施例中，參考圖 3 和圖 4，第一放大模組 101 還可以包括：第一復位單元 131，連接第一節點 n_stg1 以及第二節點 p_stg1，被配置為，對第一節點 n_stg1 以及第二節點 p_stg1 進行復位。如此，在數據接收電路完成一次數據訊號 DQ 以及參考訊號 Vref 的接收以及第一輸出訊號 Vout 和第二輸出訊號 VoutN 的輸出之後，可以透過第一復位單元 131 將第一節點 n_stg1 和第二節點 p_stg1 處的電平值恢復為初始值，以便於後續數據接收電路進行下一次數據接收以及處理。

【0045】 在一些實施例中，參考圖 5 和圖 8，第一復位單元 131 可以包括：第一 NMOS 電晶體 MN1，連接在第一節點 n_stg1 與地端之間，第一 NMOS 電晶體 MN1 的閘極接收第一採樣時脈訊號 CLK1；第二 NMOS 電晶體 MN2，連接在第二節點 p_stg1 與地端之間，第二 NMOS 電晶體 MN2 的閘極接收第一採樣時脈訊號 CLK1。

【0046】 在一個例子中，在第一採樣時脈訊號 CLK1 為低電平時，第一 PMOS 電晶體 MP1 導通，此時第一 NMOS 電晶體 MN1 和第二 NMOS 電晶體 MN2 均關斷，以保證數據接收電路的正常工作，同時第一 NMOS 電晶體 MN1 和第二 NMOS 電晶體 MN2 可以作為第一放大模組 101 的負載，以增加第一放大模組 101 的放大增益；在第一採樣時脈訊號 CLK1 為高電平時，第一 PMOS 電晶體 MP1 關斷，此時第一 NMOS 電晶體 MN1 和第二 NMOS 電晶體 MN2 均導通，以下拉第一節點 n_stg1 處的電壓以及第二節點 p_stg1 處的電壓，實現對第一節點 n_stg1 以及第二節點 p_stg1 的復位。

【0047】 在一些實施例中，參考圖 3 和圖 4，反饋訊號 fb 包括互為差分訊號的第一反饋訊號 fbn 以及第二反饋訊號 fbp；決策回饋均衡模組 103 可以包括：第二電流源 133，被配置為，連

接在電源節點 Vcc（參考圖 5）與第六節點 net6 之間，響應於第二採樣時脈訊號 CLK2 向第六節點 net6 提供電流；第一決策回饋單元 113，連接第一節點 n_stg1 以及第六節點 net6，被配置為，當第二電流源 133 響應於第二採樣時脈訊號 CLK2 向第六節點 net6 提供電流時，基於第一反饋訊號 fbn 對第一節點 n_stg1 進行決策回饋均衡，以調整第一電壓訊號；第二決策回饋單元 123，連接第二節點 p_stg1 以及第六節點 net6，被配置為，當第二電流源 133 響應於第二採樣時脈訊號 CLK2 向第六節點 net6 提供電流時，基於第二反饋訊號 fbp 對第二節點 p_stg1 進行決策回饋均衡，以調整第二電壓訊號。

【0048】 可以理解的是，第一放大模組 101 中的電流源為第一電流源 111，決策回饋均衡模組 103 中的電流源為第二電流源 133，可見，利用不同的電流源分別給第一放大模組 101 和決策回饋均衡模組 103 提供電流，使得決策回饋均衡模組 103 具有獨立的第二電流源 133，以實現單獨控制決策回饋均衡模組 103 是否處於工作狀態。

【0049】 其中，第二採樣時脈訊號 CLK2 受致能訊號 DfeEn 的控制，致能訊號 DfeEn 處於第一電平值期間時，第二電流源 133 響應於此時的第二採樣時脈訊號 CLK2 向第六節點 net6 提供電流，使得此時第一決策回饋單元 113 可以基於接收到的第一反饋訊號 fbn 對第一節點 n_stg1 進行決策回饋均衡，以調整第一電壓訊號，以及使得此時第二決策回饋單元 123 可以基於接收到的第二反饋訊號 fbp 對第二節點 p_stg1 進行決策回饋均衡，以調整第二電壓訊號。如此，以實現在致能訊號 DfeEn 具有第一電平值期間，決策回饋均衡模組 103 響應於第二採樣時脈訊號 CLK2 並基於反饋訊號 fb 執行決策回饋均衡，以調整第一電壓訊號以及第二電壓訊號。

【0050】 致能訊號 DfeEn 具有第二電平值期間時，第二電流源 133 響應於此時的第二採樣時脈訊號 CLK2 處於斷開狀態，即不會向第六節點 net6 提供電流，進一步使得第一決策回饋單元 113 和第二決策回饋單元 123 中均沒有電流透過，以實現決策回饋均衡模組 103 停止執行決策回饋均衡的目的，也有利於降低數據接收電路 100 整體的功耗。

【0051】 其中，第一決策回饋單元 113 用於調節第三 PMOS 電晶體 MP3 中的電流，以調節第一節點 n_stg1 處的電壓，等效於調節數據訊號 DQ，第二決策回饋單元 123 用於調節第四 PMOS 電晶體 MP4 中的電流，以調節第二節點 p_stg1 處的電壓，等效於調節參考訊號 Vref。

【0052】 需要說明的是，第二放大模組 102 接收第一電壓訊號以及第二電壓訊號，並對第一電壓訊號與第二電壓訊號的電壓差進行放大處理，以輸出第一輸出訊號 Vout 和第二輸出訊號 VoutN，即第一輸出訊號 Vout 和第二輸出訊號 VoutN 受第一電壓訊號和第二電壓訊號的影響，決策回饋均衡模組 103 基於反饋訊號 fb 對第一電壓訊號以及第二電壓訊號進行調整，也可以進一步實現對第一輸出訊號 Vout 以及第二輸出訊號 VoutN 的調整。而且，後續將結合具體的電路圖對決策回饋均衡模組 103 對第一電壓訊號以及第二電壓訊號的調整進行詳細說明。

【0053】 在一些實施例中，參考圖 5 和圖 8，第二電流源 133 可以包括：第二 PMOS 電晶體 MP2，連接在電源節點 Vcc 與第六節點 net6 之間，第二 PMOS 電晶體 MP2 的閘極接收第二採樣時脈訊號 CLK2。

【0054】 在一個例子中，在致能訊號 DfeEn 具有第一電平值期間，決策回饋控制模組 104 響應於致能訊號 DfeEn 生成第二採樣時脈訊號 CLK2，在第二採樣時脈訊號 CLK2 為低電平時，第二

PMOS電晶體MP2的閘極接收此時的第二採樣時脈訊號CLK2而導通，以向第六節點net6提供電流，進一步使得決策回饋均衡模組103響應於此時的第二採樣時脈訊號CLK2並基於反饋訊號fb執行決策回饋均衡，以調整第一電壓訊號以及第二電壓訊號；在致能訊號DfeEn具有第二電平值期間，決策回饋控制模組104響應於此時的致能訊號DfeEn生成的第二採樣時脈訊號CLK2始終為高電平，第二PMOS電晶體MP2的閘極接收此時的第二採樣時脈訊號CLK2而關斷，不會向第六節點net6提供電流，進一步使得決策回饋均衡模組103停止執行決策回饋均衡，以降低數據接收電路100整體的功耗。

【0055】 在一些實施例中，繼續參考圖5和圖8，決策回饋控制模組104可以包括：反及閘電路114，一輸入端接收第四採樣時脈訊號CLK4，另一輸入端接收致能訊號DfeEn，輸出端輸出第二採樣時脈訊號CLK2。

【0056】 需要說明的是，在一個例子中，致能訊號DfeEn的第一電平值期間指的是：使得決策回饋控制模組104判斷致能訊號DfeEn為邏輯電平1的電平值範圍，即高電平；致能訊號DfeEn的第二電平值期間指的是：使得決策回饋控制模組104判斷致能訊號DfeEn為邏輯電平0的電平值範圍，即低電平。

【0057】 在一個例子中，在需要降低碼間干擾對數據接收電路100的影響時，致能訊號DfeEn處於第一電平值期間，即致能訊號DfeEn為高電平，此時反及閘電路114輸出的第二採樣時脈訊號CLK2的相位與第四採樣時脈訊號CLK4的相位相反，當第二採樣時脈訊號CLK2為低電平時，第二PMOS電晶體MP2的閘極接收此時的第二採樣時脈訊號CLK2而導通，以向第六節點net6提供電流，而且，第一採樣時脈訊號CLK1的相位與第二採樣時脈訊號CLK2的相位同步，在第一採樣時脈訊號CLK1和第

二採樣時脈訊號 CLK2 均為低電平時，使得決策回饋均衡模組 103 和第一放大模組 101 均處於工作狀態，以降低碼間干擾對數據接收電路 100 的影響；在無需考慮碼間擾對數據接收電路 100 的影響時，致能訊號 DfeEn 處於第二電平值期間，即致能訊號 DfeEn 為低電平，此時無論第四採樣時脈訊號 CLK4 為高電平還是低電平，反及閘電路 114 輸出的第二採樣時脈訊號 CLK2 均為高電平，第二 PMOS 電晶體 MP2 的閘極接收此時的第二採樣時脈訊號 CLK2 而關斷，不會向第六節點 net6 提供電流，即決策回饋均衡模組 103 處於非工作狀態。

【0058】 需要說明的是，圖 5 和圖 8 中以反及閘電路 114 僅包括一個反及閘為示例，在實際應用中，對反及閘電路 114 的具體構造不做限制，能實現反及閘邏輯的電路均可以為反及閘電路 114。

【0059】 在一些實施例中，參考圖 6 和圖 7，第一決策回饋單元 113 和第二決策回饋單元 123 中的任一者均包括：開關單元 1131，被配置為，響應於反饋訊號 fb 導通第六節點 net6 與第七節點 net7；調節單元 1132，連接在第七節點 net7 與輸出節點之間，輸出節點為第一節點 n_stg1 與第二節點 p_stg1 之間的一者，被配置為，響應於控制訊號調整第七節點 net7 與輸出節點之間的等效電阻值的大小；其中，第一決策回饋單元 113 中，反饋訊號為第一反饋訊號 fbn，輸出節點為第一節點 n_stg1，開關單元 1131 響應於第一反饋訊號 fbn；第二決策回饋單元 123 中，反饋訊號為第二反饋訊號 fbp，輸出節點為第二節點 p_stg1，則開關單元 1131 響應於第二反饋訊號 fbp。

【0060】 其中，第一決策回饋單元 113 中的開關單元 1131 基於第一反饋訊號 fbn 處於導通或關斷，第二決策回饋單元 123 中的開關單元 1131 基於第二反饋訊號 fbp 處於導通或關斷。無論是

第一決策回饋單元 113 還是第二決策回饋單元 123，在開關單元 1131 處於導通時，調節單元 1132 才會處於工作狀態，以調節第一節點 n_stg1 或第二節點 p_stg1 處的電壓。

【0061】 在一些實施例中，繼續參考圖 6 和圖 7，開關單元 1131 可以包括：第五 PMOS 電晶體 MP5，連接在第六節點 net6 與第七節點 net7 之間，第五 PMOS 電晶體 MP5 的閘極接收反饋訊號 fb。

【0062】 需要說明的是，圖 6 和圖 7 中僅以第五 PMOS 電晶體 MP5 的閘極接收的是第一反饋訊號 fbn，輸出節點為第一節點 n_stg1 為示例，圖 6 和圖 7 中顯示的是第一決策回饋單元 113 的具體構造，在實際應用中，第二決策回饋單元 123 的具體構造與第一決策回饋單元 113 的具體構造類似，區別在於第二決策回饋單元 123 中的第五 PMOS 電晶體 MP5 的閘極接收的是第二反饋訊號 fbp，輸出節點為第二節點 p_stg1，其他地方均相同。

【0063】 在一個例子中，若第一決策回饋單元 113 中的開關單元 1131 接收的第一反饋訊號 fbn 為低電平，第五 PMOS 電晶體 MP5 導通，此時調節單元 1132 基於控制訊號調節第一節點 n_stg1 處的電壓。在另一個例子中，若第二決策回饋單元 123 中的開關單元 1131 接收的第二反饋訊號 fbp 為低電平，第五 PMOS 電晶體 MP5 導通，此時調節單元 1132 基於控制訊號調節第二節點 p_stg1 處的電壓。

【0064】 在一些實施例中，繼續參考圖 6 和圖 7，調節單元 1132 可以包括：多個並聯在第七節點 net7 與輸出節點之間的電晶體組，不同的電晶體組的控制端接收的控制訊號不同，且不同的電晶體組的等效電阻值不同。可以理解的是，不同的電晶體組的等效電阻值的不同使得調節單元 1132 整體的等效電阻靈活可控，不同的電晶體組的控制端接收的控制訊號不同，則可以透過

控制訊號選擇處於導通狀態的電晶體組的數量，以實現對調節單元 1132 整體的等效電阻的調節，從而實現對第一節點 n_stg1 處的電壓的靈活控制。

【0065】 在一個例子中，參考圖 6，調節單元 1132 可以包括三個並聯在第七節點 net7 和第一節點 n_stg1 之間的單個 MOS 管，依次為第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03，其中，第一 MOS 管 M01 的閘極接收的是第一控制訊號 DfeTrim<2>，第二 MOS 管 M02 的閘極接收的是第二控制訊號 DfeTrim<1>、第三 MOS 管 M03 的閘極接收的是第三控制訊號 DfeTrim<0>。

【0066】 在一些實施例中，參考圖 7，不同的電晶體組可以包括：至少一個電晶體組由單個 MOS 管構成；至少一個電晶體組包括至少兩個串聯的 MOS 管。如此，可以透過使用相互串聯的若干溝道寬長比相同的單個 MOS 管組成一個電晶體組，以調節該電晶體組的等效溝道寬長比，以實現調節單元 1132 的多樣化設計。可以理解的是，電晶體組的等效溝道寬長比的不同可以使得電晶體組的等效電阻不同。

【0067】 在一個例子中，調節單元可以包括三個並聯在第七節點和第一節點之間的第一電晶體組、第二電晶體組以及第三電晶體組，其中，第一電晶體組包括第一 MOS 管，第一 MOS 管的閘極接收的是第一控制訊號；第二電晶體組包括第二 MOS 管，第二 MOS 管的閘極接收的是第二控制訊號；第三電晶體組包括相互串聯的第三 MOS 管和第四 MOS 管，第四 MOS 管的第一端與第七節點連接，第四 MOS 管的第二端與第三 MOS 管的第一端連接，第三 MOS 管的第二端與第一節點連接，第三 MOS 管的閘極和第四 MOS 管的閘極接收的均是第三控制訊號。

【0068】 在另一個例子中，參考圖 7，調節單元 1132 除了包

括上述例子中的第一電晶體組 13、第二電晶體組 23 以及第三電晶體組 33 之外，還可以包括：並聯在第七節點 net7 和第一節點 n_stg1 之間的第四電晶體組 43 以及第五電晶體組 53，其中，第一電晶體組 13 包括第一 MOS 管 M01，第一 MOS 管 M01 的閘極接收的是第一控制訊號 DfeTrim<2>；第二電晶體組 23 包括第二 MOS 管 M02，第二 MOS 管 M02 的閘極接收的是第二控制訊號 DfeTrim<1>；第三電晶體組 33 包括相互串聯的第三 MOS 管 M03 和第四 MOS 管 M04，第四 MOS 管 M04 的第一端與第七節點 net7 連接，第四 MOS 管 M04 的第二端與第三 MOS 管 M03 的第一端連接，第三 MOS 管 M03 的第二端與第一節點 n_stg1 連接，第三 MOS 管 M03 的閘極和第四 MOS 管 M04 的閘極接收的均是第三控制訊號 DfeTrim<0>；第四電晶體組 43 包括第五 MOS 管 M05，第五 MOS 管 M05 的閘極接收的是第四控制訊號 DfePerPin<1>；第五電晶體組 53 包括相互串聯的第六 MOS 管 M06 和第七 MOS 管 M07，第七 MOS 管 M07 的第一端與第七節點 net7 連接，第七 MOS 管 M07 的第二端與第六 MOS 管 M06 的第一端連接，第六 MOS 管 M06 的第二端與第一節點 n_stg1 連接，第六 MOS 管 M06 和第七 MOS 管 M07 的閘極接收的均是第五控制訊號 DfePerPin<0>。

【0069】 需要說明的是，上述三種示例中，第一控制訊號 DfeTrim<2>、第二控制訊號 DfeTrim<1>以及第三控制訊號 DfeTrim<0>可以是所有數據接收電路 100 通用的，即對於與不同 DQ 端口相連的不同數據接收電路 100 而言，提供給不同數據接收電路 100 的第一控制訊號 DfeTrim<2>、第二控制訊號 DfeTrim<1>以及第三控制訊號 DfeTrim<0>相同。此外，圖 7 所示的示例中，第四控制訊號 DfePerPin<1>和第五控制訊號 DfePerPin<0>是根據每一個 DQ 端口單獨進行設計的，可以理解

的是，對於每一個 DQ 端口的不同數據接收電路，例如與端口 DQ1 相連接的第一數據接收電路和與端口 DQ2 相連接的第二數據接收電路，第一數據接收電路中的第四控制訊號 DfePerPin<1>和第五控制訊號 DfePerPin<0>是基於端口 DQ1 進行設計的，第二數據接收電路中的第四控制訊號 DfePerPin<1>和第五控制訊號 DfePerPin<0>是基於端口 DQ2 進行設計的。由於不同的 DQ 端口接收的數據受到的碼間干擾不同，每個數據訊號 DQ 在傳輸路徑中受到的干擾也不相同，針對每一個 DQ 端口接收的數據訊號 DQ 單獨設計不同的第四控制訊號 DfePerPin<1>和第五控制訊號 DfePerPin<0>，有利於透過調節單元 1132 針對性的對每一個 DQ 端口進行調節，以進一步提供數據接收電路的接收性能。其中，DQ 端口即為數據接收電路用來接收數據訊號 DQ 的端口。

【0070】 上述實施例中，參考圖 6 和圖 7，不同的電晶體組可以包括：相互並聯的第一電晶體組 13、第二電晶體組 23 以及第三電晶體組 33，第一電晶體組 13 的溝道等效寬長比為第二電晶體組 23 的溝道等效寬長比的 2 倍，第二電晶體組 23 的溝道等效寬長比為第三電晶體組 33 的溝道等效寬長比的 2 倍。如此，第一電晶體組 13 的等效電阻、第二電晶體組 23 的等效電阻以及第三電晶體組 33 的等效電阻的比值為 1：2：4，以使得調節單元 1132 總的等效電阻可線性調節，從而實現對第一節點 n_stg1 處的電壓和第二節點 p_stg1 處的電壓的線性調節。

【0071】 需要說明的是，上述僅是以第一電晶體組 13 的溝道等效寬長比與第二電晶體組 23 的溝道等效寬長比的比值為 2，第二電晶體組 23 的溝道等效寬長比與第三電晶體組 33 的溝道等效寬長比的比值為 2 進行示例性說明，在實際應用中，第一電晶體組 13 的溝道等效寬長比與第二電晶體組 23 的溝道等效寬長比的比值，或者第二電晶體組 23 的溝道等效寬長比與第三電晶體組

33 的溝道等效寬長比的比值也可以為其他數值，例如 3 或者 4 等。

【0072】 需要說明的是，圖 6 中可以透過控制第一 MOS 管 M01 的溝道寬長比為第二 MOS 管 M02 的溝道寬長的 2 倍，以實現第一電晶體組 13 的溝道等效寬長比為第二電晶體組 23 的溝道等效寬長比的 2 倍，透過控制第二 MOS 管 M02 的溝道寬長比為第三 MOS 管 M03 的溝道寬長比的 2 倍，以實現第二電晶體組 23 的溝道等效寬長比為第三電晶體組 33 的溝道等效寬長比的 2 倍；圖 7 中可以透過控制第一 MOS 管 M01 的溝道寬長比為第二 MOS 管 M02 的溝道寬長的 2 倍，以實現第一電晶體組 13 的溝道等效寬長比為第二電晶體組 23 的溝道等效寬長比的 2 倍，透過控制第二 MOS 管 M02 的溝道寬長比、第三 MOS 管 M03 的溝道寬長比以及第四 MOS 管 M04 的溝道寬長比相等，使得第二 MOS 管 M02 的溝道寬長比為第三電晶體組 33 的溝道等效寬長比的 2 倍，即實現第二電晶體組 23 的溝道等效寬長比為第三電晶體組 33 的溝道等效寬長比的 2 倍。

【0073】 此外，圖 7 中還可以透過控制第五 MOS 管 M05 的溝道寬長比、第六 MOS 管 M06 的溝道寬長比以及第七 MOS 管 M07 的溝道寬長比相等，使得第五 MOS 管 M05 的溝道寬長比為第五電晶體組 53 的溝道等效寬長比的 2 倍，即實現第四電晶體組 43 的溝道等效寬長比為第五電晶體組 53 的溝道等效寬長比的 2 倍。在一些實施例中，第五 MOS 管 M05 的溝道寬長比還可以等於第二 MOS 管 M02 的溝道寬長比。

【0074】 在一個例子中，參考圖 6，第一 MOS 管 M01 的溝道的長度、第二 MOS 管 M02 的溝道的長度以及第三 MOS 管 M03 的溝道的長度可以相等，第一 MOS 管 M01 的溝道的寬度可以為第二 MOS 管 M02 的溝道的寬度的 2 倍，第二 MOS 管 M02 的溝

道的寬度可以為第三 MOS 管 M03 的溝道的寬度的 2 倍。需要說明的是，在實際應用中，也可以在保持第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的溝道的寬度相同的情況下，透過調節第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的溝道的長度的比值關係，或者，既調節第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的溝道的寬度的比值關係，也調節第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的溝道的長度的比值關係，以實現第一電晶體組 13、第二電晶體組 23 以及第三電晶體組 33 的溝道等效寬長比之間的比值關係。

【0075】 需要說明的是，第一 MOS 管 M01、第二 MOS 管 M02、第三 MOS 管 M03、第四 MOS 管 M04、第五 MOS 管 M05、第六 MOS 管 M06 以及第七 MOS 管 M07 均可以為 PMOS 電晶體或者 NMOS 電晶體，第一 MOS 管 M01、第二 MOS 管 M02、第三 MOS 管 M03、第四 MOS 管 M04、第五 MOS 管 M05、第六 MOS 管 M06 以及第七 MOS 管 M07 中的任一者為 PMOS 電晶體時，控制該 PMOS 電晶體處於導通狀態時的控制訊號的相位為第一相位，該 MOS 管為 NMOS 電晶體時控制該 NMOS 電晶體處於導通狀態時的控制訊號的相位為第二相位，第一相位與第二相位相反。

【0076】 在一些實施例中，參考圖 3 和圖 4，第二放大模組 102 可以包括：連接第一節點 n_stg1 以及第二節點 p_stg1，被配置為，對第一電壓訊號以及第二電壓訊號進行比較，並分別向第八節點 n_stg2 和第九節點 p_stg2 提供第三電壓訊號以及第四電壓訊號；鎖存單元 122，被配置為，對第三電壓訊號以及第四電壓訊號進行放大並鎖存，並向第三節點 net3 輸出第一輸出訊號 Vout，向第四節點 net4 輸出第二輸出訊號 VoutN。

【0077】 其中，輸入單元 112 用於對第一電壓訊號以及第二

電壓訊號進行比較以輸出第三電壓訊號和第四電壓訊號；鎖存單元122用於根據第三電壓訊號和第四電壓訊號向第三節點net3輸出高電平訊號、向第四節點net4輸出低電平訊號，或者向第三節點net3輸出低電平訊號、向第四節點net4輸出高電平訊號。

【0078】 在一些實施例中，參考圖5和圖8，輸入單元112可以包括：第三NMOS電晶體MN3，連接在第八節點n_stg2與地端之間，第三NMOS電晶體MN3的閘極接收第一電壓訊號；第四NMOS電晶體MN4，連接在第九節點p_stg2與地端之間，第四NMOS電晶體MN4的閘極接收第二電壓訊號。

【0079】 在一個例子中，第一節點n_stg1輸出的第一電壓訊號電平值高於第二節點p_stg1輸出的第二電壓訊號電平值時，第三NMOS電晶體MN3的導通程度大於第四NMOS電晶體MN4的導通程度，使得第八節點n_stg2處的電壓小於第九節點p_stg2處的電壓，從而使得第五NMOS電晶體MN5的導通程度大於第六NMOS電晶體MN6的導通程度，第三節點net3處的電壓小於第四節點net4處的電壓，則第七PMOS電晶體MP7的導通程度大於第六PMOS電晶體MP6的導通程度，鎖存單元122形成正反饋放大，進一步使得第三節點net3輸出的第一輸出訊號Vout為低電平，第四節點net4輸出的第二輸出訊號VoutN為高電平。

【0080】 在一些實施例中，繼續參考圖5和圖8，鎖存單元122可以包括：第五NMOS電晶體MN5，連接在第八節點n_stg2與第三節點net3之間，第五NMOS電晶體MN5的閘極接收第二輸出訊號VoutN；第六NMOS電晶體MN6，連接在第九節點p_stg2與第四節點net4之間，第六NMOS電晶體MN6的閘極接收第一輸出訊號Vout；第六PMOS電晶體MP6，連接在電源節點Vcc與第三節點net3之間，第六PMOS電晶體MP6的閘極接收第二輸出訊號VoutN；第七PMOS電晶體MP7，連接在電源節點Vcc與

第四節點 net4 之間，第七 PMOS 電晶體 MP7 的閘極接收第一輸出訊號 Vout。

【0081】 在一些實施例中，參考圖 3 和圖 4，第二放大模組 102 還可以包括：第二復位單元 142，連接鎖存單元 122，被配置為，對鎖存單元 122 進行復位。如此，在數據接收電路完成一次數據訊號 DQ 以及參考訊號 Vref 的接收以及第一輸出訊號 Vout 和第二輸出訊號 VoutN 的輸出之後，可以透過第二復位單元 142 將第三節點 net3 和第四節點 net4 處的電平值恢復為初始值，以便於後續數據接收電路進行下一次數據接收以及處理。

【0082】 在一些實施例中，參考圖 5 和圖 8，第二復位單元 142 可以包括：第八 PMOS 電晶體 MP8，連接在電源節點 Vcc 和第三節點 net3 之間；第九 PMOS 電晶體 MP9，連接在電源節點 Vcc 和第四節點 net4 之間，第八 PMOS 電晶體 MP8 的閘極和第九 PMOS 電晶體 MP9 的閘極均響應於第三採樣時脈訊號 CLK3。

【0083】 在一個例子中，第三採樣時脈訊號 CLK3 與第一採樣時脈訊號 CLK1 的相位相反，第三採樣時脈訊號 CLK3 和第四採樣時脈訊號 CLK4 可以為同一時脈訊號，也可以為相位相同但振幅不同的不同時脈訊號。如此，在需要降低碼間干擾對數據接收電路 100 的影響時，致能訊號 DfeEn 具有第一電平值期間，即致能訊號 DfeEn 為高電平，在第一採樣時脈訊號 CLK1 為低電平時，第四採樣時脈訊號 CLK4 為高電平，使得第二採樣時脈訊號 CLK2 為低電平，第一 PMOS 電晶體 MP1 和第二 PMOS 電晶體 MP2 均導通，此時第一 NMOS 電晶體 MN1、第二 NMOS 電晶體 MN2 均關斷，第三採樣時脈訊號 CLK3 為高電平，第八 PMOS 電晶體 MP8 和第九 PMOS 電晶體 MP9 均關斷，以保證數據接收電路 100 的正常工作。在無需考慮碼間擾對數據接收電路 100 的影響時，致能訊號 DfeEn 具有第二電平值期間，即致能訊號 DfeEn

為低電平，此時無論第一採樣時脈訊號 CLK1 為低電平還是高電平，第二採樣時脈訊號 CLK2 為固定高電平，第二 PMOS 電晶體 MP2 均為關斷，不會向第六節點 net6 提供電流，即決策回饋均衡模組 103 停止執行決策回饋均衡，以降低數據接收電路 100 整體的功耗。此外，無論是否需要考慮碼間干擾對數據接收電路 100 的影響，在第一採樣時脈訊號 CLK1 為高電平時，第三採樣時脈訊號 CLK3 為低電平，第一 PMOS 電晶體 MP1 關斷，此時第一 NMOS 電晶體 MN1 和第二 NMOS 電晶體 MN2 均導通，第八 PMOS 電晶體 MP8 和第九 PMOS 電晶體 MP9 均導通，以下拉第一節點 n_stg1 處的電壓、第二節點 p_stg1 處的電壓、上拉第三節點 net3 處的電壓以及第四節點 net4 處的電壓，實現對第一節點 n_stg1 處、第二節點 p_stg1、第三節點 net3 以及第四節點 net4 的復位。

【0084】 在一些實施例中，在第二復位單元 142 包括第八 PMOS 電晶體 MP8 和第九 PMOS 電晶體 MP9 的基礎上，第二復位單元 142 還可以包括：第十 PMOS 電晶體（圖中未出），連接在電源節點 Vcc 和第八節點 n_stg2 之間；第十一 PMOS 電晶體（圖中未出），連接在電源節點 Vcc 和第九節點 p_stg2 之間，第十 PMOS 電晶體的閘極和第十一 PMOS 電晶體的閘極均響應於第三採樣時脈訊號 CLK3。如此，在數據接收電路 100 無需接收數據訊號 DQ 和參考訊號 Vref 時，第三採樣時脈訊號 CLK3 為低電平，第十 PMOS 電晶體和第十一 PMOS 電晶體均導通，使得第八節點 n_stg2 處的電壓以及第九節點 p_stg2 處的電壓被上拉，以實現對第八節點 n_stg2 以及第九節點 p_stg2 的復位。

【0085】 在一些實施例中，參考圖 8，數據接收電路 100（參考圖 1）還可以包括：失調補償模組 105，連接第二放大模組 102（參考圖 1），被配置為，補償第二放大模組 102 的失調電壓。具體的，失調補償模組 105 可以連接第八節點 n_stg2 以及第九節

點 p_stg2。

【0086】 在一些實施例中，繼續參考圖 8，失調補償模組 105 可以包括：第一失調補償單元 115，連接在第八節點 n_stg2 與地端之間；第二失調補償單元 125，連接在第九節點 p_stg2 與地端之間。其中，第一失調補償單元 115 用於補償第三 NMOS 電晶體 MN3 的參數；第二失調補償單元 125 用於補償第四 NMOS 電晶體 MN4 的參數，第一失調補償單元 115 和第二失調補償單元 125 可以透過補償第三 NMOS 電晶體 MN3 和第四 NMOS 電晶體 MN4 的參數調節數據接收電路的失調電壓。

【0087】 在一些實施例中，繼續參考圖 8，第一失調補償單元 115 可以包括：至少兩組並聯的電晶體組，每一電晶體組包括：第七 NMOS 電晶體 MN7，第七 NMOS 電晶體 MN7 的第一端與第八節點 n_stg2 連接，第七 NMOS 電晶體 MN7 的閘極與第一節點 n_stg1 連接；第七 MOS 管 M7，第七 MOS 管 M7 與第七 NMOS 電晶體 MN7 一一對應設置，第七 MOS 管 M7 連接在第七 NMOS 電晶體 MN7 的第二端和地端之間，第七 MOS 管 M7 的閘極接收第一失配調節訊號 Offset_1。需要說明的是，為了圖示的簡潔性，圖 8 中僅示意出了第一失調補償單元 115 中的一組電晶體組。

【0088】 如此，可以透過第一失配調節訊號 Offset_1 控制第七 NMOS 電晶體 MN7 導通程度，以調整第一失調補償單元 115 整體的等效電阻，以進一步調節第八節點 n_stg2 處的電壓。

【0089】 在一些實施例中，第一失調補償單元 115 包括兩組並聯的電晶體組，其中一組電晶體組由第七一 NMOS 電晶體（圖中未示出）和第七一 MOS 管（圖中未示出）構成，另一組電晶體組由第七二 NMOS 電晶體（圖中未示出）和第七二 MOS 管（圖中未示出）構成。其中，第一失配調節訊號 Offset_1 包括第三失配調節訊號（圖中未示出）和第四失配調節訊號（圖中未示出），

第七一 NMOS 電晶體的閘極和第七二 NMOS 電晶體的閘極與第一節點 n_stg1 連接，第七一 MOS 管的閘極接收第三失配調節訊號，第七二 MOS 管的閘極接收第四失配調節訊號。

【0090】 其中，第三失配調節訊號和第四失配調節訊號可以不同，如此，可以基於第三失配調節訊號和第四失配調節訊號控制第七一 NMOS 電晶體和/或第七二 MOS 管的導通程度，以靈活調節第一失調補償單元 115 整體的等效電阻，以進一步提高對第八節點 n_stg2 處的電壓的調節效果。

【0091】 在一些實施例中，參考圖 5，第二失調補償單元 125 可以包括：至少兩組並聯的電晶體組，每一電晶體組包括：第八 NMOS 電晶體 MN8，第八 NMOS 電晶體 MN8 的第一端與第九節點 p_stg2 連接，第八 NMOS 電晶體 MN8 的閘極與第二節點 p_stg1 連接；第八 MOS 管 M8，第八 MOS 管 M8 與第八 NMOS 電晶體 M8 一一對應設置，第八 MOS 管 M8 連接在第八 NMOS 電晶體 MN8 的第二端和地端之間，第八 MOS 管 M8 的閘極接收第二失配調節訊號 Offset_2。需要說明的是，為了圖示的簡潔性，圖 5 中僅示意出了第二失調補償單元 125 中的一組電晶體組。

【0092】 如此，可以透過第二失配調節訊號 Offset_2 控制第八 NMOS 電晶體 MN8 的導通程度，以調整第二失調補償單元 125 整體的等效電阻，以進一步調節第九節點 p_stg2 處的電壓。

【0093】 在一些實施例中，第二失調補償單元 125 包括兩組並聯的電晶體組，其中一組電晶體組由第八一 NMOS 電晶體（圖中未示出）和第八一 MOS 管（圖中未示出）構成，另一組電晶體組由第八二 NMOS 電晶體（圖中未示出）和第八二 MOS 管（圖中未示出）構成。其中，第二失配調節訊號 Offset_2 包括第五失配調節訊號（圖中未示出）和第六失配調節訊號（圖中未示出），第八一 NMOS 電晶體的閘極和第八二 NMOS 電晶體的閘極與第

一節點 n_stg1 連接，第八一 MOS 管的閘極接收第五失配調節訊號，第八二 MOS 管的閘極接收第六失配調節訊號。

【0094】 其中，第五失配調節訊號和第六失配調節訊號可以不同，如此，可以基於第五失配調節訊號和第六失配調節訊號控制第八一 NMOS 電晶體和/或第八二 MOS 管的導通程度，以靈活調節第二失調補償單元 125 整體的等效電阻，以進一步提高對第九節點 p_stg2 處的電壓的調節效果。

【0095】 需要說明的是，第七 MOS 管 M7、第七一 MOS 管、第七二 MOS 管、第八 MOS 管 M8、第八一 MOS 管以及第八二 MOS 管均可以為 PMOS 電晶體或者 NMOS 電晶體。上述任一 MOS 管為 PMOS 電晶體時控制該 PMOS 電晶體導通時第一失配調節訊號 Offset_1 的相位為第三相位，該 MOS 管為 NMOS 電晶體時控制該 NMOS 電晶體導通時第二失配調節訊號 Offset_2 的相位為第四相位，第三相位與第四相位相反。

【0096】 需要說明的是，上述關於高電平以及低電平的描述中，高電平可以為大於或等於電源電壓的電平值，低電平可以為小於或等於接地電壓的電平值。而且，高電平和低電平是相對而言的，高電平和低電平所包含的具體電平值範圍可以根據具體器件確定，例如，對於 NMOS 電晶體而言，高電平指的是能夠使該 NMOS 電晶體導通的閘極電壓的電平值範圍，低電平指的是能夠使該 NMOS 電晶體關斷的閘極電壓的電平值範圍；對於 PMOS 電晶體而言，低電平指的是能夠使該 PMOS 電晶體導通的閘極電壓的電平值範圍，高電平指的是能夠使該 PMOS 電晶體關斷的閘極電壓的電平值範圍。

【0097】 綜上所述，利用決策回饋控制模組 104 生成控制決策回饋均衡模組 103 的第二採樣時脈訊號 CLK2，以靈活控制決策回饋均衡模組 103 是否處於工作狀態。譬如，在需要降低碼間

干擾對數據接收電路100的影響時，即致能訊號DfeEn處於第一電平值期間時，決策回饋控制模組104響應於此時的致能訊號DfeEn生成第二採樣時脈訊號CLK2，決策回饋均衡模組103基於該第二採樣時脈訊號CLK2執行決策回饋均衡，以提高數據接收電路100的接收性能；在無需考慮碼間擾對數據接收電路100的影響時，即致能訊號DfeEn處於第二電平值期間時，決策回饋均衡模組103基於此時的第二採樣時脈訊號CLK2停止執行決策回饋均衡，以降低數據接收電路100整體的功耗，如此，有利於在可以實現提高數據接收電路100的接收性能的同時，還可以實現對數據接收電路100的整體功耗的降低。

【0098】 本發明另一實施例還提供一種數據接收系統，以下將結合附圖對本發明另一實施例提供的數據接收系統進行詳細說明。圖2為本發明另一實施例提供的數據接收系統的功能框圖。

【0099】 參考圖2，數據接收系統包括：多個級聯的數據傳輸電路120，每一數據傳輸電路120包括如本發明一實施例的數據接收電路100以及連接數據接收電路100的鎖存電路110，每一數據接收電路100連接至數據端口，接收數據訊號DQ；上一級數據傳輸電路120連接下一級數據傳輸電路120的決策回饋均衡模組103（參考圖1），上一級數據傳輸電路120的輸出作為下一級數據傳輸電路120的決策回饋均衡模組103的反饋訊號fb；最後一級數據傳輸電路120連接第一級數據傳輸電路120的決策回饋均衡模組103，最後一級數據傳輸電路120的輸出作為第一級數據傳輸電路120的決策回饋均衡模組103的反饋訊號fb。

【0100】 其中，鎖存電路110與數據接收電路100一一對應設置，鎖存電路110用於將與該鎖存電路110對應的數據接收電路100輸出的訊號鎖存並輸出。

【0101】 在一些實施例中，數據接收電路100響應於採樣時

脈訊號接收數據；且數據接收系統包括4個級聯的數據接收電路100，相鄰級的數據接收電路100的採樣時脈訊號的相位差為90°。如此採樣時脈訊號的週期為數據端口接收的數據訊號DQ的週期的2倍，有利於時脈佈線並節省功耗。

【0102】 需要說明的是，圖2中以數據接收系統包括4個級聯的數據接收電路100，相鄰級的數據接收電路100的採樣時脈訊號的相位差為90°為示例，在實際應用中，對數據接收系統中包括的級聯的數據接收電路100的數量不做限制，相鄰級的數據接收電路100的採樣時脈訊號的相位差可以基於級聯的數據接收電路100的數量來合理設置。

【0103】 在一些實施例中，當前級的數據接收電路100的決策回饋均衡模組103與前一級的數據接收電路100的第二放大模組102的輸出端連接，前一級的數據接收電路100的第二放大模組102輸出的第一輸出訊號Vout和第二輸出訊號VoutN作為後一級數據接收電路100的反饋訊號fb。如此，數據接收電路100的輸出直接傳輸給下一級數據傳輸電路120，無需經過鎖存電路110，有利於降低數據的傳輸延遲。

【0104】 在另一些實施例中，當前級的數據接收電路100的決策回饋均衡模組103與前一級的鎖存電路110的輸出端連接，前一級的鎖存電路110輸出的訊號作為後一級數據接收電路100的反饋訊號fb。

【0105】 綜上所述，本發明另一實施例提供的數據接收系統可以利用決策回饋控制模組104生成控制決策回饋均衡模組103的第二採樣時脈訊號CLK2，以靈活控制決策回饋均衡模組103是否處於工作狀態。譬如，在需要降低碼間干擾對數據接收電路100的影響時，使得決策回饋均衡模組103第二採樣時脈訊號CLK2執行決策回饋均衡，以提高數據接收電路100的接收性能；

在無需考慮碼間擾對數據接收電路 100 的影響時，使得決策回饋均衡模組 103 基於第二採樣時脈訊號 CLK2 停止執行決策回饋均衡，以降低數據接收電路 100 整體的功耗。

【0106】 本發明又一實施例還提供一種存儲裝置，包括：多個數據端口；多個如本發明另一實施例提供的數據接收系統，每一數據接收系統與一數據端口相對應。

【0107】 如此，在需要降低碼間干擾對存儲裝置的影響時，存儲裝置中的每一個數據端口均可以透過數據接收系統靈活對接收的數據訊號 DQ 進調整，以及提高對第一輸出訊號 Vout 以及第二輸出訊號 VoutN 的調整能力，從而提高存儲裝置的接收性能；在無需考慮碼間干擾對存儲裝置的影響時，使得決策回饋均衡模組 103 基於第二採樣時脈訊號 CLK2 停止執行決策回饋均衡，以降低存儲裝置的功耗。

【0108】 在一些實施例中，存儲裝置可以為 DDR 記憶體，例如為 DDR4 記憶體、DDR5 記憶體、DDR6 記憶體、LPDDR4 記憶體、LPDDR5 記憶體或者 LPDDR6 記憶體。

【0109】 本領域的普通技術人員可以理解，上述各實施方式是實現本發明的具體實施例，而在實際應用中，可以在形式上和細節上對其作各種改變，而不偏離本發明實施例的精神和範圍。任何本領域技術人員，在不脫離本發明實施例的精神和範圍內，均可作各自更動與修改，因此本發明實施例的保護範圍應當以申請專利範圍限定的範圍為準。

【符號說明】

【0110】

100:數據接收電路

101:第一放大模組

111:第一電流源

121:比較單元

131:第一復位單元

102:第二放大模組

112:輸入單元

122:鎖存單元

142:第二復位單元

103:決策回饋均衡模組

113:第一決策回饋單元

1131:開關單元

1132:調節單元

13:第一電晶體組

23:第二電晶體組

33:第三電晶體組

43:第四電晶體組

53:第五電晶體組

123:第二決策回饋單元

133:第二電流源

104:決策回饋控制模組

114:反及閘電路

105:失調補償模組

115:第一失調補償單元

125:第二失調補償單元

110:鎖存電路

120:數據傳輸電路

【發明申請專利範圍】

【請求項1】 一種數據接收電路，其特徵在於，包括：

第一放大模組，被配置為，接收數據訊號和參考訊號，響應於第一採樣時脈訊號對數據訊號以及參考訊號進行比較，並分別透過第一節點和第二節點輸出第一電壓訊號和第二電壓訊號；

決策回饋控制模組，被配置為，響應於致能訊號生成第二採樣時脈訊號；

決策回饋均衡模組，與所述第一節點以及所述第二節點連接，被配置為，在所述致能訊號具有第一電平值期間，響應於所述第二採樣時脈訊號並基於反饋訊號執行決策回饋均衡，以調整所述第一電壓訊號以及所述第二電壓訊號，在所述致能訊號具有第二電平值期間，停止執行決策回饋均衡，其中，所述反饋訊號基於先前接收到的數據得到；以及

第二放大模組，被配置為，對所述第一電壓訊號與所述第二電壓訊號的電壓差進行放大處理，並分別透過第三節點和第四節點輸出第一輸出訊號和第二輸出訊號；

所述決策回饋控制模組包括：反及閘電路，一輸入端接收第四採樣時脈訊號，另一輸入端接收所述致能訊號，輸出端輸出所述第二採樣時脈訊號；

所述反饋訊號包括互為差分訊號的第一反饋訊號以及第二反饋訊號；所述決策回饋均衡模組包括：

第二電流源，被配置為，連接在電源節點與第六節點之間，響應於所述第二採樣時脈訊號向所述第六節點提供電流；

第一決策回饋單元，連接所述第一節點以及所述第六節點，被配置為，當所述第二電流源響應於所述第二採樣時脈訊號向所述第六節點提供電流時，基於所述第一反饋訊號對所述第一節點進行決策回饋均衡，以調整所述第一電壓訊號；

第二決策回饋單元，連接所述第二節點以及所述第六節點，被配置為，當所述第二電流源響應於所述第二採樣時脈訊號向所述第六節點提供電流時，基於所述第二反饋訊號對所述第二節點進行決策回饋均衡，以調整所述第二電壓訊號，

優選地，所述第二電流源包括：

第二 PMOS 電晶體，連接在所述電源節點與所述第六節點之間，所述第二 PMOS 電晶體的閘極接收所述第二採樣時脈訊號，

優選地，所述第一決策回饋單元和所述第二決策回饋單元中的任一者均包括：

開關單元，被配置為，響應於所述反饋訊號導通所述第六節點與第七節點；

調節單元，連接在所述第七節點與輸出節點之間，所述輸出節點為所述第一節點與所述第二節點之間的一者，被配置為，響應於控制訊號調整所述第七節點與所述輸出節點之間的等效電阻值的大小；

其中，所述第一決策回饋單元中，所述反饋訊號為所述第一反饋訊號，所述輸出節點為所述第一節點，所述開關單元響應於所述第一反饋訊號；所述第二決策回饋單元中，所述反饋訊號為所述第二反饋訊號，所述輸出節點為所述第二節點，則所述開關單元響應於所述第二反饋訊號，

優選地，所述開關單元包括：

第五 PMOS 電晶體，連接在所述第六節點與所述第七節點之間，所述第五 PMOS 電晶體的閘極接收所述反饋訊號，

優選地，所述調節單元包括：

多個並聯在所述第七節點與所述輸出節點之間的電晶體組，不同的所述電晶體組的控制端接收的所述控制訊號不同，且不同的所述電晶體組的等效電阻值不同，

優選地，不同的所述電晶體組包括：

至少一個所述電晶體組由單個 MOS 管構成；以及

至少一個所述電晶體組包括至少兩個串聯的 MOS 管。

【請求項2】　如請求項 1 所述的數據接收電路，其特徵在於，所述第一放大模組包括：

第一電流源，被配置為，連接在電源節點和第五節點之間，響應於所述第一採樣時脈訊號向所述第五節點提供電流；以及

比較單元，連接所述第五節點、所述第一節點以及所述第二節點，被配置為，接收所述數據訊號和所述參考訊號，當所述第一電流源響應於所述第一採樣時脈訊號向所述第五節點提供電流時，對所述數據訊號以及所述參考訊號進行比較，並透過所述第一節點輸出所述第一電壓訊號，透過所述第二節點輸出所述第二電壓訊號。

【請求項3】　如請求項 2 所述的數據接收電路，其特徵在於，所述第一電流源包括：

第一 PMOS 電晶體，連接在所述電源節點與所述第五節點之間，所述第一 PMOS 電晶體的閘極接收所述第一採樣時脈訊號。

【請求項4】　如請求項 2 所述的數據接收電路，其特徵在於，所述比較單元包括：

第三 PMOS 電晶體，連接在所述第五節點與所述第一節點之間，所述第三 PMOS 電晶體的閘極接收所述數據訊號；以及

第四 PMOS 電晶體，連接在所述第五節點與所述第二節點之間，所述第四 PMOS 電晶體的閘極接收所述參考訊號。

【請求項5】　如請求項 2 所述的數據接收電路，其特徵在於，所述第一放大模組還包括：

第一復位單元，連接所述第一節點以及所述第二節點，被配置為，對所述第一節點以及所述第二節點進行復位，

優選地，所述第一復位單元包括：

第一 NMOS 電晶體，連接在所述第一節點與地端之間，所述第一 NMOS 電晶體的閘極接收所述第一採樣時脈訊號；以及

第二 NMOS 電晶體，連接在所述第二節點與所述地端之間，所述第二 NMOS 電晶體的閘極接收所述第一採樣時脈訊號。

【請求項6】　如請求項 1 所述的數據接收電路，其特徵在於，所述第二放大模組包括：

輸入單元，連接所述第一節點以及所述第二節點，被配置為，對所述第一電壓訊號以及所述第二電壓訊號進行比較，並分別向第八節點和第九節點提供第三電壓訊號以及第四電壓訊號；

鎖存單元，被配置為，對所述第三電壓訊號以及所述第四電壓訊號進行放大並鎖存，並向所述第三節點輸出所述第一輸出訊號，向所述第四節點輸出所述第二輸出訊號，

優選地，所述輸入單元包括：

第三 NMOS 電晶體，連接在所述第八節點與地端之間，所述第三 NMOS 電晶體的閘極接收所述第一電壓訊號；

第四 NMOS 電晶體，連接在所述第九節點與所述地端之間，所述第四 NMOS 電晶體的閘極接收所述第二電壓訊號，

優選地，所述鎖存單元包括：

第五 NMOS 電晶體，連接在所述第八節點與所述第三節點之間，所述第五 NMOS 電晶體的閘極接收所述第二輸出訊號；

第六 NMOS 電晶體，連接在所述第九節點與所述第四節點之間，所述第六 NMOS 電晶體的閘極接收所述第一輸出訊號；

第六 PMOS 電晶體，連接在電源節點與所述第三節點之間，所述第六 PMOS 電晶體的閘極接收所述第二輸出訊號；

第七 PMOS 電晶體，連接在所述電源節點與所述第四節點之間，所述第七 PMOS 電晶體的閘極接收所述第一輸出訊號，

優選地，所述第二放大模組還包括：

第二復位單元，連接所述鎖存單元，被配置為，對所述鎖存單元進行復位，

優選地，所述第二復位單元包括：

第八 PMOS 電晶體，連接在電源節點和所述第三節點之間；以及

第九 PMOS 電晶體，連接在所述電源節點和所述第四節點之間，所述第八 PMOS 電晶體的閘極和所述第九 PMOS 電晶體的閘極均響應於第三採樣時脈訊號。

【請求項7】　一種數據接收系統，其特徵在於，包括：

多個級聯的數據傳輸電路，每一所述數據傳輸電路包括如請求項 1 至 6 之任一項所述的數據接收電路以及連接所述數據接收電路的鎖存電路，每一所述數據接收電路連接至數據端口，接收所述數據訊號；上一級所述數據傳輸電路連接下一級所述數據傳輸電路的所述決策回饋均衡模組，上一級所述數據傳輸電路的輸出作為下一級所述數據傳輸電路的所述決策回饋均衡模組的所述反饋訊號；以及

最後一級所述數據傳輸電路連接第一級所述數據傳輸電路的所述決策回饋均衡模組，最後一級所述數據傳輸電路的輸出作為第一級所述數據傳輸電路的所述決策回饋均衡模組的所述反饋訊號。

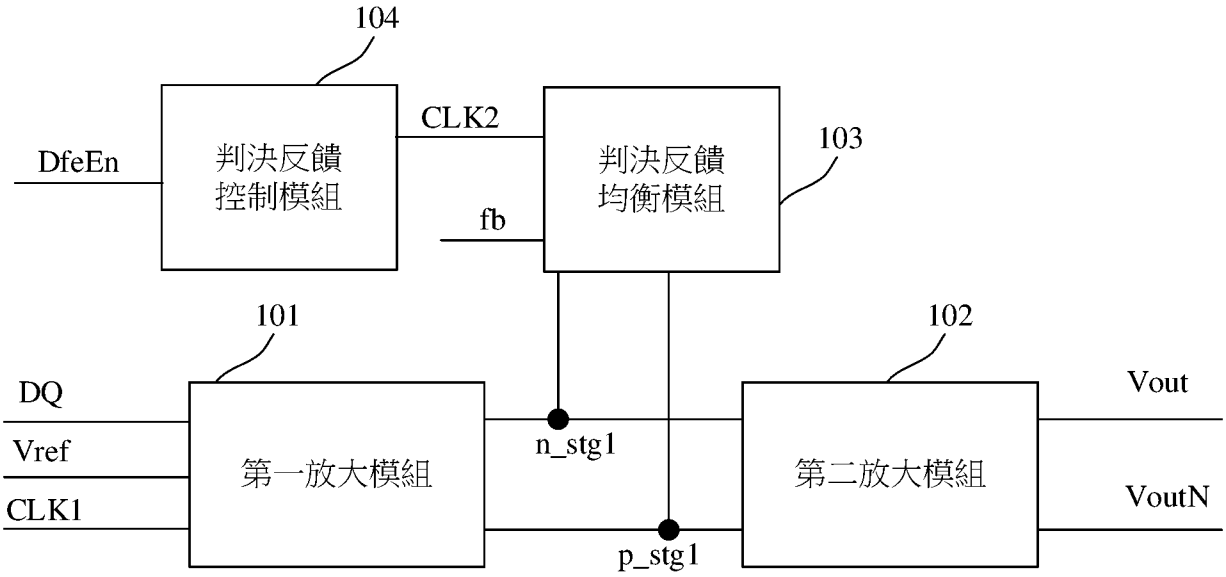
【請求項8】　一種存儲裝置，其特徵在於，包括：

多個數據端口；以及

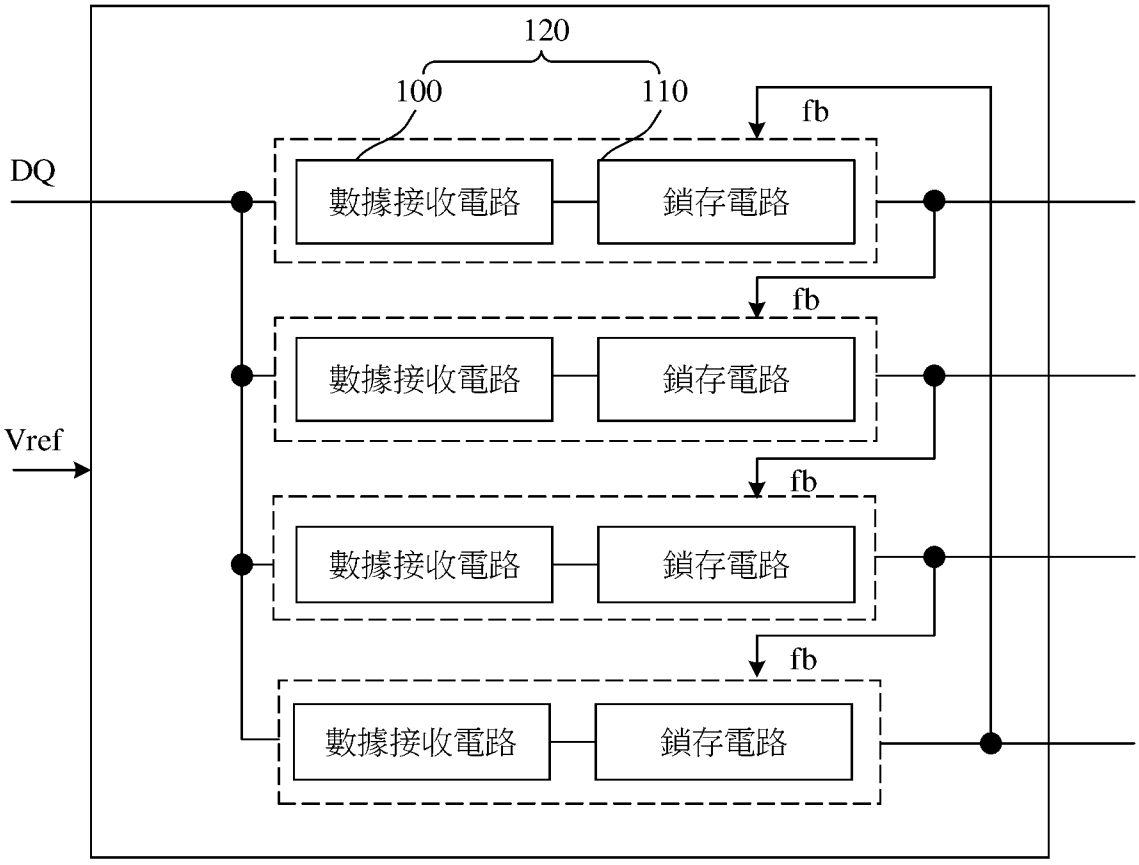
多個如請求項 7 所述的數據接收系統，每一所述數據接收系統與一所述數據端口相對應。

【發明圖式】

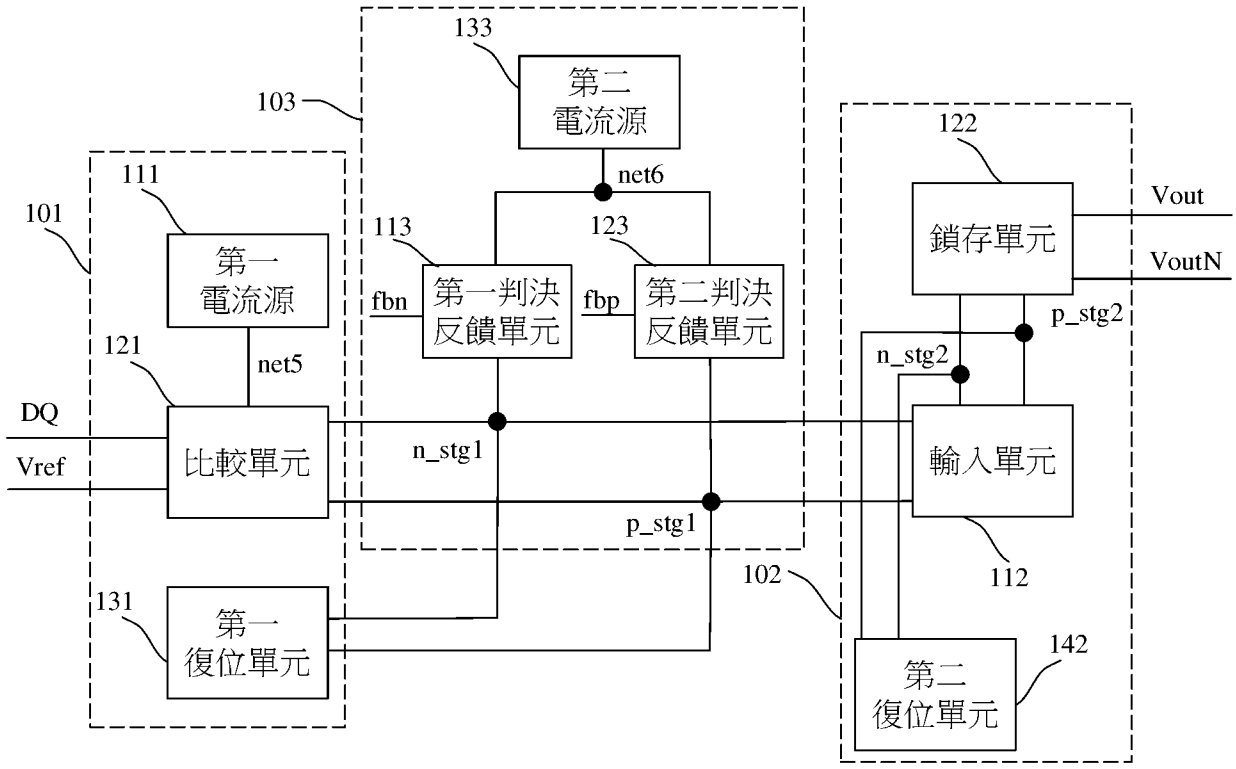
113年08月23日 所提修正
113年8月23日替換本



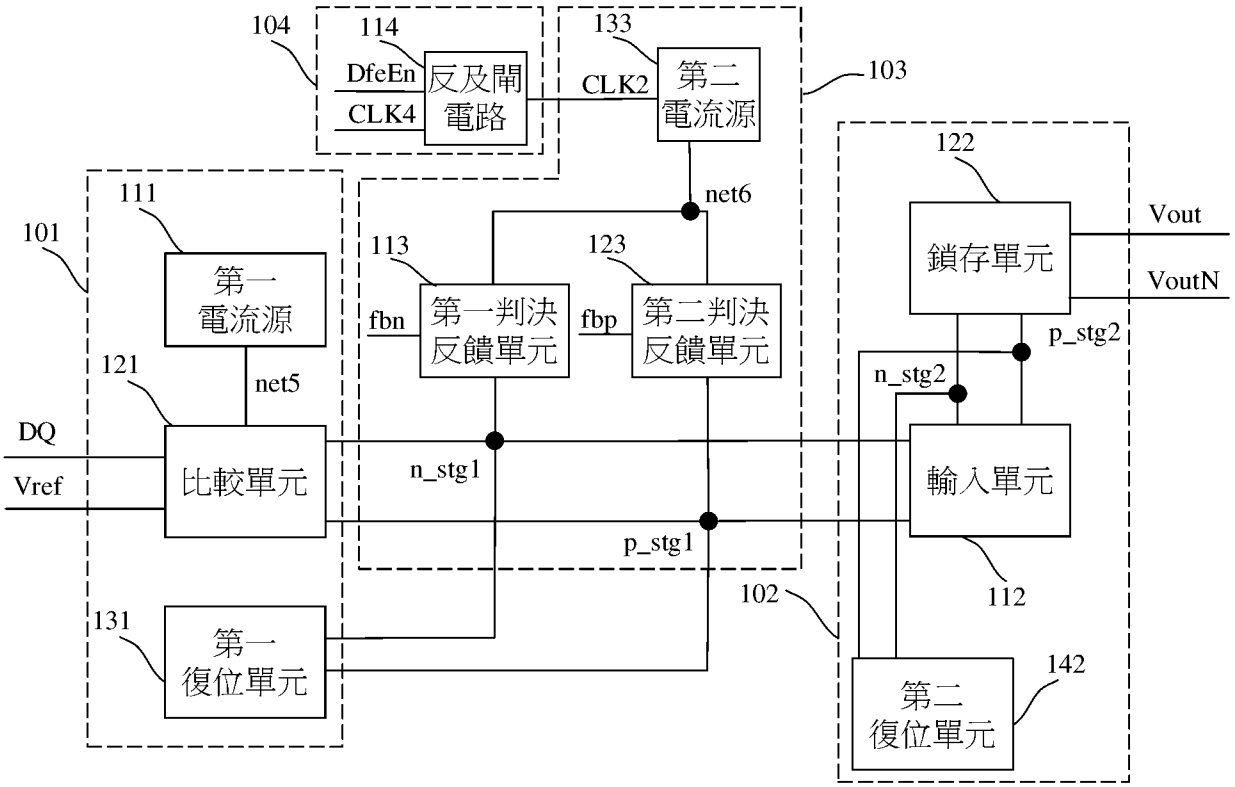
【圖1】



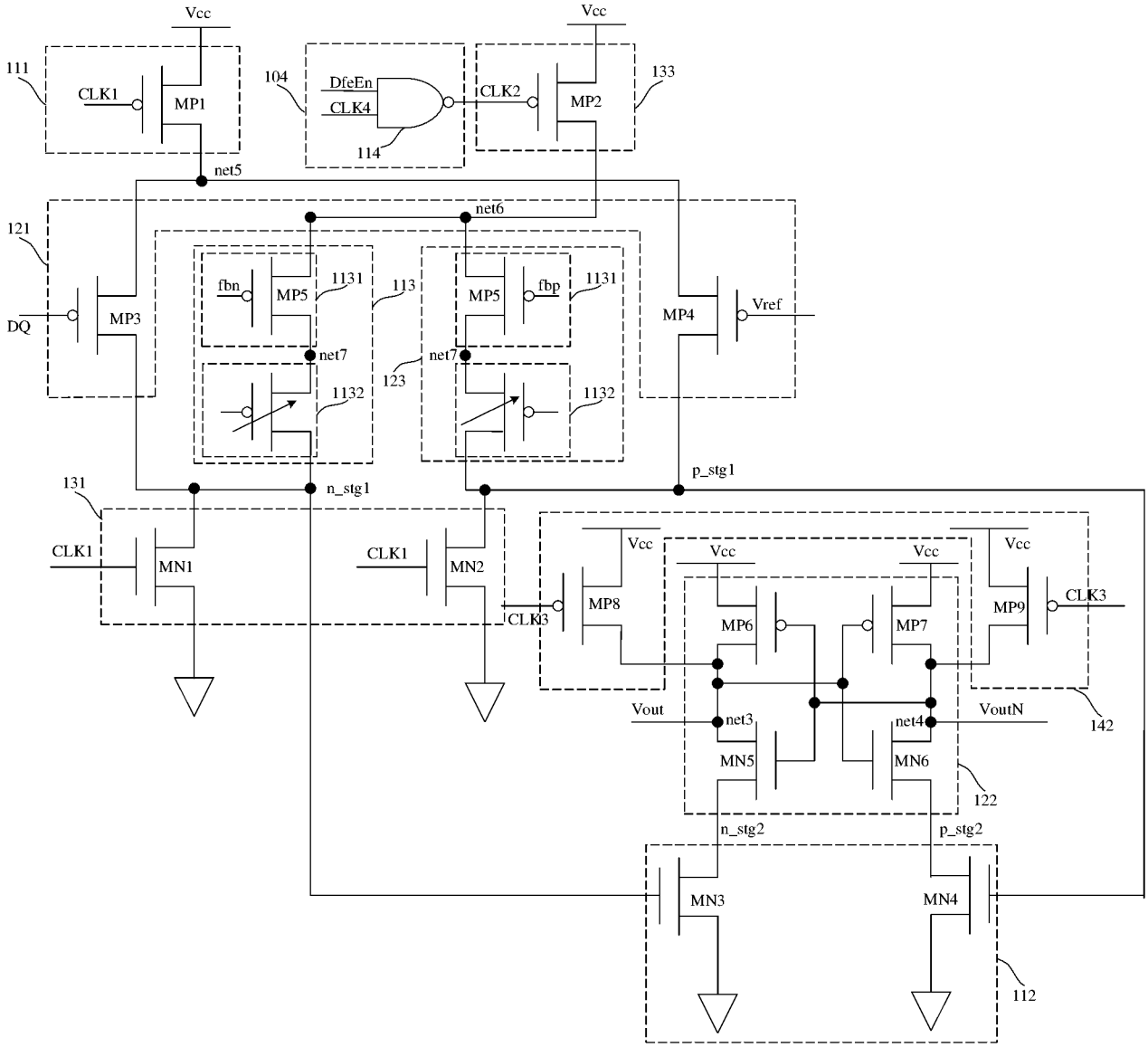
【圖2】


133
第二
電流源
103
net6
122
Vout
VoutN
111
101
第一
電流源
113
123
fbn
第一判決
反饋單元
fbp
第二判決
反饋單元
鎖存單元
p_stg2
n_stg2
121
net5
DQ
Vref
比較單元
n_stg1
輸入單元
p_stg1
112
102
131
第一
復位單元
142
第二
復位單元

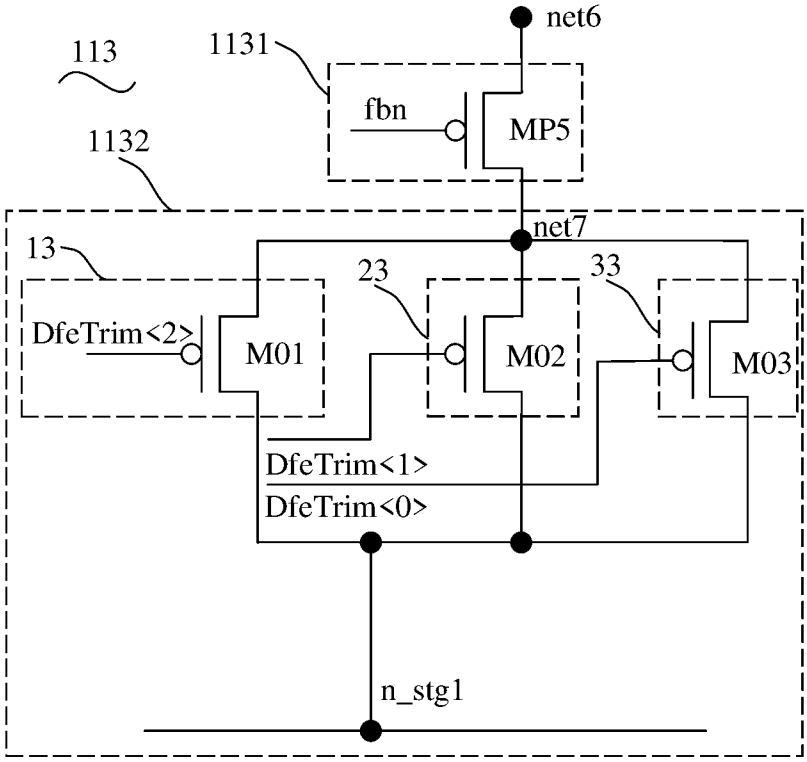
【圖3】


104
114
DfeEn
CLK4
反及閘
電路
133
CLK2
第二
電流源
103
122
111
net6
Vout
VoutN
101
第一
電流源
113
123
fbn
第一判決
反饋單元
fbp
第二判決
反饋單元
鎖存單元
p_stg2
n_stg2
121
net5
DQ
Vref
比較單元
n_stg1
輸入單元
p_stg1
112
102
131
第一
復位單元
142
第二
復位單元

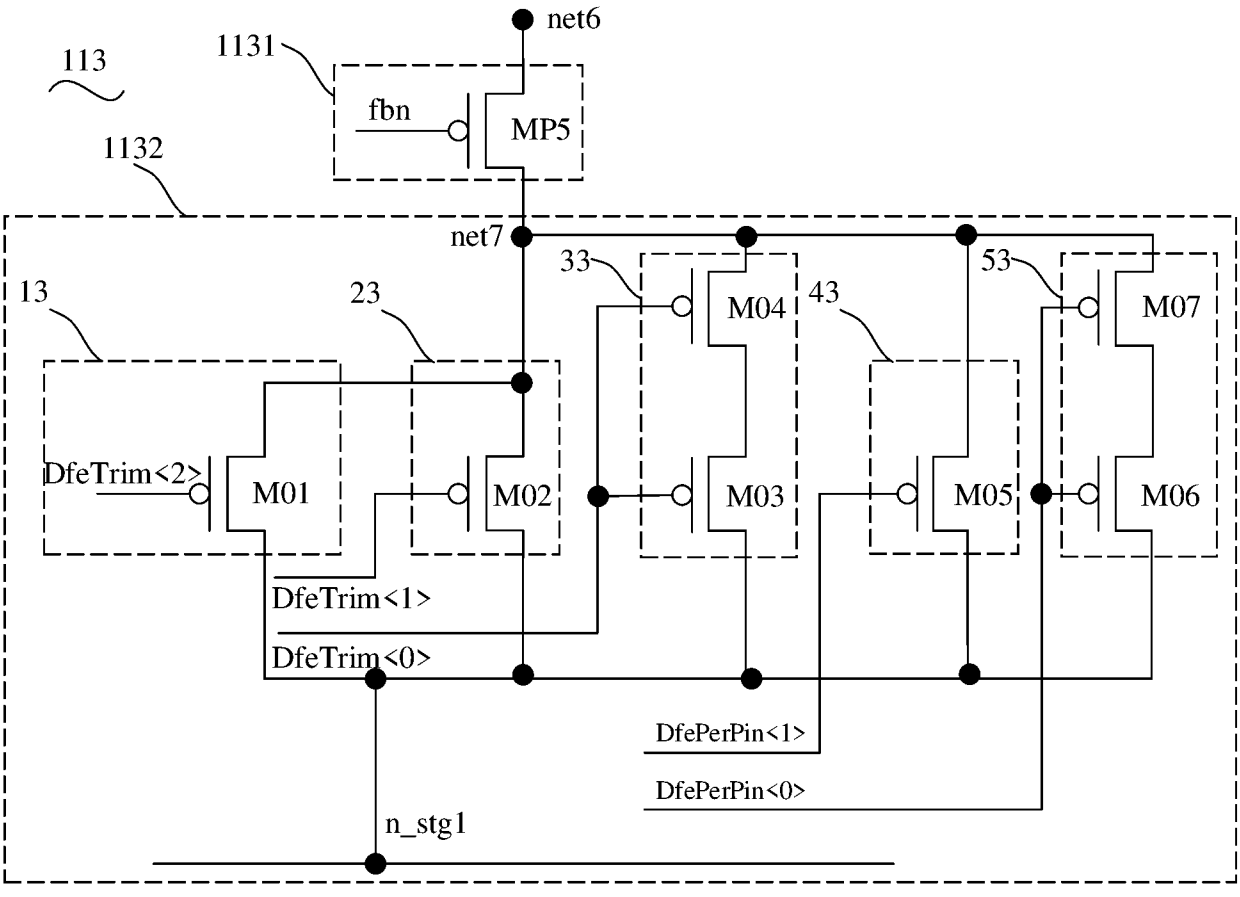
【圖4】


Vcc
111
CLK1
MP1
net5
104
DfeEn
CLK4
114
Vcc
CLK2
MP2
133
net6
121
DQ
MP3
fbn
MP5
1131
113
net7
1132
123
net7
MP5
fbp
1131
1132
MP4
Vref
p_stg1
131
n_stg1
CLK1
MN1
CLK1
MN2
CLK3
Vcc
MP8
Vcc
MP6
Vcc
MP7
Vcc
MP9
CLK3
Vout
net3
net4
VoutN
142
MN5
MN6
122
n_stg2
p_stg2
MN3
MN4
112

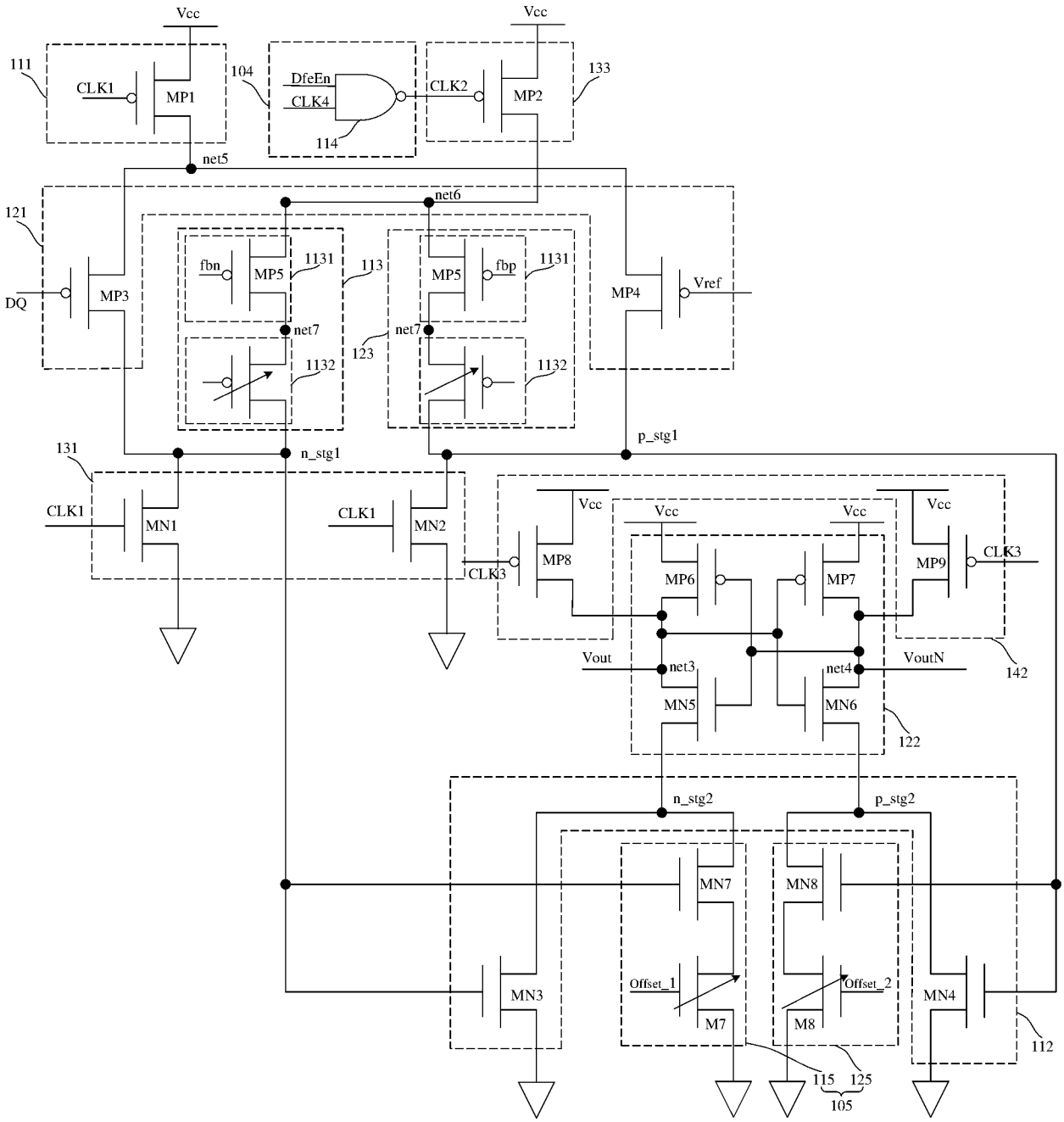
【圖5】


net6
113
1131
fbn
MP5
1132
net7
13
23
33
DfeTrim<2>
M01
M02
M03
DfeTrim<1>
DfeTrim<0>
n_stg1

【圖6】


net6
113
1131
fbn
MP5
1132
net7
33
53
13
23
43
M04
M07
DfeTrim<2>
M01
M02
M03
M05
M06
DfeTrim<1>
DfeTrim<0>
DfePerPin<1>
DfePerPin<0>
n_stg1

【圖7】


Vcc
111
CLK1
MP1
104
DfeEn
CLK4
114
CLK2
MP2
133
net5
net6
121
DQ
MP3
fbn
MP5
1131
113
fbp
MP5
1131
MP4
Vref
net7
123
net7
1132
1132
131
n_stg1
p_stg1
CLK1
MN1
CLK1
MN2
CLK3
MP8
MP6
MP7
MP9
CLK3
Vout
net3
net4
VoutN
142
MN5
MN6
122
n_stg2
p_stg2
MN7
MN8
MN3
Offset_1
M7
Offset_2
M8
MN4
112
115
125
105

【圖8】