(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 4 月 20 日 (20.04.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/063269 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2015/098399

(22) 国际申请日: 2015 年 12 月 23 日 (23.12.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510666807.3 2015 年 10 月 15 日 (15.10.2015) CN

(71) 申请人: **武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD)** [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。

(72) 发明人: **李亚锋 (LI, Yafeng)**; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所（普通合伙） (ESSEN PATENT & TRADEMARK AGENCY)**; 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH,

[见续页]

(54) **Title**: GATE DRIVER ON ARRAY SUBSTRATE AND LIQUID CRYSTAL DISPLAY USING SAME

(54) **发明名称** : 栅极驱动基板和使用栅极驱动基板的液晶显示器

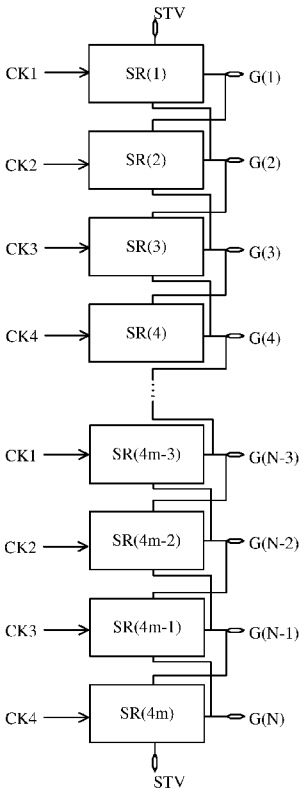


图 2

(57) **Abstract**: A gate driver on array substrate (12), comprising N shift registers SR(n). Every M shift registers SR(n) are controlled by M clocks. A first-stage shift register SR(1) is used for outputting a scan signal pulse on an output end G(1) according to a first clock CK1 and a start signal STV, and the last-stage shift register SR(n) is used for outputting a scan signal pulse on an output end G(n) according to the M^{th} clock and the start signal STV. The frequency of the start signal STV is equal to an updating frequency for displaying a frame of an image. The pulse width of the start signal STV starts from the falling edge of the M^{th} clock which is applied to the last-stage shift register SR(n) when scanning a first frame of an image and ends at the raising edge of the first clock CK1 which is applied to the first-stage shift register SR(1) when scanning a second frame of the image. Because both the first-stage shift register SR(1) and the last-stage shift register SR(n) are driven according to the start signal STV to output the scan signal pulses, the number of wires for transmitting the start signal STV can be reduced, thereby simplifying the layout design.

(57) **摘要**: 一种栅极驱动基板(12)，包含 N 个移位缓存单元 SR(n)。每 M 个所述移位缓存单元 SR(n)由 M 个时钟信号控制，第一级移位缓存单元 SR(1)用来依据第一时钟信号 CK1 以及起始信号 STV，在输出端 G(1)输出扫描信号脉冲，最后一级移位缓存单元 SR(n)用来依据第 M 个时钟信号以及所述起始信号 STV，在输出端 G(N)输出扫描信号脉冲。起始信号 STV 的频率等于显示一帧画面的更新频率。起始信号 STV 的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元 SR(n)的所述第 M 个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元 SR(1)的所述第一个时钟信号 CK1 的上升沿。因为第一级移位缓存单元 SR(1)和最后一级移位缓存单元 SR(n)都是依据起始信号 STV 来驱动以输出扫描信号脉冲，因此可以减少传输起始信号的导线数量，简化布局设计的复杂度。

WO 2017/063269 A1

CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

栅极驱动基板和使用栅极驱动基板的液晶显示器

技术领域

[1] 本发明是有关于一种液晶显示器，尤指一种使用栅极驱动(Gate driver on array，GOA)基板的液晶显示器。

背景技术

[2] GOA电路是利用薄膜晶体管液晶显示器Array制程将栅极驱动器制作在具有薄膜晶体管(Thin film transistor，TFT)阵列的栅极驱动基板上，以实现逐行扫描的驱动方式。

[3] GOA电路包含数个移位缓存单元，每一移位缓存单元由上拉电路（Pull-up circuit）、上拉控制电路（Pull-up control circuit）、下拉电路（Pull-down circuit）、下拉保持电路（Pull-down Holding circuit）、以及负责电位抬升的上升电路(Boost circuit)组成。

[4] 上拉电路主要负责将输入的时钟信号（Clock）输出至薄膜晶体管的栅极，作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开，一般是由上级GOA电路传递来的信号作用。下拉电路负责在输出扫描信号后，快速地将扫描信号(亦即薄膜晶体管的栅极的电位)拉低为低电平。下拉保持电路则负责将扫描信号和上拉电路的信号（亦即施加于Q点的信号）保持在关闭状态（即设定的负电位），通常有两个下拉保持电路交替作用。上升电路则负责Q点电位的二次抬升，这样确保上拉电路的G(n)正常输出。

[5] 一般来说，本级移位缓存单元的Q点电压是由前一级移位缓存单元的输出电压将其上拉，Q点电压是由后一级移位缓存单元的输出电压将其下拉。因此GOA电路至少需要两个起始信号STV1和STV2，其中起始信号STV1作为第一级移位缓存单元的Q点上拉信号，起始信号STV2作为最后一级移位缓存单元Q点的下拉信号。但是使用两个起始信号STV1和STV2就需要更多的导线来传输信号，增加设计的复杂度。

对发明的公开

技术问题

[6] 有鉴于此，本发明的目的是提供一种栅极驱动基板和使用栅极驱动基板的液晶显示器，以解决现有技术的问题。

问题的解决方案

技术解决方案

[7] 本发明的技术方案提供一种栅极驱动基板，其包含：数个呈矩阵排列的像素单元；数个晶体管，每一晶体管电性连接于其中一个像素单元；以及N个移位缓存单元，N个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第M个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的频率等于显示一帧画面的更新频率，M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠，所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第M个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[8] 依据本发明，每一移位缓存单元包含：上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲；上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路；上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位；下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电源电压，用来依据维持所述第一节点的低电平；以及下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端，用来下拉所述第一节点的电位至所述第二电源电压。

[9] 依据本发明，所述下拉电路包含：第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

[10] 本发明的技术方案另提供一种栅极驱动基板，其包含数个呈矩阵排列的像素单元；数个晶体管，每一晶体管电性连接于其中一个像素单元；以及N个移位缓存单元，N个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第M个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第M个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[11] 依据本发明，所述起始信号的频率等于显示一帧画面的更新频率。

[12] 依据本发明， M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠。

[13] 依据本发明，每一移位缓存单元包含：上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲； 上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路； 下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电源电压，用来依据维持所述第一节点的低电平；以及下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端，用来下拉所述第一节点的电位至所述第二电源电压。

[14] 依据本发明，所述移位缓存单元另包含上升电路，耦接于所述第一节点和所述

输出端之间，用来抬升所述第一节点的电位。

[15] 依据本发明，所述下拉电路包含：第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

[16] 本发明的技术方案又提供一种液晶显示器，其包含源极驱动器，用来输出数据信号至数个像素单元使其显示灰阶；以及栅极驱动电路，用来输出扫描信号使得数个晶体管开启。所述栅极驱动电路包含：N个移位缓存单元，N个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第M个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第M个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[17] 依据本发明，所述起始信号的频率等于显示一帧画面的更新频率。

[18] 依据本发明， M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠。

[19] 依据本发明，每一移位缓存单元包含：上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲； 上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路； 下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电源电压，用来依据维持所述第一节点的低电平；以及下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端

，用来下拉所述第一节点的电位至所述第二电源电压。

[20] 依据本发明，所述移位缓存单元另包含上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位。

[21] 依据本发明，所述下拉电路包含：第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

发明的有益效果

有益效果

[22] 相较于现有技术，本发明的栅极驱动基板的第一级移位缓存单元和最后一级移位缓存单元都是用来依据起始信号来驱动以输出扫描信号脉冲。因此可以减少传输起始信号的导线数量，简化布局设计(Layout)的复杂度。

对附图的简要说明

附图说明

[23] 图1是本发明的液晶显示器的功能方块图。

[24] 图2是本发明的栅极驱动基板的移位缓存单元SR(n)的方块图。

[25] 图3是图2移位缓存单元的较佳实施例的电路图。

[26] 图 4 是图 3 所示各种输入信号、输出信号和节点电压的时序图。

实施该发明的最佳实施例

本发明的最佳实施方式

[27] 请参阅图1，图1是本发明的液晶显示器10的功能方块图。液晶显示器10包含栅极驱动基板12、栅极驱动电路14以及源极驱动器(source driver)16。栅极驱动基板12包含数个呈矩阵排列的像素(pixel)，而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素单元20构成。以一个1024 × 768分辨率的液晶显示器10来说，共需要1024 × 768 × 3个像素单元20组合而成。栅极驱动电路14输出扫描信号使得每一行的晶体管22依序开启，同时源极驱动器16则输出对应的数据信号至一整列的像素单元20使其充电到各自所需的电压，以显

示不同的灰阶。当同一行充电完毕后，栅极驱动电路14便将该行的扫描信号关闭，然后栅极驱动电路14再输出扫描信号将下一行的晶体管22打开，再由源极驱动器16对下一行的像素单元20进行充放电。如此依序下去，直到栅极驱动基板12的所有像素单元20都充电完成，再从第一行开始充电。

[28] 在目前的液晶显示面板设计中，栅极驱动电路14即每隔一固定间隔输出扫描信号。以一个1024 × 768分辨率的液晶显示器10以及60Hz的更新频率为例，每一个画面的显示时间约为1/60=16.67ms。所以每一个扫描信号的脉冲为16.67ms/768=21.7μs。而源极驱动器16则在这21.7μs的时间内，将像素单元20充放电到所需的电压，以显示出相对应的灰阶。

[29] 请参阅图2，图2是本发明的栅极驱动电路14的移位缓存单元SR(n)的方块图。栅极驱动电路14包含Ｎ个串接(cascade-connected)的移位缓存单元SR(n)，每M个移位缓存单元SR(n)由M个时钟信号控制，其中n、N、M皆为正整数，且N大于M，n小于等于N。以一个1024 × 768分辨率的液晶显示器10为例，N为768，M可以为4。本实施例的每四个移位缓存单元SR(4m-3)、SR(4m-2)、SR(4m-1)、SR(4m)分别由四个时钟信号CK1-CK4所控制，其中m为0或正整数，且m小于或等于Ｍ/４。四个时钟信号CK1-CK4的脉冲依序轮流产生，且四个时钟信号CK1-CK4的脉冲互不重叠。移位缓存单元SR(n)用来依据时钟信号以及每一移位缓存单元SR(n)之前一级移位缓存单元SR(n-1)的输出端G(n-1)输出的扫描信号，自输出端G(n)输出扫描信号。第一级移位缓存单元SR(1)接收到起始脉冲(start pulse)STV后，移位缓存单元SR(1)就会依据时钟信号CK1于输出端G(1)输出扫描信号脉冲。接下来，第二级移位缓存单元SR(2)在接收到前一级移位缓存单元SR(1)于输出端G(1)输出的扫描信号脉冲后，依据时钟信号CK2于输出端G(2)输出该移位缓存单元SR(2)的扫描信号脉冲。依此类推，每一移位缓存单元SR(n)在接收到每一移位缓存单元SR(n) 的前一级移位缓存单元SR(n-1)于输出端G(n-1)输出的扫描信号脉冲后，依据对应的时钟信号CK1-CK4于输出端G(n)输出该每一移位缓存单元SR(n)的扫描信号脉冲。该扫描信号脉冲用来开启对应的像素单元20的晶体管。

[30] 请参阅图3，图3是图2移位缓存单元的较佳实施例的电路图。每一移位缓存单元SR(n)包含上拉控制电路(pull-up control circuit)100、上拉电路(pull-up

circuit)200、下拉电路(pull-down circuit)400、下拉保持电路500以及上升电路600。由于每一移位缓存单元的结构相同，为简化说明，以下实施例的时钟信号CK表示其中一个时钟信号CK1-CK4。上拉电路200可以是第一晶体管T1，其栅极耦接于第一节点Q(n)，源极耦接于时钟信号CK，漏极耦接于该输出端G(n)。上拉电路200用来依据时钟信号CK，由输出端G(n)提供扫描信号脉冲。上拉控制电路100可以是第二晶体管T2，其栅极耦接于第一电源电压VDD，源极耦接于前一个移位缓存单元SR(n-1)的输出端G(n-1)，漏极耦接于第一节点Q(n)。上拉控制电路100用来依据前一个移位缓存单元SR(n-1)的扫描信号脉冲，导通上拉电路200。上升电路600可以是一电容Cb，其耦接于第一节点Q(n)和输出端G(n)之间，用来抬升第一节点的电位Q(n)。下拉保持电路500耦接于第一节点G(n)、时钟信号CK以及第二电源电压VSS，用来依据维持第一节点Q(n)的低电平。下拉电路400耦接于第二电源电压VSS、输出信号端G(n)以及每一移位缓存单元的下一个移位缓存单元SR(n+1)的输出端G(n+1)，用来下拉第一节点Q(n)的电位至第二电源电压VSS。

[31] 下拉电路400包含第三晶体管T3和第四晶体管T4。第三晶体管T3的栅极耦接于该每一移位缓存单元的下一个移位缓存单元SR(n+1)的输出端G(n+1)，源极耦接于输出端G(n)，漏极耦接于第二电源电压VSS。第四晶体管T4的栅极耦接于每一移位缓存单元的下一个移位缓存单元SR(n+1)的输出端G(n+1)，源极耦接于第一节点Q(n)，漏极耦接于第二电源电压VSS。在本实施例中，最后一级移位缓存单元SR(n)的下拉电路400的第三晶体管T3的栅极和第四晶体管T4的栅极皆电性连接于起始脉冲STV。

[32] 请一并参阅图2-图4，图4是图3所示各种输入信号、输出信号和节点电压的时序图。起始脉冲STV的频率等于更新频率，举例来说，以一个1024×768分辨率的栅极驱动基板12以及60Hz的更新频率为例，起始脉冲STV的频率约为1/60=16.67ms。较佳地，起始信号STV的脉宽起始于扫描第一帧画面时施加在最后一级移位缓存单元SR(N)的时钟信号CK4的下降沿，并结束于扫描第二帧画面时施加在第一级移位缓存单元SR(1)的第一个时钟信号CK1的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。因为最后一级移位缓存单元SR(N)对应的时钟

信号CK4处于未触发(Blank)状态，亦即处于低电平，这时起始信号STV的高电平不会对最后一级移位缓存单元SR(N)产生任何的影响。在所有的时钟信号CK1－CK4都再次进入未触发状态时，这时起始信号STV再次开启，将最后一级移位缓存单元SR(N)的Q点电压拉下来。起始信号STV的高电平时间会一直持续到第二帧画面，以在扫描第二帧画面时作为上拉第一级移位缓存单元SR(1)的Q点电压的信号。通过这样的方式，该起始信号STV既可以作为上拉移位缓存单元SR(1)的Q点电压的信号，同时也可以作为下拉最后一级移位缓存单元SR(N)的Q点电压的信号，因此可以减少起始信号的数量。

[33] 本发明的栅极驱动基板的第一级移位缓存单元和最后一级移位缓存单元都是用来依据起始信号来驱动以输出扫描信号脉冲。因此可以减少传输起始信号的导线数量，简化布局设计(Layout)的复杂度。

[34] 综上所述，虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种栅极驱动基板，其包含：

数个呈矩阵排列的像素单元；

数个晶体管，每一晶体管电性连接于其中一个像素单元；以及

Ｎ个移位缓存单元，Ｎ个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第Ｍ个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的频率等于显示一帧画面的更新频率，M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠，所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第Ｍ个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[权利要求 2] 如权利要求1所述的栅极驱动基板，其中每一移位缓存单元包含：

上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲；

上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路；

上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位；

下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电

源电压，用来依据维持所述第一节点的低电平；以及

下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端，用来下拉所述第一节点的电位至所述第二电源电压。

[权利要求 3] 根据权利要求2所述的栅极驱动基板，其中所述下拉电路包含：

第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及

第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

[权利要求 4] 一种栅极驱动基板，其包含：

数个呈矩阵排列的像素单元；

数个晶体管，每一晶体管电性连接于其中一个像素单元；以及

Ｎ个移位缓存单元，Ｎ个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第Ｍ个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第Ｍ个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[权利要求 5] 如权利要求4所述的栅极驱动基板，其中所述起始信号的频率等于显示一帧画面的更新频率。

[权利要求 6] 如权利要求4所述的栅极驱动基板，其中 M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠。

[权利要求 7] 如权利要求4所述的栅极驱动基板，其中每一移位缓存单元包含：

上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲；

上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路；

下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电源电压，用来依据维持所述第一节点的低电平；以及

下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端，用来下拉所述第一节点的电位至所述第二电源电压。

[权利要求 8] 根据权利要求7所述的栅极驱动基板，其中所述移位缓存单元另包含上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位。

[权利要求 9] 根据权利要求8所述的栅极驱动基板，其中所述下拉电路包含：

第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及

第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

[权利要求 10] 一种液晶显示器，其包含：

源极驱动器，用来输出数据信号至数个像素单元使其显示灰阶；以及

栅极驱动电路，用来输出扫描信号使得数个晶体管开启，所述栅极驱动电路包含：

N个移位缓存单元，N个所述移位缓存单元以串联的方式耦接，每M个所述移位缓存单元由M个时钟信号控制，第一级移位缓存单元用来依据第一时钟信号以及起始信号，在输出端输出扫描信号脉冲，最后一级移位缓存单元用来依据第M个时钟信号以及所述起始信号，在输出端输出扫描信号脉冲，其中N、M皆为正整数，且N大于M，其中所述起始信号的脉宽起始于扫描第一帧画面时施加在所述最后一级移位缓存单元的所述第M个时钟信号的下降沿，并结束于扫描第二帧画面时施加在所述第一级移位缓存单元的所述第一个时钟信号的上升沿，所述第二帧画面是所述第一帧画面的下一帧画面。

[权利要求 11] 如权利要求10所述的液晶显示器，其中所述起始信号的频率等于显示一帧画面的更新频率。

[权利要求 12] 如权利要求10所述的液晶显示器，其中 M个所述时钟信号是依序轮流输出信号脉冲，且M个所述时钟信号的信号脉冲输出时间彼此不重叠。

[权利要求 13] 如权利要求10所述的液晶显示器，其中每一移位缓存单元包含：

上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于所述时钟信号，漏极耦接于所述输出端，用来依据所述时钟信号，由所述输出端提供所述扫描信号脉冲；

上拉控制电路，其包含第二晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出端，源极耦接于第一电源电压，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述扫描信号脉冲，导通所述上拉电路；

下拉保持电路，耦接于所述第一节点、所述时钟信号以及第二电源电压，用来依据维持所述第一节点的低电平；以及

下拉电路，耦接于所述第二电源电压、所述输出端以及所述每一移位缓存单元的下一个移位缓存单元的输出端，用来下拉所述第

一节点的电位至所述第二电源电压。

[权利要求 14] 根据权利要求13所述的液晶显示器，其中所述移位缓存单元另包含上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位。

[权利要求 15] 根据权利要求14所述的液晶显示器，其中所述下拉电路包含：

第三晶体管，其漏极电性连接于所述输出端，其源极电性连接于所述第二电源电压；以及

第四晶体管，其漏极电性连接于所述第一节点，其源极电性连接于所述第二电源电压，其栅极电性连接于所述第三晶体管的栅极。

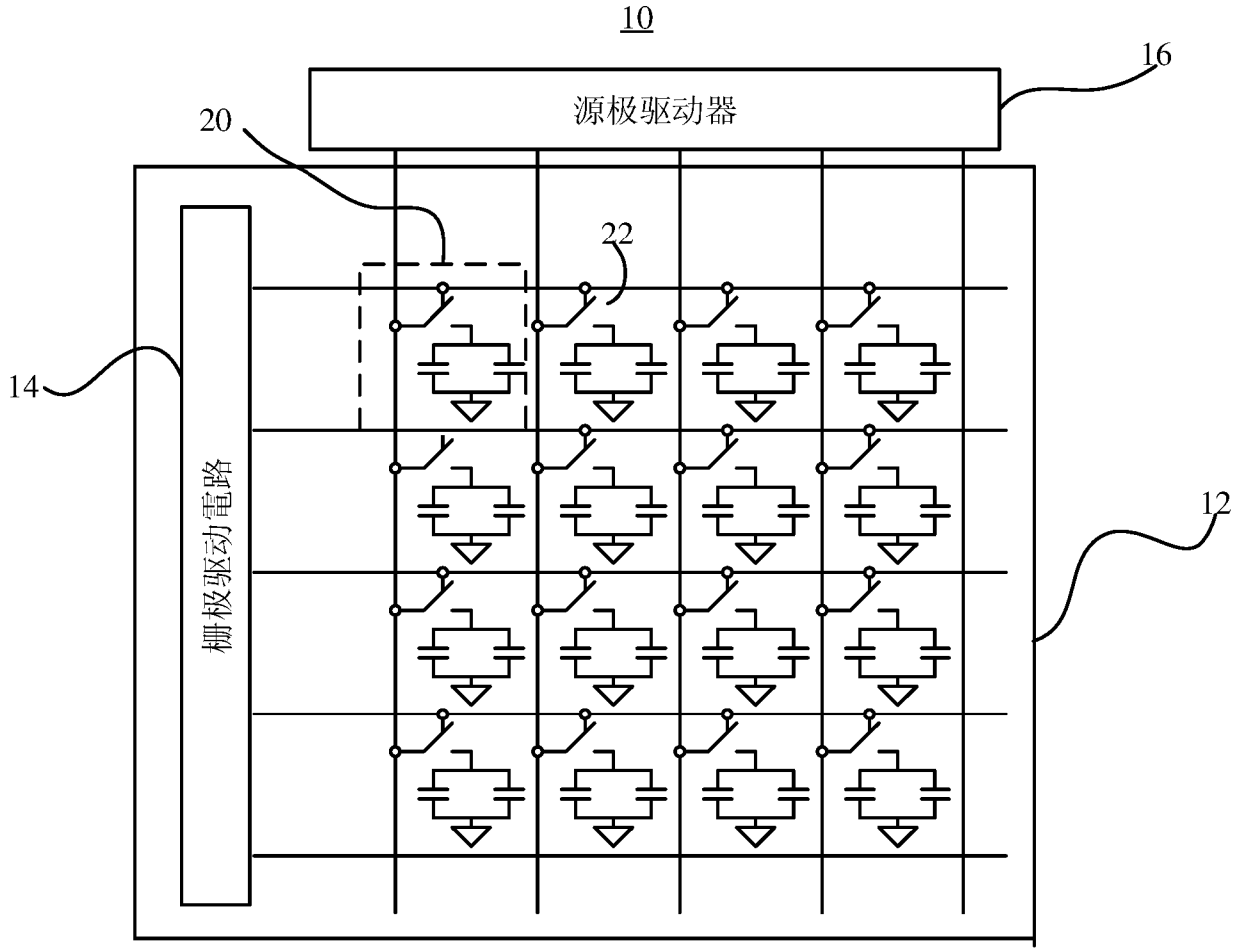


图 1

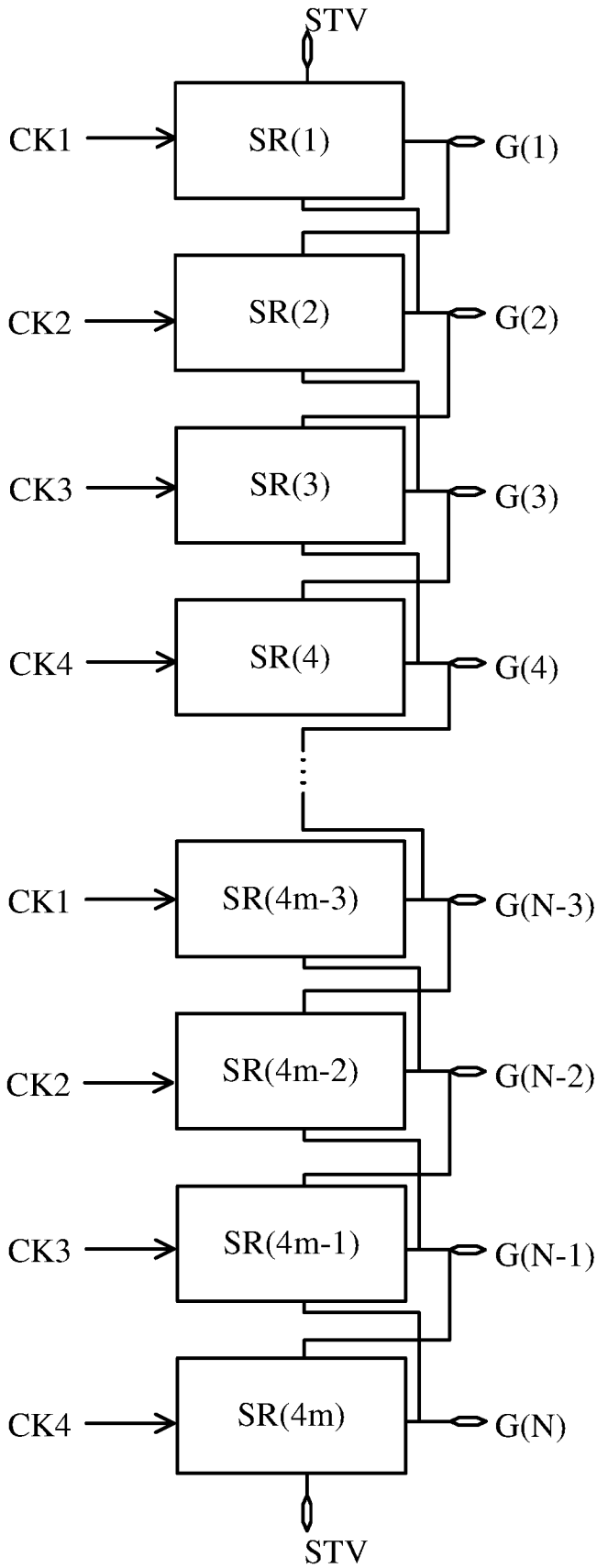

STV
CK1
SR(1)
G(1)
CK2
SR(2)
G(2)
CK3
SR(3)
G(3)
CK4
SR(4)
G(4)
CK1
SR(4m-3)
G(N-3)
CK2
SR(4m-2)
G(N-2)
CK3
SR(4m-1)
G(N-1)
CK4
SR(4m)
G(N)
STV

图 2

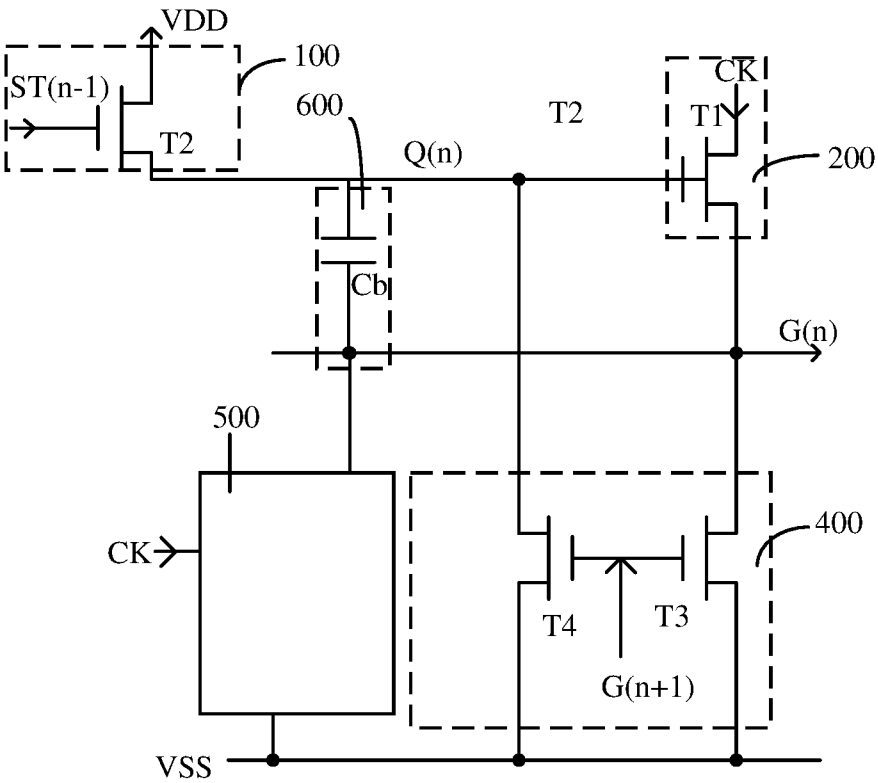

VDD
100
ST(n-1)
T2
600
Q(n)
T2
CK
T1
200
Cb
G(n)
500
CK
400
T4
T3
G(n+1)
VSS

图 3

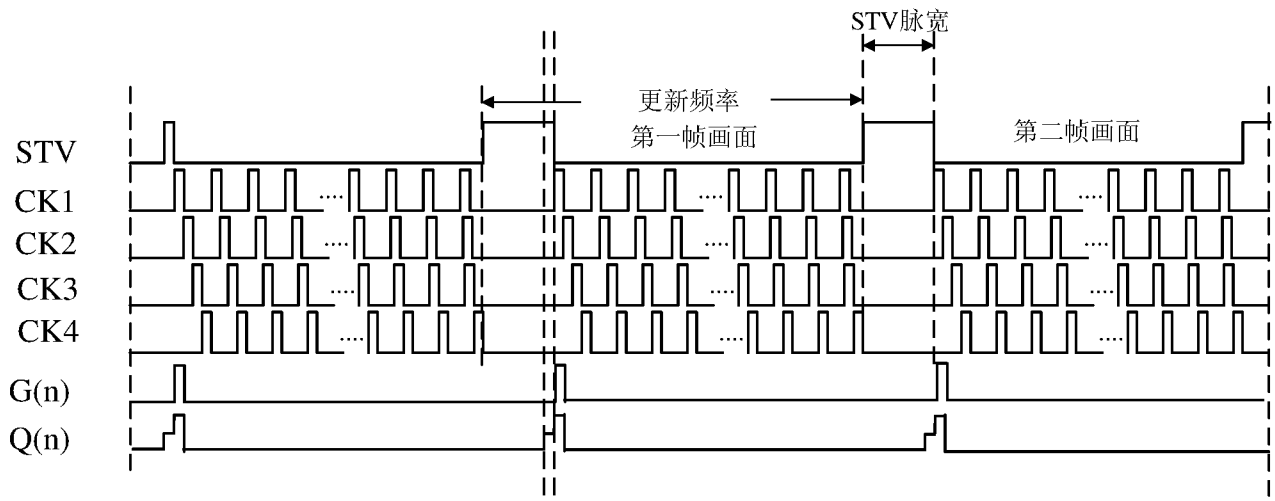

STV脉宽
更新频率
第一帧画面
第二帧画面
STV
CK1
CK2
CK3
CK4
G(n)
Q(n)

图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/098399

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.; LI, Yafeng; liquid crystal, initial, STV, complex, liquid, display+, LCD, gate, circuit, driv+, start, voltage, signal, shift, cache, buffer, register, clock, simpl+, reduc+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101093647 A (SAMSUNG SDI CO., LTD.), 26 December 2007 (26.12.2007), description, page 8, line 1 to page 16, line 15, and figures 1-4	1-15
A	JP 2007178653 A (EPSON IMAGING DEVICES CORP.), 12 July 2007 (12.07.2007), the whole document	1-15
A	CN 102637401 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 15 August 2012 (15.08.2012), the whole document	1-15
A	CN 102789757 A (SAMSUNG SDI CO., LTD.), 21 November 2012 (21.11.2012), the whole document	1-15
A	KR 20120044771 A (LG DISPLAY CO., LTD.), 08 May 2012 (08.05.2012), the whole document	1-15
A	US 2010171689 A1 (JEONG, S.), 08 July 2010 (08.07.2010), the whole document	1-15

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 June 2016 (17.06.2016)	**08 July 2016 (08.07.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Leyan** Telephone No.: (86-10) **61648487**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/098399

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101093647 A	26 December 2007	CN 101093647 B	04 January 2012
		KR 20070121071 A	27 December 2007
		KR 101217177 B1	31 December 2012
		EP 1870877 A2	26 December 2007
		US 2007296662 A1	27 December 2007
		US 7936332 B2	03 May 2011
		JP 2008003602 A	10 January 2008
		KR 20080104726 A	03 December 2008
		KR 101512338 B1	15 April 2015
		EP 1870877 B1	01 April 2015
		JP 5005440 B2	22 August 2012
JP 2007178653 A	12 July 2007	None	
CN 102637401 A	15 August 2012	CN 102637401 B	24 June 2015
CN 102789757 A	21 November 2012	KR 20120128844 A	28 November 2012
		JP 2012242820 A	10 December 2012
		US 2012293467 A1	22 November 2012
		EP 2525350 A1	21 November 2012
KR 20120044771 A	08 May 2012	None	
US 2010171689 A1	08 July 2010	KR 20100081481 A	15 July 2010

国际检索报告

国际申请号 PCT/CN2015/098399

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI,WPI,EPODOC:武汉华星光电技术有限公司，李亚锋，液晶，显示，栅极，门，驱动，电路，起始，初始，STV，移位，寄存，缓存，时钟，简化，简单，减少，复杂，liquid, display+, LCD, gate, circuit, driv+, start, voltage, signal, shift, cache, buffer, register, clock, simpl+, reduc+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 101093647 A (三星电子株式会社) 2007年 12月 26日 (2007-12-26) 说明书第8页第1行至第16页第15行、图1-4	1-15
A	JP 2007178653 A (EPSON IMAGING DEVICES CORP.) 2007年 7月 12日 (2007-07-12) 全文	1-15
A	CN 102637401 A (群康科技深圳有限公司 等) 2012年 8月 15日 (2012-08-15) 全文	1-15
A	CN 102789757 A (三星电子株式会社) 2012年 11月 21日 (2012-11-21) 全文	1-15
A	KR 20120044771 A (LG DISPLAY CO., LTD.) 2012年 5月 8日 (2012-05-08) 全文	1-15
A	US 2010171689 A1 (JEONG SEONI) 2010年 7月 8日 (2010-07-08) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 6月 17日	2016年 7月 8日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王乐妍 电话号码 (86-10)61648487

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/098399

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101093647	A	2007年 12月 26日	CN	101093647	B	2012年 1月 4日
				KR	20070121071	A	2007年 12月 27日
				KR	101217177	B1	2012年 12月 31日
				EP	1870877	A2	2007年 12月 26日
				US	2007296662	A1	2007年 12月 27日
				US	7936332	B2	2011年 5月 3日
				JP	2008003602	A	2008年 1月 10日
				KR	20080104726	A	2008年 12月 3日
				KR	101512338	B1	2015年 4月 15日
				EP	1870877	B1	2015年 4月 1日
				JP	5005440	B2	2012年 8月 22日
JP	2007178653	A	2007年 7月 12日		无		
CN	102637401	A	2012年 8月 15日	CN	102637401	B	2015年 6月 24日
CN	102789757	A	2012年 11月 21日	KR	20120128844	A	2012年 11月 28日
				JP	2012242820	A	2012年 12月 10日
				US	2012293467	A1	2012年 11月 22日
				EP	2525350	A1	2012年 11月 21日
KR	20120044771	A	2012年 5月 8日		无		
US	2010171689	A1	2010年 7月 8日	KR	20100081481	A	2010年 7月 15日