



(10) **DE 11 2006 000 229 B4** 2016.04.14

(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2006 000 229.5**
(86) PCT-Aktenzeichen: **PCT/US2006/000378**
(87) PCT-Veröffentlichungs-Nr.: **WO 2006/078469**
(86) PCT-Anmeldetag: **04.01.2006**
(87) PCT-Veröffentlichungstag: **27.07.2006**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **08.11.2007**
(45) Veröffentlichungstag
der Patenterteilung: **14.04.2016**

(51) Int Cl.: **H01L 29/786** (2006.01)
H01L 21/336 (2006.01)
H01L 29/161 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
11/039,197 **18.01.2005** **US**

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

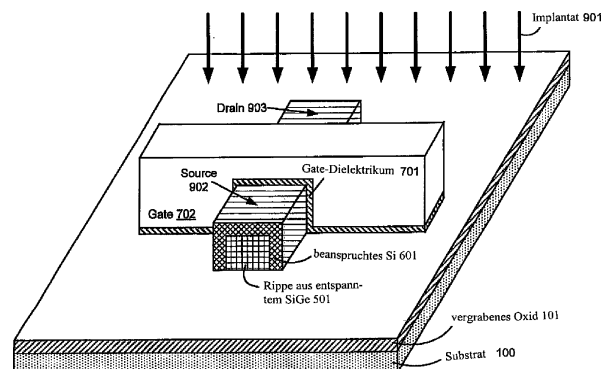
(74) Vertreter:
**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:
**Doyle, Brian, Portland, Oreg., US; Datta, Suman,
Beaverton, Oreg., US; Jin, Been-Yih, Lake
Oswego, Oreg., US; Chau, Robert, Beaverton,
Oreg., US**

(56) Ermittelter Stand der Technik:
siehe Folgeseiten

(54) Bezeichnung: **Nicht-planare MOS-Struktur mit einer Strained-Channel-Region und Verfahren zur Herstellung einer solchen Struktur**

(57) Hauptanspruch: Nicht-planarer Transistor, umfassend: eine Silizium-Germanium-Rippe (501) mit einer oberen Wand und zwei Seitenwänden, der auf einem Substrat (100) ausgebildet und vom Substrat (100) elektrisch isoliert ist, wobei die Silizium-Germanium-Rippe (501) ein p-leitendes Dotierungsmaterial enthält, eine verspannte Siliziumschicht (601), die auf der oberen Wand und den Seitenwänden der Silizium-Germanium-Rippe (501) ausgebildet ist, wobei die verspannte Siliziumschicht (601) ein p-leitendes Dotierungsmaterial enthält und eine p-leitende verspannte Silizium-Kanal-Region bildet; ein Gate-Dielektrikum (701), das auf der verspannten Siliziumschicht (601) ausgebildet ist; ein Gate (702), das auf dem Gate-Dielektrikum ausgebildet ist; und eine Source (902) und einen Drain (903), die in der verspannten Siliziumschicht (601) ausgebildet sind.



(56) Ermittelter Stand der Technik:

US 2003 / 0 227 036 A1
US 2004 / 0 061 178 A1
US 2004 / 0 145 019 A1
WO 2003/ 001 604 A2

Breed, A. et al.: Dual-gate (FinFET) and Tri-Gate MOSFETs: Simulation and Design. In: Semiconductor Device Research Symposium, 2003 International, 2003, 150.

Colinge, J.P. et al.: Threshold Voltage and Subthreshold Slope of Multiple-Gate SOI MOSFETs. In: IEEE ELECTRON DEVICE LETTERS, 24, 2003, 8, 515.

Doyle, B. et al.: Tri-Gate Fully-Depleted CMOS Transistors: Fabrication, Design and Layout. In: Symposium on VLSI Technology Digest of Technical Papers 2003, 2003, 133.

Doyle, B.S. et al.: High Performance Fully-Depleted Tri-Gate CMOS Transistors. In: IEEE ELECTRON DEVICE LETTERS, 24, 2003, 4, 263.

Fossum, J.G. et al.: Suppression of Corner Effects in Triple-Gate MOSFETs. In: IEEE ELECTRON DEVICE LETTERS, 24, 2003, 12, 745.

Beschreibung

Gegenstand der Erfindung

[0001] Ausführungsformen der Erfindung betreffen eine Transistorstruktur und insbesondere eine nicht-planare Transistorstruktur, die einen Strained Channel einschließt.

Hintergrund der Erfindung

[0002] Die herkömmliche planare Metalloxid-Halbleiter(Metal oxide semiconductor (MOS))-Transistortechnik nähert sich bei bestimmten Transistorenmerkmalen grundsätzlichen physikalischen Grenzen, zu deren Überwindung es notwendig sein wird, alternative Werkstoffe, Verarbeitungsverfahren und/oder Transistorstrukturen einzusetzen, um zu einer weiteren Verbesserung der Transistorenleistung entsprechend dem Moore'schen Gesetz beizutragen.

[0003] Eine nicht-planare MOS-Struktur ist ein solcher Paradigmenwechsel. Eine besondere nicht-planare MOS-Struktur ist ein nicht-planarer Tri-Gate-Transistor. Ein Tri-Gate-Transistor verwendet eine dreidimensionale Gatter(Gate)-Struktur, die es elektrischen Signalen ermöglicht, entlang der Oberseite des Transistor-Gates und entlang der beiden vertikalen Seitenwände des Gates geleitet zu werden. Die Leitung entlang dreier Seiten des Gates ermöglicht neben anderen Verbesserungen höhere Steuerströme, schnellere Schaltgeschwindigkeiten und kürzere Gate-Längen, wobei gleichzeitig die Transistorleistung erhöht und weniger Substratbereich gegenüber einer planaren MOS-Struktur eingenommen wird. Die Tri-Gate-Struktur vermindert weiterhin die Größe des Kriechstroms, ein typisches Problem der immer kleiner werdenden planaren MOS-Vorrichtungen, durch eine Verbesserung der Short-Channel-Eigenschaften des Transistors.

[0004] Ein weiterer Paradigmenwechsel schließt den Einsatz beanspruchter (strained) Halbleiterwerkstoffe für verschiedene Teile eines Transistors ein. Zusätzliche Ausübung von Zug- oder Druckbelastung auf ein Halbleitergitter (abhängig von der jeweiligen Anwendung) erhöht die Trägerbeweglichkeit innerhalb des beanspruchten (strained) Halbleiters. Insbesondere erhöht sich für einen NMOS-Baustein, der Zugbelastung auf einen Halbleiter überträgt, die Elektronenbeweglichkeit (d. h. des dominierenden Ladungsträgers in einem NMOS-Baustein). Die erhöhte Trägerbeweglichkeit ermöglicht wiederum einen höheren Steuerstrom und entsprechend höhere Schaltgeschwindigkeiten.

[0005] In US 2003/0227036 A1 ist ein Halbleiterkörper offenbart, der eine Germanium-Kristallschicht enthält, die auf einer Isolierungsschicht ausgebildet ist. Eine verspannte Siliziumschicht ist auf der Ober-

seite und den Seiten der Silizium-Germanium-Kristallschicht ausgebildet. Eine Gate-Dielektrikumschicht und eine Gate-Elektrode sind auf der verspannten Siliziumschicht ausgebildet.

[0006] US 2004/0145019 A1 offenbart Ausbilden einer verspannten Schicht auf einer Rippe. Ferner offenbart sie, dass die Rippe eine Silizium-Germanium-Rippe sein kann und dass die verspannte Schicht eine Siliziumschicht sein kann.

[0007] Die US 2004/0061178 A1 offenbart einen Finfet, bei dem der Body aus SiGe nicht dotiert ist.

[0008] WO 2003/001604 A2 offenbart einen Wafer-Abschnitt bzw. eine SOI-Schicht, die eine P-Dotierung aufweisen. Diese Schicht ist massiv.

[0009] Der Erfindung liegt die Aufgabe zu Grunde, einen Transistor mit verbesserten Schalteigenschaften bereitzustellen. Diese Aufgabe wird durch die Gegenstände der unabhängigen Patentansprüche gelöst.

Kurzbeschreibung der Zeichnungen

[0010] Fig. 1: Querschnittsdarstellung eines Silizium-auf-Isolator(Silicon on insulator (SOI))-Substrats;

[0011] Fig. 2: Darstellung des Substrats nach Fig. 1 und von beanspruchten Silizium-Germanium und Silizium mit einem Wasserstoffimplantat für das Smart-Cut-Verfahren;

[0012] Fig. 3: Querschnittsdarstellung des Substrats nach Fig. 2 nach der Smart-Cut-Ausbildung von beanspruchtem Silizium-Germanium und Silizium;

[0013] Fig. 4: Querschnittsdarstellung des Substrats nach Fig. 3 nach dem Vergüten zur Bildung von entspanntem Silizium-Germanium;

[0014] Fig. 5: Querschnittsdarstellung des Substrats nach Fig. 4 nach der Oberflächenstrukturierung des entspannten Silizium-Germaniums;

[0015] Fig. 6: Querschnittsdarstellung des Substrats nach Fig. 5 nach der Ausbildung von beanspruchtem Silizium auf dem entspannten Silizium-Germanium;

[0016] Fig. 7: Querschnittsdarstellung des Substrats nach Fig. 6 nach der Ausbildung eines Gate-Dielektrikums und eines Gates zur Ausbildung einer nicht-planaren MOS-Struktur einschließlich eines Strained Channels;

[0017] Fig. 8: Perspektivische Darstellung des Substrats nach Fig. 7;

[0018] Fig. 9: Perspektivische Darstellung nach **Fig. 8** nach einer Implantation zur Formung von Source- und Drain-Zonen.

Detaillierte Beschreibung

[0019] Ausführungsformen einer nicht-planaren MOS-Transistorstruktur mit einer Strained-Channel-Region werden beschrieben. Es wird nun im Einzelnen Bezug auf eine Beschreibung dieser Ausführungsformen, wie in den Zeichnungen dargestellt, genommen. Mit der Beschreibung der Ausführungsformen im Zusammenhang mit diesen Zeichnungen ist nicht beabsichtigt, diese auf die hierin offengelegten Zeichnungen zu beschränken. Im Gegenteil ist beabsichtigt, alle Alternativen, Änderungen und Äquivalente in Geist und Reichweite der beschriebenen Ausführungsformen abzudecken, wie sie durch die begleitenden Ansprüche definiert sind.

[0020] Einfach ausgedrückt ist eine Ausführungsform eine nicht-planare MOS-Transistorstruktur einschließlich einer Strained-Channel-Region. Die Kombination einer nicht-planaren MOS-Transistorstruktur und insbesondere eines NMOS-Tri-Gate-Transistors mit den Vorteilen eines Strained Channels ergibt verbesserten Transistorsteuerstrom, erhöhte Schaltgeschwindigkeit und verminderten Kriechstrom für eine vorgegebene Gate-Länge, Gate-Breite, und Betriebsspannung gegenüber einer nicht-planaren MOS-Struktur ohne Strained Channel oder einer planaren MOS-Struktur einschließlich Strained Channel.

[0021] Fig. 1 ist eine Querschnittsdarstellung eines Silizium-auf-Isolator(SOI)-Substrats. SOI-Substrate sind in Fachkreisen dafür bekannt, daß sie neben anderen Merkmalen die Transistorleistung steigern, indem sie die Kapazität reduzieren, die sich in einer Verbindungskondensatorschicht zwischen Störstellenschichten (z. B. dotierten Source- und Drain-Zonen einer planaren MOS-Struktur) und einem Substrat entwickelt. Zum Beispiel umfaßt Substrat **100** in einer Ausführungsform Silizium. Auf dem Substrat **100** befindet sich ein vergrabenes Oxid **101**. In einer Ausführungsform umfaßt das vergrabene Oxid Siliziumdioxid. Auf dem vergrabenen Oxid **101** befindet sich Silizium **102**. Die SOI-Substrate sind im Handel erhältlich und schließen Silizium-**102**-Schichten in einer Stärke von etwa 500 Angström (500×10^{-10} m) ein. Bei einer Ausführungsform wird das Silizium **102** auf ungefähr zwischen 20 und 100 Angström (zwischen 20 und 100×10^{-10} m) abgeflacht und poliert (z. B. durch chemisch-mechanisches Polieren oder CMP), um den Verbindungskondensatorbereich weiter zu verkleinern. Es versteht sich jedoch, daß sich die SOI-Kombination von Substrat **100**, vergrabenen Oxid **101** und Silizium **102** auch durch Separierung mittels implantiertem Sauerstoff (SIMOX), BESOI (bonded-and-etched-back SOI) oder Wasser-

stoffimplantat vor dem BESOI-Verfahren (Smart Cut) bewirken läßt, wie in Fachkreisen bekannt ist.

[0022] Fig. 2 veranschaulicht das Substrat **100** der Querschnittsdarstellung der **Fig. 1**, umfassend beanspruchtes (strained) Silizium-Germanium **201** und Silizium **202** vor der Smart-Cut-Übertragung von beiden auf Silizium **201**, wie in Fachkreisen bekannt ist und von SOITEC[®] entwickelt wurde. Eine besondere Anwendung des Smart-Cut[®]-Verfahrens umfaßt, eine Schicht von beanspruchtem (strained) Silizium-Germanium **201** auf Silizium **202** als ein separates Substrat aufzubauen, das eine große Schicht an galvanisch aktivem Silizium **202** umfaßt, wie in **Fig. 2** dargestellt ist. Eine hohe Dosis (d. h. $10^{17}/\text{cm}^2$) Wasserstoff wird auf eine Tiefe entweder in dem beanspruchten Silizium-Germanium **201** benachbarten Silizium **202** oder auf eine Tiefe innerhalb der Silizium-Germanium-Schicht **201** implantiert, wie durch das Wasserstoffimplantat **203** (gezeigt als innerhalb des Siliziums **202** aufgebracht) veranschaulicht. Das separate, aus Silizium **202** und beanspruchtem Silizium-Germanium **201** bestehende Substrat wird mit dem Substrat **100**, das vergrabenes Oxid **101** und Silizium **102** umfaßt, in Kontakt gebracht. Insbesondere werden die Oberflächen von Silizium **102** und beanspruchtem Silizium-Germanium **201** durch chemisch hydrophobe Bindung nach einer Hochtemperaturtempern zusammengefügt. Anders gesagt bindet sich das beanspruchte Silizium-Germanium **201** durch kovalente Kräfte an das Silizium **102**. Bei einer Ausführungsform dauert das Tempern (anneal) bei ungefähr zwischen 800°C und 900°C ungefähr 1 Stunde. Das Tempern erzeugt weiterhin auf der Grundlage einer hohen Dosis an Wasserstoffimplantat **203** im Silizium **202** eine in der Tiefe geschwächte Schicht von Silizium **202**. Da die Bindungskräfte zwischen dem Silizium **102** und dem beanspruchten Silizium-Germanium **201** stärker sind, als was die in der Tiefe des Wasserstoffimplantats **203** geschwächte Region des Siliziums **202** aushalten kann, kann der galvanisch aktive Teil des Siliziums **202** (oder des Silizium-Germaniums **201** und Siliziums **202**, falls sich das Wasserstoffimplantat **203** im Silizium-Germanium **201** befindet) abgespalten werden und hinterläßt die in **Fig. 3** dargestellte Struktur. Bei einer Ausführungsform kann das verbleibende Silizium **202** (oder Silizium-Germanium **201**) chemisch-mechanisch poliert werden, um eine geeignete Silizium-**202**-(oder Silizium-Germanium-**201**)-Oberfläche für anschließende Verarbeitungsschritte auszubilden.

[0023] Silizium und Germanium haben dieselbe Gitterstruktur; die Gitterkonstante von Germanium ist jedoch 4,2%ig größer als die Gitterkonstante von Germanium (die Gitterkonstante von Silizium beträgt 5,43 Angström ($5,43 \times 10^{-10}$ m), während die Gitterkonstante von Germanium 5,66 Angström ($5,66 \times 10^{-10}$ m) beträgt. Eine Silizium-Germaniumlegierung

$\text{Si}_{1-x}\text{Ge}_x$, $x = 0,0$ bis $1,0$, hat eine monoton ansteigende Gitterkonstante a , x zunehmend von $0,0$ auf $1,0$. Das Aufbringen einer dünnen Schicht von Silizium auf dem Silizium-Germanium erzeugt, da die darunter liegende Silizium-Germanium-Gitterstruktur das Gitter der dünn aufgebracht Siliziumschicht zwingt, eine Siliziumschicht mit Zugspannung, da das kleinere Siliziumgitter sich an dem größeren Silizium-Germanium-Gitter ausrichtet. Ebenso kann eine dünne Silizium-Germaniumlage mit Druckspannung auf einer Siliziumschicht aufgebaut werden. Allerdings tendieren die aufgebracht Schichten von beanspruchtem Material dazu, mit wachsender Dicke zu ihrer materi-aleigenen Gitterstruktur zurückzukehren.

[0024] Fig. 4 stellt den Querschnitt des Substrats **100** von Fig. 3 nach einem Tempern (anneal) bei hoher Temperatur von langer Dauer dar. Bei einer Ausführungsform erfolgt das Tempern bei ungefähr zwischen 800°C und 1100°C für ungefähr 1 Sekunde bis 3 Stunden. Bei einem Tempern einer Ausführungsform beträgt die Temperatur ungefähr 1000°C , und die Dauer beträgt ungefähr 2 Stunden. Während des langdauernden Tempers bei hoher Temperatur diffundiert das Germanium vom beanspruchten Silizium-Germanium **201** in das Silizium **102** und Silizium **202**. Da sich das Germanium mit einer ungefähr konstanten Konzentration durch das beanspruchte Silizium **201**, Silizium **102** und Silizium **202** diffundiert, bildet es entspanntes Silizium-Germanium **401** aus. Da durch das benachbarte Silizium keine Druckspannung mehr bewirkt wird, nimmt die Gitterkonstante des entspannten Silizium-Germaniums **401** auf der Basis der Germaniumkonzentration im entspannten Silizium-Germanium **401** zu. Bei einer Ausführungsform hat das entspannte Silizium-Germanium **401** einen Germaniumkonzentrationsbereich von ungefähr 5% bis 80% (d. h., ungefähr 5% bis 80% der Siliziumgitterplätze werden von Germanium eingenommen). Bei einer Ausführungsform hat das entspannte Silizium-Germanium **401** eine Germaniumkonzentration von ungefähr 15%. Das entspannte Silizium-Germanium **401** kann, basierend auf der Vortemperdotierung von Silizium **102**, beanspruchtem Silizium-Germanium **201**, Silizium **202** oder einer Kombination davon (oder, bei einer Ausführungsform, einem separaten Dotierverfahren für entspanntes Silizium-Germanium **401**) mit jedem in Fachkreisen bekannten p-Dotierungsmaterial dotiert werden. Das Konzentrationsniveau der p-Dotierung kann bei einer Ausführungsform des entspannten Silizium-Germaniums **401** ungefähr zwischen undotiert und $6 \cdot 10^{19}/\text{cm}^3$ sein. Bei einer Ausführungsform ist das Konzentrationsniveau der p-leitenden Dotierung des entspannten Silizium-Germaniums **401** ungefähr $10^{17}/\text{cm}^3$.

[0025] Fig. 5 stellt einen Querschnitt des Substrats **100** von Fig. 4 nach dem lithographischen Strukturieren des entspannten Silizium-Germaniums **401** zum Ausbilden einer Rippe **501** aus entspanntem Silizi-

um-Germanium dar. Die Rippe **501** aus entspanntem Silizium-Germanium läßt sich durch jedes in Fachkreisen bekanntes Verfahren zum Strukturieren von Silizium-Germanium strukturieren. Bei einer Ausführungsform wird die Rippe aus entspanntem Silizium-Germanium durch ein in Fachkreisen bekanntes Trockenverfahren zum Ätzen von Silizium (dry silicon etch process) strukturiert. Nach dem lithographischen Strukturieren hat die Silizium-Germanium-Rippe **501** einer Ausführungsform einen ungefähr rechteckigen Querschnitt, da das lithographische Strukturieren im Wesentlichen anisotrop ist und im Wesentlichen vertikale Seitenwände der Rippe aus entspanntem Silizium-Germanium **501** erzeugt. Bei einer weiteren, jedoch nicht dargestellten Ausführungsform hat die Rippe aus entspanntem Silizium-Germanium **501** einen im Wesentlichen trapezförmigen Querschnitt, wobei ihre obere Fläche einen kleineren Seitenabstand als ihre dem vergrabenen Oxid **101** benachbarte Basis hat. Sowohl bei der im Wesentlichen rechteckigen als auch bei der im Wesentlichen trapezförmigen Ausführungsform umfaßt die Rippe aus entspanntem Silizium-Germanium **501** eine obere Wand und zwei Seitenwände, deren Breiten- und Höhenabmessungen ungefähr zwischen 25% und 100% der Transistor-Gatelänge betragen, und ihre Form kann von im Wesentlichen hoch und dünn bis zu im Wesentlichen kurz und breit variieren. Bei noch weiteren, ebenfalls nicht dargestellten Ausführungsformen hat die Rippe aus entspanntem Silizium-Germanium **501** andere geometrische Querschnitte, die zusätzliche Seitenwände umfassen oder im Wesentlichen halbkugelförmig sein können.

[0026] Fig. 6 stellt einen Querschnitt des Substrats **100** von Fig. 5 nach der Ablagerung von beanspruchtem Silizium **601** dar. Wie oben bemerkt, ist die Gitterkonstante des entspannten Silizium-Germaniums der Rippe **501** größer als die Gitterkonstante von Silizium. Wenn eine dünne Schicht von Silizium auf der Rippe **501** von entspanntem Silizium-Germanium ausgebildet wird, wird das Siliziumgitter sich an dem Gitter des entspannten Silizium-Germaniums der Rippe **501** ausrichten, um beanspruchtes Silizium auszubilden, vorausgesetzt, daß das Silizium ausreichend dünn ist. Da die Gitterkonstante des entspannten Silizium-Germaniums der Rippe **501** größer ist als die von Silizium, zeigt das anschließend ausgebildete beanspruchte Silizium **601** Zugspannung, weil sich das kleinere Siliziumgitter dehnt, um sich dem Gitter des entspannten Silizium-Germaniums der Rippe **501** anzupassen. Wie bemerkt, erhöht die Zugspannung die Trägerbeweglichkeit im beanspruchten Silizium **601**, welches die Channel-Region eines nicht-planaren MOS-Transistors einer Ausführungsform umfaßt.

[0027] Beanspruchtes Silizium **601** kann durch jedes in Fachkreisen bekanntes Verfahren zum Aufbringen von kristallinem Silizium aufgebracht werden. Bei ei-

ner Ausführungsform wird das beanspruchte Silizium **601** mit selektiver Epitaxie abgelagert, so daß das Silizium nur auf der Oberfläche des entspannten Silizium-Germaniums der Rippe **401** und nicht auf der Oberfläche des vergrabenen Oxids wächst **101**, die während des Strukturierens des entspannten Silizium-Germaniums der Rippe **501** ungeschützt ist. Beispielsweise verwendet in einer Ausführungsform ein Niederdruck-CVD (Chemical Vapor Deposition)-Verfahren einer Ausführungsform Silan (SiH_4) Disilane (Si_2H_6), Dichlorsilan (SiH_2Cl_2) und Trichlorsilan (SiHCl_3) als eine Siliziumquelle und HCL als ein Ätzungs-gas für selektives Wachstum. Bei einer Ausführungsform beträgt der Druck der Abscheidungskammer ungefähr zwischen 500 Millitorr und 500 Torr; die Temperatur des Substrats **100** beträgt ungefähr zwischen 400°C und 1100°C , und der gesamte Präkursor-gasdurchsatz beträgt ungefähr zwischen $10\text{ cm}^3/\text{sek.}$ und $1000\text{ cm}^3/\text{sek.}$. Es versteht sich, daß die Abscheidungsbedingungen je nach der Größe der Abscheidungskammer variieren können. Es versteht sich weiterhin, daß die epitaktische Abscheidung im Wesentlichen ein farbiges Einkristall-Silizium **601** ausbildet.

[0028] Bei einer Ausführungsform wird das beanspruchte Silizium **601** mit einem p-leitenden Dotierungsmaterial dotiert. Bei einer Ausführungsform reicht das Konzentrationsniveau der p-leitenden Dotierung des beanspruchten Siliziums **601** von ungefähr undotiert bis zu $6 \cdot 10^{19}/\text{cm}^3$. Es versteht sich, daß das beanspruchte Silizium **601** durch jedes in Fachkreisen bekanntes Dotierungsverfahren dotiert werden kann. Insbesondere läßt sich das beanspruchte Silizium **601** während seiner Ablagerung an Ort und Stelle durch Integrieren von Dotierungs-Präkursor-material in das Niederdruck-CVD-Verfahren einer Ausführungsform dotieren. Das beanspruchte Silizium **601** kann alternativ durch Ausdiffundierung oder Implantat dotiert werden.

[0029] Wie bemerkt, hat der Querschnitt der Rippe **501** aus entspanntem Silizium-Germanium von einer Ausführungsform eine obere Wand und zwei Seitenwände. Es ist wichtig zu beachten, daß das beanspruchte Silizium **601** auf der oberen Wand und auf beiden Seitenwänden der Rippe aus entspanntem Silizium-Germanium **501** in für jede Fläche im Wesentlichen einformiger Dicke aufgebracht wird. Das beanspruchte Silizium **601** einer Ausführungsform hat auf der oberen Wand und an den Seitenwänden eine im Wesentlichen einformige Dicke von ungefähr zwischen 2 Nanometern und 10 Nanometern. Bei einer Ausführungsform beträgt die Dicke des beanspruchten Siliziums **601** ungefähr zwischen 4 und 5 Nanometern. Bei einer Ausführungsform ermöglicht die Dicke des beanspruchten Siliziums **601** tief verarmte oder vollständig verarmte Channel-Bedingungen, wie Fachkreisen ersichtlich ist.

[0030] Fig. 7 stellt einen Querschnitt des Substrats **100** von Fig. 6 nach der Abscheidung eines Gate-Dielektrikums **701** und eines Gatters (Gate) **702** dar, um einen nicht-planaren Tri-Gate-Transistor-Querschnitt zu veranschaulichen. Bei einer Ausführungsform umfaßt das Gate-Dielektrum **701** Siliziumdioxid. Bei einer weiteren Ausführungsform umfaßt das Gate-Dielektrum **701** ein Material hoher Dielektrizitätskonstante, wie Hafniumoxid, Hafniumsilikat, Lanthanoxid, Lanthanaluminat, Zirkonoxid, Zirkonsilikat, Tantaloxid, Titanoxid, Barium-Strontium-Titanat, Bariumtitanat, Strontiumtitanat, Yttriumoxid, Aluminiumoxid, Blei-Scandium-Tantalat oder Blei-Zink-Niobat. Das Gate-Dielektrum **701** kann mittels jedes in Fachkreisen zum Abscheiden eines Gate-Dielektrikums **701** bekannten Verfahrens abgelagert werden.

[0031] Bei einer Ausführungsform ist die Abscheidung des Gate-Dielektrikums **701** eine unstrukturierte Abscheidung. Nach der Abscheidung des Gate-Dielektrikums **701** wird ein Gate **702** aufgebracht. Bei einer Ausführungsform umfaßt das Gate **702** polykristallines Silizium, polykristallines Silizium mit einer Metallschicht an der Schnittstelle des high-k-Gate-Dielektrikums **701** oder ein vollständiges Metall-Gate. Bei einer Ausführungsform ist die Gate-**702**-Abscheidung eine unstrukturierte Abscheidung. Bei einer Ausführungsform, bei der die Abscheidungen Gate-Dielektrum **701** und Gate **702** unstrukturierte Abscheidungen sind, wird jede geätzt, um Bereiche von beanspruchtem Silizium **601** freizulegen, die danach die Source und den Drain des nicht-planaren Tri-Gate-Transistors einer Ausführungsform ausbilden werden. Anzumerken ist, daß sich das Gate **702** und darunterliegendes Gate-Dielektrum **701** einer Ausführungsform über alle Seiten (bei einer Ausführungsform die obere Wand und beide Seitenwände) der Rippe **501** aus entspanntem Silizium-Germanium einschließlich des darauf ausgebildeten beanspruchten Siliziums **501** erstrecken.

[0032] Bei einer (nicht dargestellten) alternativen Ausführungsform grenzt das Gate **702** nur an die Seitenwände der Rippe **501** des entspannten Silizium-Germaniums und erstreckt sich nicht über die obere Wand der Rippe **501** des entspannten Silizium-Germaniums. Das beanspruchte Silizium **601** kann über die ganze exponierte Oberfläche (d. h. obere Wand und beide Seitenwände) der Rippe **501** aus entspanntem Silizium-Germanium oder nur an den beiden Seitenwänden der Silizium-Germanium-Rippe **501** ausgeformt werden. Ebenso läßt sich das Gate-Dielektrum **701** auf der ganzen exponierten Oberfläche (d. h. der oberen Wand und beiden Seitenwänden) des auf der Rippe **501** aus entspanntem Silizium-Germanium oder auf den beiden Seitenwänden des beanspruchten Siliziums **601** ausbilden. Bei einer derartigen Anordnung ähnelt der nicht-planare Transistor einer Ausführungsform einem FinFET mit Channel-Regionen des beanspruchten Siliziums **601**.

[0033] Fig. 8 ist eine perspektivische Darstellung des Substrats **100** von Fig. 7, umfassend vergrabenes Oxid **101**, Rippe **501** aus entspanntem Silizium-Germanium, beanspruchtes Silizium **601**, Gate-Dielektrikum **701** und Gate **702**. Bei einer Ausführungsform wurde die unstrukturierte Abscheidung des Gate-Dielektrikums **701** und des Gates **702** geätzt, um die Rippe **501** aus entspanntem Silizium-Germanium, wie oben beschrieben, freizulegen. Es versteht sich, daß eine Rippe aus entspanntem Silizium-Germanium **501** für viele Gates **702** funktionieren kann und daß ein Gate **702** mit vielen Rippen **501** aus entspanntem Silizium-Germanium zusammenwirken kann, um einen Verband von nicht-planaren Tri-Gate-MOS-Transistoren zu erzeugen.

[0034] Fig. 9 stellt eine perspektivische Ansicht von Fig. 8 einschließlich eines Implantats **901** zur Ausbildung einer Source **902** und eines Drains **903** dar. In Fachkreisen gut bekannt für die Ausbildung von Source und Drain für einen MOS-Transistor, vermindert das Implantat **901** (z. B. ein Implantat aus n-leitendem Dotierungsmaterial für eine NMOS-Vorrichtung) weiterhin den Kontaktwiderstand zwischen sowohl der Source **902** als auch dem Drain **903** mit anschließend gefertigten Metallkontakten, um die Leistung des nicht-planaren Tri-Gate-MOS-Transistors einer Ausführungsform zu verbessern.

[0035] Die resultierende Struktur einer Ausführungsform ist ein nicht-planarer Tri-Gate-MOS-Transistor, der einen Channel aus beanspruchtem Silizium **601** umfaßt. Wie angemerkt, erhöht die Zugspannung auf dem beanspruchten Silizium **601** die Elektronen- und Löcherbeweglichkeit innerhalb des Gitters des beanspruchten Siliziums **601** zur Fertigung eines NMOS-Bausteins mit verbesserten Leistungsmerkmalen. Weiterhin erlaubt bei einer Ausführungsform die Dicke des beanspruchten Siliziums **601** tief verarmte oder vollständig verarmte Bedingungen zur Reduzierung des Kriechstroms, während sich der NMOS-Baustein in einem Sperrzustand (d. h. Anreicherungsbetrieb mit Nullspannung am Gate) befindet.

[0036] Fachleute werden die Eleganz einer Ausführungsform erkennen, die eine nicht-planare MOS-Transistorstruktur mit einem Strained-Channel-Material zur Verbesserung der Transistorleistung kombiniert.

Patentansprüche

1. Nicht-planarer Transistor, umfassend:
eine Silizium-Germanium-Rippe (**501**) mit einer oberen Wand und zwei Seitenwänden, der auf einem Substrat (**100**) ausgebildet und vom Substrat (**100**) elektrisch isoliert ist, wobei die Silizium-Germanium-Rippe (**501**) ein p-leitendes Dotierungsmaterial enthält,

eine verspannte Siliziumschicht (**601**), die auf der oberen Wand und den Seitenwänden der Silizium-Germanium-Rippe (**501**) ausgebildet ist, wobei die verspannte Siliziumschicht (**601**) ein p-leitendes Dotierungsmaterial enthält und eine p-leitende verspannte Silizium-Kanal-Region bildet;
ein Gate-Dielektrikum (**701**), das auf der verspannten Siliziumschicht (**601**) ausgebildet ist;
ein Gate (**702**), das auf dem Gate-Dielektrikum ausgebildet ist; und
eine Source (**902**) und einen Drain (**903**), die in der verspannten Siliziumschicht (**601**) ausgebildet sind.

2. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Germanium-Rippe (**501**) eine Germaniumkonzentration von zwischen 5% und 80% umfaßt.

3. Nicht-planarer Transistor nach Anspruch 2, **dadurch gekennzeichnet**, dass die Silizium-Germanium-Rippe (**501**) eine Germaniumkonzentration von 15% umfaßt.

4. Nicht-planarer Transistor nach Anspruch 1, wobei das Gate-Dielektrikum (**701**) ein Material umfaßt, das aus der Gruppe ausgewählt ist, die aus Siliziumdioxid, Hafniumoxid, Hafniumsilikat, Lanthanoxid, Lanthanaluminat, Zirkonoxid, Zirkonsilikat, Tantalexid, Titanoxid, Barium-Strontium-Titanat, Bariumtitanat, Strontiumtitanat, Yttriumoxid, Aluminiumoxid, Blei-Scandium-Tantalat und Blei-Zink-Niobat besteht.

5. Nicht-planarer Transistor nach Anspruch 1, wobei das Gate (**702**) ein Material umfaßt, das aus der Gruppe ausgewählt ist, die aus Polysilizium, Metall und einer Kombination daraus besteht.

6. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Germanium-Rippe (**501**) einen rechteckigen Querschnitt hat.

7. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Germanium-Rippe (**501**) einen trapezförmigen Querschnitt hat.

8. Nicht-planarer Transistor nach Anspruch 1, wobei die verspannte Siliziumschicht (**601**) eine Dicke von zwischen 2 Nanometern und 10 Nanometern hat.

9. Nicht-planarer Transistor nach Anspruch 8, wobei die verspannte Siliziumschicht (**601**) eine Dicke von zwischen 4 Nanometern und 5 Nanometern hat.

10. Nicht-planarer Transistor nach Anspruch 1, wobei sich das Gate (**702**) über die obere Wand der Silizium-Germanium-Rippe erstreckt.

11. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Kanal-Region eine Dicke von zwischen 2 Nanometern und 10 Nanometern aufweist.

12. Nicht-planarer Transistor nach Anspruch 11, wobei die Silizium-Kanal-Region eine Dicke von zwischen 4 Nanometern und 5 Nanometern aufweist.

13. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Germanium-Rippe eine relaxierte Silizium-Germanium-Schicht (**401**) umfasst, die mittels Diffusion von Germanium in eine Siliziumschicht so hergestellt sind, dass die relaxierte Silizium-Germanium-Schicht (**401**) eine im Wesentlichen gleichförmige Germaniumkonzentration aufweist.

14. Nicht-planarer Transistor nach Anspruch 1, wobei die Silizium-Germanium-Rippe (**501**) mit einer p-Dotierungsmaterial-Konzentration von $6 \times 10^{19} \text{ cm}^{-3}$ dotiert ist.

15. Nicht-planarer Transistor nach Anspruch 1, wobei die verspannte Siliziumschicht (**601**) mit einer p-Dotierungsmaterial-Konzentration von $6 \times 10^{19} \text{ cm}^{-3}$ dotiert ist.

16. Verfahren, umfassend:
 Vorsehen einer Siliziumschicht (**102**) auf einem isolierenden Substrat (**100**);
 Züchten einer Silizium-Germanium-Schicht (**201**) auf einem Siliziumsubstrat (**202**);
 Bonden der Silizium-Germanium-Schicht (**201**) mit der Siliziumschicht (**102**) des isolierenden Substrats (**100**);
 Entfernen eines Teils des Siliziumsubstrats (**202**), um eine Schicht aus Silizium aus dem Siliziumsubstrat (**202**) auf der Silizium-Germanium-Schicht (**201**) auf dem isolierenden Substrat (**100**) zu belassen;
 Tempern des isolierenden Substrats (**100**), um Germanium aus der Silizium-Germanium-Schicht (**201**) in die Siliziumschicht auf dem isolierenden Substrat (**100**) und in die Schicht aus Silizium aus dem Siliziumsubstrat diffundieren zu lassen und eine relaxierte Silizium-Germanium-Schicht (**401**) aus der Siliziumschicht auf dem isolierenden Substrat (**100**), der Silizium-Germanium-Schicht (**201**) und der Schicht aus Silizium aus dem Siliziumsubstrat (**202**) zu bilden;
 Ausbilden einer Rippe (**501**) in dem relaxierten Silizium-Germanium (**401**), wobei die Rippe (**501**) eine obere Wand und zwei Seitenwände enthält;
 Ausbilden einer verspannten Siliziumschicht (**601**) auf der oberen Wand und den beiden Seitenwänden der Rippe, wobei die verspannte Siliziumschicht ein p-leitendes Dotierungsmaterial aufweist und eine p-leitende verspannte Silizium-Kanal-Region bildet;
 Ausbilden einer Gate-Dielektrum-Schicht (**701**) auf der verspannten Siliziumschicht (**601**); Ausbilden einer Gate-Elektrode (**702**) auf dem Gate-Dielektrum (**701**); und

Dotieren der verspannten Siliziumschicht (**601**), um eine Source (**902**) und einen Drain (**903**) auszubilden.

17. Das Verfahren nach Anspruch 16, wobei das Gate-Dielektrum-Material (**701**) aus der Gruppe ausgewählt ist, die aus Siliziumdioxid, Hafniumoxid, Hafniumsilikat, Lanthanoxid, Lanthanaluminat, Zirkonoxid, Zirkonsilikat, Tantaloxid, Titanoxid, Barium-Strontium-Titanat, Bariumtitanat, Strontiumtitanat, Yttriumoxid, Aluminiumoxid, Blei-Scandium-Tantanat und Blei-Zink-Niobat besteht.

18. Das Verfahren nach Anspruch 17, wobei die Gate-Elektrode (**702**) aus der Gruppe ausgewählt ist, die aus Polysilizium, Metall und einer Kombination davon besteht.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

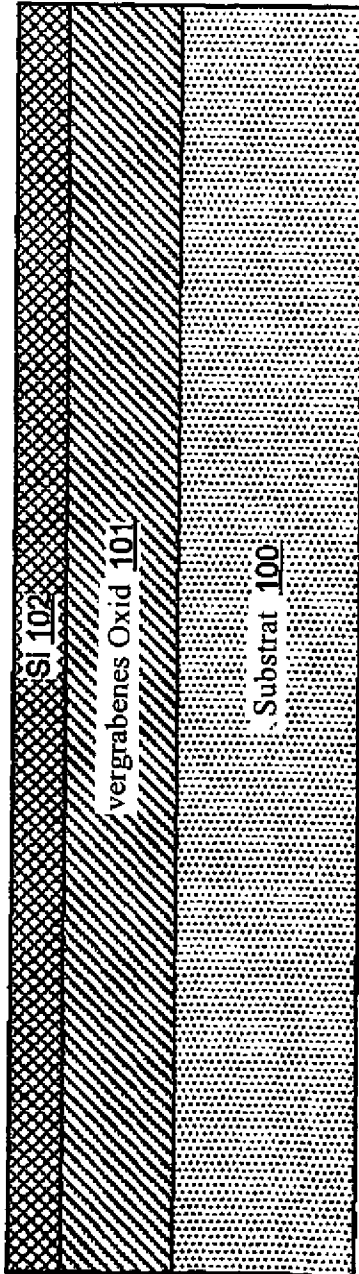


FIG. 1

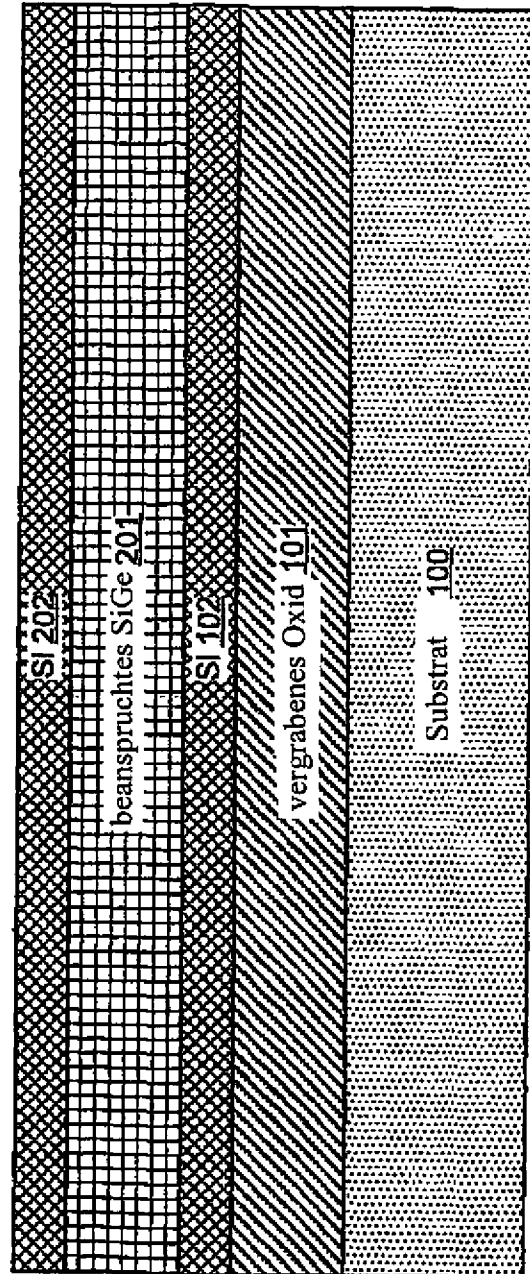


FIG. 3

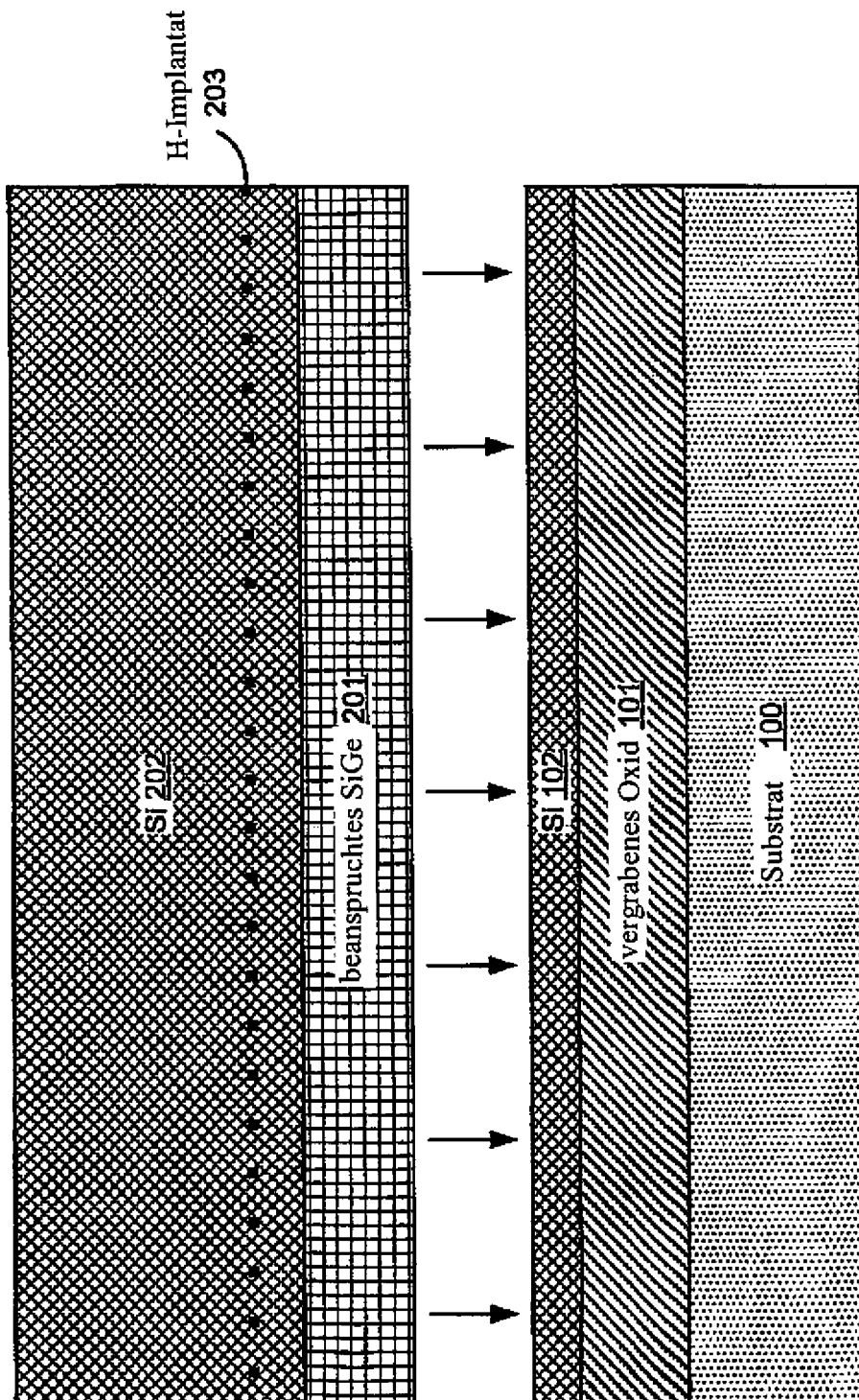


FIG. 2

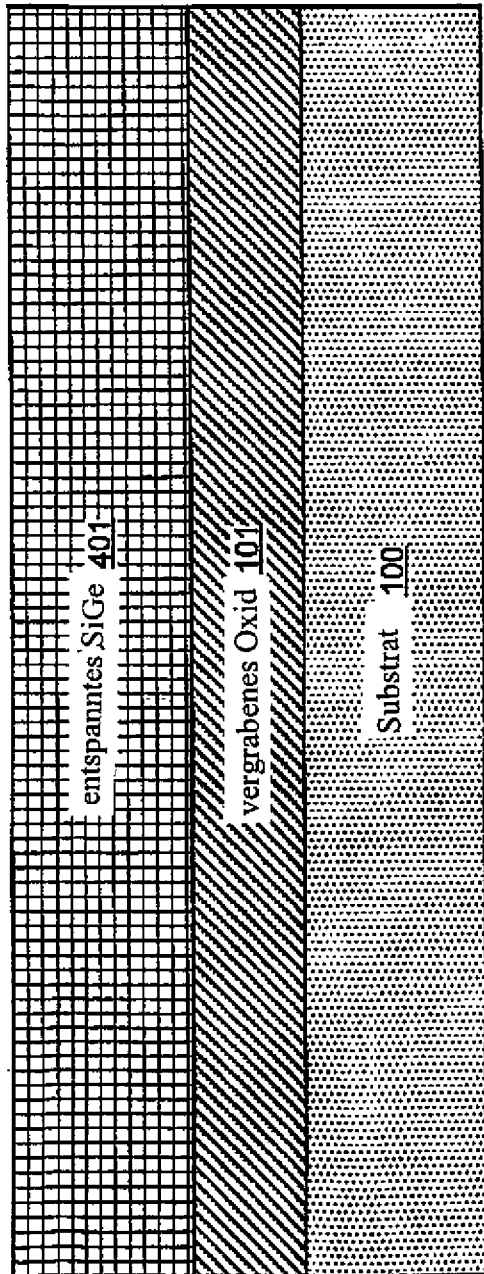


FIG. 4

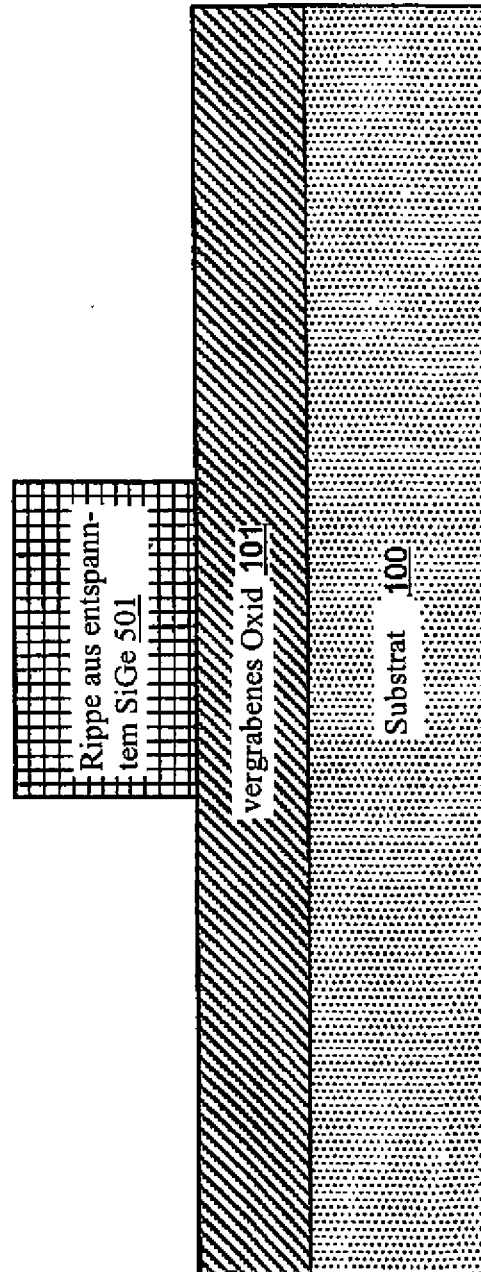


FIG. 5

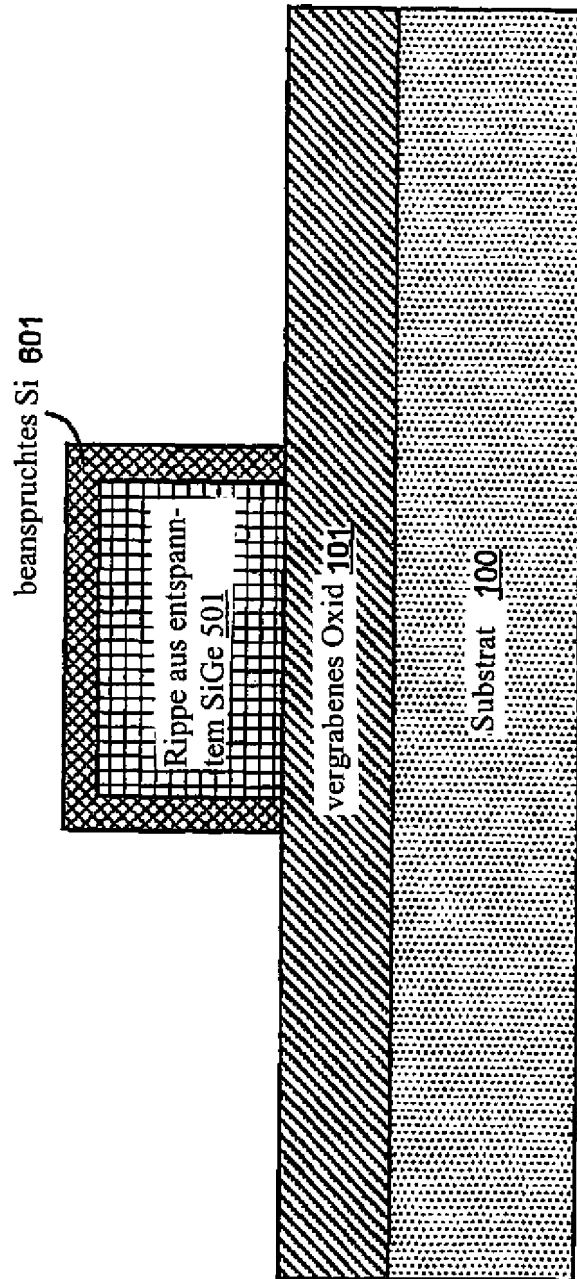


FIG. 6

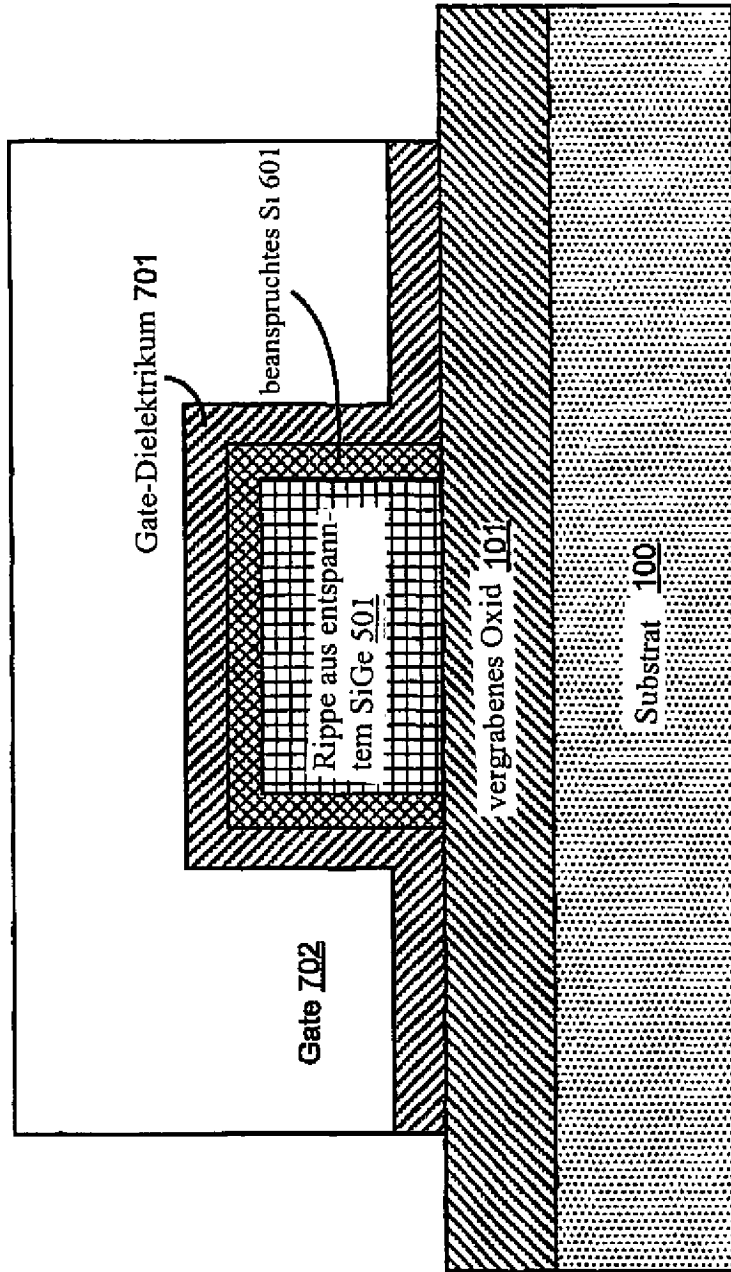


FIG. 7

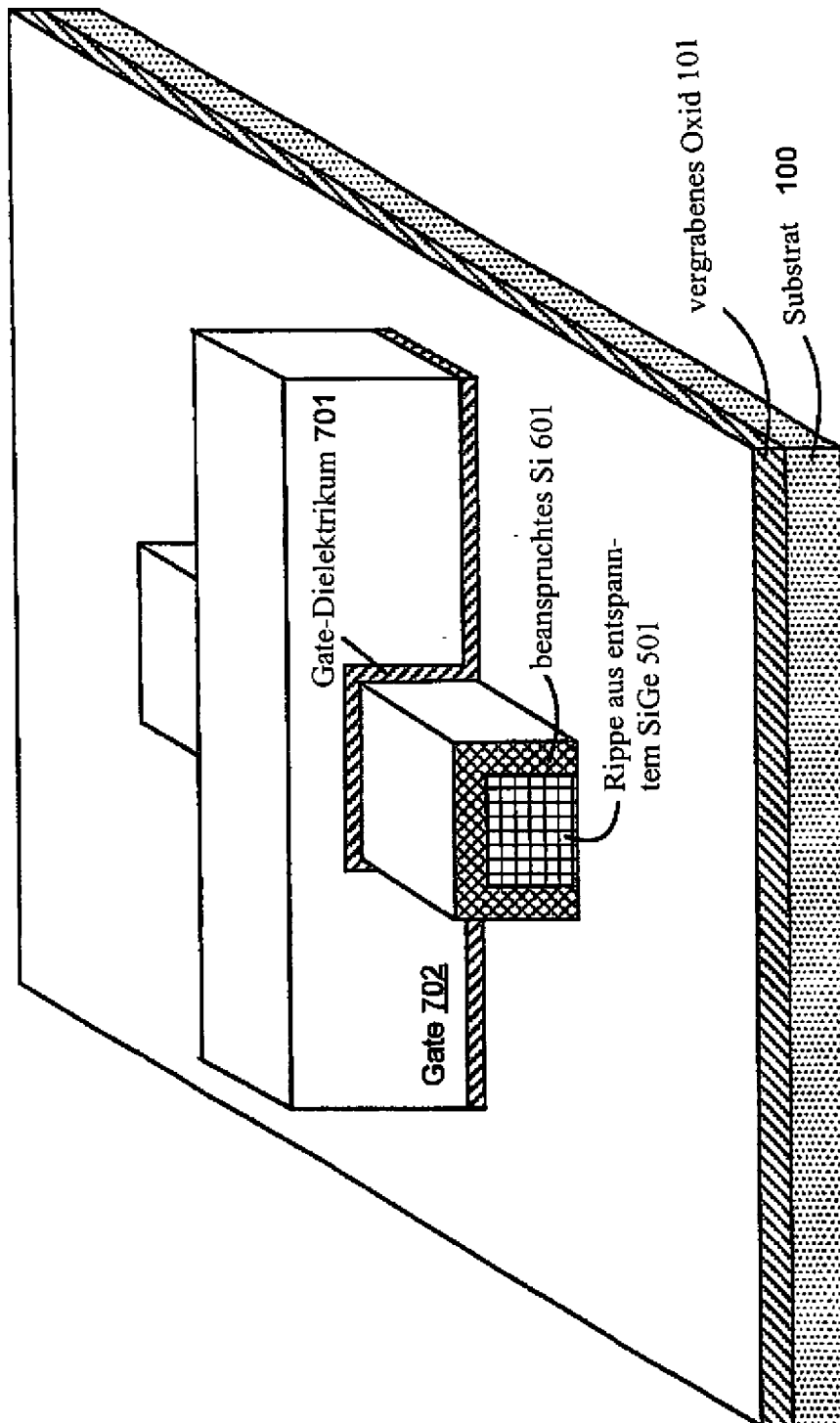


FIG. 8

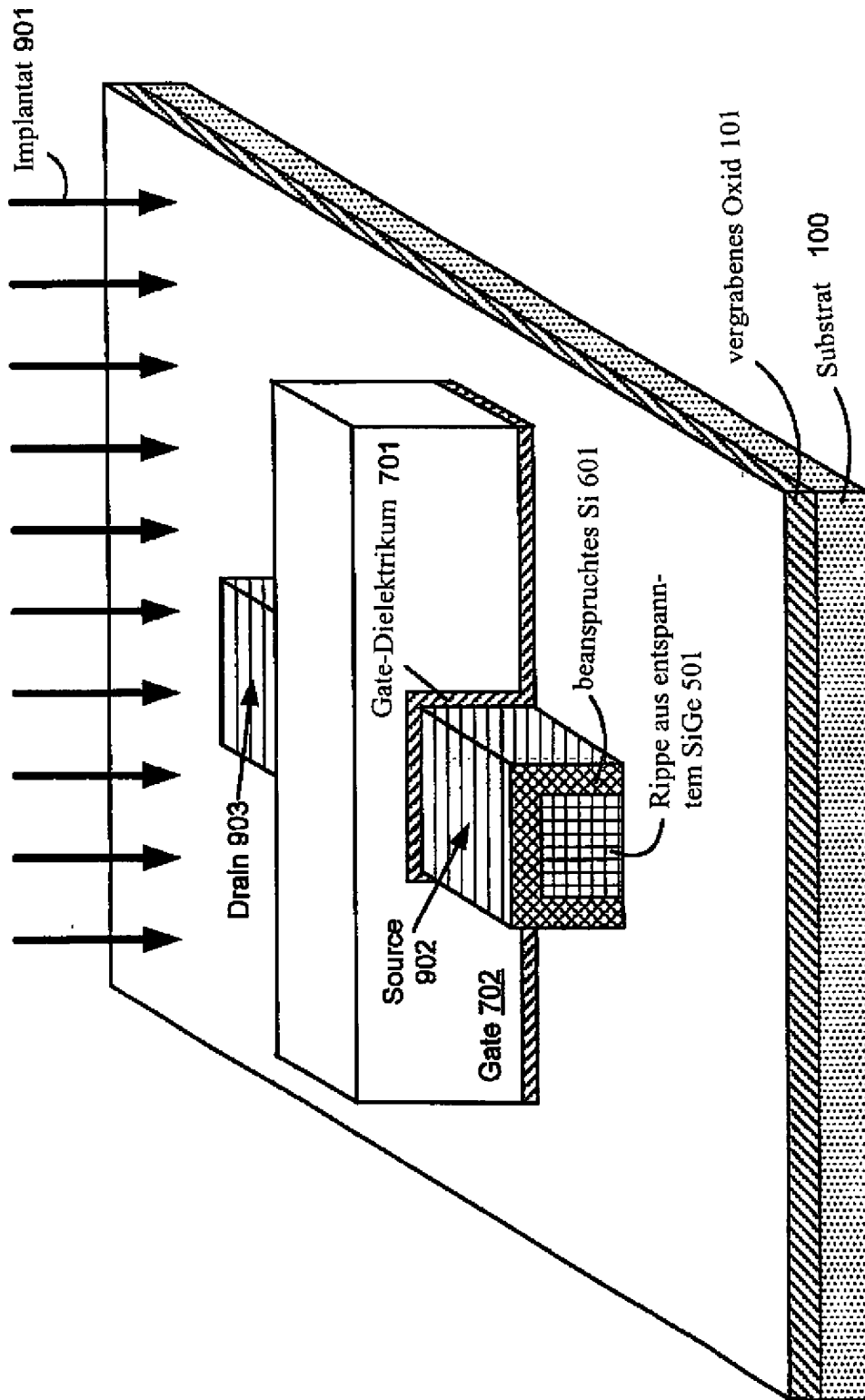


FIG. 9