



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0086833  
(43) 공개일자 2011년08월01일

(51) Int. Cl.

H01L 31/18 (2006.01) H01L 31/042 (2006.01)

(21) 출원번호 10-2011-7011733

(22) 출원일자(국제출원일자) 2009년10월13일

심사청구일자 없음

(85) 번역문제출일자 2011년05월23일

(86) 국제출원번호 PCT/EP2009/063370

(87) 국제공개번호 WO 2010/046284

국제공개일자 2010년04월29일

(30) 우선권주장

08167461.6 2008년10월23일

유럽특허청(EPO)(EP)

12/257,233 2008년10월23일 미국(US)

(71) 출원인

어플라이드 머티어리얼스, 인코포레이티드

미국 95054 캘리포니아 산타 클라라 바우어스 애  
브뉴 3050

(72) 발명자

퍼레 아이 토마스, 라펠

독일 알제나우 63755 니콜라우스-페이-슈트라쎄  
1아

(74) 대리인

남상선

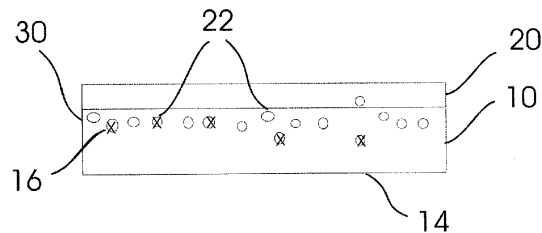
전체 청구항 수 : 총 16 항

(54) 반도체 소자 제조 방법, 반도체 소자 및 반도체 소자 제조 설비

(57) 요약

반도체 기판(14)을 제공하는 단계, 상기 반도체 기판 상에 반도체 화합물 및 도핑 첨가물(22)을 포함하는 층(20)을 형성하는 단계, 및 후속하여 상기 층을 포함하는 상기 반도체 기판을 어닐링함으로써 이미터 영역(30)을 형성하고 불순물(16)을 게터링(gettering) 하는 단계를 포함하는 반도체 소자 제조 방법이 제공된다.

대표도 - 도1c



## 특허청구의 범위

### 청구항 1

반도체 소자의 제조 방법으로서,

반도체 기판(14)을 제공하는 단계,

상기 반도체 기판 상에 반도체 화합물 및 도핑 첨가물(22)를 포함하는 층(20)을 형성하는 단계, 및

후속하여 상기 층을 포함하는 상기 반도체 기판을 어닐링함으로써 이미터 영역(30)을 형성하고 불순물(16)을 게터링(gettering) 하는 단계

를 포함하는,

반도체 소자의 제조 방법.

### 청구항 2

제1항에 있어서,

상기 반도체 기판은 실리콘 기판이며, 상기 반도체 화합물은 실리콘 화합물이고, 상기 어닐링은 약 1 내지 약 10 분의 어닐링 시간 동안 약 600℃ 내지 약 1200℃의 어닐링 온도로 가열함으로써 수행되는,

반도체 소자의 제조 방법.

### 청구항 3

제1항 또는 제2항에 있어서,

상기 층을 형성하는 단계에서, 두 개 이상의 층이 형성되며, 상기 두 개 이상의 층은 동일한 반도체 화합물을 포함하거나 서로 다른 반도체 화합물을 포함하는,

반도체 소자의 제조 방법.

### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 하나 이상의 반도체 화합물은 실리콘 화합물, 실리콘 카바이드 및 실리콘 질화물로 이루어지는 그룹으로부터 선택되는 하나 이상의 성분을 포함하는,

반도체 소자의 제조 방법.

### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 도핑 첨가물은 p 타입 도펀트, n 타입 도펀트, 인(phosphorus) 및 비소로 이루어지는 그룹으로부터 선택되는 하나 이상의 성분을 포함하는,

반도체 소자의 제조 방법.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 층을 형성하는 단계는 상기 반도체 화합물 및 상기 도핑 첨가물을 스퍼터링하여 수행되는,

반도체 소자의 제조 방법.

### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 층을 형성하는 단계는  $\text{NH}_3$ ,  $\text{CH}_4$ , 및  $\text{PH}_3$ 로 이루어지는 그룹으로부터 선택되는 하나 이상의 성분과  $\text{SiH}_4$ 를 포함하는 가스 혼합물의 PECVD에 의해 수행되는,

반도체 소자의 제조 방법.

#### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 어닐링 단계에서, 상기 반도체 기판의 표면은 산화되는,

반도체 소자의 제조 방법.

#### 청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 반도체 기판은 실리콘 기판, 결정질 실리콘 기판, 다결정 실리콘 기판, 결정질 실리콘 표면층을 구비하는 기판, 다결정 실리콘 표면층을 구비하는 기판, n 타입 반도체 기판, p 타입 반도체 기판, 진성 반도체 기판, n 타입 실리콘 기판, p 타입 실리콘 기판 및 진성 실리콘 기판으로 이루어지는 그룹으로부터 선택되는 하나의 구성요소인,

반도체 소자의 제조 방법.

#### 청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 어닐링 온도는 약  $650^\circ\text{C}$  내지 약  $780^\circ\text{C}$ 의 범위 내에 또는 약  $950^\circ\text{C}$  내지 약  $1200^\circ\text{C}$ 의 범위 내에 있는,

반도체 소자의 제조 방법.

#### 청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 어닐링 시간은 약 75 내지 약 100 분의 범위 내에 또는 약 15 내지 약 30 분 범위 내에 있는,

반도체 소자의 제조 방법.

#### 청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 반도체 기판은 정면 및 후면을 포함하고, 상기 반도체 화합물 층은 상기 정면 상에 형성되는,

반도체 소자의 제조 방법.

#### 청구항 13

제12항에 있어서,

진성 또는 도핑된 반도체 화합물을 포함하는 층을 상기 후면 상에 형성하는 단계를 포함하는,

반도체 소자의 제조 방법.

#### 청구항 14

제1항 내지 제13항 중 어느 한 항에 있어서,

상기 어닐링은 튜브형 퍼니스, 벨트형 퍼니스, 저항 가열 퍼니스, 적외선 퍼니스 및 할로겐 램프로 이루어지는 그룹으로부터 선택되는 하나 이상의 장치를 이용한 가열 과정에 의해 수행되는,

## 청구항 15

제1항 내지 제14항 중 어느 한 항에 따른 방법에 의해 얻을 수 있는 반도체 소자.

## 청구항 16

반도체 기판을 코팅하기에 적합한 코팅 수단, 상기 코팅된 반도체 기판을 어닐링하기에 적합한 가열 수단, 및 제1항 내지 제14항 중 어느 한 항에 따른 방법을 수행하기에 적합하고 상기 코팅 수단 및 상기 가열 수단을 제어하기에 적합한 제어 수단을 포함하는,

반도체 소자 제조 설비.

## 명세서

### 기술 분야

[0001] 본 발명의 실시예들은 대체로 반도체 소자, 예를 들어 태양전지와 관련된 것이다. 그들은 특히 반도체 소자 제조 방법, 반도체 소자 및 반도체 소자 제조 설비와 관련된 것이다.

### 배경 기술

[0002] 반도체 소자는 트랜지스터 같은 전자 소자, 및 태양전지 같은 광기전성 전지의 제조에 국한되지 아니하고 다양한 산업 분야에서 널리 이용되고 있다. 개개의 광기전성 전지는, 예를 들어 전자 계산기 같은 작은 소자에 전력을 공급하기 위해 이용되고 있다. 광기전성 어레이는 예를 들어 원거리 영역 전력 공급 시스템, 지구를 선회하는 인공 위성 및 우주 프로브, 원거리 무선전화, 물 펌핑 장치를 위하여 이용되고 있다.

[0003] p-n 접합을 포함하는 태양전지의 동작 원리는 크게 아래와 같이 설명될 수 있다. 태양전지는 광을 흡수하고 흡수된 광 에너지로 인해 전자/홀 쌍을 생성한다. 접합의 전기장 및 확산에 의해 유발되는 드리프트(drift) 때문에, 전자는 접합의 n-층 측을 향하여 이동하고, 홀은 p-층 측을 향하여 이동한다.

[0004] 태양전지 생산을 위해 소위 벌크 기술 또는 박막 기술이 적용되고 있는데, 전자는 벌크 반도체 웨이퍼를 이용하는 것이고, 후자는 박막 태양 전지를 생산하는 것이다. 가장 널리 보급된 태양 전지의 벌크 물질은 결정질 실리콘, 예를 들어 단결정 실리콘(c-Si), 또는 다결정 실리콘(mc-Si)이다.

[0005] mc-Si에 기반한 일반적인 태양전지 생산 공정은 예를 들어 다음의 단계를 포함할 수 있다. 에칭에 의해 mc-Si 웨이퍼로부터 쏘-데미지(saw-damage)를 제거하는 단계;  $\text{POCl}_3$  분위기에서 열처리에 의해 이미터(emitter)를 형성하는 단계; 생성된 PSG(phosphorus silicate glass)를 제거하는 단계; 정면 및/또는 후면을 패시베이션하는 단계; 예를 들어 플라즈마 강화 화학 기상 증착법(PECVD)을 이용하여 정면반사 방지 코팅하는 단계; 배면 금속화의 스크린 프рин팅 및 그리드 라인의 정면 접촉을 수행하는 단계; 배면 금속 상호 확산을 위한 어닐링 및 정면 접촉 그리드 라인의 점화를 수행하는 단계.

[0006] 다결정 실리콘 웨이퍼는 높은 밀도의 재결합 센터, 예를 들어 철(Fe) 또는 니켈(Ni) 같은 격자 결함(불순물)을 포함할 수 있다. 이는 전하 캐리어의 원하지 않는 재결합을 유발하는데, 이는 태양전지의 전기적 성질을 저하시킬 수 있다. mc-Si에 기반한 태양전지의 성질을 개선하기 위하여, 소위 불순물의 게터링(gettering), 이에 따른 불순물의 비활성화를 수행하는데, 이는 대체로 높은 온도에서의 인 확산을 포함하고 있다. 태양전지의 표면 및/또는 이미터에서, 인은 예를 들어 철(Fe) 및 다른 금속성 불순물을 보유할 수 있으며, 이는 위와 같은 불순물에 기인한 재결합을 감소시킨다. 인 확산 동안, PSG가 형성되는데, 이는 후속 태양전지 생산 공정 단계를 위해 제거되어야 한다.

### 발명의 내용

#### 과제의 해결 수단

[0007] 위와 같은 관점에서, 본원 특허청구범위 제1항에 따른 반도체 소자 제조 방법, 본원 특허청구범위 제15항에 따른 반도체 소자, 및 본원 특허청구범위 제16항에 따른 반도체 소자 제조 설비가 제공된다.

- [0008] 일 실시예에 따르면, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법이 제공된다.
- [0009] 다른 실시예에 따르면, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법에 의해 획득될 수 있는 반도체 소자가 제공된다.
- [0010] 또 다른 실시예에 따르면, 반도체 기판을 코팅하기 위하여 채용된 코팅 수단, 코팅된 반도체 기판을 어닐링하기에 적합한 가열 수단과, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법을, 수행하기에 적합하고 코팅 수단 및 가열 수단을 제어하기에 적합한 제어 수단을 포함하는, 반도체 소자 제조 설비가 제공된다.
- [0011] 추가적인 특징 및 상세한 사항은 종속항, 상세한 설명 및 도면으로부터 명백하게 될 것이다.
- [0012] 실시예들은 개시되는 방법의 단계들을 수행하기 위한 장치의 부분들을 포함하며 개시된 방법을 수행하기 위한 장치와 관련 설명한다. 더욱이, 실시예들은 또한 개시되는 장치가 제조되는 방법 및 개시되는 장치가 동작하는 방법에 관련 설명한다. 위 실시예들은 장치, 또는 제조하는 장치의 부분의 기능을 수행하기 위한 방법의 단계들을 포함한다. 방법의 단계들은 하드웨어 구성요소, 펌웨어, 소프트웨어, 적절한 소프트웨어, 이들의 어느 조합 또는 어느 다른 방식에 의해 프로그램된 컴퓨터를 이용하여 수행될 수 있다.
- [0013] 일 실시예들의 구성요소들이 유익하게는 추가적인 인용 없이 다른 실시예들에도 이용될 수 있음은 자명할 것이다.

### 도면의 간단한 설명

- [0014] 상술한 본 발명의 특징이 상세히 이해될 수 있도록 하기 위하여, 위에서 간략히 요약한 본 발명의 더욱 구체적인 설명이 실시예를 참조하여 이루어지며, 이들 실시예 중 일부는 첨부된 도면에 도시되어 있다. 그러나, 첨부된 도면은 본 발명의 전형적인 실시예를 도시할 뿐이며, 본 발명은 균등한 다른 실시예에 대해서도 허용하고 있으므로 본 발명의 범위를 제한하는 것으로 간주되어서는 안 된다.
- 도 1a 내지 1c는 실시예들 중 일 예에 따른 반도체 제조 방법의 단계를 개략적으로 나타내는 도면이다.
- 도 2a 내지 2d는 실시예들 중 다른 예에 따른 반도체 제조 방법의 단계를 개략적으로 나타내는 도면이다.
- 도 3a 내지 3d는 실시예들 중 추가적인 예에 따른 반도체 제조 방법의 단계를 개략적으로 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0015] 다양한 실시예들, 도면에 도시된 하나 이상의 예들이 아래에서 더 상세하게 개시될 것이다. 각 예들은 설명의 방식으로 제공되나, 본 발명이 이러한 각 예들로 제한되지 아니함은 자명할 것이다.
- [0016] 본 발명의 목적 범위를 벗어나는 일 없이, 이하에서는, 반도체 소자가 태양전지로서 언급되어 설명될 것이다. 더욱이, 본 발명의 목적 범위를 벗어나는 일 없이, 반도체 소자의 기판은 웨이퍼 또는 실리콘 웨이퍼로서, 또한 실리콘 기판으로서 언급되어 설명될 것이다. 그러나, 본 명세서에 개시된 실시예들의 예가 박막 태양전지 같은 다른 형태의 반도체 소자에도 적용될 수 있음은 물론이다. 더욱이, 실리콘이 아닌 다른 반도체 또는 반도체 물질 역시 본 발명에 적용될 수 있음은 물론이다. 또한, 본 발명의 목적 범위를 벗어나는 일 없이, 이하에서는, 실리콘 웨이퍼가 다결정의 p 타입 실리콘 웨이퍼로서 설명될 것이다. 그러나, 다른 형태의 실리콘 웨이퍼, 예를 들어 단결정 실리콘 웨이퍼, 및/또는 진성 실리콘 웨이퍼, 예컨대 실질적으로 순수한 실리콘 웨이퍼 역시 이용될 수 있다. 더욱이, 이하에서는, n 타입 이미터가 p 타입 실리콘 기판 내에 형성되는 p-n 태양전지의 생산이 개시될 것이다. 그러나, 본 명세서에 개시된 실시예들의 방법에 관한 원리가 대응되는 방식으로 역 p-n 구조를 가지는 태양전지의 생산에도 적용될 수 있음은 물론이다. 추가로, 이하에서는 인(phosphorus)이 이미터 형성을 위한 n-도펀트의 예로서 언급된다. 그러나, 비소 같은 다른 n-도펀트 역시 이용될 수 있음은 물론이다.
- [0017] 도면에 관한 이하의 설명 내에서, 동일한 참조 부호가 동일한 구성요소에 대하여 언급된다. 일반적으로, 개개의 실시예들에 대한 차이점만이 더 개시될 것이다.

- [0018] 본 명세서에 개시되는 실시예들의 일반적인 응용은 태양전지, 예를 들어 mc-Si를 기반으로 하는 태양전지의 제조와 관련된다.
- [0019] 일 실시예에 따르면, 반도체 소자 제조 방법이 제공되며, 상기 방법은 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계; 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링하여 이미터 영역을 형성하고 불순물을 게터링 하는 단계를 포함한다. 그 결과, 이미터 영역의 형성과 불순물의 게터링은 하나의 단계로, 대체로 동시에 수행되게 된다. 불순물은 도핑 첨가물에 의해 게터링될 수 있다.
- [0020] 도 1a 내지 1c는 실시예들 중 일 예에 따른 반도체 제조 방법의 단계를 개략적으로 도시하고 있다. 본 예의 제 1 단계에서, 반도체 기판으로서, 도 1a에 도시된 p 타입 실리콘 웨이퍼의 형태인 실리콘 기판이 제공되는데, 이는 정면(12)과 후면(14)을 가진다. 웨이퍼(10)는 벌크 형태의 웨이퍼(10) 내에 분배된 금속성 불순물(16)을 포함한다. 예를 들어, 0.2 내지 10 Ohm cm 사이의, 대체로 1 Ohm cm의 저항을 가지며, 500  $\mu\text{m}$  이하의, 대체로 200  $\mu\text{m}$ 의 두께를 가지는 실리콘 기판, 대체로 보론이 도핑된 p 타입의 다결정 실리콘 웨이퍼가 이용될 수 있다.
- [0021] 도 1b에서 개략적으로 도시된 제2 단계에서는, 실리콘 화합물 및 도핑 첨가물이 실리콘 기판 상에 증착된다. 그 결과, 도펀트(22), 예를 들어 인을 포함하는 비정질 실리콘 화합물층이 웨이퍼(10)의 정면(12) 상에 형성된다. 실리콘 화합물은 예를 들어 실리콘 질화물 또는 실리콘 카바이드일 수 있다. 실시예들 중 일 예에서, 제2 단계는 실리콘 화합물 및 도핑 첨가물을 스퍼터링하여, 예를 들어 실리콘 화합물 및 도핑 첨가물을 포함하는 타겟을 스퍼터링하여 수행될 수 있다. 스퍼터링 동안,  $\text{CH}_4$ ,  $\text{NH}_3$  및 다른 적절한 성분으로 이루어지는 그룹으로부터 선택되는 하나 이상의 성분을 포함하는 가스가 제공될 수 있다. 실시예들 중 다른 예에서, 제2 단계는,  $\text{NH}_3$ ,  $\text{CH}_4$ , 및  $\text{PH}_3$ 로 이루어지는 그룹으로부터 선택되는 하나 이상의 성분과  $\text{SiH}_4$ 를 포함하는 가스 혼합물의 PECVD에 의해 수행된다.
- [0022] 예를 들어, 제2 단계에서, 인 도핑된 패시베이션(passivation)층이 웨이퍼(10)의 정면(12) 상에 증착될 수 있다. 형성된 패시베이션층은 반사 방지 성질, 70 - 95 nm의 두께, 및 622 nm의 파장에서 1.95 - 2.05의 굴절율을 가질 수 있다. 증착은 다음과 같이 수행될 수 있다. 제1 예에서, 실리콘 카바이드층  $\text{SiC}_x(\text{n})\text{:H}$ 는 PECVD에 의해 웨이퍼(10)의 정면 상에 증착될 수 있다. 코팅 챔버 내에서는, 1 내지 6  $\mu\text{bar}$ 의 총 압력과 약 200 내지 약 500 $^{\circ}\text{C}$ 의 웨이퍼 온도가 달성될 수 있다. 플라즈마를 생성하기 위해, 약 3 Hz 내지 약 300 Hz의 범위 내에 있는 RF, 대체로 약 300 내지 3000 kHz의 범위 내에 있는 MF(Medium Frequency)를 제공하는 전력 소스가 이용될 수 있다. 가스로서  $\text{SiH}_4$ ,  $\text{CH}_4$ , 및  $\text{PH}_3$ 가 코팅 챔버 내에 도입될 수 있다. 증착 시간은 약 1 내지 약 10 분의 범위 내에 있을 수 있다. 대안적인 예로서, 예를 들어 실리콘 질화물층,  $\text{SiN}_x(\text{n})$ 는 인 도핑된 실리콘 웨이퍼의 스퍼터링에 의해 웨이퍼(10)의 정면(12) 상에 증착될 수 있다. 코팅 챔버 내에서, 1 내지 6  $\mu\text{bar}$ 의 총 압력과 약 200 내지 약 500 $^{\circ}\text{C}$ 의 웨이퍼 온도가 달성될 수 있다. 코팅 챔버 내로, Ar,  $\text{NH}_3$ ,  $\text{N}_2$ 가 도입될 수 있으며, 인이 도핑되지 않았다면 선택적으로  $\text{PH}_3$ 가 도입될 수 있다. 플라즈마의 생성을 위해, DC, RF 또는 MF를 제공하는 전력 소스가 이용될 수 있다. 추가적인 예에서, 인 도핑된 실리콘 옥시나이트라이드(oxyntiride)를 포함하는 층이, 인 도핑된 실리콘 타겟의 스퍼터링, 반응가스로서  $\text{N}_2$  및  $\text{O}_2$ 에 의해 웨이퍼 상에서 성장될 수 있다.
- [0023] 선택적으로, 제2 단계 이후에, 진성 또는 보론 도핑된 패시베이션층(도시되지 않음)을 이용하여 웨이퍼(10) 후면의 패시베이션이 수행될 수 있다. 이는 인 도펀트 없이, 제2 단계에서 구체화되는 상황과 유사한 증착 상황을 이용하여 수행될 수 있다. 이러한 층은 제조 방법이 끝난 이후에 패시베이션 성질을 유지할 수 있어야 한다. 보론 도핑된 층이 선택될 때에, 예를 들어 태양전지 같은 웨이퍼 후면의 패시베이션된 하이로(high-low) 접합과 같은 추가적 이익이 얻을 수 있다.
- [0024] 이어서, 도 1c에 개략적으로 도시된 제3 단계에서, 코팅된 웨이퍼(10)는 약 1 내지 100 분의 어닐링 시간 동안 약 600 $^{\circ}\text{C}$  내지 약 1200 $^{\circ}\text{C}$ 의 어닐링 온도에서 어닐링된다. 어닐링은 튜브형 퍼니스, 벨트형 퍼니스, 저항 가열 퍼니스, 적외선 퍼니스, 할로젠 램프 및/또는 급속 가열 처리(RTP)를 이용한 퍼니스를 이용한 가열 과정에 의해 수행될 수 있다. 코팅된 웨이퍼(10)의 어닐링은, 예를 들어 약 15 내지 약 30분의 어닐링 시간 동안 약 700 내지 약 950 $^{\circ}\text{C}$ 의 온도에서, 불활성 분위기, 예를 들어  $\text{N}_2$  하에서, 또는 반응성 분위기, 예를 들어  $\text{N}_2/\text{H}_2$  하에서, 수행될 수 있다. 그 결과, 인(22)은 웨이퍼(10)로 확산하며, 실질적인 양의 불순물(16)이 게터링된다.



더욱이, 상당한 양의 인이 실리콘 웨이퍼(10)와 실리콘 화합물(20)층 사이의 계면에서 게터링 없이 웨이퍼(10)로 확산한다. 그 결과, 화합물층(20)과 웨이퍼(10)의 계면 근처에서, n 타입 이미터 영역(30)이 형성된다. 더욱이, 웨이퍼(12)의 정면은 인이 실질적으로 고갈된 실리콘 화합물층(20)으로 코팅된다. 실리콘 질화물 또는 실리콘 카바이드는 실리콘 화합물로서 이용될 수 있기 때문에, 이미터 영역(30)을 포함하는 웨이퍼(10) 표면은 층(20)에 의해 패시베이션될 수 있다. 더욱이, 층(20)은 반사 방지 코팅으로서 동작할 수 있다. 더욱이, 어닐링 온도는 약 950℃ 내지 약 1200℃의 온도 범위, 대체로 약 1100℃일 수 있다. 그 결과, 화합물층(20)의 열적 산화가 추가적으로 수행될 수 있다.

[0025] 제3 단계에서는, 웨이퍼로의 인의 확산 및 활성화에 기인한 이미터의 형성이 있다. 더욱이, 이러한 단계에서, 층 내의 인의 존재는 금속성 불순물의 게터링에 도움을 줄 수 있다. 그 결과, 본 발명에 따른 방법에 의해, 반도체 웨이퍼의 표면 영역 및/또는 벌크 영역 내의 금속성 불순물의 게터링 및 이미터 형성이 하나의 단계에서 동시에 수행될 수 있다. 또한, 표면 패시베이션 및/또는 반사 방지 코팅 또한 달성될 수 있다.

[0026] 실시예들 중 다른 예에서, 어닐링 온도는 대체로 약 600 내지 약 1200℃, 보다 대체로는 약 650℃ 내지 약 780℃ 또는 약 750℃ 내지 약 830℃, 가장 대체로는 약 700℃ 내지 약 800℃의 범위 내에 있을 수 있다.

[0027] 실시예들 중 추가적인 예에서, 어닐링 시간은 대체로 약 1 내지 약 100 분, 보다 대체로는 약 75 내지 약 100 분 또는 약 80 내지 약 90 분, 가장 대체로는 약 15 내지 약 30 분, 또는 약 20 내지 약 30 분의 범위 내에 있다.

[0028] 몇몇 실시예들에서, 실리콘 기판 상에 실리콘 화합물 및 도핑 첨가물을 증착하는 단계 동안, 두 개의 층이, 예를 들어 동일한 조성으로 형성될 수 있다. 실시예들 중 다른 예에서, 실리콘 기판 상에 실리콘 화합물 및 도핑 첨가물을 증착하는 단계 동안, 두 개의 다른 조성을 가지는 층이 형성될 수 있다. 이의 예로서, 실시예가 도 2a 내지 2d에 개략적으로 도시되고 있다. 이러한 예는 제2 단계 동안 두 개의 코팅 과정이 수행되는 도 1a 내지 1c에 도시되는 방법과 다르다.

[0029] 먼저, 도펀트(22)로서 인을 포함하는 실리콘 화합물층(20)이 도 2b에 도시된 바와 같이 웨이퍼(10)의 정면(12) 상에 증착된다. 도 2c에 도시된 추가적인 코팅 과정에서는, 인을 포함하는 실리콘 화합물층(20) 상에 인이 도핑되지 않은 실리콘 화합물층(24)이 형성되는 것을 도시하고 있다. 또한, 도 2d에 도시된 제3 단계 동안, 상당한 양의 인이 실리콘 웨이퍼(10)와 실리콘 화합물층(20) 사이의 계면에서 웨이퍼로 확산한다. 그 결과, 이미터 영역(30)의 형성 및 웨이퍼(10) 불순물의 게터링이 동시에 수행된다. 더욱이, 동시에 층(20)은 층(24)이 반사 방지 성질을 제공할 수 있는 표면 패시베이션을 제공한다.

[0030] 도 2a 내지 2d에 도시된 위와 같은 다양한 예들에서, 제2 단계 이후에 층(20)은 실리콘 질화물 및 인을 포함하나, 층(24)은 인이 도핑되지 않은 실리콘 질화물을 포함한다. 본 예의 다른 변형에 따르면, 층(20)은 실리콘 카바이드 및 인을 포함하나, 층(24)은 인이 도핑되지 않은 실리콘 질화물을 포함한다. 본 예의 더 추가적인 변형에서, 층(20)은 실리콘 질화물 및 인을 포함할 수 있으나, 층(24)은 인이 도핑되지 않은 실리콘 카바이드를 포함한다. 또한, 층(20)은 실리콘 카바이드 및 인을 포함할 수 있으나, 층(24)은 인이 도핑되지 않은 실리콘 카바이드를 포함한다.

[0031] 위에서 언급한 바와 같이, 어닐링 단계를 수행하기 이전에, 층(20)은 실리콘 질화물 및 인, 또는 실리콘 카바이드 및 인을 포함할 수 있다. 도 3a 내지 3d에 개략적으로 도시된 추가적인 예에서, 층(20)과 동일한 구성요소를 가지나 층(20)보다 낮거나 실질적으로 동일한 도펀트(22)의 농도를 포함할 수 있는 층(24)을 어닐링하기 이전에 코팅된 웨이퍼(10)가 형성된다. 대안적인 예(도시되지 않음)에서, 층(24) 내의 도펀트(22) 농도는 층(20)의 도펀트 농도보다 더 높을 수 있다. 그 결과, 층(20)은 인 도핑된 실리콘 질화물 또는 인 도핑된 카바이드를 포함할 수 있으나, 층(24)은 인 도핑된 실리콘 질화물 또는 인 도핑된 실리콘 카바이드를 포함할 수 있다. 이러한 예들의 효과는 도 1a 내지 1c와 관련하여 설명된 예에서와 동일하다; 반도체 웨이퍼의 벌크 영역에서의 및/또는 표면 영역에서의 금속성 불순물의 게터링, 이미터 형성, 및 몇몇 경우에 표면 패시베이션 및 반사 방지 코팅이 하나의 단계에서 동시에 수행될 수 있다.

[0032] 도 2a 내지 2d, 도 3a 내지 3d에 도시된 예의 변형(도시되지 않음)에서, 반도체 기판 상에 층들 중 하나를 제1 증착함으로써 그리고 그 이후에 위에서 설명된 어닐링 온도 및 어닐링 시간으로 어닐링함으로써, 그리고 다른 층을 증착한 이후에 위에서 설명된 어닐링 온도 및 어닐링 시간으로 다른 층을 어닐링 함으로써, 반도체 화합물의 두 개의 층이 형성된다. 도 2a 내지 2d에 도시된 실시예들의 다른 변형예에서, 개별적인 층(20, 24) 각각 또는 두 개 모두의 어닐링 이전에, 반도체 화합물층(20)은 도펀트로 도핑되지 아니할 수 있는 반면, 층(22)은

도펀트(22)를 포함할 수 있다. 이러한 변형예에서, 어닐링 이후에, 도 2d 내지 3d에 도시된 바와 동일한 구조가, 각각 달성될 수 있다.

[0033] 층들(20, 24)의 일반적인 예는  $a\text{-SiC}_x$  and  $a\text{-Si}_y\text{C}_x$ , 예를 들어  $a\text{-Si}_{0.8}\text{C}_{0.2}$  및  $a\text{-SiN}_x$  and  $a\text{-Si}_y\text{N}_x$ 인데, 여기서  $x$ 는 0 내지 약 1의 범위 내에 있으며,  $y$ 는 0 내지 약 1보다 대체로 더 큰 범위 내에 있다. 형성되는 층의 두께는 약 30 내지 약 120 nm의 범위 내에 있을 수 있다. 더욱이, 적절한 양의 수소 및/또는 산소 또는 다른 성분이 적절한 패시베이션 및 반사 방지 성질을 제공하기 위하여 층들(20, 24) 내에 포함될 수 있다. 수소를 포함하는 층들(20, 24)의 예는,  $\text{SiH}_4$ ,  $\text{CH}_4$  및  $\text{PH}_3$ 로부터 PECVD에 의해 형성된, 수소화된, 인 도핑된 비정질 실리콘,  $a\text{-SiC}_x(\text{n})\text{:H}$ 이다. 산소를 포함하는 층들(20, 24)의 예는 반응 가스로서의  $\text{N}_2$  및  $\text{O}_2$ 를 이용하고, n 도핑된 실리콘 타겟을 이용하는 스퍼터링에 의해 성장된 인 도핑된 실리콘 옥시나이트라이드이다.

[0034] 몇몇 실시예에 따르면, 실리콘 기판은 결정질 실리콘 기판, 다결정 실리콘 기판, 결정질 실리콘 표면층을 구비하는 기판, 및 다결정 실리콘 표면층을 구비하는 기판으로 이루어진 그룹으로부터 선택될 수 있다.

[0035] 위에서 설명된 바와 같이, 몇몇 실시예에 따르면, 실리콘 기판은 p 타입 실리콘 기판일 수 있다. 다른 실시예에서, 실리콘 기판은 진성 실리콘 기판, 즉 도핑되지 않은 실리콘 웨이퍼(10)일 수 있다. 더욱이, 몇몇 실시예에 따르면, 상기 방법은 실리콘 웨이퍼(10)의 후면에 진성 반도체 물질로 이루어진 층을 형성하는 단계를 포함할 수 있다. 따라서, 몇몇 실시예에서, 웨이퍼(10)의 정면에는 도핑된 a-실리콘 화합물층이 제공되는 반면, 후면은 진성 물질로 구성될 수 있다. 그 결과, 방법을 수행하는 동안, 후면에서의 이미터 형성이 이루어지지 않는다. 다른 실시예에서, 상기 방법은 실리콘 웨이퍼(10)의 후면 상에 도핑된, 예를 들어 p 도핑된 물질의 층을 형성하는 단계를 포함할 수 있다. 형성된 후면층은 예를 들어 보론 도핑된 실리콘 표면층일 수 있다. 이는 태양전지 같은 코팅된 웨이퍼의 후면에 패시베이션된 하이로 접합을 유발할 수 있다.

[0036] 위에서 언급한 바와 같이, 본 명세서에 개시된 실시예들을 이용하여, 반도체 소자 제조 방법에서, 적어도 반도체 웨이퍼의 표면 영역 및/또는 벌크 영역에서의 금속 불순물 또는 다른 격자 결함의 게터링, 및 이미터 형성이 하나의 단계에서 동시에 수행될 수 있다. 또한, 이미터 형성 및 불순물 게터링 동안, 표면 패시베이션이 달성될 수 있다. 또한, 동일한 단계에서, 반사 방지 코팅의 형성 역시 달성될 수 있다. 더욱이, 본 명세서에 개시된 실시예들에 의해 제공되는 확산이 PSG(phosphorus silicate glass) 영역 형성을 유발하지 아니하기 때문에, PSG의 제거가 요구되지 아니한다. 추가로, 생산된 반도체 소자 또는 태양전지의 개선된 이미터 프로파일의 달성될 수 있는데, 예를 들어 이미터 프로파일은 더 날카로워질 수 있다. 따라서, 본 명세서에 개시된 실시예들의 방법은 이미터 프로파일의 우수한 제어를 가능하게 한다. 이는, 어닐링 온도 및 어닐링 시간뿐만 아니라 반도체 화합물 및 도펀트의 선택 때문에, 웨이퍼 기판으로의 인 확산 속도가 낮은 데에 기초한다. 결과적으로, 개선된 이미터 영역, 개선된 표면 패시베이션, 감소된 전하 캐리어 재결합 및/또는 개선된 반사 방지 성질을 가지는 태양전지 같은 반도체 소자가, 단순화된 제조 공정으로 생산될 수 있다. 따라서, 태양전지 생산 비용이 현저하게 절감될 수 있다.

[0037] 다음에서는, 실시예들의 추가적인 예가 개시된다.

[0038] 제1 예에서, 1 Ohm의 저항과 200  $\mu\text{m}$ 의 두께를 가지며 p 타입인, 보론 도핑된 다결정 실리콘 웨이퍼가 이용된다. 웨이퍼는 결정 성장 동안 도입된 금속성 불순물을 갖는다.

[0039] 제2 단계에서, 적층된 두 개의 인 도핑된 비정질 실리콘 카바이드 패시베이션층,  $a\text{-SiC}_x(\text{n})\text{:H}$ 가 웨이퍼의 정면 상에 증착된다. 증착 상황은 다음과 같다: 반응기: PECVD, 직류 플라즈마, RF 주파수(13.56 MHz);  $10\text{e-}5$  hPa 보다 낮은 반응기 챔버 내의 진공 압력; 가스 흐름:  $\text{SiH}_4(95\%)+\text{PH}_3(5\%)$ : 3 sccm (Standard Cubic Centimeters);  $\text{CH}_4$ : 32 sccm; 총 압력: 3  $\mu\text{bar}$ ; 온도  $300^\circ\text{C}$ ; 증착 시간(고정): 12 분; 전력 밀도;  $0.086\text{ W/m}^2$  하에서 작동함. 형성된  $a\text{-SiC}_x(\text{n})\text{:H}$  이중층은 반사 방지 성질, 80 nm의 두께, 622 nm의 파장에서 2.00의 굴절율을 가진다.

[0040] 제3 단계에서, 코팅된 웨이퍼의 어닐링이  $\text{N}_2$  분위기 하에서  $830^\circ\text{C}$ 의 온도로 20 분의 어닐링 시간 동안 수행된다. 태양전지의 전구체가 형성된다. 오직 컨택만이 적용될 필요가 있다.

[0041] 제2 단계 이후에 그리고 어닐링의 제3 단계 이전에,  $a\text{-SiC}_x(\text{i})\text{:H}$ 의 진성 비정질 실리콘 카바이드 필름으로 웨이퍼 후면의 패시베이션이 수행된다는 점에서, 제1 예와 제2 예는 다르다. 인 도펀트를 제외하고, 증착 상황은 제2 단계에서 설명된 상황에 대응한다. 반응기: PECVD, 직류 플라즈마, RF 주파수(13.56 MHz);  $10\text{e-}5$  hPa 보



다 낮은 반응기 챔버 내의 진공 압력; 가스 흐름:  $\text{SiH}_4(95\%)+\text{PH}_3(5\%)$ : 3 sccm;  $\text{CH}_4$ : 32 sccm; 총 압력: 3  $\mu$  bar; 온도 300℃; 증착 시간(고정): 12 분; 전력 밀도; 0.086  $\text{W}/\text{m}^2$  하에서 작동함.

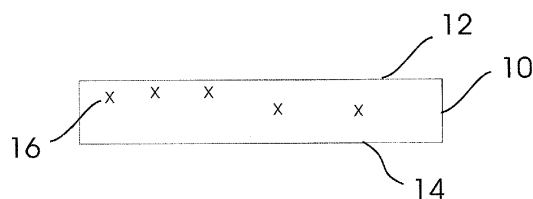
- [0042] 제3 예는, 제1 예의 제3 단계가 수행되나, 제3 단계에서 코팅된 웨이퍼가 780℃의 온도에서 75 분간 어닐링되도록 변경되었다.
- [0043] 제4 예는, 제3 예에서 코팅된 웨이퍼의 어닐링이 780℃의 온도에서 20 분간 수행되도록 변경되었다.
- [0044] 일 실시예에 따르면, 반도체 소자 제조 방법이 제공되는데. 상기 방법은 반도체 기판을 제공하는 단계, 반도체 화합물 및 도핑 첨가물을 포함하는 층을 반도체 기판 상에 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 층을 어닐링 하여 불순물을 게터링하고 이미터 영역을 형성하는 단계를 포함한다. 그 결과, 이미터 영역의 형성 및 불순물의 게터링이 하나의 단계에서, 대체로 동시에 수행된다. 불순물은 도핑 첨가물에 의해 게터링될 수 있다. 불순물은 금속성 불순물 또는 다른 격자 결함일 수 있다.
- [0045] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 반도체 기판은 실리콘 기판이며, 반도체 화합물은 실리콘 화합물이고, 어닐링은 약 1 내지 약 100 분의 어닐링 시간 동안 약 600℃ 내지 약 1200℃의 범위의 어닐링 온도로 가열함으로써 수행된다.
- [0046] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 층을 형성하는 단계에서, 도핑된 반도체 화합물층은 반도체 기판의 표면 상에 형성된다. 도핑된 반도체층은 결정질일 수 있다.
- [0047] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 층을 형성하는 단계에서, 층을 형성하는 단계는, 동일한 또는 다른 조성을 가지는 두 개 이상의 층이 형성된다.
- [0048] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 층을 형성하는 단계에서, 두 개 이상의 층이 형성되며, 두 개 이상의 층은 동일한 반도체 화합물 또는 다른 반도체 화합물을 포함한다.
- [0049] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 하나 이상의 반도체 화합물은 실리콘 화합물, 실리콘 카바이드 및 실리콘 질화물로 구성되는 그룹으로부터 선택되는 하나 이상의 성분을 포함한다.
- [0050] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 도핑 첨가물은 p 타입 도펀트, n 타입 도펀트, 인 및 비소로 구성되는 그룹으로부터 선택되는 하나 이상의 성분을 포함한다.
- [0051] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 층을 형성하는 단계는 반도체 화합물 및 도핑 첨가물의 스퍼터링에 의해 수행된다. 대체로 반도체 화합물 및 도핑 첨가물을 포함하는 타겟은 스퍼터링된다.
- [0052] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 층을 형성하는 단계는  $\text{NH}_3$ ,  $\text{CH}_4$ , 및  $\text{PH}_3$ 로 이루어지는 그룹으로부터 선택되는 하나 이상의 구성요소와  $\text{SiH}_4$ 를 포함하는 가스 혼합물의 PECVD에 의해 수행된다.
- [0053] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 어닐링 단계에서, 반도체 기판의 표면은 산화된다.
- [0054] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 반도체 기판은 실리콘 기판, 결정질 실리콘 기판, 다결정 실리콘 기판, 결정질 실리콘 표면층을 구비하는 기판, 다결정 실리콘 표면층을 구비하는 기판으로 이루어지는 그룹으로부터 선택되는 하나이다.
- [0055] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 반도체 기판은 n 타입 반도체 기판, p 타입 반도체 기판, 진성 반도체 기판, n 타입 실리콘 기판, p 타입 실리콘 기판 및 진성 실리콘 기판으로 이루어지는 그룹으로부터 선택되는 하나 이상이다.
- [0056] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 어닐링 온도는 약 650 내지 약 780℃의 온도 범위 또는 약 950℃ 내지 약 1200℃의 온도 범위 내이다.
- [0057] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 어닐링 시간은 약 75 내지 약 100 분 또는 약 15 내지 약 30 분의 범위 내이다.
- [0058] 본 명세서에 개시된 여느 다른 실시예들과 결합될 수 있는 일 실시예에서, 반도체 기판은 정면 및 후면을 포함

하며, 반도체 화합물층은 정면 상에 형성된다.

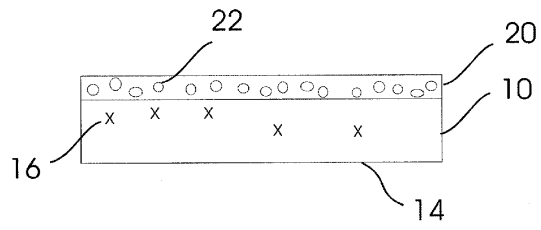
- [0059] 본 명세서에 개시된 어느 다른 실시예들과 결합될 수 있는 일 실시예에서, 진성 또는 도핑된 반도체 화합물을 포함하는 층을 후면 상에 형성하는 단계가 포함된다. 상기 도핑된 반도체 화합물은 n 도핑된 것 또는 p 도핑된 것, 예를 들어 보론 도핑된 것일 수 있다.
- [0060] 본 명세서에 개시된 어느 다른 실시예들과 결합될 수 있는 일 실시예에서, 어닐링은 튜브형 퍼니스, 벨트형 퍼니스, 저항 가열 퍼니스, 적외선 퍼니스, 할로젠 램프로 이루어지는 그룹으로부터 선택되는 하나 이상의 장치를 이용한 가열 과정에 의해 수행된다.
- [0061] 다른 실시예에서, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법에 의해 획득될 수 있는 반도체 기판이 제공된다.
- [0062] 추가적인 실시예에서, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법에 의해 획득될 수 있는 반도체 소자가 제공된다.
- [0063] 또 다른 추가적인 실시예에서, 실질적으로, 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계로 구성되는 반도체 소자 제조 방법이 제공된다.
- [0064] 또 다른 실시예에 따르면, 상술한 여러 실시예에 따른 방법에 의해 획득될 수 있는 반도체 소자가 제공된다.
- [0065] 추가적인 실시예에 따르면, 반도체 기판을 코팅하기 위하여 채용된 코팅 수단, 상기 코팅된 반도체 기판을 어닐링하기에 적합한 가열 수단, 및 반도체 기판을 제공하는 단계, 반도체 기판 상에 반도체 화합물 및 도핑 첨가물을 포함하는 층을 형성하는 단계, 및 그 이후에 상기 층을 포함하는 반도체 기판을 어닐링함으로써 이미터 영역을 형성하고 불순물을 게터링하는 단계를 포함하는 반도체 소자 제조 방법을 수행하기에 적합하고 상기 코팅 수단 및 상기 가열 수단을 제어하기에 적합한 제어 수단을 포함하는, 반도체 소자 제조 설비가 제공된다. 반도체 기판을 제공하는 단계를 수행하기 위하여, 제어 수단에 의해 제어되는 기판 지지부, 예를 들어 코팅 수단의 정면에 기판을 수송하기 위한 수송 시스템이 제조 설비 내에 포함될 수 있다.
- [0066] 상술된 설명은 바람직한 양식을 포함하는 본 발명을 개시하기 위하여, 및 본 기술분야의 숙련자가 본 발명을 이용하고 활용할 수 있도록 하기 위하여 이용된다. 본 발명이 다양한 구체적인 실시예 면에서 개시되었으나, 본 기술분야의 숙련자라면 본 발명의 특허청구범위의 정신 및 목적 범위 내에서 다양한 수정이 가능함을 이해할 수 있을 것이다. 특히, 위에서 설명된 실시예들의 공통적이며 배타적이지 않은 특징들이 서로 결합될 수 있다. 본 발명의 특허범위는 청구항에 의해 정의될 수 있으며, 본 기술분야의 숙련자에게 자명한 다른 실시예들을 포함할 수 있다. 이러한 다른 실시예들은 본 발명의 목적범위 내에 있는 것을 간주되어야 한다.
- [0067] 본 발명의 실시예들에서 전술된 것 외에도, 본 발명의 또 다른 실시예들이 본 발명의 기본 범위 내에서 고안될 수 있으며, 본 발명의 범위는 아래의 청구항에 의하여 결정될 수 있다.

## 도면

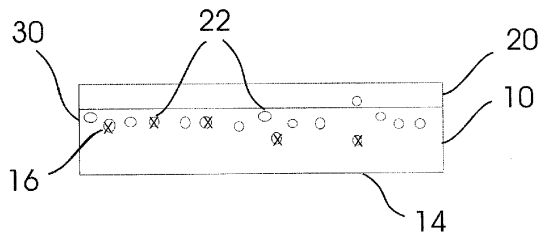
### 도면1a



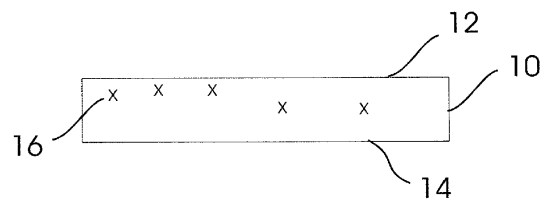
도면1b



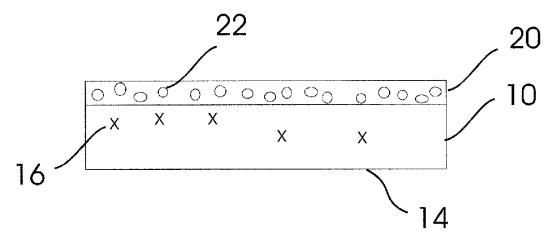
도면1c



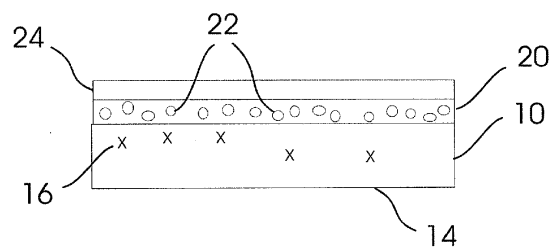
도면2a



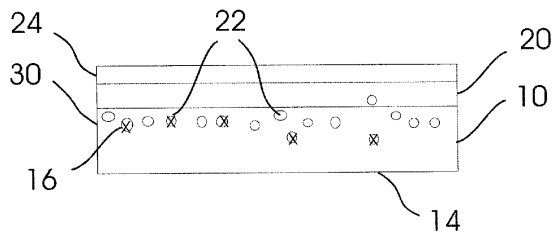
도면2b



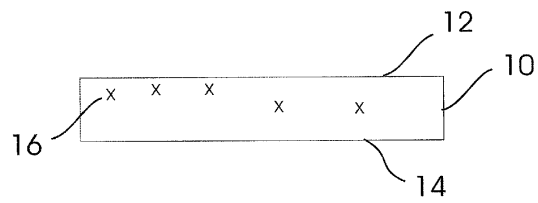
도면2c



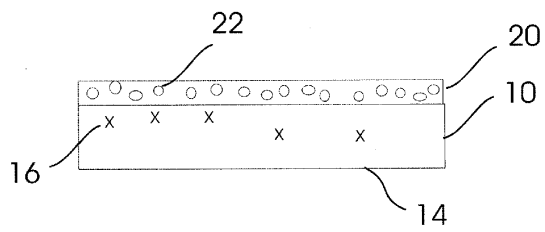
도면2d



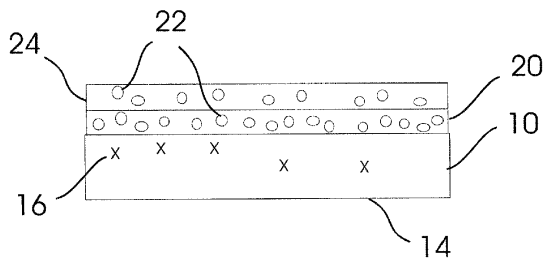
도면3a



도면3b



도면3c



도면3d

