

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 11월 4일 (04.11.2010)

PCT

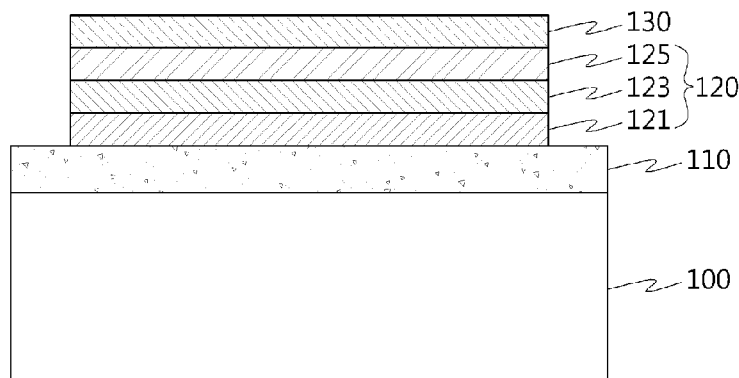
(10) 국제공개번호
WO 2010/126232 A2

- (51) 국제특허분류: H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
- (21) 국제출원번호: PCT/KR2010/002153
- (22) 국제출원일: 2010년 4월 8일 (08.04.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2009-0037123 2009년 4월 28일 (28.04.2009) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)** [KR/KR]; 서울 성동구 행당동 17번지, 133-791 Seoul (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **홍진표 (HONG, Jin Pyo)** [KR/KR]; 서울시 성동구 금호동 1가 633번지 벽산아파트 109동 602호, 133-778 Seoul (KR). **도영호 (DO, Young Ho)** [KR/KR]; 서울시 성동구 성수 1가 2동 리버하우스 A동 512호, 133-112 Seoul (KR). **곽준식 (KWAK, June-Sik)** [KR/KR]; 경기도 의왕시 청계동 휴먼시아 청계마을 408동 501호, 437-772 Gyeonggi-do (KR). **배윤철 (BAE, Yoon Cheol)** [KR/KR]; 경상남도 거제시 덕포동 339-1, 656-230 Gyeongsangnam-do (KR).
- (74) 대리인: **특허법인 이상 (E-SANG Patent & Trade-mark Law Firm)**; 서울 서초구 양재동 82-2 우도빌딩 3층, 137-890 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 공개:
— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: RESISTANCE-VARIABLE MEMORY DEVICE AND A PRODUCTION METHOD THEREFOR

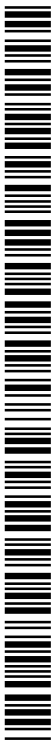
(54) 발명의 명칭: 저항변화 메모리 소자 및 이의 제조방법

[Fig. 1]



(57) Abstract: Disclosed are a ReRAM, which is a non-volatile memory device, and a production method therefor. A resistance-variable layer, which varies the resistance in accordance with an applied pulse, has a multilayered structure comprising 3 oxide films. Each oxide film consists of an oxide film of the same type as the neighbouring oxide film(s), but the oxygen ratios in the compositions of neighbouring oxide films differ from each other.

(57) 요약서: 비휘발성 메모리 소자인 ReRAM 및 이의 제조방법이 개시된다. 인가되는 펄스에 따라 저항 상태의 변화를 수행하는 저항 변화층은 3층의 산화막들의 적층구조를 가진다. 각각의 산화막들은 인접한 산화막과 동종의 산화막들로 구성되지만, 인접한 산화막들은 상호간에 서로 다른 산소의 조성비를 가진다.



WO 2010/126232 A2

명세서

발명의 명칭: 저항변화 메모리 소자 및 이의 제조방법

기술분야

- [1] 본 발명은 비휘발성 메모리에 관한 것으로, 더욱 상세하게는 ReRAM 소자 및 이의 제조방법에 관한 것이다.

배경기술

- [2] 최근, 디지털 정보통신 및 가전 산업의 발달로 인하여 기존의 DRAM 또는 플래시 메모리로 대표되는 전하의 제어를 기초로 한 소자의 연구는 한계점에 이를 것으로 전망되고 있다. 이러한 한계점을 극복하기 위하여 상변화, 자기장의 변화 등을 이용한 새로운 메모리 소자에 관한 연구가 진행되고 있다. 연구가 진행되는 새로운 메모리 소자들의 정보저장방식은 물질의 상태 변화를 유도하여 물질 자체가 가지는 저항을 변화시키는 원리를 사용한다.
- [3] 비휘발성 메모리의 대표소자인 플래시 메모리의 경우에는 데이터의 프로그램 및 소거 동작에서 높은 동작전압이 요구된다. 따라서, 65nm 이하로 스케일 다운(scale down)시, 이웃하는 셀들 사이의 간섭으로 인해 일정한 한계가 노정되며, 느린 동작 속도 및 큰 소비전력이 여전히 문제가 되고 있다.
- [4] 새롭게 연구되는 FeRAM(Ferro-electric RAM)은 재료의 안정성에 문제가 있으며, MRAM(Magnetic RAM)은 복잡한 제조공정 및 다층 구조, 읽기/쓰기 동작의 마진이 작다는 한계가 있다. 따라서, 이들을 대체할 수 있는 차세대 비휘발성 메모리 기술의 개발은 필수적인 핵심 연구 분야라 할 수 있다.
- [5] 저항 변화 메모리(resistive random access memory : 이하 'ReRAM'이라 함)는 박막에 인가되는 전압에 따라 박막의 저항 상태가 변화하는 현상을 이용하여 메모리의 동작을 구현한다. ReRAM은 이론적으로 무한대의 기록 및 재생에 따른 열화가 없고, 고온 동작이 가능하며, 비휘발성의 특성을 가지고, 데이터의 안정성 등에서 탁월한 잇점을 가진다. 또한, 입력 펄스 인가시, 1000배 이상의 저항 변화에 10 내지 20 ns 정도의 고속 동작이 가능하다.
- [6] 상기 ReRAM 소자의 저항변화층은 제조공정상 단일막 구조를 갖는 경우가 대부분이므로 고집적화 및 고속화가 가능할 뿐 아니라 기존의 CMOS 공정과 집적 공정 기술이 적용가능하다는 장점을 가진다. 상기 저항변화층의 재질로는 산화물(oxide)이 사용되고 있으며, 구체적으로는 이원 산화물 또는 페로브스카이트 산화물이 사용된다. 최근에는 페로브스카이트 산화물에 금속을 도핑하여 사용하기도 한다.
- [7] 대한민국 공개특허 제2006-83368호는 저항변화층으로 조성비가 서로 다른 금속 산화물을 포함하는 다층막을 사용하는 ReRAM에 대해 개시하고 있다. 상기 금속 산화물로는 ZrO_x , NiO_x , HfO_x , TiO_x , Ta_2O_x , Al_2O_x , La_2O_x , Nb_2O_x , $SrTiO_x$, Cr-도핑된 $SrTiO_x$, 또는 Cr-도핑된 $SrZrO_x$ (이때 x는 1.5~1.9)를 사용하고 있다.

- [8] 대한민국 공개특허 제2006-106035호는 저항층으로 Cr이 도핑된 SrZr_3 의 페로브스카이트 산화물을 포함하는 ReRAM 소자를 개시하고 있다.
- [9] 또한, 대한민국 공개특허 제2004-63600호는 Ir 기판 상에 Ta, TaN, Ti, TiN, TaAlN, TiSiN, TaSiN, TiAl 또는 TiAlN의 장벽층을 형성하고, 상기 장벽층 상에 저항층으로 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (이하 'PCMO'라 한다) 박막을 형성하는 ReRAM 소자를 언급하고 있다. 상기 ReRAM 소자는 여러 번의 PCMO 층이 원하는 두께가 될 때까지 코팅, 베이킹 및 어닐링 공정을 반복하고 있어 전체 공정이 매우 복잡하다. 또한, 주요 공정이 대기 상태에서 이루어지므로 산화 및 표면 오염으로 인해 ReRAM 특성에 영향으로 줄 수 있으며, 박막의 안정화에 한계를 가지게 되며, 더우기 상기 발명들과 같이 제작된 ReRAM용 산화물 박막내 점결합 구조의 안정성의 제어의 한계로 인한 동작 전압 및 저항 상태의 불안정성으로 인하여 우수한 재현성을 확보하기 어려울 뿐만 아니라, 공정상의 한계로 소자 동작의 안정화에 한계를 가져오게 된다.
- [10] 따라서, 비휘발성 메모리 소자 등의 다양한 응용분야에 실용화될 수 있도록 공정이 간소하고, 동작 전압의 조절을 통해 다양한 저항 상태를 조절할 수 있고, 표면 오염 등의 우려가 없는 비휘발성 메모리 소자의 개발이 요청된다 할 것이다.

발명의 상세한 설명

기술적 과제

- [11] 상술한 문제를 해결하기 위한 본 발명의 제1 목적은 동종의 산화물이며, 다층 산화막들로 구성되어 고효율 특성을 가지고, 재현성이 우수한 다중 상태를 구현할 수 있는 ReRAM 소자를 제공하는데 있다.
- [12] 또한, 본 발명의 제2 목적은 상기 제1 목적을 달성하기 위한 ReRAM 소자의 제조방법을 제공하는데 있다.

과제 해결 수단

- [13] 상기 제1 목적을 달성하기 위한 본 발명은, 기판; 상기 기판 상에 형성된 하부 전극; 상기 하부 전극 상에 형성되고, 순차적으로 적층된 제1 산화막, 제2 산화막 및 제3 산화막으로 구성되고, 상기 산화막들은 동종의 산화물로 구성되며, 인접한 산화막들 사이는 조성비를 달리하여 형성된 저항 변화층; 및 상기 저항 변화층 상에 형성된 상부 전극을 포함하는 ReRAM 소자를 제공한다.
- [14] 상기 제2 목적을 달성하기 위한 본 발명은, 기판 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 제1 산화막을 형성하는 단계; 상기 제1 산화막 상에 상기 제1 산화막과 동종이되, 조성비를 달리하는 제2 산화막을 형성하는 단계; 상기 제2 산화막 상에 상기 제2 산화막과 동종이되, 조성비를 달리하는 제3 산화막을 형성하는 단계; 및 상기 제3 산화막 상에 상부 전극을 형성하는 단계를 포함하는 ReRAM 소자의 제조방법을 제공한다.

발명의 효과

- [15] 상술한 본 발명에 따르면, ReRAM 소자의 저항 변화층은 동종의 산화물이되, 인접한 산화막들 사이는 서로 다른 산소의 조성비를 가지게 된다. 따라서, 제조공정상 산화막의 형성 이후에 다른 종의 산화막을 형성하기 위해 소요되는 공정 손실은 최소화되며, 표면의 세정 등의 별도의 과정이 요청되지 않는다. 따라서, 간단하고 단순화된 공정을 통해서 용이하게 저항 변화층을 형성할 수 있는 잇점이 있다.
- [16] 또한, 동작의 양상에서 다중 상태를 구현할 수 있어서, 하나의 셀에 다수의 정보를 저장할 수 있는 MLC 소자의 구현이 가능하게 된다.

도면의 간단한 설명

- [17] 도 1은 본 발명의 바람직한 실시예에 따른 ReRAM을 도시한 단면도이다.
- [18] 도 2 내지 도 4는 본 발명의 바람직한 실시예에 따른 ReRAM의 제조 방법을 설명하기 위한 단면도들이다.
- [19] 도 5는 제조예 1에 의해 제조된 ReRAM 소자의 전압-전류 특성을 도시한 그래프이다.
- [20] 도 6은 제조예 2에 의해 제조된 ReRAM 소자의 전압-전류 특성을 도시한 그래프이다.

발명의 실시를 위한 최선의 형태

- [21] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [22] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [23] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [24]
- [25] 실시예
- [26] 도 1은 본 발명의 바람직한 실시예에 따른 ReRAM을 도시한 단면도이다.
- [27] 도 1을 참조하면, 본 실시예에 따른 ReRAM은 기판(100), 상기 기판 상에 위치한 하부 전극(110), 상기 하부 전극(110) 상에 위치한 저항 변화층(120) 및 상기 저항 변화층(120) 상에 위치한 상부 전극(130)을 가진다.

- [28] 특히, 상기 저항 변화층(120)은 제1 산화막(121), 제2 산화막(123) 및 제3 산화막(125)으로 구성되며, 상호간에 동종의 산화물로 구성되며, 인접한 산화막들 사이에는 다른 조성비를 가진다.
- [29] 먼저, 상기 기판(100)은 통상의 반도체 메모리 소자에 적용되는 것이라면 어느 것이나 가능한 것으로 특별히 한정되지 않는다. 대표적으로 사용될 수 있는 기판으로는 Si, SiO₂, Si/SiO₂ 다층 기판 또는 폴리실리콘 기판 등이 가능할 것이다.
- [30] 상기 하부 전극(110)은 Pt, Au, Al, Cu, Ti 및 이들의 합금으로 이루어진 군과 TiN 또는 WN을 포함하는 질화물 전극 물질, In₂O₃:Sn (ITO), SnO₂:F (FTO), SrTiO₃, LaNiO₃ 등을 포함하는 산화물 전극 물질에서 선택된 적어도 1종을 이용할 수 있으며, 전극 물질의 종류에 따라 5~500nm의 두께로 형성할 수 있다.
- [31] 또한, 상기 저항 변화층(120)은 3개의 산화막들(121, 123, 125)로 구성되며, 동종의 산화물들로 구성되며, 인접하는 산화막들은 상호간에 서로 다른 조성비를 가진다. 즉, 인접하는 산화막들은 금속과 산소의 조성이 상호 다른 구성을 가지게 된다. 이러한 다른 조성비를 가지는 산화막들은 TiO₂ (TiO_{2-x}), MgO (MgO_{1-x}), NiO (NiO_{1-x}), ZnO (ZnO_{1-x}), HfO₂ (HfO_{2-x}) 및 이들의 조합으로 이루어진 군에서 선택된 1종이 가능하며, 바람직하기로는 TiO₂ (TiO_{2-x}) 이 가능할 것이다. 이때, x는 TiO_{2-x} 및 HfO_{2-x}에서는 0.6 내지 1로 설정되고, MgO_{1-x}, NiO_{1-x} 및 ZnO_{1-x}에서는 0.3 내지 0.7로 설정됨이 바람직하다. 즉, 저항 변화층(120)은 화학양론을 만족하는 조성 및 화학양론을 만족하지 않는 조성이 번갈아가며 적층된다. 이는 화학양론층/비화학양론층의 반복적으로 적층된 구조임을 의미한다. 따라서, 제1 산화막(121)은 화학양론층으로 구성되고, 제2 산화막(123)은 비화학양론층, 제3 산화막(125)은 화학양론층으로 구성될 수 있다. 또한, 제1 산화막(121)은 비화학양론층, 제2 산화막(123)은 화학양론층, 제3 산화막(125)은 비화학양론층으로 구성될 수 있다.
- [32] 예컨대, 제1 산화막(121)은 TiO₂로 구성되고, 제2 산화막(123)은 TiO_{2-x}로 구성되며, 제3 산화막(125)은 TiO₂로 구성되는 양상을 취할 수 있다. 또한, 제1 산화막(121)은 TiO_{2-x}로 구성되며, 제2 산화막(123)은 TiO₂로 구성되고, 제3 산화막(125)은 TiO_{2-x}로 구성될 수 있다.
- [33] 따라서, 3개의 산화막들로 구성된 저항 변화층(120)은 TiO₂ / TiO_{2-x} / TiO₂, TiO_{2-x} / TiO₂ / TiO_{2-x}, MgO / MgO_{1-x} / MgO, MgO_{1-x} / MgO / MgO_{1-x}, NiO / NiO_{1-x} / NiO, NiO_{1-x} / NiO / NiO_{1-x}, ZnO / ZnO_{1-x} / ZnO, ZnO_{1-x} / ZnO / ZnO_{1-x}, HfO₂ / HfO_{2-x} / HfO₂ 및 HfO_{2-x} / HfO₂ / HfO_{2-x} 으로 이루어진 군에서 선택된 1종이 가능하며, 바람직하기로는 TiO_{2-x} / TiO₂ / TiO_{2-x} 또는 TiO₂ / TiO_{2-x} / TiO₂ 이 가능하다. 이러한 산화물들로 구성된 저항 변화층(120)은 종래 비휘발성 ReRAM 소자의 저항 변화층으로 도입되던 페로브스카이트계 산화물 및 이원 산화물에 비해 동작 특성 향상 및 다중 상태(multi-level) 메모리 소자 응용을 위한 것이다.
- [34] 본 발명에서 상기 저항 변화층(120)을 구성하는 산화막들은 각 산화물의 두께

변화를 통하여 메모리 소자의 셋 및 리셋 상태의 저항 상태를 변경할 수 있으며, 더욱 상세하게는 제1 산화막(121)의 두께, 제2 산화막(123)의 두께, 제3 산화막(125)의 두께 변화를 통해 저항 변화층(120)의 저항변화를 가져오는 화학양론층인 산소가 상대적으로 풍부한 산화물과 비화학양론층인 금속이 상대적으로 풍부한 산화물간의 산소 이동량의 변화로 전체 저항 변화층의 저항 상태를 조절할 수 있으며, 이를 응용하여 보다 고효율의 메모리로 활용할 수 있다.

- [35] 상기 3층의 산화막들로 구성된 저항 변화층(120)의 전체적인 두께는 5nm 내지 150nm 이며, 바람직하기로 10nm 내지 70nm의 두께를 가진다. 만일, 상기 저항 변화층(120)의 두께가 5nm 미만이면 동작전압인 셋/리셋 전압이 불안정해지는 문제가 발생하고, 이와 반대로 상기 70nm를 상회하는 경우 동작 전압의 과도한 증가에 따른 동작 불량량의 문제가 발생한다.
- [36] 또한, 제1 산화막(121)의 두께는 2nm 내지 10nm이고, 제2 산화막(123)의 두께는 6nm 내지 50nm 이며, 제3 산화막(125)의 두께는 2nm 내지 10nm로 설정됨이 바람직하다.
- [37] 또한, 본 발명에서 상기 저항 변화층(120)을 구성하는 산화막들은 각기 다른 산소 조성비를 통하여 메모리 소자의 셋 및 리셋 상태의 저항 상태를 변경할 수 있으며, 더욱 상세하게는 제1 산화막(121)의 산소 조성비, 제2 산화막(123)의 산소 조성비, 제3 산화막(125)의 산소 조성비 변화를 통해 저항 변화층(120)의 저항변화를 가져오는 화학양론층인 산소가 상대적으로 풍부한 산화물과 비화학양론층인 금속이 상대적으로 풍부한 산화물간의 산소 이동량의 변화로 전체 저항 변화층의 저항 상태를 조절할 수 있으며, 이를 응용하여 보다 고효율의 메모리로 활용할 수 있다.
- [38] 상기 산화물 박막에서 각기 다른 조성비를 가지는 산화막들은 TiO_2 (TiO_{2-x}), MgO (MgO_{1-x}), NiO (NiO_{1-x}), ZnO (ZnO_{1-x}), HfO_2 (HfO_{2-x}) 및 이들의 조합으로 이루어진 군에서 선택된 1종이 가능하며, 바람직하기로는 TiO_2 (TiO_{2-x}) 이 가능할 것이다. 이때, x는 TiO_{2-x} 및 HfO_{2-x} 에서는 0.6 내지 1로 설정되고, MgO_{1-x} , NiO_{1-x} 및 ZnO_{1-x} 에서는 0.3 내지 0.7로 설정됨이 바람직하다. 만일, x는 TiO_{2-x} 및 HfO_{2-x} 에서는 0.6 미만이고, MgO_{1-x} , NiO_{1-x} 및 ZnO_{1-x} 에서는 0.3미만 이면, 화학양론층과 비화학양론층간의 충분한 산소 이온 차이가 적어서 저항 변화에 충분한 산소 이온들의 이동이 미비해지는 문제가 발생하고, 이와 반대로 상기 x는 TiO_{2-x} 및 HfO_{2-x} 에서는 1 상회이고, MgO_{1-x} , NiO_{1-x} 및 ZnO_{1-x} 에서는 0.7 로 상회하는 경우 비화학양론층인 산화물 박막이 실제 산화물 박막의 특성보다는 금속과 같은 특성을 보임으로 동작 불량량의 문제가 발생한다.
- [39] 상기 상부 전극(130)은 상기 하부 전극(110)과 동일하거나 다른 재질을 사용한다. 상기 상부 전극(130)은 Pt, Au, Al, Cu, Ti 및 이들의 합금으로 이루어진 군과 TiN 또는 WN을 포함하는 질화물 전극 물질, $\text{In}_2\text{O}_3:\text{Sn}$ (ITO), $\text{SnO}_2:\text{F}$ (FTO), SrTiO_3 및 LaNiO_3 을 포함하는 산화물 전극 물질에서 선택된 적어도 1종이, 전극

물질의 종류에 따라 5 내지 500 nm의 두께로 형성한다. 이러한 상부 전극(130)은 새도우 마스크 또는 드라이 에칭 공정을 통해 미세 패터닝된 구조를 갖는다.

[40] 도 2 내지 도 4는 본 발명의 바람직한 실시예에 따른 ReRAM의 제조 방법을 설명하기 위한 단면도들이다.

[41] 도 2를 참조하면, 기판(100) 상에 하부 전극(110)을 형성한다.

[42] 상기 하부 전극(110)의 형성은 Pt, Au, Al, Cu, Ti 및 이들의 합금으로 이루어진 군과 TiN 또는 WN를 포함하는 질화물 전극물질, $\text{In}_2\text{O}_3:\text{Sn}$ (ITO), $\text{SnO}_2:\text{F}$ (FTO), SrTiO_3 , LaNiO_3 등을 포함하는 산화물 전극 물질에서 선택된 적어도 1종의 재질을 이용하여 통상의 증착 방법을 통해 이루어진다.

[43] 대표적으로 물리적 기상 증착법(physical vapor deposition), 화학적 기상 증착법(chemical vapor deposition), 스퍼터링(sputtering), 펄스 레이저 증착법(pulsed laser deposition), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착법(atomic layer deposition) 또는 분자선 에피택시 증착법(molecular beam epitaxy)이 가능하다.

[44] 도 3을 참조하면, 동종의 산화물로 구성되되 서로 다른 조성비를 가진 산화막들로 구성된 저항 변화층(120)을 형성한다.

[45] 상기 저항 변화층(120)은 제1 산화막(121), 제2 산화막(123) 및 제3 산화막(125)의 순차적 형성에 의해 달성된다. 또한, 인접한 산화막은 서로 다른 금속과 산소의 조성비를 가진다. 즉, 제1 산화막(121) 및 제3 산화막(125)이 조성비를 만족하는 화학양론층으로 구성되는 경우, 제2 산화막(123)은 산소의 조성비가 부족한 비화학양론층으로 구성된다. 또한, 제1 산화막(121) 및 제3 산화막(125)이 비화학양론층으로 구성되는 경우, 제2 산화막(123)은 화학양론층으로 구성된다. 또한, 상기 저항 변화층(120)은 보다 고효율의 소자 제작을 위해서는 상기 제1 산화막(121), 제2 산화막(123) 및 제3 산화막(125)의 산소 조성비가 서로 상이한 조성비를 가진다. 즉, 상기 제1 산화막(121), 제2 산화막(123) 및 제3 산화막(125)의 조성비를 서로 다르게 함으로서 각 계면에서 이동되는 산소 이온들이 틀려지고, 이에 따라 보다 다양한 저항 상태를 가지는 고효율의 소자 제작이 가능하다.

[46] 따라서, 상기 저항 변화층(120)은 $\text{TiO}_2 / \text{TiO}_{2-x} / \text{TiO}_2$, $\text{TiO}_{2-x} / \text{TiO}_2 / \text{TiO}_{2-x}$, $\text{MgO} / \text{MgO}_{1-x} / \text{MgO}$, $\text{MgO}_{1-x} / \text{MgO} / \text{MgO}_{1-x}$, $\text{NiO} / \text{NiO}_{1-x} / \text{NiO}$, $\text{NiO}_{1-x} / \text{NiO} / \text{NiO}_{1-x}$, $\text{ZnO} / \text{ZnO}_{1-x} / \text{ZnO}$, $\text{ZnO}_{1-x} / \text{ZnO} / \text{ZnO}_{1-x}$, $\text{HfO}_2 / \text{HfO}_{2-x} / \text{HfO}_2$ 및 $\text{HfO}_{2-x} / \text{HfO}_2 / \text{HfO}_{2-x}$ 으로 이루어진 군에서 선택된 1종이 가능하며, 바람직하기로는 $\text{TiO}_{2-x} / \text{TiO}_2 / \text{TiO}_{2-x}$ 이 가능하다.

[47] 동종의 산화물들로 구성되되, 인접한 산화막은 서로 다른 조성비를 가지는 산화막들로 구성된 저항 변화층(120)은 각각의 산화막의 두께 변화를 통해 소자의 셋 및 리셋 상태의 저항 상태를 변경할 수 있다. 특히, TiO_{2-x} (두께 t1)/ TiO_2 (두께 t2)/ TiO_{2-x} (두께 t3) 또는 TiO_2 (두께 t1)/ TiO_{2-x} (두께 t2)/ TiO_2 (두께 t3)에서 t1, t2, t3의 두께 변화를 통하여 저항 변화층(120)의 저항 변화를 가져오는 산소가

풍부한 산화물과 금속이 풍부한 산화물간의 산소 이동량 변화로 전체 저항 변화층(120)의 저항 상태를 조절할 수 있으며, 이를 응용하여 보다 고효율의 메모리로 활용할 수 있다. 상기 산화막들로 구성된 저항 변화층은 5 nm 내지 150 nm, 바람직하기로 10 nm 내지 70 nm의 두께를 가진다. 또한, 본 발명에서 상기 저항 변화층(120)을 구성하는 산화막들은 각기 다른 산소 조성비를 통하여 메모리 소자의 셋 및 리셋 상태의 저항 상태를 변경할 수 있으며, 더욱 상세하게는 제1 산화막(121)의 산소 조성비, 제2 산화막(123)의 산소 조성비, 제3 산화막(125)의 산소 조성비 변화를 통해 저항 변화층(120)의 저항변화를 가져오는 화학양론층인 산소가 상대적으로 풍부한 산화물과 비화학양론층인 금속이 상대적으로 풍부한 산화물간의 산소 이동량의 변화로 전체 저항 변화층의 저항 상태를 조절할 수 있으며, 이를 응용하여 보다 고효율의 메모리로 활용할 수 있다.

- [48] 상기 산화막들로 구성된 저항 변화층(120)은 전술한 하부 전극(110)의 형성방법과 동일하거나, 그들 중에서 선택된 1종의 방법으로 형성된다.
- [49] 이어서, 저항 변화층(120)이 형성된 기판에 대한 열처리가 수행된다.
- [50] 상기 열처리는 100°C 내지 1000°C에서 수행되며, 바람직하기로는 200°C 내지 500°C의 온도 범위에서 1분 내지 24시간, 바람직하기로는 30분 내지 1시간 동안 수행된다. 이때, 상기 열처리는 100Torr 내지 500Torr의 질소 분압 또는 산소 분압이 인가되는 가스 분위기에서 수행되거나 진공 하에서 수행된다.
- [51] 열처리를 통해 조성비를 달리하는 산화막들로 구성된 저항 변화층(120) 내의 격자들은 재배열된다.
- [52] 만일 열처리가 상술한 범위 미만에서 수행되면 3층의 산화막들로 구성된 저항 변화층(120) 내의 격자의 재배열이 원활하지 못하는 문제가 발생하고, 이와 반대로 상술한 범위를 상회하면 저항 변화층(120) 내의 각 산화막의 조성이 틀려지거나 산소가 외부로 빠져나오는 문제가 발생한다.
- [53] 도 4를 참조하면, 저항 변화층(120) 상부에 상부 전극(130)을 형성한다.
- [54] 상기 상부 전극(130)은 Pt, Au, Al, Cu, Ti 및 이들의 합금으로 이루어진 군, TiN 또는 WN을 포함하는 질화물 전극 물질, $\text{In}_2\text{O}_3\text{:Sn}$ (ITO), $\text{SnO}_2\text{:F}$ (FTO), SrTiO_3 또는 LaNiO_3 을 포함하는 산화물 전극 물질에서 선택된 적어도 1종의 재질을 저항 변화층 상에 형성하고, 새도우 마스크 또는 미세 드라이 에칭 공정을 통해 패터닝한다.
- [55] 상기 상부 전극(130)의 형성은 기 언급된 하부 전극(130)에서 제시된 증착법을 통해 달성된다.
- [56] 상술한 단계를 거쳐 제조된 ReRAM 소자는 필요에 따라 베이킹 처리 또는 어닐링 처리가 추가적으로 수행될 수 있다.
- [57] 상술한 본 발명에 따른 ReRAM의 제조는 하부 전극(110), 상부 전극(130) 및 3층의 산화막으로 구성된 저항 변화층(120)을 연속적인 증착 공정을 통해 수행함에 따라 공정이 단순화되는 잇점이 있다. 또한, 저항 변화층(120)은 동종의

산화막으로 구성되되, 산소의 조성비만을 달리하므로 하나의 산화막을 형성한 후, 다른 종류의 산화막을 형성하기 위한 별도의 세정 공정이 요구되지 않는다. 또한, 저항 변화층(120)의 형성을 진공 분위기 하에서 수행하여 종래의 페로브스카이트계 산화물이나 이원 산화물의 도입시 사용되는 대기 상태로의 이동이 없이 산소에 따른 박막 구조물 표면의 오염을 최소화시킨다.

[58] 본 발명에 따른 ReRAM 소자는 저항 변화층(120)으로 3개의 산화막들이 순차적으로 적층된 구조를 이용한다. 또한, 인접한 산화막들은 동종의 산화물이되 산소의 조성비를 달리하는 양상을 취한다. 이러한 비휘발성 ReRAM 소자는 전기저항 변화비율(resistance ratio = on/off ratio)이 5 내지 50배의 범위를 가진다.

[59] 또한, 저항 변화층(120)을 3개의 산화막들로 구성한 경우, 종래의 TiO_2 단독으로 구성된 막질에 비해 셋/리셋 전압 특성이 향상되고, 동작 전압의 극성변화로 셋 상태와 리셋 상태를 조절할 수 있으며, 다중 저항 상태를 형성할 수 있는 잇점이 있다.

[60]

[61] 제조예 1

[62] Si 기판 상에 Pt를 스퍼터링 공정을 이용하여 하부 전극으로 형성한다. 형성된 하부 전극의 두께는 100nm 이다.

[63] 상기 하부 전극 상에 TiO_2 를 스퍼터링 공정을 이용하여 제1 산화막으로 형성한다. 상기 제1 산화막의 두께는 10nm이다. 상기 제1 산화막 상에 50nm 두께의 제2 산화막을 형성한다. 제2 산화막은 TiO_{2-x} (x는 0.6 내지 1)이며, 스퍼터링 공정을 이용하여 형성된다. 이어서, 제2 산화막 상부에 제3 산화막을 형성한다. 상기 제3 산화막은 10nm 두께로 스퍼터링 공정을 이용하여 형성하며, 재질은 TiO_2 이다.

[64] $\text{TiO}_2/\text{TiO}_{2-x}/\text{TiO}_2$ 로 이루어진 저항 변화층 상부에는 상부 전극을 형성한다. 상기 상부 전극은 Pt를 스퍼터링 공정을 이용하여 형성하며, 100nm의 두께를 가지도록 형성된다.

[65] 도 5는 본 제조예에 의해 제조된 ReRAM 소자의 전압-전류 특성을 도시한 그래프이다.

[66] 도 5를 참조하면, 본 제조예에 의해 제조된 ReRAM 소자를 음전압(-1V)에서 출발하여 양전압(+1.5V)까지 서서히 단계별로 인가하거나, 양전압(+1V)에서 출발하여 음전압(-1.5V)까지 서서히 단계별로 인가한다.

[67] 먼저, ■로 표시된 그래프는 ReRAM 소자를 -1 V에서 +1.5V까지 인가하였을 때의 전류특성을 확인한 그래프이다. 초기 상태의 고저항 상태를 가지고 있는 소자에 0V에서 -1V의 음전압을 인가하여 주면 -1V에서 고저항에서 저저항 상태로 변화하며, 다시 -1V에서 +1.5V 까지 양전압을 인가하여 주면 약 0.8V 부근에서 낮은 저항상태로 변화하며, 최종 +1.5V에서는 초기의 고저항 상태로 변화한다. 이를 통하여 음전압 및 양전압의 특정 전압의 인가에 의해 저항

변화층의 저항 상태는 변화함을 확인할 수 있다.

- [68] 또한, ●로 표시된 그래프는 ReRAM 소자를 1V에서 -1.5V까지 인가하였을 때의 전류특성을 확인한 그래프이다. 초기 상태의 고저항 상태를 가지고 있는 소자에 0V에서 +0.7V의 양전압을 인가하여 주면 +0.7V에서 고저항에서 저저항 상태로 변화하며, 다시 +0.7 V에서 -1.5V 까지 음전압을 인가하여 주면 약 -1V 부근에서 낮은 저항상태로 변화하며, 최종 -1.5V에서는 초기의 고저항 상태로 변화한다.
- [69] 따라서, 저항 상태 및 인가되는 전압의 추이에 따라, 읽기 전압을 약 0.2V에서 0.5V 사이로 인가하는 경우, 4가지 상태의 저항에 따른 정보를 읽을 수 있게 된다.

[70]

[71] 제조예 2

- [72] 본 제조예에서는 하부 전극, 상부 전극은 상기 제조예 1에 도시된 바와 동일한 물질로 형성하며, 산화막들의 재질은 TiO_2 대신 TiO_{2-x} (x는 0.6 내지 1)를 10nm의 두께로 형성하고, TiO_{2-x} 대신 TiO_2 를 50nm의 두께로 형성한다. 결국, 본 제조예에 의해 형성되는 ReRAM 소자의 저항 변화층은 $\text{TiO}_{2-x}/\text{TiO}_2/\text{TiO}_{2-x}$ 의 구성을 가지게 된다.

- [73] 도 6은 본 제조예에 의해 제조된 ReRAM 소자의 전압-전류 특성을 도시한 그래프이다.

- [74] 도 6을 참조하면, 본 제조예에 의해 제조된 ReRAM 소자를 음전압(-1.2V)에서 출발하여 양전압(+1.8V)까지 서서히 단계별로 인가하거나, 양전압(+1V)에서 출발하여 음전압(-1.8V)까지 서서히 단계별로 인가한다.

- [75] 상기 도 6에서 ■로 표시된 그래프는 ReRAM 소자를 -1.2 V에서 +1.8V까지 인가하였을 때의 전류특성을 확인한 그래프이다. 초기 상태의 고저항 상태를 가지고 있는 소자에 0V에서 -1.2V의 음전압을 인가하여 주면 대략 -1V에서 저항이 감소하여, 최종 -1.2V에서는 초기 고저항상태에서 저저항 상태로 변화하며, 다시 -1.2V에서 +1.8V 까지 양전압을 인가하여 주면 약 +1V 부근에서 낮은 저항상태로 변화하며, 최종 +1.8V에서는 초기의 고저항 상태로 변화한다. 이를 통하여 음전압 및 양전압의 특정 전압의 인가에 의해 저항 변화층의 저항 상태는 변화함을 확인할 수 있다.

- [76] 또한, ●로 표시된 그래프는 ReRAM 소자를 +1V에서 -1.8V까지 인가하였을 때의 전류특성을 확인한 그래프이다. 초기 상태의 고저항 상태를 가지고 있는 소자에 0V에서 +1V의 양전압을 인가하여 주면 +1V에서 고저항에서 저저항 상태로 변화하며, 다시 +1V에서 -1.8V 까지 음전압을 인가하여 주면 약 -1V 부근에서 낮은 저항상태로 변화하며, 최종 -1.8V에서는 초기의 고저항 상태로 변화한다.

- [77] 따라서, 저항 상태 및 인가되는 전압의 추이에 따라, 읽기 전압을 약 0.2V에서 0.5V 사이로 인가하는 경우, 4가지 상태의 저항에 따른 정보를 읽을 수 있게 된다.

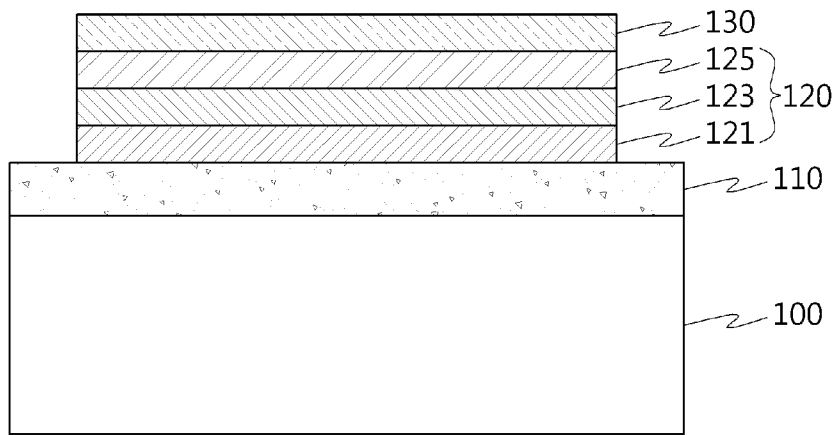
- [78] 상술한 본 발명에 따르면, 인가되는 전압의 레벨과 극성변화에 따라 셋 상태와 리셋 상태의 조절이 가능하며, 다양한 다중 저항 상태를 만들 수 있다. 따라서, 다중 상태를 가지는 ReRAM 소자의 제작이 가능하다는 것을 알 수 있다.

청구범위

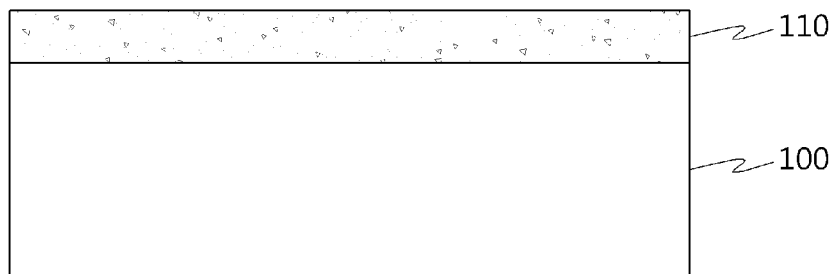
- [청구항 1] 기판;
 상기 기판 상에 형성된 하부 전극;
 상기 하부 전극 상에 형성되고, 순차적으로 적층된 제1 산화막, 제2 산화막 및 제3 산화막으로 구성되고, 상기 산화막들은 동종의 산화물로 구성되되, 인접한 산화막들 사이는 조성비를 달리하여 형성된 저항 변화층; 및
 상기 저항 변화층 상에 형성된 상부 전극을 포함하는 ReRAM 소자.
- [청구항 2] 제1항에 있어서, 상기 제1 산화막과 상기 제3 산화막은 동종이며, 상호간에 동일한 조성비를 가지는 것을 특징으로 하는 ReRAM 소자.
- [청구항 3] 제1항에 있어서, 상기 제1 산화막 및 제3 산화막은 TiO_2 , MgO , NiO , ZnO 또는 HfO_2 이고, 상기 제2 산화막은 TiO_{2-x} , MgO_{1-x} , NiO_{1-x} , ZnO_{1-x} 또는 HfO_{2-x} 인 것을 특징으로 하는 ReRAM 소자.
- [청구항 4] 제1항에 있어서, 상기 제2 산화막은 TiO_2 , MgO , NiO , ZnO 또는 HfO_2 이고, 상기 제1 산화막 및 제3 산화막은 TiO_{2-x} , MgO_{1-x} , NiO_{1-x} , ZnO_{1-x} 또는 HfO_{2-x} 인 것을 특징으로 하는 ReRAM 소자.
- [청구항 5] 제3항 또는 제4항에 있어서, 상기 저항 변화층은 두께가 5nm 내지 150nm인 것을 특징으로 하는 ReRAM 소자.
- [청구항 6] 제3항 또는 제4항에 있어서, 상기 저항 변화층을 구성하는 상기 제1 산화막, 제2 산화막 및 제3 산화막의 두께를 서로 다르게 하는 것을 특징으로 하는 ReRAM 소자.
- [청구항 7] 제1항에 있어서, 상기 제1 산화막, 제2 산화막 및 제3 산화막에서 각기 다른 산소 조성비를 가지는 것을 특징으로 하는 ReRAM 소자.
- [청구항 8] 기판 상에 하부 전극을 형성하는 단계;
 상기 하부 전극 상에 제1 산화막을 형성하는 단계;
 상기 제1 산화막 상에 상기 제1 산화막과 동종이되, 조성비를 달리하는 제2 산화막을 형성하는 단계;
 상기 제2 산화막 상에 상기 제2 산화막과 동종이되, 조성비를 달리하는 제3 산화막을 형성하는 단계; 및
 상기 제3 산화막 상에 상부 전극을 형성하는 단계를 포함하는 ReRAM 소자의 제조방법.
- [청구항 9] 제8항에 있어서, 상기 제1 산화막과 상기 제3 산화막은 동종이며, 상호간에 동일한 조성비를 가지는 것을 특징으로 하는 ReRAM 소자의 제조방법.

- [청구항 10] 제8항에 있어서, 상기 제3 산화막을 형성하는 단계 이후에, 상기 기판에 대해 열처리를 수행하는 단계를 더 포함하는 것을 특징으로 하는 ReRAM 소자의 제조방법.
- [청구항 11] 제10항에 있어서, 상기 열처리는 100°C 내지 1000°C에서 수행하는 것을 특징으로 하는 ReRAM 소자의 제조방법.
- [청구항 12] 제10항에 있어서, 상기 열처리는 100 Torr 내지 500 Torr의 질소 분압 또는 산소 분압이 인가되는 가스 분위기 또는 진공 하에서 수행되는 것을 특징으로 하는 ReRAM 소자의 제조방법.

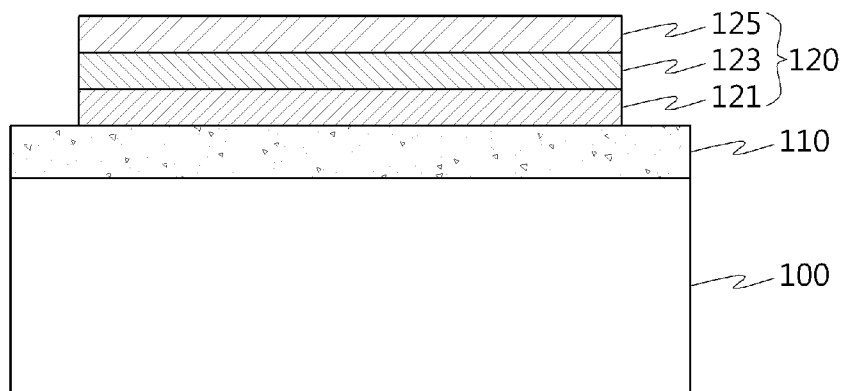
[Fig. 1]



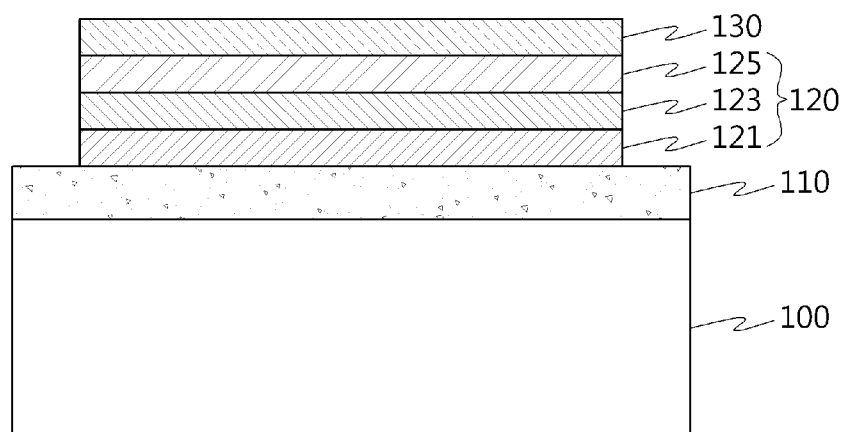
[Fig. 2]



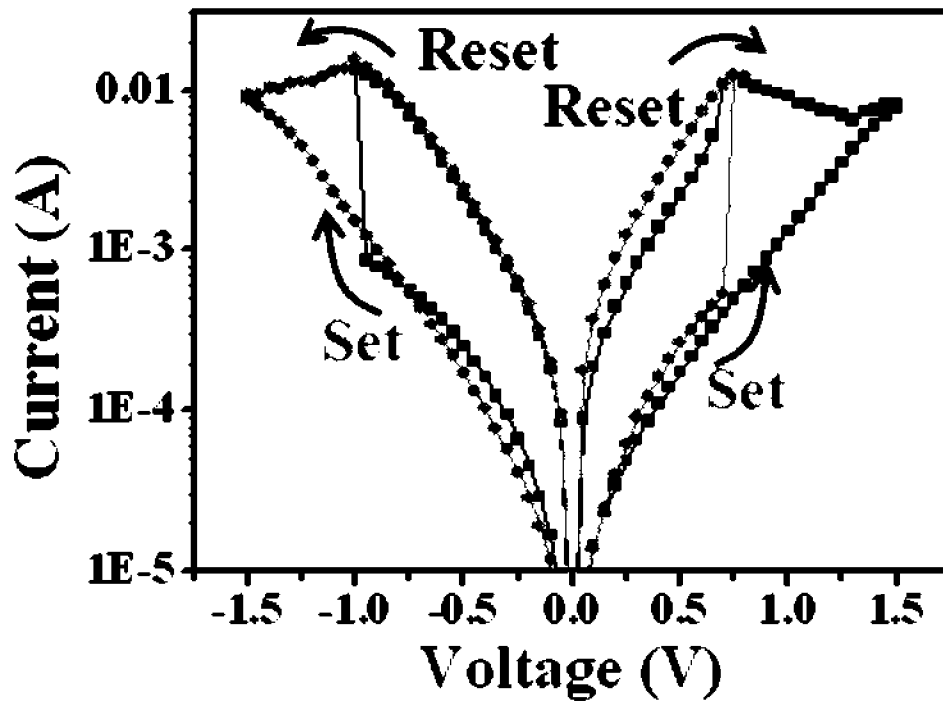
[Fig. 3]



[Fig. 4]



[Fig. 5]



[Fig. 6]

