

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6231019号
(P6231019)

(45) 発行日 平成29年11月15日(2017.11.15)

(24) 登録日 平成29年10月27日(2017.10.27)

(51) Int. Cl. F I
 HO4N 5/378 (2011.01) HO4N 5/378
 HO4N 5/225 (2006.01) HO4N 5/225 300

請求項の数 59 (全 23 頁)

(21) 出願番号	特願2014-555729 (P2014-555729)	(73) 特許権者	500049141
(86) (22) 出願日	平成25年2月1日(2013.2.1)		ケーエルエーテンカー コーポレイション
(65) 公表番号	特表2015-513813 (P2015-513813A)		アメリカ合衆国、95035、カリフォルニア州、ミルピタス、ワン テクノロジイ ドライブ
(43) 公表日	平成27年5月14日(2015.5.14)	(74) 代理人	110001210
(86) 国際出願番号	PCT/US2013/024240		特許業務法人YKI 国際特許事務所
(87) 国際公開番号	W02013/116579	(72) 発明者	ブラウン デイビット エル
(87) 国際公開日	平成25年8月8日(2013.8.8)		アメリカ合衆国 カリフォルニア ロスガトス ウッディッド ビュー ドライブ 120
審査請求日	平成28年1月29日(2016.1.29)	(72) 発明者	クルマット マンサー
(31) 優先権主張番号	13/364,308		アメリカ合衆国 カリフォルニア サンホゼ スカレッタ レーン 1083
(32) 優先日	平成24年2月1日(2012.2.1)		最終頁に続く
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 高速画像化のための一体化されたマルチチャンネルアナログフロントエンド及びデジタル

(57) 【特許請求の範囲】

【請求項1】

高速画像処理のためのモジュールであって、前記モジュールは、
 画像を表す複数のアナログ出力を生成する画像センサと、
 前記複数のアナログ出力を並行して処理する複数の高密度デジタル(DHD)を備え

、
 それぞれのDHDは集積回路であり、それぞれのDHDは、前記画像の一部を表す前記
 複数のアナログ出力の所定のセットを並列に処理し、

前記DHDのそれぞれのチャンネルは、

1つのアナログ出力を表す差動信号を調整し、調整された信号を発生させるアナログフ
 ロントエンド(AFE)であって、スイッチ・アウト・キャパシタを有するプログラマブル
 ゲイン増幅器(PGA)を含む前記AFEと、

前記調整された信号をデジタル信号に変換するためのアナログデジタル変換器(ADC)
)を有し、前記デジタル信号が、高速画像処理のために供給される、
 モジュール。

【請求項2】

前記画像センサが、時間遅延積分(TDI)センサを有する請求項1に記載のモジュール。

【請求項3】

前記画像センサが、深紫外線から可視光までの波長範囲を感知するように構成されてい

10

20

る請求項 1 に記載のモジュール。

【請求項 4】

前記 P G A が、いつ前記スイッチ・アウト・キャパシタのそれぞれが前記 P G A の入力から切断されるかを決定する複数のコンパレータを有する請求項 1 に記載のモジュール。

【請求項 5】

前記 A F E が、ダイナミックレンジを最適化するためのオフセット制御を有する関連二重サンプリング (C D S) 回路を更に有する請求項 1 に記載のモジュール。

【請求項 6】

それぞれのチャンネルが、前記デジタル信号を受信し、ブラックレベル補正を行うよう構成されたデータフォーマットブロックを更に有する請求項 1 に記載のモジュール。

10

【請求項 7】

それぞれのチャンネルが、前記デジタル信号を受信し、 L V D S 処理された信号のオフチップデバイスへの伝送を行う低電圧差動信号 (L V D S) ブロックを更に有する請求項 1 に記載のモジュール。

【請求項 8】

それぞれの H D D が、較正モード及びテストモードを有効 / 無効にする制御ブロックを更に有する請求項 1 に記載のモジュール。

【請求項 9】

前記制御ブロックが、それぞれの A D C にランプ信号を供給するランプ波発生器を有する請求項 8 に記載のモジュール。

20

【請求項 10】

前記制御ブロックが、所定のランプ関数をそれぞれのチャンネルに導入し、前記所定のランプ関数からの偏移について前記 H D D の出力ピンをモニタするよう構成された自己テストロジックを有する請求項 8 に記載のモジュール。

【請求項 11】

前記制御ブロックは、 D C 値をそれぞれのチャンネルに導入し、それぞれのチャンネル上のノイズについて前記 H D D の出力ピンをモニタするよう構成された自己テストロジックを有する請求項 8 に記載のモジュール。

【請求項 12】

前記制御ブロックは、既知の信号パターンをそれぞれのチャンネルに導入し、前記 H D D の出力ピンをモニタして前記既知の信号パターンの始期及び終期を決定するよう構成された自己テストロジックを有する請求項 8 に記載のモジュール。

30

【請求項 13】

それぞれの H D D は、全てのチャンネル出力が位相同期される矩形波を供給するように構成されたデータレートマルチプライヤ位相同期回路 (P L L) を更に有する請求項 1 に記載のモジュール。

【請求項 14】

それぞれの H D D が、デジタル入力電圧、内部チップ電圧、周辺チップ電圧及び温度センサ電圧に選択的にアクセスするセンサブロックを更に有する請求項 1 に記載のモジュール。

40

【請求項 15】

高速画像処理のためのモジュールであって、前記モジュールは、
画像を表す複数のアナログ出力を生成する画像センサと、
前記複数のアナログ出力を並行して処理する複数の高密度デジタイザ (H D D) を備え、

それぞれの H D D は、集積回路であり、それぞれの H D D は、前記画像の一部を表す前記複数のアナログ出力の所定のセットを並列に処理し、

前記 H D D のそれぞれのチャンネルは、

1 つのアナログ出力を調整し、調整された信号を発生させるアナログフロントエンド (A F E) と、

50

前記調整された信号をデジタル信号に変換するアナログデジタル変換器（ADC）と、前記ADCをバイパスし、オフチップデバイスに前記調整された信号を供給するように結合されたアナログドライバを有するモジュール。

【請求項16】

前記AFEは、プログラブルゲイン増幅器（PGA）及び相関二重サンプリング（CDS）回路を有し、前記PGA及び前記CDS回路のそれぞれが、切替可能なキャパシタを有する請求項15に記載のモジュール。

【請求項17】

前記PGAは、いつ前記切替可能なキャパシタのそれぞれが前記PGAの入力から切断されるかを決定する複数のコンパレータを有する請求項16に記載のモジュール。

10

【請求項18】

前記CDS回路は、ダイナミックレンジを最適化するオフセット制御を有する請求項16に記載のモジュール。

【請求項19】

それぞれのHDDが、前記アナログドライバを有効/無効にするデジタル制御ブロックを更に有する請求項15に記載のモジュール。

【請求項20】

前記画像センサが、時間遅延積分（TDI）センサを有する請求項15に記載のモジュール。

【請求項21】

20

前記画像センサが、深紫外線から可視光までの波長範囲を感知するように構成されている請求項15に記載のモジュール。

【請求項22】

それぞれのチャンネルが、前記デジタル信号を受信し、ブラックレベル補正を行うよう構成されたデータフォーマットブロックを更に有する請求項15に記載のモジュール。

【請求項23】

それぞれのチャンネルが、前記デジタル信号を受信し、LVDS処理された信号のオフチップデバイスへの伝送を行う低電圧差動信号（LVDS）ブロックを更に有する請求項15に記載のモジュール。

【請求項24】

30

それぞれのHDDが、較正モード及びテストモードを有効/無効にする制御ブロックを更に有する請求項15に記載のモジュール。

【請求項25】

前記制御ブロックが、それぞれのADCにランプ信号を供給するランプ波発生器を有する請求項24に記載のモジュール。

【請求項26】

それぞれのHDDが、デジタル入力電圧、内部チップ電圧、周辺チップ電圧及び温度センサ電圧に選択的にアクセスするセンサブロックを更に有する請求項15に記載のモジュール。

【請求項27】

40

高速画像処理のためのモジュールであって、前記モジュールは、画像を表す複数のアナログ出力を生成する画像センサと、前記複数のアナログ出力を並行して処理する複数の高密度デジタイザ（HDD）を備え、

それぞれのHDDは、集積回路であり、それぞれのHDDは、前記画像の一部を表す前記複数のアナログ出力の所定のセットを並列に処理し、

前記HDDのそれぞれのチャンネルが、

1つのアナログ出力を調整するアナログフロントエンド（AFE）と、

調整された信号をデジタル信号に変換するアナログデジタル変換器（ADC）を有し、

それぞれのHDDが、汎用及びチャンネル構成ビットを前記HDDに供給するレジスタ制

50

御ブロックを更に有し、前記レジスタ制御ブロックは、前記複数のHDDの相互連結を提供するモジュール。

【請求項28】

前記AFEは、プログラマブルゲイン増幅器(PGA)及び相関二重サンプリング(CDS)回路を有し、前記PGA及び前記CDS回路のそれぞれは、切替可能なキャパシタを有する請求項27に記載のモジュール。

【請求項29】

前記PGAは、いつ前記切替可能なキャパシタのそれぞれが前記PGAの入力から切断されるかを決定する複数のコンパレータを有する請求項28に記載のモジュール。

【請求項30】

前記CDS回路は、ダイナミックレンジを最適化するオフセット制御を有する請求項28に記載のモジュール。

【請求項31】

前記画像センサが、時間遅延積分(TDI)センサを有する請求項27に記載のモジュール。

【請求項32】

前記画像センサが、深紫外線から可視光まで波長範囲を感知するよう構成されている請求項27に記載のモジュール。

【請求項33】

それぞれのチャンネルが、前記デジタル信号を受信し、ブラックレベル補正を行うよう構成されたデータフォーマットブロック更に有する請求項27に記載のモジュール。

【請求項34】

それぞれのチャンネルが、前記デジタル信号を受信し、LVDS処理された信号のオフチップデバイスへの伝送を行う低電圧差動信号(LVDS)ブロックを更に有する請求項27に記載のモジュール。

【請求項35】

それぞれのHDDが、較正モード及びテストモードを有効/無効にする制御ブロックを更に有する請求項27に記載のモジュール。

【請求項36】

前記制御ブロックが、それぞれのADCにランプ信号を供給するランプ波発生器を有する請求項35に記載のモジュール。

【請求項37】

それぞれのHDDが、デジタル入力電圧、内部チップ電圧、周辺チップ電圧及び温度センサ電圧に選択的にアクセスするセンサブロックを更に有する請求項27に記載のモジュール。

【請求項38】

高速画像処理のためのシステムであって、前記システムは複数のモジュールを備え、それぞれのモジュールは、

画像を表す複数のアナログ出力を生成する画像センサと、

前記複数のアナログ出力を並行して処理する複数の高密度デジタイザ(HDD)を備え

、それぞれのHDDは、集積回路であり、それぞれのHDDは、前記画像の一部を表す前記複数のアナログ出力の所定のセットを並列に処理し、

前記HDDのそれぞれのチャンネルが、

1つのアナログ出力を調整するアナログフロントエンド(AFE)と、

調整された信号をデジタル信号に変換するアナログデジタル変換器(ADC)を備え、

前記複数のHDDは、汎用及びチャンネル構成ビットを前記複数のHDDに選択的に供給するように接続される、システム。

【請求項39】

10

20

30

40

50

前記画像センサ及び前記複数のHDDを固定するためのパッケージを更に有し、前記画像センサ及び前記複数のHDDは、ワイヤーボンディングを用いて結合され、前記パッケージは、パッケージ内蔵キャパシタを有する請求項38に記載のシステム。

【請求項40】

前記複数のHDDと関係して動作する、画素ゲートドライバ回路と、タイミングおよびシリアルドライブ回路との少なくとも一方を複数さらに有する請求項1に記載のモジュール。

【請求項41】

前記画素ゲートドライバ回路は、正弦波形を提供する請求項40に記載のモジュール。

【請求項42】

前記タイミングおよびシリアルドライブ回路は、ADC同期をさらに有する請求項40に記載のモジュール。

【請求項43】

前記複数のHDDと関係して動作する、デジタル後処理のための複数の回路をさらに有する請求項1に記載のモジュール。

【請求項44】

前記デジタル後処理はデータ圧縮を含む請求項43に記載のモジュール。

【請求項45】

前記複数のHDDと関係して動作する、画素ゲートドライバ回路と、タイミングおよびシリアルドライブ回路との少なくとも一方を複数さらに有する請求項15に記載のモジュール。

【請求項46】

前記画素ゲートドライバ回路は、正弦波形を提供する請求項45に記載のモジュール。

【請求項47】

前記タイミングおよびシリアルドライブ回路は、ADC同期をさらに有する請求項45に記載のモジュール。

【請求項48】

前記複数のHDDと関係して動作する、デジタル後処理のための複数の回路をさらに有する請求項15に記載のモジュール。

【請求項49】

前記デジタル後処理はデータ圧縮を含む請求項48に記載のモジュール。

【請求項50】

前記複数のHDDと関係して動作する、画素ゲートドライバ回路と、タイミングおよびシリアルドライブ回路との少なくとも一方を複数さらに有する請求項27に記載のモジュール。

【請求項51】

前記画素ゲートドライバ回路は、正弦波形を提供する請求項50に記載のモジュール。

【請求項52】

前記タイミングおよびシリアルドライブ回路は、ADC同期をさらに有する請求項50に記載のモジュール。

【請求項53】

前記複数のHDDと関係して動作する、デジタル後処理のための複数の回路をさらに有する請求項27に記載のモジュール。

【請求項54】

前記デジタル後処理はデータ圧縮を含む請求項53に記載のモジュール。

【請求項55】

前記複数のHDDと関係して動作する、画素ゲートドライバ回路と、タイミングおよびシリアルドライブ回路との少なくとも一方を複数さらに有する請求項38に記載のシステム。

【請求項56】

10

20

30

40

50

前記画素ゲートドライバ回路は、正弦波形を提供する請求項 5 5 に記載のシステム。

【請求項 5 7】

前記タイミングおよびシリアルドライブ回路は、A D C 同期をさらに有する請求項 5 5 に記載のシステム。

【請求項 5 8】

高速画像処理のためのシステムであって、前記システムは複数のモジュールを備え、それぞれのモジュールは、

画像を表す複数のアナログ出力を生成する画像センサと、

前記複数のアナログ出力を並行して処理する複数の高密度デジタイザ (H D D) と、

前記複数の H D D と関係して動作する、デジタル後処理のための複数の回路と、

を備え、

それぞれの H D D は、集積回路であり、それぞれの H D D は、前記画像の一部を表す前記複数のアナログ出力の所定のセットを並列に処理し、

前記 H D D のそれぞれのチャンネルが、

1 つのアナログ出力を調整するアナログフロントエンド (A F E) と、

調整された信号をデジタル信号に変換するアナログデジタル変換器 (A D C) を備え、

前記複数の H D D は、汎用及びチャンネル構成ビットを前記複数の H D D に選択的に供給するように接続される、

システム。

【請求項 5 9】

前記デジタル後処理はデータ圧縮を含む請求項 5 8 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、時間遅延積分 (T D I) センサを用いた高速画像化 (ハイスピードイメージング) に関し、特に、T D I センサとともに使用して高密度デジタイザ (H D D) を形成することが可能な、アナログフロントエンド (A F E) 及びアナログデジタル変換器 (A D C) に関する。

【背景技術】

【0002】

時間遅延積分 (T D I) は、移動する二次元対象物の連続画像を形成するための画像走査 (イメージスキヤニング) プロセスである。T D I システムでは、画像光子 (イメージフォトン) は、画素の二次元配列内で光電荷 (フォトチャージ) に変換される。対象物が移動すると、この移動の軸と平行に、光電荷がセンサに沿って画素 (ピクセル) から画素へとシフトする。光電荷シフト速度を対象物の速度と同期させることにより、T D I は、移動対象物上の固定位置で信号強度を積分して画像を生成することができる。画像動きの速度を変えること及び移動の方向におけるより多くの / より少ない画素の供給により、全積分時間を規制することが可能である。T D I 検査システムは、ウエハ及び / 又はレチクルの検査に用いることができる。

【発明の概要】

【発明が解決しようとする課題】

【0003】

従来の検査システムは、長いトレースを介してプリアンプ及びアナログデジタル変換器 (A D C) 装置を駆動するように、T D I センサを構成する。これらの長いトレースは、ノイズ及び負荷を導入する場合があります。これらは、システム性能を不利に低下させ得る。信号レベルは、また、2 つの連続するサンプルを減算することにより、デジタル領域中に得られる。この減算により、A D C の動作はサンプリング速度の 2 倍となり、また、信号対雑音比 (S N R) を低下させる熱及び量子化ノイズが増大する。更に、(画素のセットの並列読み出しにより生じる) 大きいチャンネル数と、高速 T D I センサに関連する高密度

10

20

30

40

50

の要求特性により、一般に、基板の複雑性及びコストが上昇する。

【0004】

したがって、高速画像化用途のためのコンパクトなマルチチャンネルアナログフロントエンド及びデジタイザの必要性を生じる。

【課題を解決するための手段】

【0005】

高速画像処理のためのモジュールは、画像センサ及び複数の高密度デジタイザ(HDD)を有することができる。画像センサは、画像を表す複数のアナログ出力を生成することができる。一実施形態では、画像センサは、深紫外線(ディープウルトラバイオレット)から可視光までの波長範囲を感知することが可能な時間遅延積分(TDI)センサを有することができる。HDDは、複数のアナログ出力を並行に処理することが可能である。各HDDは、集積回路として実施することができる。とりわけ、各HDDは、画像の一部を表すアナログ出力の所定のセットを並列に処理することが可能である。これらのHDDは、高い信号対雑音比を維持しつつ、高い平均データレートを実現することができる。

10

【0006】

HDDの各チャンネルは、アナログフロントエンド(AFE)及びアナログデジタル変換器(ADC)を有することができる。AFEは、1つのセンサアナログ出力を表す信号(一実施形態では、差分信号)を調整することができる。ADCは、得られた調整された信号をデジタル信号に変換することができる。AFEは、スイッチ・アウト・キャパシタを有するプログラマブルゲイン増幅器(PGA)を有することができる。一実施形態では、PGAは、いつスイッチ・アウト・キャパシタのそれぞれがPGAの入力から切断されるかを決定するための複数のコンパレータを有することができる。

20

【0007】

HDDの他の実施形態は、他の性能を向上させる特徴を有することができる。たとえば、データレートマルチプライヤ位同期回路(PLL:フェイズロックドループ)が、モジュール中に含まれ、全てのチャンネル出力が位同期される矩形波を提供するように構成され得る。AFEは、シングルエンド信号を差分信号に変換するように構成することができ、この差分信号は、基板ノイズに対する高い耐性を有し、また、信号のスイング(swing/振れ幅)を増大させて、システムの信号対雑音比(SNR)を高める。AFEは、ダイナミックレンジを最適化するように、オフセット制御を有する相関二重サンプリング(CDS)回路も有することができる。CDS回路のクロックは再構成可能であり、それによって1つのリセット及び複数の読み出しが可能になり、平均値の算出と、システムSNRの増加とを提供する。HDDのデータフォーマットブロックは、ブラックレベル補正を提供するように構成され得る。HDDは、データフォーマットブロックの出力を受信し、オフチップデバイスに出力データを伝送するための低電圧差動信号(LVDS)ブロックを、更に有してもよい。一実施形態では、各チャンネルは、ADCをバイパスし、オフチップデバイスに調整された信号を提供するように結合されたアナログドライバを含み得る。

30

【0008】

HDDは、較正(キャリブレーション)モード及びテストモードを有効/無効にするための制御ブロックを更に有していてもよい。一実施形態では、制御ブロックは、各ADCにランプ(ramp)信号を提供するランプ波発生器を有していてもよい。他の実施形態では、制御ブロックは、所定のランプ関数を各チャンネルに導入して所定のランプ関数からの偏移(デビエーション:deviations)についてHDDの出力ピンをモニタし、DC値を各チャンネルに導入して各チャンネルのノイズについてHDDの出力ピンをモニタし、及び/又は、既知の信号パターンを各チャンネルに導入してHDDの出力ピンをモニタして既知の信号パターンの始期及び終期を決定するように構成された自己テストロジックを含み得る。

40

【0009】

HDDは、デジタル入力電圧、内部チップ電圧、周辺チップ電圧及び温度センサ電圧に選択的にアクセスしてモニタするセンサブロックも含み得る。このセンサブロックは、正確にオンチップ温度を測定することが可能な温度センサを含み得る。1つのパッケージに

50

複数のHDDダイ(dies)を設け得るため、センサブロックは、後でデバッグ目的に用いることができるHDDパッケージの熱マップを生成するために使用され得る。

【0010】

HDDは、汎用及びチャンネル構成ビットをHDDに提供するレジスタ制御ブロックを更に含み得る。レジスタ制御ブロックは、複数のHDDの相互連結を好適に提供し得る。レジスタ制御ブロックのレジスタの構成ビットは、直列又は並列にプログラム/アクセスされ得る。

【0011】

高速画像処理のためのシステムもまた記載される。このシステムは、上記のように構成される複数のモジュールを含み得る。複数のHDDは、汎用及びチャンネル構成ビットを選択的にHDDに供給するよう接続され得る。システムは、画像センサ及び複数のHDDを固定するためのパッケージを含み得る。これらのHDDダイは、標準的な「バンブ」、すなわちフリップチップ技術、を介してパッケージに取り付けられ得る。一実施形態では、画像センサ及び複数のHDDは、ワイヤーボンディングを用いて結合することが可能であり、パッケージは、パッケージ内蔵キャパシタを含む。これらのパッケージ内蔵キャパシタは、パッケージの全体的な接地方式の一部を形成し、好適に、高い信号完全性を維持し、HDDにおけるチャンネルクロストークを最小化し得る。

10

【0012】

ここに記載されるモジュール及びシステムは、高い信号完全性、全体の信頼性、並びに低い材料及び組立コストを実現し得る。

20

【0013】

本発明の追加の機能及び関連する利点は、以下の図面及び詳細な説明に示される。

【図面の簡単な説明】

【0014】

【図1】図1は、ローカル駆動及び信号処理回路を含む例示的なTDIセンサモジュールの上面図を示す。

【図2】図2は、TDIセンサモジュールの例示的なモジュラーアレイを示す。

【図3】図3は、TDIセンサモジュールを用いる例示的な検査技術を示す。

【図4】図4は、TDIセンサモジュールの処理回路の一部を形成する例示的な2つの高密度デジタイザの入力及び出力を示す。

30

【図5】図5は、HDDの機能ブロック図を示す。

【図6】図6Aおよび図6Bは、例示的なHDDのチャンネル及びピンを示す。

【図7】図7は、汎用及びチャンネル構成ビットの双方をHDDに供給する例示的なレジスタ制御ブロックを示す。

【図8】図8Aおよび8Bは、汎用及びチャンネル構成ビットを伝達するように複数のHDDがそれぞれ直列又は並列に接続され得る例示的な構成を示す。

【図9A】図9Aは、リセットモード又はサンプリングモードに構成され得る例示的なCDS回路を示す。

【図9B】図9Bは、HDDのためのAFEの一部を形成し得る例示的なプログラマブルゲイン増幅器920を示す。

40

【図10】図10は、例示的なセンサブロックを示す。

【図11】図11は、例示的なADC自動テスト構成を示す。

【図12A】図12Aは、画像センサの例示的な信号及びグランド経路と、パッケージ内蔵キャパシタを有さないパッケージの信号及び直流経路を示す。

【図12B】図12Bは、画像センサの例示的な信号及びグランド経路と、パッケージ内蔵キャパシタを有するパッケージの信号及び直流経路を示す。

【図13】図13は、従来の単一信号とマルチ信号CDSモードとを比較する。

【図14】図14は、CCDセンサが、同じ画像信号に対して異なる波形を生成するようタイミング調整され得ることを示す。

【発明を実施するための形態】

50

【 0 0 1 5 】

図 1 は、ローカル駆動及び信号処理回路（ここではローカル回路とも呼ぶ）を含む例示的な T D I センサモジュール 1 0 0 の上面図を示す。具体的に、T D I センサモジュール 1 0 0 は、T D I センサ 1 0 2 と、T D I センサ 1 0 2 からの信号を処理する処理回路 1 0 3 と、タイミング及びシリアルドライバ回路 1 0 4 と、画素ゲートドライバ回路 1 0 5 とを有している。

【 0 0 1 6 】

一実施形態では、処理回路 1 0 3 は、相関二重サンプリング（C D S）及び他のアナログフロントエンド（A F E）機能（例えばアナログゲイン制御又は直流オフセット）、アナログデジタル変換（A D C）、並びに、例えば、ブラックレベル補正、画素毎のゲイン及びオフセット補正、直線性補正、ルック・アップ・テーブル（L U T s）及びデータ圧縮等のデジタル後処理を提供することが可能である。処理は、固定されてもよく、又は、検査システムからの追加の潜在的にはリアルタイムの入力に依拠してもよく、例えば、サブピクセル補間、デジタル飽和を防止するためのアナログゲイン制御、画像位置シフト及び画像空間歪み補正等の機能を実行する。

10

【 0 0 1 7 】

タイミング及びシリアルドライバ回路 1 0 4 は、T D I に対してクロックタイミング及び駆動を制御することができる。リセットパルス発生、多相直列レジスタクロック生成及び A D C 同期等の構成が含まれていてもよい。これは、高い S N R を高いクロック速度で実現するために必要な、極めて正確なタイミングを実現する。

20

【 0 0 1 8 】

画素ゲートドライバ回路 1 0 5 は、低速だが高電流の T D I ゲート駆動信号を提供して、データキャプチャを、検査画像の動き及び他の T D I センサと同期させる。画素ゲートドライバ回路 1 0 5 は典型的には、方形波及び / 又は正弦波形の三相又は四相駆動波形を提供してもよい。より一般的には、画素ゲートドライバ回路 1 0 5 は、電荷移動、熱消散及びセンサの S N R を最適化するため、デジタル / アナログ変換を用いて任意の機能生成を提供してもよい。

【 0 0 1 9 】

ローカル駆動回路は、それぞれの T D I センサモジュールが、それ自身の個別的なドライバのセット（すなわちドライバ 1 0 4 及び 1 0 5）を有することを意味する。これらの個別的なドライバが必要とする電流は著しく小さく、したがって、従来の大領域 T D I センサドライバよりも顕著に小型であり得る。とりわけ、複数の小さな（T D I センサモジュールと関連する）ドライバからの高忠実度・高電流波形をローカルに分配することは、全体の電流要求が同じである場合でも、1つの大きなドライバから波形を分配するよりもずっと拡張性が高い。

30

【 0 0 2 0 】

一実施形態では、処理回路 1 0 3、タイミング及びシリアルドライバ回路 1 0 4 及びピクセルゲートドライバ回路 1 0 5 のそれぞれは、P C B（プリント回路基板）1 0 1 上の T D I センサ 1 0 2 のまわりに配置された集積回路（I C）上に実装することができる。駆動 / 処理回路の実現に用いる I C の数は、実施形態に基づいて変化し得ることに留意されたい。一実施形態では、P C B 1 0 1 は、多層セラミック基板を用いて実現し得る。

40

【 0 0 2 1 】

一実施形態では、T D I センサモジュール 1 0 0 からのデジタルデータは、プログラムが可能な低電圧差動信号（L V D S）又は同様の電気信号送信及びデジタル多重化を用いて、オフボードに伝送することができる。特定のプロトコルは、業界標準から選択でき、又は、電子又は光高速デジタル通信の当業者が定めることができる。一実施形態では、特定のパッケージトレースについて、L V D S へのデジタルノイズを低減するため、ドライバプログラマビリティを加えることができる。

【 0 0 2 2 】

図 2 は、T D I センサモジュール 2 0 1 の例示的なモジュラーアレイ 2 0 0（以下モジ

50

ュラーセンサアレイと呼ぶ)を示す。T D Iセンサのまわりに配置される駆動/処理回路は、所定のスペースを取ることに留意されたい。したがって、隣接行のT D Iセンサは、連続走査の構成に用いる場合に少なくとも100%の画像カバレッジを実現するように位置合わせされ得る。例えば、図2に示す実施形態では、T D Iセンサが隣接行の駆動/処理回路と同じ縦のスペースに配置されるように、各行が、隣接行に対してオフセットされ得る。画像カバレッジ中の間隙を確実に排除するため、各T D Iセンサの幅は、T D Iセンサの間のスペース以上である。この構成では、検査されるウエハ/マスク/レチクルがT D I画像走査方向202に移動するとき、モジュラーセンサアレイ200は、少なくとも100%の画像キャプチャを確実にできる。

【0023】

モジュラーアレイ200のための実効データレートは、単一の大型T D Iセンサより著しく高くなり得ることに留意されたい。モジュラーアレイの実効的な全サイズ及び出力チャンネル数を、単一T D Iセンサ中に実質的に製造可能なものよりも大きくすることができるため、このような速度が実現される。更に、モジュラーアレイは、任意数の行のT D Iセンサモジュールを含むことが可能であること、すなわち、T D Iセンサモジュールが拡張を容易化することに留意されたい。2009年10月7日にK L A - T e n c o r 社によって出願された「高速検査のためのローカル駆動及び信号処理回路を有するT D Iセンサモジュール」と題する米国特許出願番号第12/575,376号は、T D Iセンサモジュール及びモジュラーセンサアレイを更に詳細に記載しており、この文献は、参照により本願に組み込まれる。

【0024】

図3は、T D Iセンサモジュールを用いる例示的な検査技術を示す。ステップ301は、検査のために対象物(例えばレチクル、マスク又は集積回路)を配置し得る。ステップ302は、例えば顕微鏡を用いて、対象物の検査を開始し得る。ステップ303は、T D Iセンサ出力、すなわち複数のアナログ出力を生成し得る。

【0025】

ステップ304は、これらのアナログ出力を調整することができ、ステップ305は、調整の最適化が必要な場合に、これらの出力のプログラマブルゲインを調節することができる。ステップ306は、望ましくないオフセットを排除するため、電気的な値(すなわち、電圧又は電流)を測定する既知のプロセスである相関二重サンプリング(C D S)を実行し得る。C D Sでは、センサの出力は二回測定され、1回目の測定は既知の条件の間、2回目の測定は未知の条件の間に測定される。そして、1回目の測定値を2回目の測定値から減算することができ、これにより、オフセットに対する補正に使用可能な値が提供される。

【0026】

ステップ307は、オフセット補正測定値を用いて、アナログデジタル変換(A D C)を実行し得る。ステップ308は、デジタル化されたデータをデータストリームに処理し得る。一実施形態では、フィールドプログラマブルゲートアレイ(F P G A)等のプログラマブルロジックデバイスは、これらのデータのストリームを生成するよう構成され得る。ステップ309は、較正データのストリームをフォーマットし、得られた信号を処理デバイスに伝送し得る。ステップ310は、データを画像に処理及びデジタル化し、画像の解析を実行し得る。例示的な解析は、欠陥検査及び/又は特徴識別を含む。ステップ311は、画像を保存することができ、一方、ステップ312は、ユーザーレビューのために1つ以上の画像を表示し得る。T D Iセンサモジュール100は、ステップ303~309を実行することができ、検査システム内の他の要素は、ステップ301~302及び310~312を実行することができることに留意されたい。

【0027】

高速画像化は、検査システムでは、非常に望ましい。しかしながら、このような高速画像化の確実化は、T D Iセンサから画像を生成する場合に、特に困難であり得る。以下に更に詳細に説明するように、T D Iセンサ(又は、複数の、並列のアナログ出力を生成す

10

20

30

40

50

る他の画像センサ、ここでは簡易のためT D Iセンサと呼ぶ)を用いる改良された検査システムの1つの態様は、並列でのアナログ信号のデジタルデータへの効果的な変換と、このデジタルデータの信号処理経路への効率的な伝送を含む。

【0028】

図4は、T D Iセンサモジュールの一部、特に、処理回路103の一部を形成する2つの高密度デジタイザ(H D D)402A及び402BとT D Iセンサ401とを示す。一実施形態では、(ステップ304~307を実行するための)H D D 402A及び402Bは、制御及びタイミング入力404に加えて、(ステップ303を実行するための)T D Iセンサ401により生成されるアナログ出力を受信することができる。H D D 402A及び402Bは、全画像の特定の領域に関するデジタル出力403A及び403Bをそれぞれ発生させ得る。一実施形態では、システム構成に基づいて、H D D 402A及び402Bは、制御及びタイミング出力405を生成することもできる。

10

【0029】

有利なことに、並列に出力されるデジタル出力403A及び403Bは、検査のために大きな光学像視野を提供し得る。並列での複数のデジタル出力の生成は、また、高データレートの実現を容易にする。具体的には、画像センサの出力を読み出すための従来のある構成は、デジタル(画素)データの一行をシフトレジスタにシフトし、次いで、シフトレジスタは、データを一度に1ビット(1画素)ずつ順次、外へシフトする。対照的に、図4に示される構成に従えば、各H D Dは、並列にデジタルビット(画素値)の複数のセットを出力することができる。有利なことに、これらの並列の出力は、チャンネル毎の比較的遅い動作を可能にし、それにより、全チャンネルに対して極めて高い全システムデータレートを可能にする(すなわち、並列に効果的に出力されている複数のビット(画素データ)に基づいて)一方で、信号対雑音比(S N R)を最大にする。

20

【0030】

図5は、高密度デジタイザ(H D D)500の機能ブロック図を示す。H D Dデバイス500は、前述のタイミング及び制御入力404(図4)を受信するタイミング及び制御ロジック502を含み得る。一実施形態では、タイミング及び制御ロジック502は、伝搬遅延又は他のローカルな要件を補償するために、1つ以上のチャンネル(以下に記載)に、タイミング及び制御入力404を提供し得る。タイミング及び制御入力404は、H D Dをグローバルに制御(例えばテスト/動作モードを提供)する要素に設けることもできる。例えば、H D Dデバイス500は、タイミング及び制御入力404の一部を受信し、タイミング及び制御出力405の一部を生成する自己テストロジック503を有してもよい。一実施形態では、タイミング及び制御出力405は、効率的な態様で他のT D Iセンサモジュールをモニタ及び/又は制御するために使用され得る。

30

【0031】

H D D 500は、ステップ304~309を実行するブロックを有してもよい。例えば、信号調整ブロック510は、ステップ304を実行することができ、C D Sブロック511は、ステップ306を実行することができ、A D Cブロック512は、ステップ307を実行することができ、較正/データフォーマットブロック513は、ステップ309を実行することができ、そして、信号伝送ブロック514は、ステップ309を実行することができる。簡単のため、ステップ304、306、307及び309を実行する要素のみが示されることに留意されたい。実際の実施では、H D D 500は、他のステップを実行し、追加の機能を提供するための追加の要素を有し得る。

40

【0032】

更に、他の実施形態では、ブロック510~514は、追加の機能を実行し得る。例えば、一実施形態では、信号調整ブロック510は、電流シンク、電圧領域に対するレベルシフト、オフセットレベル調整、バッファリング、シングルエンド差動変換及びロバスタな静電破壊(E S D)制御を提供することができる。相関二重サンプリング(C D S)ブロック511は、低周波ノイズ及び/又はリセットノイズ等のセンサ処理中に発見されるノイズのいくつかの原因を取り除くことができる。A D Cブロック512は、複数のチャ

50

ネル（例えば、説明の目的で示される 8 本の例示的なチャンネル）からの信号を並列に好適にデジタル化することができ、これにより、HDD 500 全体に均一な性能を提供する。この均一な性能は、検査又は計測システムに特に望ましい。較正データフォーマットブロック 513 は、ブラックレベル補正、ドリフト補償及びノ又は当該技術分野で知られている高性能画像化の他の較正プロセス等のリアルタイム処理を実行することができる。較正データフォーマットブロック 513 は、以前の測定にアクセスして将来のデータを予測するデジタル信号処理計算も実行し得る。一実施形態では、このリアルタイム処理の結果は、必要に応じて調整、ゲイン制御及びサンプリングを制御するよう、アナログフロントエンド（AFE）（例えば信号調整ブロック 510 及び CDS ブロック 511）にフィードバックされ得る。一実施形態では、このようなリアルタイム処理は、1 つ以上の FPGA、CPU 又は専用処理デバイス（すなわち外部デバイス）で実行することができる。

10

【0033】

信号伝送ブロック 514 はデータフォーマットブロック 513 からフォーマットされたデータを受信し、デジタル出力 504 を生成することができる。とりわけ、デジタル出力 504 は、アナログ信号よりノイズに対してより耐性であるため、一実施形態では、デジタル出力 504 のセットは、（例えばチャンネルデータをマージすることにより）最小のデータ精度損失で形成することができる。しかしながら、マージされたデジタル出力は、I/O リング及び ESD デバイス同様、シリコン基板を通して結合することにより、アナログ入力の質に影響し得ることに留意されたい。

【0034】

20

図 5 は、デジタル出力 504 を形成するようにマージされ得るセット 506A 及び 506B を示す。このマージされたデジタルデータは、（例えば高速相互接続を用いて）高データレートで送信され得る。また、マージされたデジタルデータは、有利なことに、HDD 500 のより少ないピンを使用する（例えばセット 506A 又は 506B のいずれの場合でも、オリジナルのピン数の 4 分の 1）。このように、HDD デバイス 500 においてローカル化された ADC 及び出力多重化を用いることで、システム性能及びリソース管理を著しく改良することができる。

【0035】

図 6A は、例示的な HDD 600 のチャンネル及びピンを示す。HDD 600 は、16 本のチャンネル（すなわちチャンネル 601 ~ 616）を有するが、他の HDD は、より少ないチャンネル（例えば 8 つのチャンネル）又はより多いチャンネル（例えば 32 又は 64 のチャンネル）を有し得る。チャンネルの例示的な要素が、チャンネル 601 に示される。例えば、各チャンネルは、センサ入力信号を受信するアナログフロントエンド 621 を含み得る。図 6 では、チャンネル 601 は、センサ入力信号 IN1 及び RG1 を受信し、チャンネル 616 は、センサ入力信号 IN16 及び RG16 を受信する。センサ入力信号 IN は、アナログ入力信号を表す一方、センサ入力信号 RG は、そのチャンネルに関連する基準グランド信号を表す。一実施形態では、AFE 621 は、波形を平滑化し及びノ又は DC レベルを取り除くための 1 つ以上のアナログフィルタ、CDS 回路、シングルエンド差動コンバータ、ゲイン調整回路及び他の信号調整要素を含み得る。

30

【0036】

40

ADC 622 は、AFE 621 からの処理されたアナログ信号をデジタル信号に変換することができる。ADC 622 からのデジタル出力は、シフトレジスタ 623 に格納され得る。一実施形態では、低電圧差動信号（LVDS）ブロック 624 は、シフトレジスタ 623 の出力を受信し、その後、オフチップで比較され得る 2 つの異なる電圧 OUTPUT 及び OUTN を生成することができる。図 6 では、例えば、チャンネル 601 は、OUT1P 及び OUT1N を出力し、一方、チャンネル 616 は OUT16P 及び OUT16N を出力し得る。LVDS 624 は、この差分を効果的に用いて、情報を符号化することができる。LVDS は、高速ネットワーク/バスのための標準の出力フォーマットであり、したがって、ここでは更に説明されないことに留意されたい。とりわけ、差動信号送信の構成は、入力信号の完全性に対する出力信号の影響の低減を助ける。

50

【 0 0 3 7 】

図 6 B は、他の例示的な HDD 6 0 0 ' のチャンネル及びピンを示す。HDD 6 0 0 ' において、各チャンネルは、アナログドライバ 6 2 5 を更に含み、その出力は、AFE 6 2 1 の出力に接続され、その出力は、出力ピン（すなわち O U T P 及び O U T N を提供するピン）に接続される。この構成では、アナログドライバ 6 2 5 が起動されると、ADC 6 2 2、シフトレジスタ 6 2 3 及び LVDS 6 2 4 をバイパスすることができ、それにより、アナログ信号をチャンネルから出力させる。このように、アナログ又はデジタルデータは、次に処理ステージ（HDD 6 0 0 の外部）に送ることができる。アナログ信号は、追加のアナログ処理のためにチップ外に送信され得る一方、デジタル信号は、任意のデジタル補正、デジタル信号処理及びフォーマットの後に、チップ外に送信され得ることに留意されたい。

10

【 0 0 3 8 】

HDD 6 0 0（又は、HDD 6 0 0'）は、デジタル入力信号 D L D I（デジタルロードデータ入力）、D I（デジタル読み出しデータ入力）、D I N（データ I N）及び D C K I（デジタルクロック入力）を受信し得るレジスタ制御ブロック 6 3 3 を更に含み得る。これらのデジタル入力信号は、HDD 6 0 0 を（下記のように図 7、8 A 及び 8 B において種々の態様で）横断することができ、最終的には、デジタル出力信号 D L D O（デジタルロードデータ出力）、D R D O（デジタル読み出しデータ出力）、D O U T（データ O U T）及び D C K O（デジタルクロック出力）として出力される。

【 0 0 3 9 】

HDD デバイス 6 0 0 上に集積される追加の回路は、クロック回路 6 3 1 及び関連するデータレートマルチプライヤ位相同期回路（P L L）6 3 2、バイアス回路 6 4 1、較正及びテストモードブロック 6 4 2、センサブロック 6 4 3 及びデジタル制御ブロック 6 4 4 を含み得る。クロック回路 6 3 1 は、例えば、遅延を実際の C D S が起こる時点（受信したトリガ信号によって示され得る）に調整するため等、必要な場合は、クロック信号に遅延を提供し得る。所定の周波数の矩形波（例えば、クロック回路 6 3 1 で生成される基準波形）を用い、データレートマルチプライヤ P L L 6 3 2 は、全てのチャンネル出力がその矩形波（又はその矩形波の乗数）に位相同期されることを確実にできる。バイアス回路 6 4 1 は、電圧バイアス V B（図 9 A 参照）を発生させるとともに、バイポーラな信号範囲（すなわち、 $- \text{最大値} / 2 \sim + \text{最大値} / 2$ ）の代わりに、ユニポーラな信号範囲（すなわち、 $0 \sim \text{最大値}$ ）を差動増幅器がハンドリングすることを許容し得る。一実施形態では、各チャンネルは、別々のバイアス制御能を有してもよい。

20

30

【 0 0 4 0 】

デジタル制御 6 4 2 は、アナログドライバ 6 2 5（図 6 B）、LVDS 6 2 4 に関連するデジタルドライバ、出力ピン（例えば、電源セーブ用）、チャンネルのための較正及び/又はテストモードを有効/無効にすることができる。例示的な較正は、HDD デバイス 6 0 0 の入力ピンに所定のランプ関数を導入することと、同じランプ関数が出力されることを確実にするよう出力ピンをモニタすることとを含み得る。他の例示的な較正は、HDD デバイス 6 0 0 の入力ピンに DC 値を導入することと、各チャンネルのノイズについて出力ピンをモニタすることとを含み得る。例示的なテストモードは、チャンネルに既知の信号パターンを提供し、デジタル出力を解析し、それにより、そのパターンの始期と終期との識別を容易化することとを含む。一旦、既知のパターンの開始/終了を確認できれば、実際の動作中に信号の開始/終了を正確に識別するよう、チャンネルをそれに応じてプログラムできる。一実施形態では、デジタル制御ブロック 6 4 2 は、周知技術において（例えば、特定のチャンネルの較正中及び/又はテストモード中の）オンチップデータの同期に使用され得るビットクロック LVDS（オンチップビットラインに関連する）及びワードクロック LVDS（オンチップワードラインに関連する）を含み得る。

40

【 0 0 4 1 】

図 7 は、HDD への汎用構成ビット及びチャンネル構成ビットの双方の供給に使用されるレジスタ制御ブロック 6 3 3 の例示的な構成を示す。図 7 の実施形態では、レジスタの

50

2つのセット（汎用構成ビットのための第1のセット701及びチャンネル構成ビットのための第2のセット702）が設けられている。

【0042】

ビットDINを汎用構成レジスタ711（チップの全体のタイミング、出力ドライバの有効化/無効化等を制御し得る）又はチャンネル構成レジスタ721（各チャンネルのゲイン又は他のチャンネル特有の制御信号を制御し得る）のいずれかに書き込むために、マルチプレクサ730が使用され得る。HDD内の回路は、標準的な技術を介して構成レジスタ711及び721のビットにアクセスすることができる。汎用構成レジスタ711用のビットDINは、クロックライン713上でクロック信号DCKIを用いて、シフトレジスタ712にロードされ得る。全ての汎用構成ビットがシフトレジスタ712にクロックされれば、ライン714の上のロード信号LDI（すなわちLDI）は、シフトレジスタ712内の値をパラレルに受信するよう、汎用構成レジスタ711をトリガすることができる。同様に、チャンネル構成レジスタ721のためのビットDINは、クロックライン723上でクロック信号DCKIを用いて、シフトレジスタ722にロードされ得る。全てのチャンネル構成ビットがシフトレジスタ722にクロックされれば、ライン724上のロード信号LDIは、シフトレジスタ712内の値を並列に受信するよう、汎用構成レジスタ711をトリガすることができる。ある実施形態では、レジスタの第1および第2のセット701及び702が同じ数のレジスタを有してもよいが、他の実施形態では、レジスタの第1および第2のセット701及び702は、HDD上で実行される回路によっては、異なる数のレジスタを有していてもよいことに留意されたい。

10

20

【0043】

マルチプレクサ731は、レジスタの第1のセット701、すなわち汎用構成ビットから、又は、レジスタの第2のセット702、すなわちチャンネル構成ビットから、ビットDOUTを読み込むことができる。具体的に、読み込み信号DRDIは、汎用構成レジスタ711から値をロードするようシフトレジスタ712をトリガすることができ、このようなビットは、その後、クロック信号DCKI及びマルチプレクサ731による適切な出力選択を用いて、シフターレジスタ712からクロックアウトされ得る。同様に、読み込み信号DRDIは、チャンネル構成レジスタ721から値をロードするようシフトレジスタ722をトリガすることができ、このようなビットは、その後、クロック信号DCKIおよびマルチプレクサ731による適切な出力選択を用いて、シフターレジスタ722からクロックアウトされ得る。とりわけ、これらの出力ビットは、図8Aおよび8Bをそれぞれ参照して記載されるように、直列又は並列のいずれかで、複数のHDDを通して伝搬され得る。

30

【0044】

図8Aは、（例えば、図7のマルチプレクサ730及び731を用いて）汎用制御回路又はチャンネル制御回路のために入力810を受信するよう複数のHDD801~809が直列に接続され得る例示的な構成を示す。HDD801~808からの出力が、HDD802~809への入力を形成することに留意されたい。図8Aでは9個のチップが示されるが、他の実施形態では、デイジーチェーン構成で、より多い又は少ないHDDを有してもよい。とりわけ、（上記の）シフトレジスタの使用は、あらゆる任意の長さでHDDをつなぎ合わせることを可能にする。チェーンの最後のHDD（この実施形態ではHDD809）からの出力820は、FPGA又は他のコントローラデバイスに読み戻すことができる。

40

【0045】

各HDDは、各デバイスを唯一的に識別してアドレス指定するために使用されるCID0~CID4上の固有の固定された入力パターンを付与されても良い。パターンは、一部又は全部のCID0~CID4をグランドに接続することにより生成され得る。次いで、レジスタを読み書きするための並列のアドレスモードを選択するためにSPI__MODE入力が使用され得る。

【0046】

50

図 8 B に示される一実施形態では、入力 8 1 0 を受信するため、HDD 8 0 1 ~ 8 0 9 が並列に接続され得る。この構成では、デジータチェーンの代わりに、TDI センサパッケージ中の各 HDD は、個々にアドレス指定可能とすることができ、例えば、汎用制御回路及びチャネル制御回路のためのビットは、各 HDD のために設けられるラインのセットを有するバス上で送信され得る。この構成は、個々の HDD (チップ) の再プログラミングを容易化し得る。

【 0 0 4 7 】

図 9 A は、リセットモード又はサンプリングモードに設定され得る例示的な CDS 回路 9 0 0 を示す。回路 9 0 0 は、正負の入力端子を介して入力を受信し、ADC に対して出力 V_{pgan} 及び V_{pgap} を生成するプログラマブルゲイン増幅器 (PGA) 9 0 2 を含む。TDI センサ 4 0 1 (図 4) の一部を形成するトランジスタ 9 0 1 が、高電圧源 (例えば VDD) とノード 9 0 3 との間に接続される。トランジスタ 9 0 1 のゲートは、センサ上で検出される信号に比例した電圧を受信し、したがって、その出力 (ノード 9 0 3 に供給される) は、センサ上の信号にも比例する。キャパシタ 9 0 4 及び抵抗器 9 0 5 はそれぞれ、ノード 9 0 3 とグランドとの間に接続される。キャパシタ 9 0 6 は、ノード 9 0 3 と PGA 9 0 2 の負入力端子との間に接続される。キャパシタ 9 0 7 は、スイッチ 9 0 8 と PGA 9 0 2 の正入力端子との間に接続される。帰還キャパシタ 9 0 9 及びスイッチ SW 1 は、PGA 9 0 2 の負入出力端子と出力端子に並列に接続される。帰還キャパシタ 9 1 0 及びスイッチ SW 2 は、PGA 9 0 2 の正の入力端子と出力端子に並列に接続される。

【 0 0 4 8 】

リセットモード (スイッチ SW 1 及び SW 2 は閉じ、スイッチ 9 0 8 はグランドに接続される) の間、PGA 9 0 2 の出力において、DC レベル (ブランクレベル) は、ゼロ差動電圧に割り当てられる。サンプリングモード (スイッチ SW 1 及び SW 2 は開き、スイッチ 9 0 8 はプログラマブルバイアス電圧 V_B 、例えば 1.2 V、に接続される) の間、ノード 9 0 3 の電圧の偏移は、その電圧に比例した電荷を発生させ、帰還キャパシタ 9 0 9 及び 9 1 0 に伝達され、次いで、PGA 9 0 2 の出力で差動電圧に変換される。CDS 回路 9 0 0 の上記の構成では、帰還キャパシタ 9 0 9 及び 9 1 0 は、(例えばスイッチ SW 1 及び SW 2 を介して) 有効にプログラム可能であり、これらの値は、PGA 9 0 2 の電圧ゲインを (逆比例の態様で) 変化させることができる。光がセンサによって検出されないときには、バイアス電圧 V_B は、1 つの極値 (負の最大値) に近くなるように、プログラムすることが可能であることに留意されたい。最大値の半分の信号が検出されたときには、バイアス電圧 V_B は、ゼロに近くなるようにプログラムすることができる。最大の信号が検出されたときには、バイアス電圧 V_B は、他方の極値 (正の最大値) に近くなるようにプログラムすることができ、それにより、信号のスイングが効果的に二倍になる。

【 0 0 4 9 】

図 9 B は、HDD のための AFE の一部を形成し得る制御された非線形応答プログラマブルゲイン増幅器 9 2 0 を簡略化して例示的に示す。 V_{in} 、すなわち PGA 9 2 0 への入力は、関連する AC 信号を有し、この AC 信号は、測定され得る「スイング」を有することに留意されたい。上流のセンサから良好な性能を得るために、 V_{in} は、センサにいくらかの電流負荷を供給しなければならない。この実施形態では、その電流は、切替容量ネットワークによって供給することができる。この実施形態では、複数の入力キャパシタ 9 2 1 ~ 9 2 4 が、入力電圧 V_{in} と増幅器 9 0 0 の負入力端子の間に並列に接続可能である (詳細は図 9 A を参照)。増幅器 9 0 0 の正入力端子は、グランドに接続される。キャパシタ 9 2 2 ~ 9 2 4 は、スイッチ 9 2 5 ~ 9 2 7 をそれぞれ用いて、増幅器 9 0 0 から選択的に切断することができる。スイッチ 9 2 5 ~ 9 2 7 は、コンパレータ 9 2 8 ~ 9 3 0 によりそれぞれ制御される。コンパレータ 9 2 8 ~ 9 3 0 は、それらの第 1 の入力端子で閾値電圧 $V_{T0} \sim V_{T3}$ をそれぞれ受け、それらの第 2 の入力端子でノード 9 3 3 からの電圧を受ける。キャパシタ 9 3 2 は、ノード 9 3 3 とグランドとの間に接続され、一方、キャパシタ 9 3 1 は、ノード 9 3 3 と入力電圧 V_{in} との間に接続される。

【 0 0 5 0 】

P G A 9 2 0 のリセットの後でサンプリングモードの間の最初は、スイッチ 9 2 5 ~ 9 2 7 は閉じられる。この構成は、増幅器 9 0 0 に最大ゲインを発生させ、これは、プログラマブルキャパシタ（すなわち図 9 A のキャパシタ 9 0 9 ）の容量に対するキャパシタ 9 2 1 ~ 9 2 4 の全並列容量（すなわちそれらの合計された容量）の比として計算される。換言すれば、増幅器 9 0 0 は、その入力容量とその帰還容量の比によって定義されるゲインを有する。入力信号 $V_{i n}$ は、最初は低い、次のリセット（ここで、リセットは、各画素のサンプリングのためにトリガされる）まで、時間と共に高くなるよう遷移する。その間、増幅器 9 0 0 は、効果的にその信号を積算し、A D C に対して電圧 V_o を発生させる。

10

【 0 0 5 1 】

入力信号 $V_{i n}$ がさらに高く遷移するにつれて、コンパレータ 9 2 8 ~ 9 3 0 は、その上昇する信号をそれらの閾値電圧 $V T 0 \sim V T 2$ と比較する（ここで、 $V T 0 < V T 1 < V T 2$ である）。ノード 9 3 3 における信号が各閾値電圧に到達すると、コンパレータ 9 2 8 ~ 9 3 0 は、適切なときに連続的に開くようにスイッチ 9 2 5 ~ 9 2 7 をトリガする。このように、全てのスイッチ 9 2 5 ~ 9 2 7 が閉じたときに増幅器 9 0 0 の最大ゲインが与えられ、開いているスイッチの数に基づきこのゲインは経時的に低下する。ゲインの低下は、次に、出力電圧 V_o を低下させる。したがって、P G A 9 2 0 は、帰還キャパシタ 9 0 9 及び切替可能キャパシタ 9 2 2 ~ 9 2 4 により与えられる負帰還を用いて、入力電圧 $V_{i n}$ の電圧スイングを低減することができる。P G A 9 2 0 に対するゲインは、 $C_{I N} / C_{F B}$ によって定義でき、ここで、 $C_{I N} = 9 2 1 + 9 2 2 + 9 2 3 + 9 2 4$ （すなわち全ての並列接続された入力キャパシタの容量の合計）であり、 $C_{F B}$ はキャパシタ 9 0 9 の帰還容量である。このように、入力キャパシタが取り外されると、P G A 9 2 0 のゲインは、その後の任意の追加の信号変化のために低下する。

20

【 0 0 5 2 】

他の既知の P G A は、典型的には、増幅器のゲイン及びオフセットの両方に影響する抵抗器を含むことに留意されたい。有利なことに、P G A 9 2 0 にキャパシタを用い、キャパシタの切り離しのみを行う（すなわちキャパシタ 9 2 2 ~ 9 2 4 を経路に追加しない）ことを確実にすることにより、オフセットを変えることなく、増幅器 9 0 0 のゲインを変化させることが可能である。増幅器 9 0 0 の負入力端子に接続されたキャパシタ 9 2 1 ~ 9 2 4 による $V_{i n}$ の電圧変化により、電流がそれらのキャパシタを 1 つの方向で流れ、同時に、電流が帰還キャパシタ 9 0 9 を反対の方向で流れるため、この特徴が可能である。したがって、増幅器 9 0 0 の負入力端子への経路からのキャパシタの切り離しは、電流を低下させるが、電荷は低下させない。このように、出力電圧 V_o 中のスパイクが排除される。出力電圧 V_o は所望される最大 S N R でデジタル化されるため、 V_o のグリッチは、その信号を使用不能にする。したがって、P G A 9 2 0 はデジタルイザ（すなわち A D C ）に特に有益である。

30

【 0 0 5 3 】

C D S 9 0 0 及び P G A 9 2 0 は、差動信号を出力するよう構成され得ることに留意されたい。単一信号の代わりに差分信号を供給することにより、センサシステムに利点を提供できる。例えば、単一信号はグラウンドに対して相対的であると、典型的には理解される。しかしながら、実際には、グラウンドはチップに渡って極めてわずかに変化し得る。したがって、チップの異なる領域から信号を受信するセンサは、それらの信号の正しい解釈を提供するために、追加の情報を必要とする場合がある。対照的に、差分信号は、それぞれが他方に対して相対的な 2 つの信号を有する。その結果、ワンチップ上で複数のチャネルを用いる場合に、H D D は、ノイズに対してより耐性（すなわち、単一信号の使用に比較して）となり得る。

40

【 0 0 5 4 】

図 1 0 は、高精度、低速度（毎秒 1 0 ~ 1 0 0 個の信号のオーダー）及び低電力の結果

50

を提供し得る例示的なセンサブロック643(図6A)を示す。この実施形態では、(例えば、従来の設計の)PGA1003は、マルチプレクサ1002から入力を受信し、出力をシグマ-デルタADC1004に供給し得る。一実施形態では、シグマ-デルタADC1004は、オフチップデバイスがアクセスできる出力を生成し得る。とりわけ、マルチプレクサ1002は、複数の入力を受信することができ、(チップのサイズに依存して)それらの少なくとも1つは温度センサ1001であり得る。温度センサ1001は、トランジスタ、電流源、又は、電圧出力を発生させる温度検知のための他の要素のセットを有することができる。一実施形態では、センサブロック643は、チップに供給されるデジタル供給電圧、チップに供給されるアナログ入力電圧(これはテストピンからアナログ形式で読み出され、又は、オンチップのシグマ-デルタADC1004によって変換され、その後、デジタルで読み出される)、チップの内部領域に発生する電圧、及び/又は、チップの周辺領域に発生する電圧等の、臨界供給電圧もモニタすることができる。このように、センサブロック643は、HDDを含むチップに対する診断機能を、好適に提供することができる。その結果、複数のHDD(例えば16、24、36、48など)を含むTDIセンサモジュールは、同数の温度及び電圧センサインジケータを提供することができ、それにより、温度及び電圧センサ出力をパッケージレベルで決定することが可能になる。一実施形態では、追加的な結果の精度を提供するため、センサブロック643は、マルチプレクサ1002及びPGA1003の差動出力を用いることができる。

10

【0055】

図11は、ランプ波発生器1106が、内部的に生成される信号ENABLEを用いて有効化されたときに、加算器1107~1110にデジタルランプ(すなわちのこぎり歯)信号を提供する例示的なADC自動テスト構成を示す。また、加算器1107~1110は、独立の入力IN1~IN4をそれぞれ受信する。一実施形態では、入力IN1~IN4は、上記のチャンネル入力であり得る。加算器1107~1110の和は、それぞれADC1101~1104に供給され、ADC1101~1104は、次に、マルチプレクサ1105にビット出力を供給する。一実施形態では、ランプ波発生器1106のランプ信号は、10ビット信号であり、それぞれ独立の入力IN1~IN4は、2ビット信号であり、したがって、加算器1107~1110及びADC1101~1104の双方が12ビットを出力する結果を生じる。内部制御ロジックにより供給される制御信号は、どのADCの結果がOUT信号(論理的に12ビット信号)として出力されるかを選択し得る。とりわけ、実際のチャンネル入力がない場合でさえ、図11の構成は、ADC1101~1104のテストを可能にする。

20

30

【0056】

図12Aは、画像センサ1201の例示的な信号及びグランド経路(チャンネルCH1~CHnを生成するための要素を含む。ここで、nは整数であり、チャンネルを生成するセンサ要素のセットは、図12Aで示すように接続されたトランジスタM1~M3を含み得る。)と、パッケージ内蔵キャパシタを有さないパッケージ1202の信号及び直流経路を示す。図12Aでは、これらの経路は矢印を用いて示される。図示される実施形態では、画像センサ1201及びパッケージ1202は、空気媒体中のワイヤーボンディングを用いて接続され得る。他の実施形態では、エポキシ中のワイヤーボンディングが使用され得る。いずれの実施形態においても、ボンディングは、周知のフリップチップボンディング(すなわちパッドに接続する半田バンプ)も有し得る。実際の実施形態では、画像センサ1201は、パッケージ1202により支持され得る(例えば、画像センサ1201の端部のみが「フレーム」パッケージにより支持され得る)が、図12Aでは簡単のため、別々に示されていることに留意されたい。対照的に、図12Bは、画像センサ1201の例示的な信号及びグランド経路と、パッケージ内蔵キャパシタを有するパッケージ1203の信号及び直流経路を示す。

40

【0057】

パッケージ1202(パッケージ内蔵キャパシタなし)では、信号経路(すなわち電流)は、パッケージ1202の外側でVDD電源まで延び、その後、センサ1201に電源

50

を供給するようセンサ 1201 に戻る。この信号経路は、DC 及び高周波電流の双方について同様である。とりわけ、高周波信号をこれほど長距離（例えば、10～30cm のオーダー）伝搬させることは大きな問題であり、顕著な性能劣化を生じさせ得る。この劣化は、変動するグラウンド電圧（例えば、AVSS 及び VSS プレーン）を含み得る。対照的に、パッケージ 1203（パッケージ内蔵キャパシタ C1 及び C2 を有する）では、電流経路は、パッケージ 1203 内に局在している（例えば、1～2cm のオーダー）。この短縮された（パッケージ 1202 のそれと比較して）経路により、例えば、一貫した、安定した基準電圧を確保する等の、良好な性能を好適に確保し得る。

【0058】

一実施形態では、デバイスの ADC は、内部で生成された基準を用いて較正することができ、又は、外部接続からの基準を用いることができる。後者の場合、高精度測定のため、この接続と共に複数のデバイスを接続し、同一の基準に対して較正することができる。オンチップロジックは、好ましい実施形態のどちらのタイプの較正もサポートするように設計される。

【0059】

ここに記載される実施形態は、網羅的とすること、又は、本発明を開示した厳密な形態に限定することを意図したものではない。このように、多くの変更及び変形が自明であろう。例えば、一実施形態では、複数のアナログ信号をデジタル変換の前に符号化又は混合し、その後、複合デジタルデータを復号化することで信号対雑音比を改善し得る。他の実施形態では、画素毎に複数のデジタルサンプルを取得し（マルチサンプリング）、それにより、タイミングジッタの影響を最小にすることで信号回復を改善し得る。更に他の実施形態では、デジタルデータは、較正、圧縮及び前処理のためにローカルに格納及び処理され得る。更に他の実施形態では、隣接チャンネルからの結果及びチャンネル値の「履歴（履歴）」が、アナログ及びデジタル処理のリアルタイム制御を提供するために使用され得る。更に他の実施形態では、信号レベルをモニタし、信号レベルが所定の閾値を上回る時は、信号が更に増加する場合にゲインを低下させてヘッドルームを維持することができる（そして、信号レベルが他の所定の閾値未満に下がったときは、較正を維持しつつゲインを上昇させることができる）。HDD は、ADC のリセット及びサンプリングクロックを調節するために精密タイミング遅延制御を更に有することができる。この遅延は、デジタルブロックによって制御される。HDD のための非常に低いタイミングジッタの要求特性を達成するよう、タイミング制御回路は、レギュレーターを介して内部で発生させる信頼できる電圧源を有することができる。抵抗器及びバイアス電流の最適設定のために画像センサ出力の正確な直流電圧を読み出すため、HDD は、アナログマルチプレクサを更に有してもよい。

【0060】

更に他の実施形態では、欠陥検出を実行するための何らかのローカルな処理を実行し得る。例えば、反復性の高い形状を有するデザインでは、隣接する欠陥の無い形状が同一の筈であるとして、隣接する形状が比較され得る。一実施形態では、欠陥検出は、1つの形状の画像を隣接する形状の画像から減算することと、画像の差分が所定の閾値を上回るときにのみ、欠陥が検出されたことを示すことを含むことができる。差分データが所定の閾値よりも低い場合は、出力データ生成を完全に無効とし、又は、高圧縮することができる。

【0061】

図 13 は、従来の単一信号 CDS モードとマルチ信号 CDS モードを比較する。従来の単一信号 CDS モードでは、REF1301 及び SIG1302 波形は、デジタル読み出し当たり 1つの基準及び 1つのサンプルで基準及び信号クロックを規定する。マルチ信号 CDS モードでは、REF1303 は、REF1301 と同じであり、SIG1304 のクロックは、複数のサンプル測定及びデジタル読み出しを生成し、それぞれの読出しは、t_{ref} で収集される基準値に関連する。全てのタイミング信号は、REF1301 に示すような差動対として実行されてもよいことに留意されたい。

10

20

30

40

50

【 0 0 6 2 】

対照的に、図14は、CCDセンサをタイミング調節して、同じ画像信号に対して異なる波形を生成できることを示す。この場合、CCD波形1401を用いて、3つの信号測定を収集することができ、これらは全て、基準サンプル(REF1303)に関連する。CCD波形1402を用いて、2つの基準レベル及び2つの信号サンプルを収集することができ、ここで、t_{sig1}での測定は、第1の基準測定と関連し、ノイズ源の無い理想システムに対しては0カウントであろう。CDS回路のクロックは再構成可能であるため、1つのリセット及び複数の読み出しは、好適に、平均値算出を提供し、システムSNRを向上させることができる。

【 0 0 6 3 】

したがって、本発明の範囲は、以下の特許請求の範囲及びその均等物により規定されることが意図される。

【 図 1 】

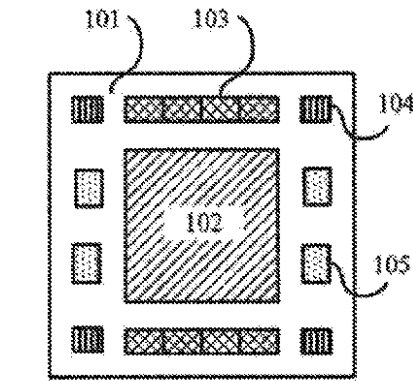
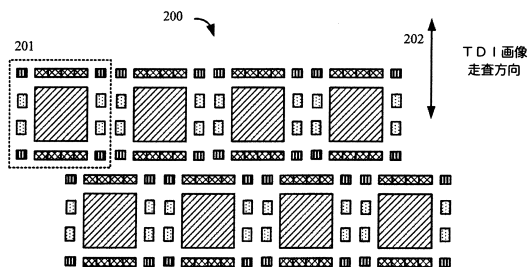
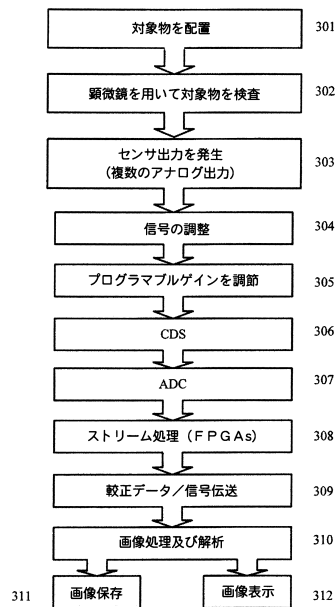


FIG. 1

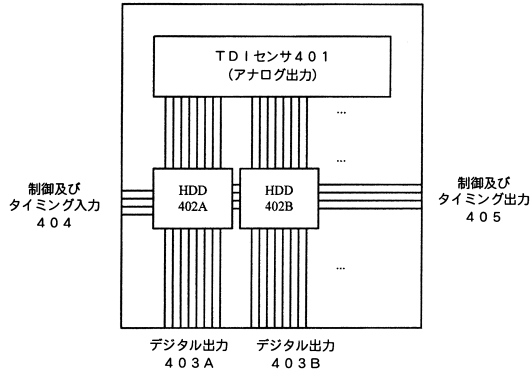
【 図 2 】



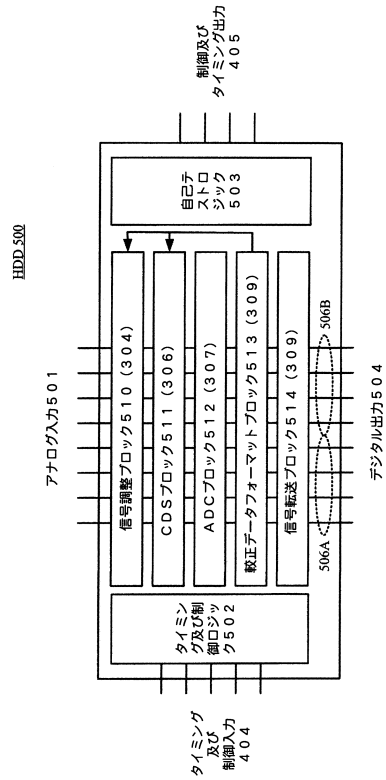
【 図 3 】



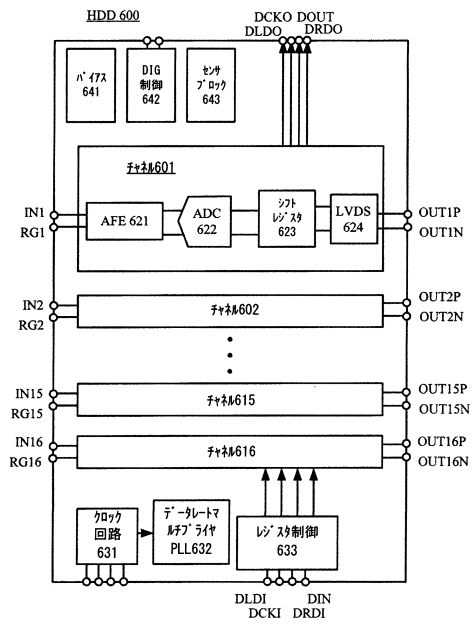
【図4】



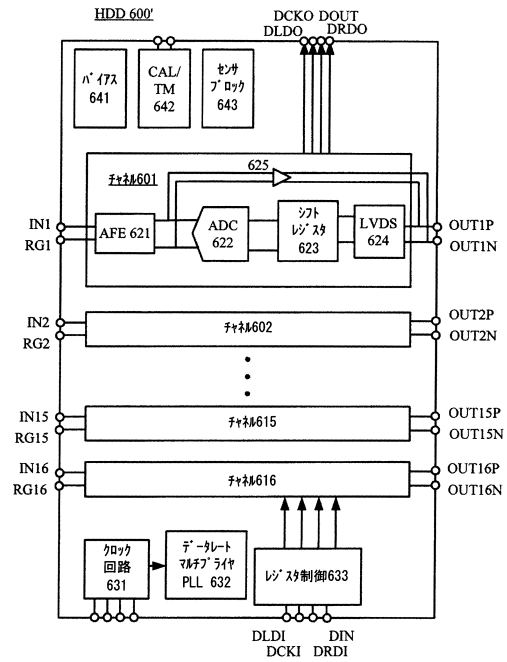
【図5】



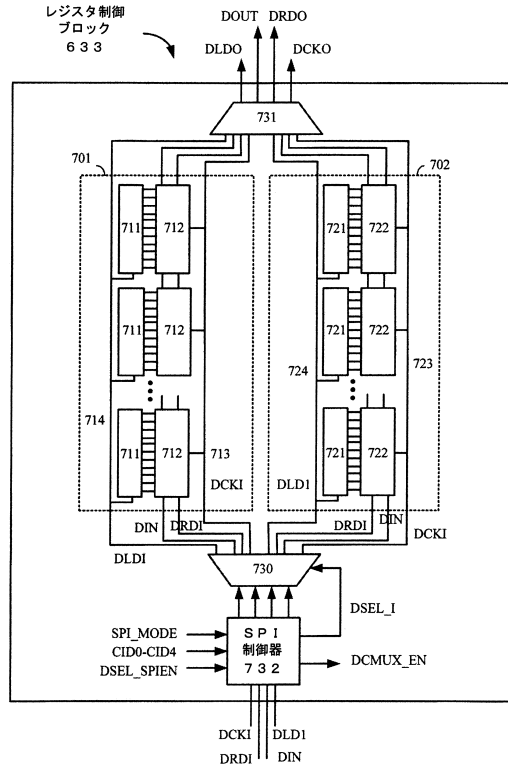
【図6A】



【図6B】



【図7】



【図8A】

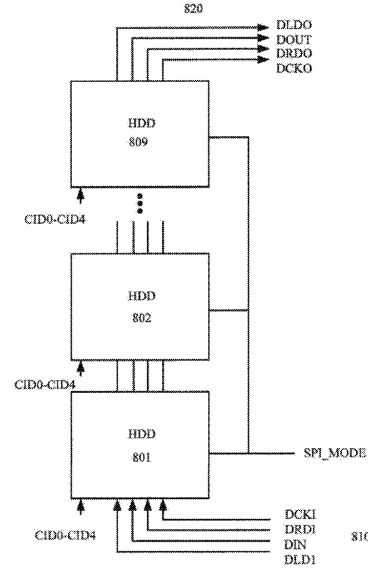


FIG. 8A

【図8B】

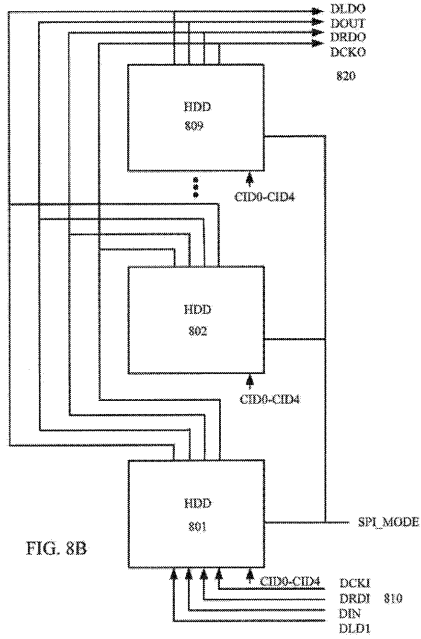


FIG. 8B

【図9A】

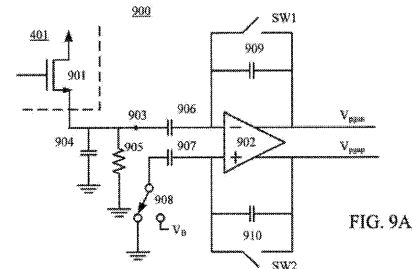


FIG. 9A

【図9B】

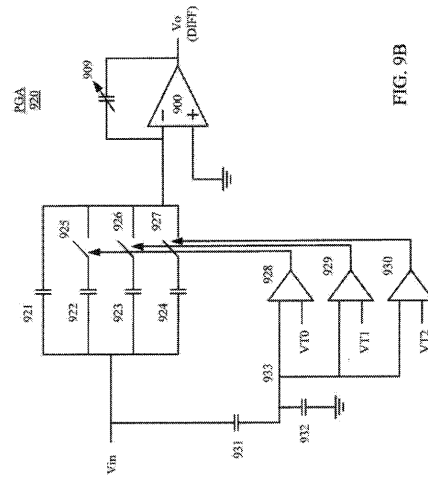
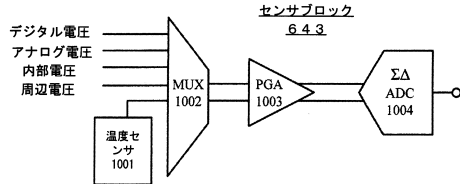
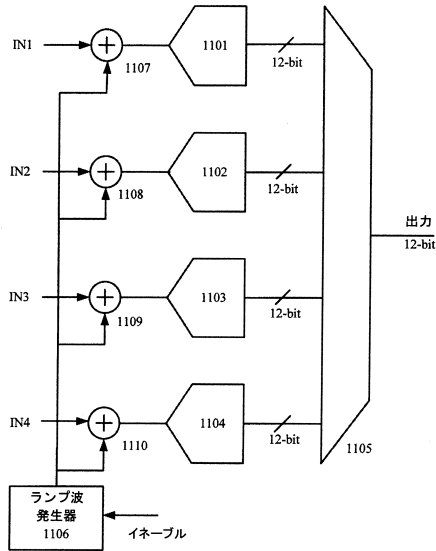


FIG. 9B

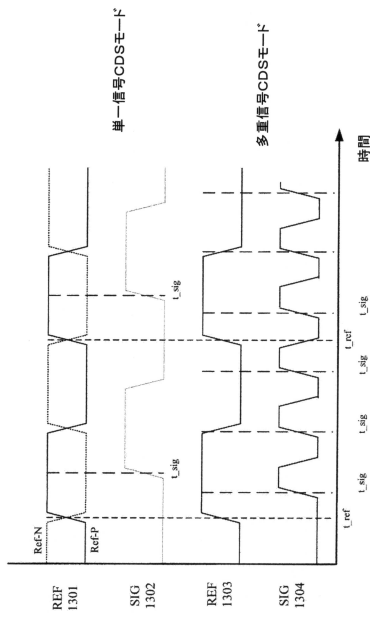
【図10】



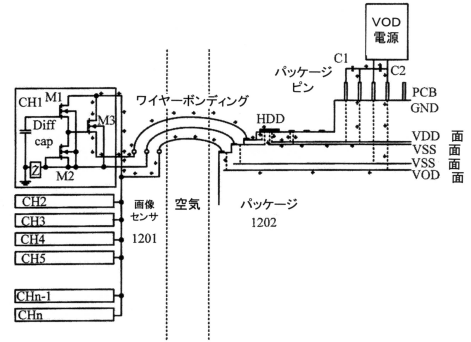
【図11】



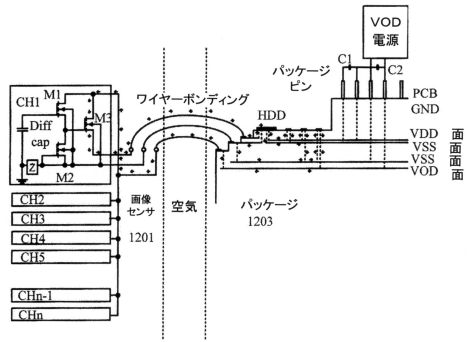
【図13】



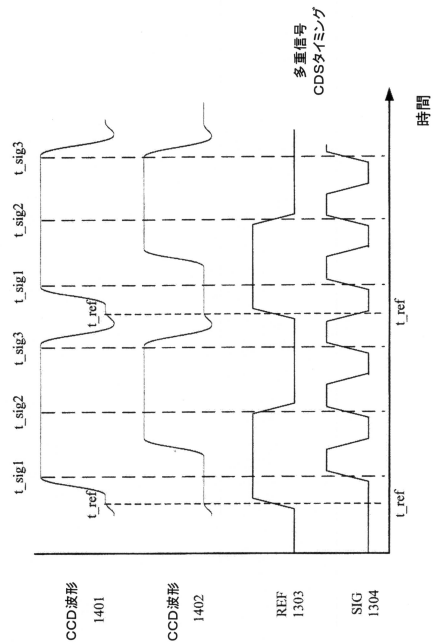
【図12A】



【図12B】



【図14】



フロントページの続き

- (72)発明者 グラッサー ランス
アメリカ合衆国 カリフォルニア サラトガ ヴィア エスクエラ 19753
- (72)発明者 ニールセン ヘンリック
アメリカ合衆国 カリフォルニア サン ホゼ ラティマー アベニュー 4383
- (72)発明者 ツェン グオウ
アメリカ合衆国 カリフォルニア クパチーノ ガーデン マノア コート 20714
- (72)発明者 リーマン クルト
アメリカ合衆国 カリフォルニア メンロ パーク エルム ストリート 375
- (72)発明者 ハッチ ケネス
アメリカ合衆国 カリフォルニア スノル フースイル ロード 10727
- (72)発明者 チュアン アレックス
アメリカ合衆国 カリフォルニア クパチーノ ファラロン ドライブ 10678
- (72)発明者 アイヤー ベンカトラマン
アメリカ合衆国 カリフォルニア サニーベイル インバーネス ウェイ 941

審査官 鈴木 明

- (56)参考文献 特開2009-141401(JP,A)
特開2007-221453(JP,A)
国際公開第2010/085578(WO,A2)
特開2004-015701(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257