

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 2 月 20 日 (20.02.2025)



(10) 国际公布号
WO 2025/035305 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2023/112706

(22) 国际申请日: 2023 年 8 月 11 日 (11.08.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。北京京东方技术开发有限公司(BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北京经济技术开发区地泽路 9 号 1 幢 407 室, Beijing 100176 (CN)。

(72) 发明人: 黄耀(HUANG, Yao); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。都蒙蒙(DU, Mengmeng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。董向丹(DONG, Xiangdan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明(HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。邱海军(QIU, Haijun); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。杨栋芳(YANG, Dongfang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司(TDIP & PARTNERS); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

(54) Title: SHIFT REGISTER UNIT, DRIVING CONTROL CIRCUIT, DISPLAY DEVICE, AND DRIVING METHOD

(54) 发明名称: 移位寄存器单元、驱动控制电路、显示装置及驱动方法

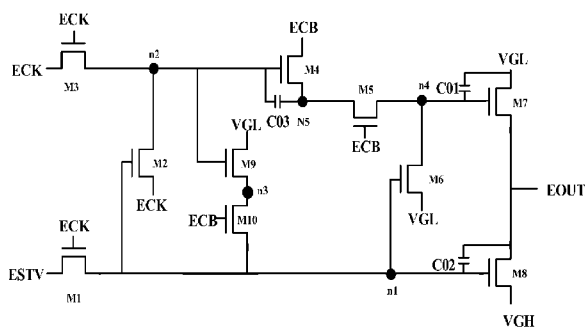


图 1

(57) Abstract: A shift register unit, a driving control circuit, a display device, and a driving method. The shift register unit comprises: an input circuit (10), coupled to a first node (N1), and configured to provide a signal of an input signal end (IP) to the first node (N1) in response to a signal of a first clock signal end (CK); a control circuit (20), coupled to the first node (N1), a second node (N2), a control signal end (CT), and a first reference signal end (VGL), and configured to respectively provide signals of the first clock signal end (CK) and the first reference signal end (VGL) to a third node (N3) and the second node (N2) in response to the signal of the first node (N1), wherein the first node (N1) is not controlled by the second node (N2) or the third node (N3); and an output circuit (30), coupled to the first node (N1) and the second node (N2), and configured to provide the signal of the first reference signal end (VGL) to an output signal end (OT) in response to the signal of the second node (N2), and provide a signal of a second reference signal end (VGH) to the output signal end (OT) in response to the signal of the first node (N1).

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、驱动控制电路、显示装置及驱动方法, 其中, 移位寄存器单元包括: 输入电路(10), 与第一节点(N1)耦接, 被配置为响应于第一时钟信号端(CK)的信号, 将输入信号端(IP)的信号提供给第一节点(N1); 控制电路(20), 与第一节点(N1)、第二节点(N2)、控制信号端(CT)以及第一参考信号端(VGL)耦接, 被配置为响应于第一节点(N1)的信号, 分别将第一时钟信号端(CK)与第一参考信号端(VGL)的信号提供给第三节点(N3)与第二节点(N2), 第一节点(N1)不受第二节点(N2)或者第三节点(N3)的控制; 输出电路(30), 与第一节点(N1)和第二节点(N2)耦接, 被配置为响应于第二节点(N2)的信号, 将第一参考信号端(VGL)的信号提供给输出信号端(OT), 以及响应于第一节点(N1)的信号, 将第二参考信号端(VGH)的信号提供给输出信号端(OT)。

移位寄存器单元、驱动控制电路、显示装置及驱动方法

技术领域

本公开涉及显示技术领域，特别涉及移位寄存器单元、驱动控制电路、显示装置及驱动方法。

5

背景技术

随着显示技术的飞速发展，显示装置越来越向着高集成度和低成本的方向发展。其中，阵列基板行驱动（Gate Driver on Array, GOA）技术将薄膜晶体管（Thin Film Transistor, TFT）驱动控制电路集成在显示装置的阵列基板上以形成对显示装置的驱动。其中，驱动控制电路通常由多个级联的移位寄存器单元构成。然而，移位寄存器单元输出不稳定，会导致显示异常。

10

发明内容

本公开提供了移位寄存器单元、驱动控制电路、显示装置及驱动方法，具体方案如下：

15

本公开实施例提供了一种移位寄存器单元，其中，包括：

输入电路，与第一节点耦接，被配置为响应于第一时钟信号端的信号，将输入信号端的信号提供给所述第一节点；

20

控制电路，与所述第一节点、第二节点、控制信号端以及第一参考信号端耦接，被配置为响应于所述第一节点的信号，分别将所述第一时钟信号端与所述第一参考信号端的信号提供给第三节点与所述第二节点，所述第一节点不受所述第二节点或者所述第三节点的控制；

25

输出电路，与所述第一节点和所述第二节点耦接，被配置为响应于所述第二节点的信号，将所述第一参考信号端的信号提供给输出信号端，以及响应于所述第一节点的信号，将第二参考信号端的信号提供给所述输出信号端。

可选地，在本公开实施例中，所述控制电路包括第一控制模块、第二控

制模块和第三控制模块；

所述第一控制模块，与所述第一节点和所述第三节点耦接，被配置为响应于所述第一节点的信号，将所述第一时钟信号端的信号提供给所述第三节点，以及响应于所述第一时钟信号端的信号，将所述控制信号端的信号提供
5 给所述第三节点；

所述第二控制模块，与所述第二节点和所述第三节点耦接，被配置为响应于所述第三节点和第二时钟信号端的信号，将所述第二时钟信号端的信号提供给所述第二节点；

所述第三控制模块，与所述第一节点和所述第二节点耦接，被配置为响应于所述第一节点的信号，将第一参考信号端的信号提供给所述第二节点。
10

可选地，在本公开实施例中，还包括稳压电路；

所述稳压电路与所述第三节点耦接，被配置为保持所述第三节点的电位。

可选地，在本公开实施例中，所述稳压电路包括第一电容；

所述第一电容的第一极与所述第三节点耦接，所述第一电容的第二极与
15 所述第二参考信号端耦接。

可选地，在本公开实施例中，还包括保护电路；

所述第三节点通过所述保护电路与所述第二控制模块耦接，所述保护电路被配置为控制所述第三节点与所述第二控制模块之间的导通与断开。

可选地，在本公开实施例中，所述控制信号端与所述第一时钟信号端为
20 同一信号端。

可选地，在本公开实施例中，所述控制信号端与所述第二参考信号端为同一信号端。

可选地，在本公开实施例中，所述输入电路包括第一晶体管；

所述第一晶体管的栅极与所述第一时钟信号端耦接，所述第一晶体管的
25 第一极与所述第一节点耦接，所述第一晶体管的第二极与所述输入信号端耦接。

可选地，在本公开实施例中，所述第一控制模块包括第二晶体管和第三

晶体管；

所述第二晶体管的栅极与所述第一节点耦接，所述第二晶体管的第一极与
与所述第一时钟信号端耦接，所述第二晶体管的第二极与所述第三节点耦接；

5 所述第三晶体管的栅极与所述第一时钟信号端耦接，所述第三晶体管的
第一极与所述第三节点耦接，所述第三晶体管的第二极与
所述控制信号端耦接。

可选地，在本公开实施例中，所述第二控制模块包括第四晶体管和第五
晶体管；

10 所述第四晶体管的栅极与所述第三节点耦接，所述第四晶体管的第一极
与第四节点耦接，所述第四晶体管的第二极与
所述第二时钟信号端耦接；

所述第五晶体管的栅极与所述第二时钟信号端耦接，所述第五晶体管的
第一极与所述第二节点耦接，所述第五晶体管的第二极与
所述第四节点耦接。

可选地，在本公开实施例中，还包括复位电路；

15 所述复位电路与所述第一节点和第四节点耦接，被配置为响应于所述第
四节点的信号，将所述第一参考信号端的信号提供给所述第一节点。

可选地，在本公开实施例中，所述第三控制模块包括第六晶体管；

所述第六晶体管的栅极与所述第一节点耦接，所述第六晶体管的第一极
与
所述第一参考信号端耦接，所述第六晶体管的第二极与
所述第二节点耦接。

20 可选地，在本公开实施例中，所述输出电路包括第七晶体管、第二电容、
第八晶体管和第三电容；

所述第七晶体管的栅极与所述第二节点耦接，所述第七晶体管的第一极
与
所述输出信号端耦接，所述第七晶体管的第二极与
所述第二参考信号端耦接；

25 所述第二电容的第一极与所述第二节点耦接，所述第二电容的第二极与
所述第一参考信号端耦接；

所述第八晶体管的栅极与所述第一节点耦接，所述第八晶体管的第一极
与
所述第二参考信号端耦接，所述第八晶体管的第二极与
所述输出信号端耦

接；

所述第三电容的第一极与所述第一节点耦接，所述第三电容的第二极与所述输出信号端耦接。

可选地，在本公开实施例中，所述保护电路包括第九晶体管；

5 所述第九晶体管的栅极与所述第二参考信号端耦接，所述第九晶体管的第一极与第四晶体管的栅极耦接，所述第九晶体管的第二极与所述第三节点耦接。

可选地，在本公开实施例中，所述复位电路包括第十晶体管；

10 所述第十晶体管的栅极与所述第四节点耦接，所述第十晶体管的第一极与所述第一节点耦接，所述第十晶体管的第二极与所述第一参考信号端耦接。

相应地，本公开实施例提供了一种移位寄存器单元，其中，包括：

第一晶体管，所述第一晶体管的第一极与第一节点直接连接；

第二晶体管，所述第二晶体管的栅极与所述第一节点直接连接，所述第二晶体管的第二极与第三节点耦接；

15 第六晶体管，所述第六晶体管的栅极与所述第一节点直接连接，所述第六晶体管的第二极与第二节点耦接；

第八晶体管，所述第八晶体管的栅极与所述第一节点直接连接，所述第八晶体管的第一极与第二参考信号端耦接，所述第八晶体管的第二极与输出信号端耦接；

20 所述第一节点不受所述第二节点或者所述第三节点的控制。

可选地，在本公开实施例中，还包括：

第一电容；所述第一电容的第一极与所述第三节点耦接，所述第一电容的第二极与所述第二参考信号端耦接。

可选地，在本公开实施例中，还包括第九晶体管；

25 所述第九晶体管的栅极与所述第二参考信号端耦接，所述第九晶体管的第二极与所述第三节点耦接。

可选地，在本公开实施例中，还包括第十晶体管；

所述第十晶体管的栅极与第四节点耦接，所述第十晶体管的第一极与所述第一节点耦接，所述第十晶体管的第二极与所述第一参考信号端耦接。

可选地，在本公开实施例中，还包括：

第三晶体管，所述第三晶体管的第一极与所述第三节点耦接，所述第三晶体管的第二极与控制信号端耦接；

第四晶体管，所述第四晶体管的栅极与所述第三节点耦接，所述第四晶体管的第一极与所述第四节点耦接；

第五晶体管，所述第五晶体管的第一极与所述第二节点耦接，所述第五晶体管的第二极与所述第四节点耦接；

第七晶体管，所述第七晶体管的栅极与所述第二节点耦接，所述第七晶体管的第一极与所述输出信号端耦接；

第二电容，所述第二电容的第一极与所述第二节点耦接，所述第二电容的第二极与第一参考信号端耦接；

第三电容，所述第三电容的第一极与所述第一节点耦接，所述第三电容的第二极与所述输出信号端耦接。

可选地，在本公开实施例中，其中，

所述第一晶体管的栅极与所述第一时钟信号端耦接，所述第一晶体管的第二极与输入信号端耦接；

所述第二晶体管的第一极与所述第一时钟信号端耦接；

所述第三晶体管的栅极与所述第一时钟信号端耦接；

所述第四晶体管的第二极与所述第二时钟信号端耦接；

所述第五晶体管的栅极与所述第二时钟信号端耦接；

所述第六晶体管的第一极与所述第一参考信号端耦接；

所述第七晶体管的第二极与所述第二参考信号端耦接；

所述第八晶体管的第二极与所述输出信号端耦接。

可选地，在本公开实施例中，所述控制信号端与所述第一时钟信号端为同一信号端。

可选地，在本公开实施例中，所述控制信号端与所述第二参考信号端为同一信号端。

相应地，本公开实施例提供了一种驱动控制电路，其中，包括：

级联的多个如上面任一项所述的移位寄存器单元；

5 第一级移位寄存器单元的输入信号端与帧触发信号端耦接；

每相邻的两级移位寄存器单元中，下一级移位寄存器单元的输入信号端与上一级移位寄存器单元的输出信号端耦接。

相应地，本公开实施例提供了一种显示装置，其中，包括：

如上面所述的驱动控制电路。

10 相应地，本公开实施例提供了一种如上面任一项所述的移位寄存器单元的驱动方法，包括：

第一阶段，所述输入电路响应于所述第一时钟信号端的信号，将所述输入信号端的信号提供给所述第一节点；所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提供给所述第三节点与所述第二节点，控制所述第二节点的电位与所述第一节点的电位相反；所述输出电路响应于所述第一节点的信号，将所述第二参考信号端的信号提供给所述输出信号端。

15

附图说明

20 图 1 为相关技术中移位寄存器单元的结构示意图；

图 2 为图 1 所示的移位寄存器单元在工作状态下的各个节点电压仿真波形示意图；

图 3 为本公开实施例提供的一种移位寄存器单元的一些结构示意图；

图 4 为本公开实施例提供的一种移位寄存器单元的另一一些结构示意图；

25 图 5 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 6 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 7 为本公开实施例提供的一些信号时序图；

图 8 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 9 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 10 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 11 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

5 图 12 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 13 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 14 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 15 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 16 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

10 图 17 为本公开实施例提供的一种移位寄存器单元的又一些结构示意图；

图 18 为本公开实施例提供的驱动控制电路的一些结构示意图；

图 19 为本公开实施例提供的一种移位寄存器单元的驱动方法的方法流程图。

15 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。并且在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。基于所

20 描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分

25 不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者

机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“内”、“外”、“上”、“下”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

需要注意的是,附图中各图形的尺寸和形状不反映真实比例,目的只是示意说明本公开内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

在相关技术中,结合图 1 和图 2 所示,其中,图 1 为发光驱动电路中移位寄存器单元的结构示意图,该移位寄存器单元包括晶体管 M1~M10 以及电容 C01~C03。图 2 为图 1 所示的移位寄存器单元在工作状态下的各个节点电压仿真波形示意图。其中,在 t04 阶段,n2 点电位被 ecb 拉高,使得 n2 点电压高达 35V,会导致 M2、M3、M4、M9 偏压过大,比如,此时 M2 的 VDS 高达 40V,M4 的 VGS 为 19V。一旦这些晶体管偏压过大容易造成器件特性偏移,从而影响发光驱动电路使用性能。

有鉴于此,本公开实施例提供了一种移位寄存器单元,如图 3 所示,该移位寄存器单元包括:

输入电路 10,与第一节点 N1 耦接,被配置为响应于第一时钟信号端 CK 的信号,将输入信号端 IP 的信号提供给所述第一节点 N1;

控制电路 20,与所述第一节点 N1、第二节点 N2、控制信号端 CT 以及第一参考信号端 VGL 耦接,被配置为响应于所述第一节点 N1 的信号,分别将所述第一时钟信号端与所述第一参考信号端的信号提供给第三节点与所述第二节点,所述第一节点不受所述第二节点或者所述第三节点的控制;

输出电路 30,与所述第一节点 N1 和所述第二节点 N2 耦接,被配置为响应于所述第二节点 N2 的信号,将所述第一参考信号端 VGL 的信号提供给输出信号端 OT,以及响应于所述第一节点 N1 的信号,将第二参考信号端 VGH 的信号提供给所述输出信号端 OT。

在本公开实施例中,通过输入电路 10 控制第一节点 N1 的信号;通过控制电路 20 控制第二节点 N2 和第三节点 N3 的信号,而且第二节点 N2 或者第

三节点 N3 的信号不会影响第一节点 N1 的信号；通过输出电路 30 控制输出信号端 OT 的信号。整个移位寄存器单元中所采用的器件数量少，电路复杂度低，不仅生产成本低，电路结构简单，占用面积小，利于窄边框设计，而且，通过上述器件的相互配合，可以使输出信号端 OT 输出的信号的稳定性提高。

5 在本公开实施例中，如图 4 所示，所述控制电路 20 包括第一控制模块 21、第二控制模块 22 和第三控制模块 23；

所述第一控制模块 21，与所述第一节点 N1 和所述第三节点 N3 耦接，被配置为响应于所述第一节点 N1 的信号，将所述第一时钟信号端 CK 的信号提供给所述第三节点 N3，以及响应于所述第一时钟信号端 CK 的信号，将所述
10 控制信号端 CT 的信号提供给所述第三节点 N3；

所述第二控制模块 22，与所述第二节点 N2 和所述第三节点 N3 耦接，被配置为响应于所述第三节点 N3 和第二时钟信号端 CB 的信号，将所述第二时钟信号端 CB 的信号提供给所述第二节点 N2；

所述第三控制模块 23，与所述第一节点 N1 和所述第二节点 N2 耦接，被
15 配置为响应于所述第一节点 N1 的信号，将第一参考信号端 VGL 的信号提供给所述第二节点 N2。

在本公开实施例中，如图 5 所示，所述控制信号端 CT 与所述第一时钟信号端 CK 为同一信号端。示例性的，可以将控制信号端 CT 和第一时钟信号端 CK 耦接在一起，这样可以降低信号线的数量，降低布线难度。

20 在本公开实施例中，如图 5 所示，所述输入电路 10 包括第一晶体管 T1；
所述第一晶体管 T1 的栅极与所述第一时钟信号端 CK 耦接，所述第一晶体管 T1 的第一极与所述第一节点 N1 耦接，所述第一晶体管 T1 的第二极与所述输入信号端 IP 耦接。

在具体实施过程中，第一晶体管 T1 可以在第一时钟信号端 CK 传输的第一时钟信号的有效电平的控制下导通，可以在第一时钟信号的无效电平的控制下截止。示例性的，第一晶体管 T1 设置为 N 型晶体管，则第一时钟信号的有效电平为高电平，第一时钟信号的无效电平为低电平。在第一晶体管 T1 处

于导通状态时，可以将输入信号端 IP 与第一节点 N1 导通；在第一晶体管 T1 处于截止状态时，可以将输入信号端 IP 与第一节点 N1 断开。

在本公开实施例中，如图 5 所示，所述第一控制模块 21 包括第二晶体管 T2 和第三晶体管 T3；

5 所述第二晶体管 T2 的栅极与所述第一节点 N1 耦接，所述第二晶体管 T2 的第一极与所述第一时钟信号端 CK 耦接，所述第二晶体管 T2 的第二极与所述第三节点 N3 耦接；

10 所述第三晶体管 T3 的栅极与所述第一时钟信号端 CK 耦接，所述第三晶体管 T3 的第一极与所述第三节点 N3 耦接，所述第三晶体管 T3 的第二极与所述控制信号端 CT 耦接。

在具体实施过程中，第二晶体管 T2 的栅极与第一节点 N1 耦接，这样的话，第二晶体管 T2 可以在第一节点 N1 传输的信号的有效电平的控制下导通，在第一节点 N1 传输的信号的有效电平的控制下截止。示例性的，第二晶体管 T2 设置为 N 型晶体管，第一节点 N1 传输的信号的有效电平为高电平，第一节点 N1 传输的信号的有效电平为低电平。在第二晶体管 T2 处于导通状态时，
15 可以将第一时钟信号端 CK 与第三节点 N3 导通；在第二晶体管 T2 处于截止状态时，可以将第一时钟信号端 CK 与第三节点 N3 断开。

在具体实施过程中，第三晶体管 T3 的栅极与第一时钟信号端 CK 耦接，这样的话，第三晶体管 T3 可以在第一时钟信号端 CK 传输的第一时钟信号的有效电平的控制下导通，可以在第一时钟信号的有效电平的控制下截止。示例性的，第三晶体管 T3 设置为 N 型晶体管，则第一时钟信号的有效电平为高电平，第一时钟信号的有效电平为低电平。
20 第三晶体管 T3 的第二极与所述第二时钟信号端 CB 耦接；

在本公开实施例中，如图 5 所示，所述第二控制模块 22 包括第四晶体管 T4 和第五晶体管 T5；

25 所述第四晶体管 T4 的栅极与所述第三节点 N3 耦接，所述第四晶体管 T4 的第一极与第四节点 N4 耦接，所述第四晶体管 T4 的第二极与所述第二时钟信号端 CB 耦接；

所述第五晶体管 T5 的栅极与所述第二时钟信号端 CB 耦接，所述第五晶体管 T5 的第一极与所述第二节点 N2 耦接，所述第五晶体管 T5 的第二极与
所述第四节点 N4 耦接。

在具体实施过程中，第四晶体管 T4 在第三节点 N3 传输的信号的有效电
5 平的控制下导通，在第三节点 N3 传输的信号的有效电平的控制下截止。示例
性的，第四晶体管 T4 设置为 N 型晶体管，则第三节点 N3 传输的信号的有效
电平为高电平，第三节点 N3 传输的信号的有效电平为低电平。在第四晶体管
T4 处于导通状态时，可以将第二时钟信号端 CB 与第四节点 N4 导通；在第
四晶体管 T4 处于截止状态时，可以将第二时钟信号端 CB 与第四节点 N4 断
10 开。

在具体实施过程中，第五晶体管 T5 在第二时钟信号端 CB 提供的第二时
钟信号的有效电平的控制下导通，在第二时钟信号提供的信号的有效电平的
控制下截止。示例性的，第五晶体管 T5 设置为 N 型晶体管，则第二时钟信号
的有效电平为高电平，第二时钟信号的有效电平为低电平。

15 在本公开实施例中，如图 5 所示，所述第三控制模块 23 包括第六晶体管
T6；

所述第六晶体管 T6 的栅极与所述第一节点 N1 耦接，所述第六晶体管 T6
的第一极与所述第一参考信号端 VGL 耦接，所述第六晶体管 T6 的第二极与
所述第二节点 N2 耦接。

20 在具体实施过程中，第六晶体管 T6 在第一节点 N1 传输的信号的有效电
平的控制下导通，在第一节点 N1 传输的信号的有效电平的控制下截止。示例
性的，第六晶体管 T6 设置为 N 型晶体管，则第一节点 N1 传输的信号的有效
电平为高电平，第一节点 N1 传输的信号的有效电平为低电平。在第六晶体管
T6 处于导通状态时，可以将第一参考信号端 VGL 与第二节点 N2 导通；在第
25 六晶体管 T6 处于截止状态时，可以将第一参考信号端 VGL 与第二节点 N2
断开。

在本公开实施例中，如图 5 所示，所述输出电路 30 包括第七晶体管 T7、

第二电容 C2、第八晶体管 T8 和第三电容 C3;

所述第七晶体管 T7 的栅极与所述第二节点 N2 耦接, 所述第七晶体管 T7 的第一极与所述输出信号端 OT 耦接, 所述第七晶体管 T7 的第二极与所述第二参考信号端 VGH 耦接;

5 所述第二电容 C2 的第一极与所述第二节点 N2 耦接, 所述第二电容 C2 的第二极与所述第一参考信号端 VGL 耦接;

所述第八晶体管 T8 的栅极与所述第一节点 N1 耦接, 所述第八晶体管 T8 的第一极与所述第二参考信号端 VGH 耦接, 所述第八晶体管 T8 的第二极与
所述输出信号端 OT 耦接;

10 所述第三电容 C3 的第一极与所述第一节点 N1 耦接, 所述第三电容 C3 的第二极与所述输出信号端 OT 耦接。

在具体实施过程中, 第七晶体管 T7 在第二节点 N2 传输的信号的有效电平的控制下导通, 在第二节点 N2 传输的信号的有效电平的控制下截止。示例性的, 第七晶体管 T7 设置为 N 型晶体管, 则第二节点 N2 传输的信号的有效
15 电平为高电平, 第二节点 N2 传输的信号的有效电平为低电平。

在具体实施过程中, 第八晶体管 T8 在第一节点 N1 传输的信号的有效电平的控制下导通, 在第一节点 N1 传输的信号的有效电平的控制下截止。示例性的, 第八晶体管 T8 设置为 N 型晶体管, 则第一节点 N1 传输的信号的有效
20 电平为高电平, 第一节点 N1 传输的信号的有效电平为低电平。

在具体实施过程中, 根据信号的流通方向, 上述晶体管的第一极可以作为其源极, 第二极可以作为其漏极; 或者, 第一极作为其漏极, 第二极作为其源极, 在此不作具体区分。

需要说明的是, 本公开实施例中提到的晶体管可以是薄膜晶体管 (Thin Film Transistor, TFT), 也可以是金属氧化物半导体场效应管 (Metal Oxide
25 Semiconductor, MOS), 在此不做限定。

在本公开实施例中, 上述晶体管中各个晶体管的有源层可以为金属氧化物半导体材料, 相应地, 各个晶体管可以为用金属氧化物半导体材料作为有

源层的 N 型晶体管；第一参考信号端 VGL 可以被配置为加载恒定的第一参考电压，并且第一参考电压一般为负值，比如，-9V。以及，第二参考信号端 VGH 可以加载恒定的第二参考电压，并且第二参考电压一般可以为正值，比如，7V。在实际应用中，上述电压具体数值可以根据实际应用环境来设计确定，在此不做限定。此外，上述晶体管可以均设置为 P 型晶体管，在此不做限定。

本公开实施例还提供了移位寄存器单元的另一种结构示意图，如图 6 所示，其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不做赘述。

在本公开实施例中，如图 6 所示，移位寄存器单元还包括稳压电路 40；所述稳压电路 40 与所述第三节点 N3 耦接，被配置为保持所述第三节点 N3 的电位。

在图 6 所示的示例性实施例中，所述稳压电路 40 包括第一电容 C1；

所述第一电容 C1 的第一极与所述第三节点 N3 耦接，所述第一电容 C1 的第二极与所述第二参考信号端 VGH 耦接。

在具体实施过程中，第一电容 C1 可以保持第三节点 N3 的电位，从而提高第三节点 N3 的电压的稳定性，有效避免了第三节点 N3 偏压过大的问题。

在本公开实施例中，如图 6 所示，所述控制信号端 CT 与所述第一时钟信号端 CK 为同一信号端。

示例性的，可以将控制信号端 CT 与第一时钟信号端 CK 耦接在一起，这样可以降低信号线的数量，降低布线难度。

下面以图 6 所示的移位寄存器单元为例，结合图 7 所示的信号时序图，对本公开实施例提供的上述移位寄存器单元的工作过程作以描述。在下面描述中，以“1”表示高电平信号，以“0”表示低电平信号，ip 表示输入信号端 IP 的输入信号，ck 表示第一时钟信号端 CK 的第一时钟信号，cb 表示第二时钟信号端 CB 的第二时钟信号，ot 表示输出信号端 OT 的输出信号。需要说明的是，1 和 0 是逻辑电平，其仅是为了更好的解释本公开实施例的具体工作

过程，而不是在具体实施时施加在各晶体管的栅极上的电压。

具体地，以第一参考信号端 VGL 输出的第一参考信号 vgl 的电压值为负压，第二参考信号端 VGH 输出的第二参考信号 vgh 的电压值为正压，所有晶体管均为 N 型晶体管为例进行说明，选取图 7 所示的信号时序图中的第一阶段 f1、第二阶段 f2、第三阶段 f3 以及第四阶段 f4 这四个阶段。需要说明的是，图 7 所示的信号时序图仅是某个移位寄存器单元在当前帧中的工作过程，该移位寄存器单元在其它帧中的工作过程分别与该当前帧中的工作过程基本相同，在此不做赘述。

在第一阶段 f1 中，ip=1，ck=1，cb=0；

由于输入信号 ip 提供高电平，第一时钟信号 ck 提供高电平，第二时钟信号 cb 提供低电平，则第一晶体管 T1 和第三晶体管 T3 均导通，输入信号 ip 的高电平提供给第一节点 N1，第二晶体管 T2、第六晶体管 T6 和第八晶体管 T8 均导通，第一时钟信号 ck 的高电平提供给第三节点 N3，第四晶体管 T4 导通，第二时钟信号 cb 的低电平提供给第四节点 N4，第五晶体管 T5 截止，第一参考信号 vgl 的低电平提供给第二节点 N2，第七晶体管 T7 截止，第二参考信号 vgh 的高电平提供给输出信号端 OT，则输出信号端 OT 输出高电平。

在第二阶段 f2 中，ip=0，ck=0，cb=1；

由于输入信号 ip 提供低电平，第一时钟信号 ck 提供低电平，第二时钟信号 cb 提供高电平，则第一晶体管 T1 和第三晶体管 T3 均截止，第一节点 N1 维持高电平，第二晶体管 T2、第六晶体管 T6 和第八晶体管 T8 均导通，第一时钟信号 ck 的低电平提供给第三节点 N3，第四晶体管 T4 截止，第五晶体管 T5 导通，第二节点 N2 维持低电平，第七晶体管 T7 截止，第二节点 N2 的低电平提供给第四节点 N4，第二参考信号 vgh 的高电平提供给输出信号端 OT，则输出信号端 OT 输出高电平。

在第三阶段 f3，ip=0，ck=1，cb=0；

由于输入信号 ip 提供低电平，第一时钟信号 ck 提供高电平，第二时钟信号 cb 提供低电平，则第一晶体管 T1 和第三晶体管 T3 均导通，输入信号 ip

的低电平提供给第一节点 N1, 第二晶体管 T2、第六晶体管 T6 和第八晶体管 T8 均截止, 第三节点 N3 为高电平, 第四晶体管 T4 导通, 第二时钟信号 cb 的低电平提供给第四节点 N4, 第五晶体管 T5 截止, 第二节点 N2 维持低电平, 第七晶体管 T7 截止, 则输出信号端 OT 输出高电平。

5 在第四阶段 f4, $ip=0$, $ck=0$, $cb=1$;

 由于输入信号 ip 提供低电平, 第一时钟信号 ck 提供低电平, 第二时钟信号 cb 提供高电平, 则第一晶体管 T1 和第三晶体管 T3 均截止, 第一节点 N1 维持低电平, 第二晶体管 T2、第六晶体管 T6 和第八晶体管 T8 均截止, 第三节点 N3 维持高电平, 第四晶体管 T4 导通, 第二时钟信号 cb 的高电平提供给
10 第四节点 N4, 第五晶体管 T5 导通, 第二节点 N2 为高电平, 第七晶体管 T7 导通, 第一参考信号 vgl 的低电平提供给输出信号端 OT, 输出信号端 OT 输出低电平。

 需要说明的是, 在图 6 所示的示例性实施例中, 第三节点 N3 的电位可以由原来的 35V 降低至 17V, 从而极大地减少了相关晶体管的偏压环境, 提高了
15 移位寄存器单元的稳定性。本公开实施例还提供了移位寄存器单元的另一种结构示意图, 如图 8 所示, 其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与上述实施例的区别之处, 其大致相同之处在此不做赘述。

 在本公开实施例中, 如图 8 所示, 移位寄存器单元还包括稳压电路 40;
20 所述稳压电路 40 与所述第三节点 N3 耦接, 被配置为保持所述第三节点 N3 的电位。

 在图 8 所示的示例性实施例中, 所述稳压电路 40 包括第一电容 C1;

 所述第一电容 C1 的第一极与所述第三节点 N3 耦接, 所述第一电容 C1 的第二极与所述第二参考信号端 VGH 耦接。

25 在具体实施过程中, 第一电容 C1 可以保持第三节点 N3 的电位, 从而提高第三节点 N3 的电压的稳定性, 有效避免了第三节点 N3 偏压过大的问题。

 在本公开实施例中, 如图 8 所示, 所述控制信号端 CT 与所述第二参考信

号端 VGH 为同一信号端。

示例性的，可以将控制信号端 CT 与第二参考信号端 VGH 耦接在一起，这样可以降低信号线的数量，降低布线难度。

本公开实施例还提供了移位寄存器单元的另一种结构示意图，如图 9 所示，其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不做赘述。

在本公开实施例中，如图 9 所示，所述控制信号端 CT 与所述第二参考信号端 VGH 为同一信号端。

示例性的，可以将控制信号端 CT 与第二参考信号端 VGH 耦接在一起，这样可以降低信号线的数量，降低布线难度。

本公开实施例还提供了移位寄存器单元的另一种结构示意图，如图 10 所示，其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不做赘述。

在本公开实施例中，如图 10 所示，移位寄存器单元还包括保护电路 50；所述第三节点 N3 通过所述保护电路 50 与所述第二控制模块 22 耦接，所述保护电路 50 被配置为控制所述第三节点 N3 与所述第二控制模块 22 之间的导通与断开。

在本公开实施例中，如图 10 所示，所述控制信号端 CT 与所述第二参考信号端 VGH 为同一信号端。

示例性的，可以将控制信号端 CT 与第二参考信号端 VGH 耦接在一起，这样可以降低信号线的数量，降低布线难度。

在本公开实施例中，如图 10 所示，所述保护电路 50 包括第九晶体管 T9；所述第九晶体管 T9 的栅极与所述第二参考信号端 VGH 耦接，所述第九晶体管 T9 的第一极与第四晶体管 T4 的栅极耦接，所述第九晶体管 T9 的第二极与所述第三节点 N3 耦接。

在具体实施过程中，第九晶体管 T9 在第二参考信号端 VGH 提供的第二参考信号的有效电平的控制下导通，在第二参考信号的无效电平的控制下截

止。示例性的，第九晶体管 T9 设置为 N 型晶体管，则第二参考信号的有效电平为高电平，第二参考信号的无效电平为低电平。在第九晶体管 T9 处于导通状态时，可以将第四晶体管 T4 的栅极与第三节点 N3 导通；在第九晶体管 T9 处于截止状态时，可以将第四晶体管 T4 的栅极与第三节点 N3 断开。

5 本公开实施例还提供了移位寄存器单元的另一种结构示意图，如图 11 所示，其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不做赘述。

在本公开实施例中，如图 11 所示，移位寄存器单元还包括保护电路 50；
所述第三节点 N3 通过所述保护电路 50 与所述第二控制模块 22 耦接，所
10 述保护电路 50 被配置为控制所述第三节点 N3 与所述第二控制模块 22 之间的导通与断开。

在本公开实施例中，如图 11 所示，所述控制信号端 CT 与所述第一时钟信号端 CK 为同一信号端。

示例性的，可以将控制信号端 CT 与第一时钟信号端 CK 耦接在一起，这
15 样可以降低信号线的数量，降低布线难度。

在本公开实施例中，如图 11 所示，所述保护电路 50 包括第九晶体管 T9；
所述第九晶体管 T9 的栅极与所述第二参考信号端 VGH 耦接，所述第九
晶体管 T9 的第一极与第四晶体管 T4 的栅极耦接，所述第九晶体管 T9 的第二
极与所述第三节点 N3 耦接。

20 在具体实施过程中，第九晶体管 T9 在第二参考信号端 VGH 提供的第二参考信号的有效电平的控制下导通，在第二参考信号的无效电平的控制下截止。示例性的，第九晶体管 T9 设置为 N 型晶体管，则第二参考信号的有效电平为高电平，第二参考信号的无效电平为低电平。在第九晶体管 T9 处于导通状态时，可以将第四晶体管 T4 的栅极与第三节点 N3 导通；在第九晶体管 T9
25 处于截止状态时，可以将第四晶体管 T4 的栅极与第三节点 N3 断开。

本公开实施例还提供了移位寄存器单元的另一种结构示意图，如图 12 所示，其针对上述实施例中的实施例方式进行了变形。下面仅说明本实施例与

上述实施例的区别之处，其大致相同之处在此不做赘述。

在本公开实施例中，如图 12 所示，移位寄存器单元还包括稳压电路 40；

所述稳压电路 40 与所述第三节点 N3 耦接，被配置为保持所述第三节点 N3 的电位。

5 在本公开实施例中，如图 12 所示，所述稳压电路 40 包括第一电容 C1；
 所述第一电容 C1 的第一极与所述第三节点 N3 耦接，所述第一电容 C1 的第二极与所述第二参考信号端 VGH 耦接。

在具体实施过程中，第一电容 C1 可以保持第三节点 N3 的电位，从而提高第三节点 N3 的电压的稳定性，有效避免了第三节点 N3 偏压过大的问题。

10 在本公开实施例中，如图 12 所示，移位寄存器单元还包括复位电路 60；
 所述复位电路 60 与所述第一节点 N1 和第四节点 N4 耦接，被配置为响应于所述第四节点 N4 的信号，将所述第一参考信号端 VGL 的信号提供给所述第一节点 N1。

在本公开实施例中，如图 12 所示，所述复位电路 60 包括第十晶体管 T10；

15 所述第十晶体管 T10 的栅极与所述第四节点 N4 耦接，所述第十晶体管 T10 的第一极与所述第一节点 N1 耦接，所述第十晶体管 T10 的第二极与所述第一参考信号端 VGL 耦接。

在具体实施过程中，第十晶体管 T10 在第四节点 N4 传输的信号的有效电平的控制下导通，在第四节点 N4 传输的信号的有效电平的控制下截止。示例性的，第十晶体管 T10 设置为 N 型晶体管，则第四节点 N4 传输的信号的有效电平为高电平，第四节点 N4 传输的信号的有效电平为低电平。在第十晶体管 T10 处于导通状态时，可以将第一节点 N1 与第四节点 N4 导通；在第十晶体管 T10 处于截止状态时，可以将第一节点 N1 与第四节点 N4 断开。

20 以上仅是举例说明本公开实施例提供的移位寄存器单元的具体结构，在具体实施时，上述各电路的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

基于同一公开构思，如图 13 至图 17 所示，本公开实施例还提供了一种

移位寄存器单元, 包括:

第一晶体管 T1, 所述第一晶体管 T1 的第一极与第一节点 N1 直接连接;

第二晶体管 T2, 所述第二晶体管 T2 的栅极与所述第一节点 N1 直接连接, 所述第二晶体管 T2 的第二极与第三节点 N3 耦接;

5 第六晶体管 T6, 所述第六晶体管 T6 的栅极与所述第一节点 N1 直接连接, 所述第六晶体管 T6 第二极与第二节点 N2 耦接;

第八晶体管 T8, 所述第八晶体管 T8 的栅极与所述第一节点 N1 直接连接, 所述第八晶体管 T8 的第一极与第二参考信号端 VGH 耦接, 所述第八晶体管 T8 的第二极与输出信号端 OT 耦接;

10 所述第一节点 N1 不受第二节点 N2 或者第三节点 N3 的控制。

在图 14 和图 15 所示的示例性实施例中, 移位寄存器单元还包括:

第一电容 C1; 所述第一电容 C1 的第一极与所述第三节点 N3 耦接, 所述第一电容 C1 的第二极与所述第二参考信号端 VGH 耦接。

在本公开实施例中, 如图 14 和图 15 所示, 移位寄存器单元还包括:

15 第三晶体管 T3, 所述第三晶体管 T3 的第一极与所述第三节点 N3 耦接, 所述第三晶体管 T3 的第二极与控制信号端 CT 耦接;

第四晶体管 T4, 所述第四晶体管 T4 的栅极与所述第三节点 N3 耦接, 所述第四晶体管 T4 的第一极与所述第四节点 N4 耦接;

20 第五晶体管 T5, 所述第五晶体管 T5 的第一极与所述第二节点 N2 耦接, 所述第五晶体管 T5 的第二极与所述第四节点 N4 耦接;

第七晶体管 T7, 所述第七晶体管 T7 的栅极与所述第二节点 N2 耦接, 所述第七晶体管 T7 的第一极与所述输出信号端 OT 耦接;

第二电容 C2, 所述第二电容 C2 的第一极与所述第二节点 N2 耦接, 所述第二电容 C2 的第二极与第一参考信号端 VGL 耦接;

25 第三电容 C3, 所述第三电容 C3 的第一极与所述第一节点 N1 耦接, 所述第三电容 C3 的第二极与所述输出信号端 OT 耦接。

在本公开实施例中, 如图 14 和图 15 所示, 所述第一晶体管 T1 的栅极与

所述第一时钟信号端 CK 耦接, 所述第一晶体管 T1 的第二极与输入信号端 IP 耦接;

所述第二晶体管 T2 的第一极与所述第一时钟信号端 CK 耦接;

所述第三晶体管 T3 的栅极与所述第一时钟信号端 CK 耦接;

5 所述第四晶体管 T4 的第二极与所述第二时钟信号端 CB 耦接;

所述第五晶体管 T5 的栅极与所述第二时钟信号端 CB 耦接;

所述第六晶体管 T6 的第一极与所述第一参考信号端 VGL 耦接;

所述第七晶体管 T7 的第二极与所述第二参考信号端 VGH 耦接;

所述第八晶体管 T8 的第二极与所述输出信号端 OT 耦接。

10 在本公开实施例中, 如图 14 所示, 所述控制信号端 CT 与所述第一时钟信号端 CK 为同一信号端。

在本公开实施例中, 如图 15 所示, 所述控制信号端 CT 与所述第二参考信号端 VGH 为同一信号端。

在本公开实施例中, 如图 16 所示, 移位寄存器单元还包括第九晶体管 T9;

15 所述第九晶体管 T9 的栅极与所述第二参考信号端 VGH 耦接, 所述第九晶体管 T9 的第二极与所述第三节点 N3 耦接。

在本公开实施例中, 如图 17 所示, 移位寄存器单元还包括第十晶体管 T10;

所述第十晶体管 T10 的栅极与第四节点 N4 耦接, 所述第十晶体管 T10 的第一极与所述第一节点 N1 耦接, 所述第十晶体管 T10 的第二极与所述第一参考信号端 VGL 耦接。

以上仅是举例说明本公开实施例提供的移位寄存器单元的具体结构, 在具体实施时, 上述各电路的具体结构不限于本公开实施例提供的上述结构, 还可以是本领域技术人员可知的其他结构, 在此不作限定。

在具体实施过程中, 该移位寄存器单元解决问题的原理与前述移位寄存器单元相似, 因此, 该移位寄存器单元的实施可以参见前述部分的描述, 重复之处不再赘述。

基于同一公开构思, 本公开实施例还提供了一种驱动控制电路, 包括级

联的多个移位寄存器单元；第一级移位寄存器单元的输入信号端与帧触发信号端耦接；每相邻的两级移位寄存器单元中，下一级移位寄存器单元的输入信号端与上一级移位寄存器单元的输出信号端耦接。

示例性的，如图 18 所示，驱动控制电路包括多个级联的移位寄存器单元 SR1、SR2、SR3...SRn-2、SRn-1 和 SRn；其中 n 为大于 6 的自然数。其中，n 的取值取决于实际的设计需要。该移位寄存器单元可以采用前述图 6 示例的移位寄存器单元，每一移位寄存器单元包括输入信号端、输出信号端、第一时钟信号端和第二时钟信号端。其中，各端点接入如图 7 所示的时序图所标记的信号：移位寄存器单元 SR1 的输入信号端与帧触发信号端耦接，stv 表示帧触发信号端提供的帧触发信号，其余的每一级移位寄存器单元中，上一级移位寄存器单元的信号输出端与下一级移位寄存器单元的输入信号端耦接，即，移位寄存器单元 SR1 输出信号端输出的信号可以作为移位寄存器单元 SR2 的输入信号端的信号，移位寄存器单元 SR2 的输出信号端输出的信号可以作为移位寄存器单元 SR3 的输入信号端的信号...移位寄存器单元 SRn-1 的输出信号端的信号可以作为移位寄存器单元 SRn 的输入信号端的信号，直到无下一级移位寄存器单元为止。第一时钟信号端接入第一时钟信号，第二时钟信号端接入第二时钟信号。其它驱动控制电路的时序可以根据各移位寄存器单元的连接关系及图 7 所示的时序进行推理得到，在此不再赘述。该驱动控制电路可以应被配置为液晶显示面板中，也可以应被配置为电致发光显示面板中，在此不做限定。

具体地，上述驱动控制电路中的每个移位寄存器单元的具体结构与本公开上述移位寄存器单元在功能和结构上均相同，重复之处不再赘述。该驱动控制电路可以应被配置为液晶显示面板中，也可以应被配置为电致发光显示面板中，在此不作限定。

基于同一公开构思，本公开实施例还提供了一种显示装置，包括本公开实施例提供的上述驱动控制电路。该显示装置解决问题的原理与前述驱动控制电路相似，因此该显示装置的实施可以参见前述驱动控制电路的实施，重

复之处在此不再赘述。

在具体实施时，在本公开实施例中，显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

在具体实施时，显示装置可以包括多个像素单元，多条栅线和数据线，每个像素单元可以包括多个子像素，例如红色子像素、绿色子像素以及蓝色子像素。本公开实施例提供的上述显示装置可以为有机发光显示装置，或者也可以为液晶显示装置，在此不作限定。

在本公开实施例中，显示装置包括多条扫描线；多条扫描线也对应设置有驱动控制电路；一条扫描线与驱动控制电路中一级移位寄存器单元的信号输出端电连接。例如，在本公开实施例提供的上述显示装置为液晶显示装置时，子像素中的 TFT 可以与扫描线电连接，并且使上述驱动控制电路可以作为栅极驱动电路，且该栅极驱动电路与扫描线电连接，应用于给予子像素中的 TFT 提供栅极扫描信号。需要说明的是，子像素中的 TFT 可以为 N 型晶体管或 P 型晶体管，在此不作限定。

在本公开实施例中，显示装置包括多条发光控制信号线和多条扫描线；多条发光控制信号线对应设置有驱动控制电路；一条发光控制信号线与驱动控制电路中一级移位寄存器单元的信号输出端电连接。以及，多条扫描线也对应设置有驱动控制电路；一条扫描线与驱动控制电路中一级移位寄存器单元的信号输出端电连接。例如，在有机发光显示装置中，一般设置有多条有机发光二极管以及与各有机发光二极管连接的像素电路。一般像素电路中设置有用于控制有机发光二极管发光的发光控制晶体管和用于控制数据信号输入的扫描控制晶体管。

在具体实施时，在本公开实施例提供的上述显示装置为有机发光显示装置时，发光控制晶体管可以与发光控制信号线电连接，扫描控制晶体管可以与扫描线电连接，该有机发光显示装置可以包括一个本公开实施例提供的上

述驱动控制电路，该驱动控制电路可以作为发光驱动电路，且该发光驱动电路与发光控制晶体管电连接，应用于提供发光控制晶体管的发光控制信号；或者，该驱动控制电路也可以作为栅极驱动电路，且该栅极驱动电路与扫描线电连接，应用于提供扫描控制晶体管的栅极扫描信号。当然，该有机发光显示装置也可以包括两个本公开实施例提供的上述驱动控制电路，其中一个驱动控制电路可以作为发光驱动电路，与发光控制晶体管电连接，应用于提供发光控制晶体管的发光控制信号；则另一个驱动控制电路作为栅极驱动电路，与扫描线电连接，应用于提供扫描控制晶体管的栅极扫描信号，在此不作限定。

基于同一公开构思，如图 19 所示，本公开实施例还提供了一种上述的移位寄存器单元的驱动方法，包括：

S101：第一阶段，所述输入电路响应于所述第一时钟信号端的信号，将所述输入信号端的信号提供给所述第一节点；所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提供给所述第三节点与所述第二节点，控制所述第二节点的电位与所述第一节点的电位相反；所述输出电路响应于所述第一节点的信号，将所述第二参考信号端的信号提供给所述输出信号端。

在本公开实施例中，仍结合图 19 所示，在所述第一阶段之后，所述驱动方法还包括：

S102：第二阶段，所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提供给所述第三节点与所述第二节点，控制所述第二节点的电位与所述第一节点的电位相反；所述输出电路响应于所述第一节点的信号，将所述第二参考信号端的信号提供给所述输出信号端；

S103：第三阶段，所述输入电路响应于所述第一时钟信号端的信号，将所述输入信号端的信号提供给所述第一节点；所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提

供给所述第三节点与所述第二节点，控制所述第二节点的电位与所述第一节点的电位相反；所述输出电路响应于所述第一节点的信号，将所述第二参考信号端的信号提供给所述输出信号端；

5 S104：第四阶段，所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提供给所述第三节点与所述第二节点，控制所述第一节点和所述第二节点的电位相反；所述输出电路响应于所述第二节点的信号，将所述第一参考信号端的信号提供给所述输出信号端。

10 其中，该驱动方法的驱动原理和具体实施方式与上述实施例移位寄存器单元的原理和实施方式相同，因此，该驱动方法可参见上述实施例中移位寄存器单元的具体实施方式实施，在此不再赘述。

15 本公开实施例提供的移位寄存器单元、驱动控制电路、显示装置及驱动方法，通过输入电路控制第一节点的信号；通过控制电路控制第二节点和第三节点的信号，而且第二节点或者第三节点的信号不会影响第一节点的信号；通过输出电路控制输出信号端的信号。整个移位寄存器单元中所采用的器件数量少，电路复杂度低，不仅生产成本低，电路结构简单，占用面积小，利于窄边框设计，而且，通过上述器件的相互配合，可以使输出信号端输出的信号的稳定性提高。

20 尽管已描述了本公开的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求要求意欲解释为包括优选实施例以及落入本公开范围的所有变更和修改。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求

1、一种移位寄存器单元，其中，包括：

输入电路，与第一节点耦接，被配置为响应于第一时钟信号端的信号，将输入信号端的信号提供给所述第一节点；

5 控制电路，与所述第一节点、第二节点、控制信号端以及第一参考信号端耦接，被配置为响应于所述第一节点的信号，分别将所述第一时钟信号端与所述第一参考信号端的信号提供给第三节点与所述第二节点，所述第一节点不受所述第二节点或者所述第三节点的控制；

10 输出电路，与所述第一节点和所述第二节点耦接，被配置为响应于所述第二节点的信号，将所述第一参考信号端的信号提供给输出信号端，以及响应于所述第一节点的信号，将第二参考信号端的信号提供给所述输出信号端。

2、如权利要求 1 所述的移位寄存器单元，其中，所述控制电路包括第一控制模块、第二控制模块和第三控制模块；

15 所述第一控制模块，与所述第一节点和所述第三节点耦接，被配置为响应于所述第一节点的信号，将所述第一时钟信号端的信号提供给所述第三节点，以及响应于所述第一时钟信号端的信号，将所述控制信号端的信号提供给所述第三节点；

20 所述第二控制模块，与所述第二节点和所述第三节点耦接，被配置为响应于所述第三节点和第二时钟信号端的信号，将所述第二时钟信号端的信号提供给所述第二节点；

所述第三控制模块，与所述第一节点和所述第二节点耦接，被配置为响应于所述第一节点的信号，将第一参考信号端的信号提供给所述第二节点。

3、如权利要求 1 所述的移位寄存器单元，其中，还包括稳压电路；

所述稳压电路与所述第三节点耦接，被配置为保持所述第三节点的电位。

25 4、如权利要求 3 所述的移位寄存器单元，其中，所述稳压电路包括第一电容；

所述第一电容的第一极与所述第三节点耦接，所述第一电容的第二极与所述第二参考信号端耦接。

5、如权利要求 2 或 4 所述的移位寄存器单元，其中，还包括保护电路；

所述第三节点通过所述保护电路与所述第二控制模块耦接，所述保护电路被配置为控制所述第三节点与所述第二控制模块之间的导通与断开。

6、如权利要求 1 所述的移位寄存器单元，其中，所述控制信号端与所述第一时钟信号端为同一信号端。

7、如权利要求 1 所述的移位寄存器单元，其中，所述控制信号端与所述第二参考信号端为同一信号端。

8、如权利要求 1 所述的移位寄存器单元，其中，所述输入电路包括第一晶体管；

所述第一晶体管的栅极与所述第一时钟信号端耦接，所述第一晶体管的第二极与所述第一节点耦接，所述第一晶体管的第二极与所述输入信号端耦接。

9、如权利要求 2 所述的移位寄存器单元，其中，所述第一控制模块包括第二晶体管和第三晶体管；

所述第二晶体管的栅极与所述第一节点耦接，所述第二晶体管的第二极与所述第一时钟信号端耦接，所述第二晶体管的第二极与所述第三节点耦接；

所述第三晶体管的栅极与所述第一时钟信号端耦接，所述第三晶体管的第二极与所述第三节点耦接，所述第三晶体管的第二极与所述控制信号端耦接。

10、如权利要求 2 所述的移位寄存器单元，其中，所述第二控制模块包括第四晶体管和第五晶体管；

所述第四晶体管的栅极与所述第三节点耦接，所述第四晶体管的第二极与所述第二时钟信号端耦接；

所述第五晶体管的栅极与所述第二时钟信号端耦接，所述第五晶体管的第二极与所述第四节点耦接。

11、如权利要求 1 所述的移位寄存器单元，其中，还包括复位电路；

所述复位电路与所述第一节点和第四节点耦接，被配置为响应于所述第四节点的信号，将所述第一参考信号端的信号提供给所述第一节点。

5 12、如权利要求 2 所述的移位寄存器单元，其中，所述第三控制模块包括第六晶体管；

所述第六晶体管的栅极与所述第一节点耦接，所述第六晶体管的第一极与所述第一参考信号端耦接，所述第六晶体管的第二极与所述第二节点耦接。

13、如权利要求 1 所述的移位寄存器单元，其中，所述输出电路包括第七晶体管、第二电容、第八晶体管和第三电容；

10 所述第七晶体管的栅极与所述第二节点耦接，所述第七晶体管的第一极与所述输出信号端耦接，所述第七晶体管的第二极与所述第二参考信号端耦接；

所述第二电容的第一极与所述第二节点耦接，所述第二电容的第二极与所述第一参考信号端耦接；

15 所述第八晶体管的栅极与所述第一节点耦接，所述第八晶体管的第一极与所述第二参考信号端耦接，所述第八晶体管的第二极与所述输出信号端耦接；

所述第三电容的第一极与所述第一节点耦接，所述第三电容的第二极与所述输出信号端耦接。

20 14、如权利要求 5 所述的移位寄存器单元，其中，所述保护电路包括第九晶体管；

所述第九晶体管的栅极与所述第二参考信号端耦接，所述第九晶体管的第一极与第四晶体管的栅极耦接，所述第九晶体管的第二极与所述第三节点耦接。

25 15、如权利要求 11 所述的移位寄存器单元，其中，所述复位电路包括第十晶体管；

所述第十晶体管的栅极与所述第四节点耦接，所述第十晶体管的第一极

与所述第一节点耦接，所述第十晶体管的第二极与所述第一参考信号端耦接。

16、一种移位寄存器单元，其中，包括：

第一晶体管，所述第一晶体管的第一极与第一节点直接连接；

第二晶体管，所述第二晶体管的栅极与所述第一节点直接连接，所述第
5 二晶体管的第二极与第三节点耦接；

第六晶体管，所述第六晶体管的栅极与所述第一节点直接连接，所述第
六晶体管的第二极与第二节点耦接；

第八晶体管，所述第八晶体管的栅极与所述第一节点直接连接，所述第
八晶体管的第一极与第二参考信号端耦接，所述第八晶体管的第二极与输出
10 信号端耦接；

所述第一节点不受所述第二节点或者所述第三节点的控制。

17、如权利要求 16 所述的移位寄存器单元，其中，还包括：

第一电容；所述第一电容的第一极与所述第三节点耦接，所述第一电容
的第二极与所述第二参考信号端耦接。

15 18、如权利要求 16 或 17 所述的移位寄存器单元，其中，还包括第九晶
体管；

所述第九晶体管的栅极与所述第二参考信号端耦接，所述第九晶体管的
第二极与所述第三节点耦接。

19、如权利要求 18 所述的移位寄存器单元，其中，还包括第十晶体管；

20 所述第十晶体管的栅极与第四节点耦接，所述第十晶体管的第一极与所
述第一节点耦接，所述第十晶体管的第二极与所述第一参考信号端耦接。

20、如权利要求 16 所述的移位寄存器单元，其中，还包括：

第三晶体管，所述第三晶体管的第一极与所述第三节点耦接，所述第三
晶体管的第二极与控制信号端耦接；

25 第四晶体管，所述第四晶体管的栅极与所述第三节点耦接，所述第四晶
体管的第一极与所述第四节点耦接；

第五晶体管，所述第五晶体管的第一极与所述第二节点耦接，所述第五

晶体管的第二极与所述第四节点耦接；

第七晶体管，所述第七晶体管的栅极与所述第二节点耦接，所述第七晶体管的栅极与第一参考信号端耦接；

第二电容，所述第二电容的第一极与所述第二节点耦接，所述第二电容的第二极与第一参考信号端耦接；

第三电容，所述第三电容的第一极与所述第一节点耦接，所述第三电容的第二极与所述输出信号端耦接。

21、如权利要求 20 所述的移位寄存器单元，其中，

所述第一晶体管的栅极与所述第一时钟信号端耦接，所述第一晶体管的第二极与输入信号端耦接；

所述第二晶体管的第一极与所述第一时钟信号端耦接；

所述第三晶体管的栅极与所述第一时钟信号端耦接；

所述第四晶体管的第二极与所述第二时钟信号端耦接；

所述第五晶体管的栅极与所述第二时钟信号端耦接；

所述第六晶体管的第一极与所述第一参考信号端耦接；

所述第七晶体管的第二极与所述第二参考信号端耦接；

所述第八晶体管的第二极与所述输出信号端耦接。

22、如权利要求 21 所述的移位寄存器单元，其中，所述控制信号端与所述第一时钟信号端为同一信号端。

23、如权利要求 21 所述的移位寄存器单元，其中，所述控制信号端与所述第二参考信号端为同一信号端。

24、一种驱动控制电路，其中，包括：

级联的多个如权利要求 1-15、16-23 任一项所述的移位寄存器单元；

第一级移位寄存器单元的输入信号端与帧触发信号端耦接；

每相邻的两级移位寄存器单元中，下一级移位寄存器单元的输入信号端与上一级移位寄存器单元的输入信号端耦接。

25、一种显示装置，其中，包括：

如权利要求 24 所述的驱动控制电路。

26、一种如权利要求 1-15、16-23 任一项所述的移位寄存器单元的驱动方法，其中，包括：

5 第一阶段，所述输入电路响应于所述第一时钟信号端的信号，将所述输入信号端的信号提供给所述第一节点；所述控制电路响应于所述第一节点的信号，将所述第一时钟信号端的信号与所述第一参考信号端的信号提供给所述第三节点与所述第二节点，控制所述第二节点的电位与所述第一节点的电位相反；所述输出电路响应于所述第一节点的信号，将所述第二参考信号端的信号提供给所述输出信号端。

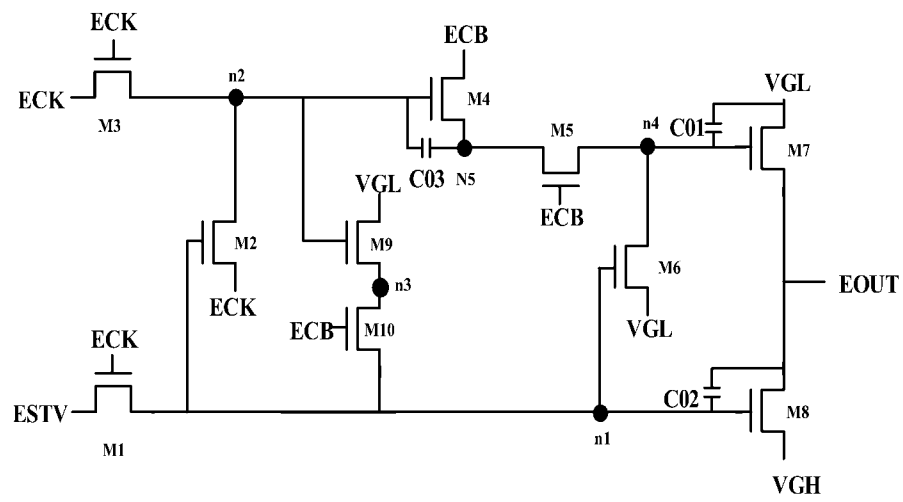


图 1

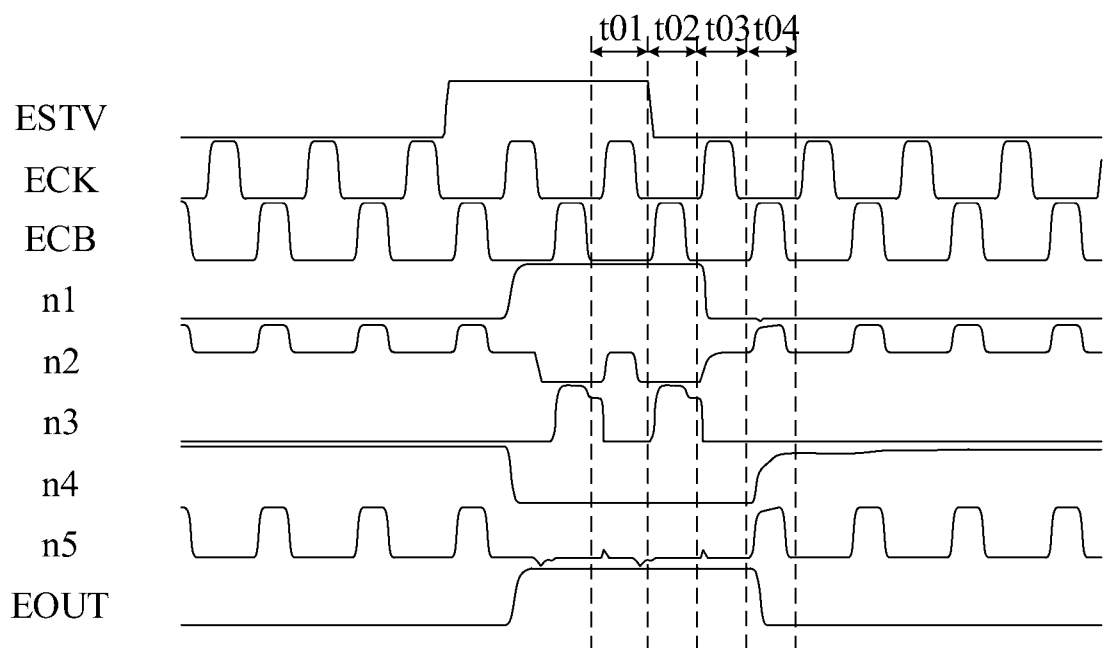


图 2

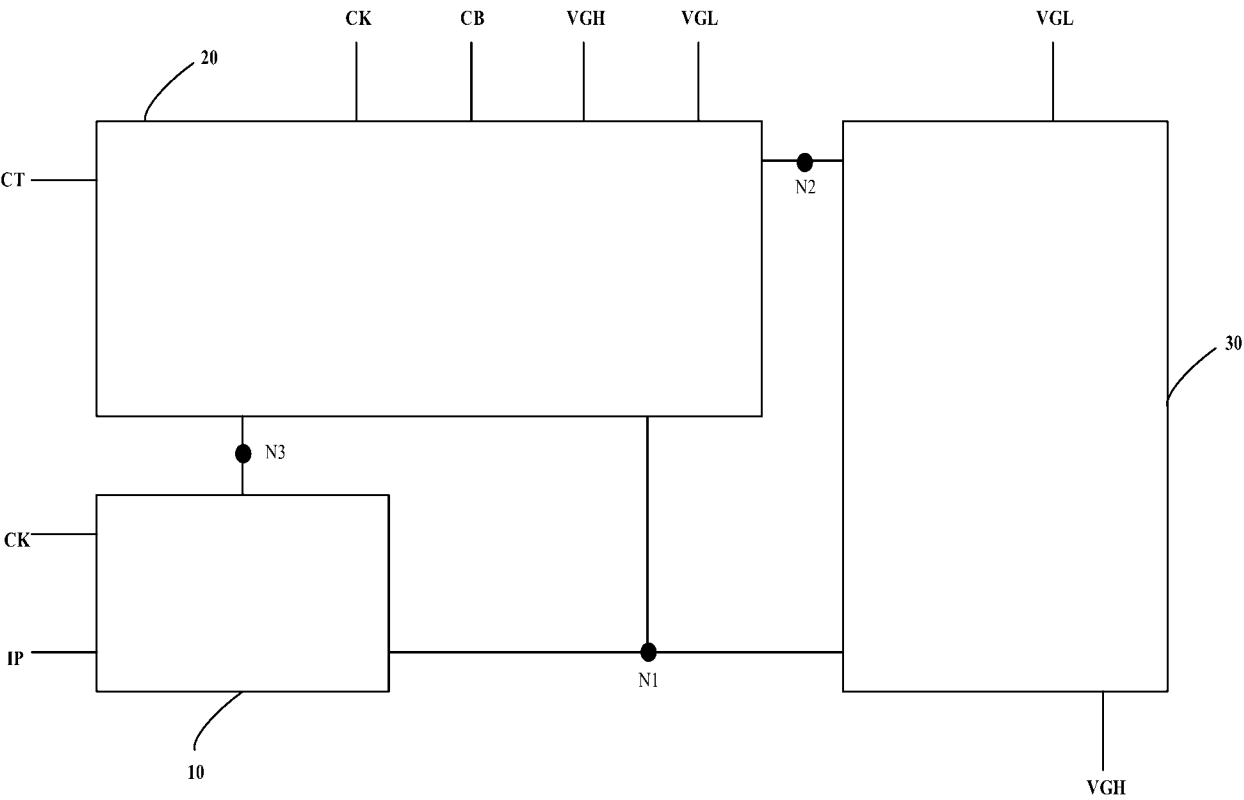


图 3

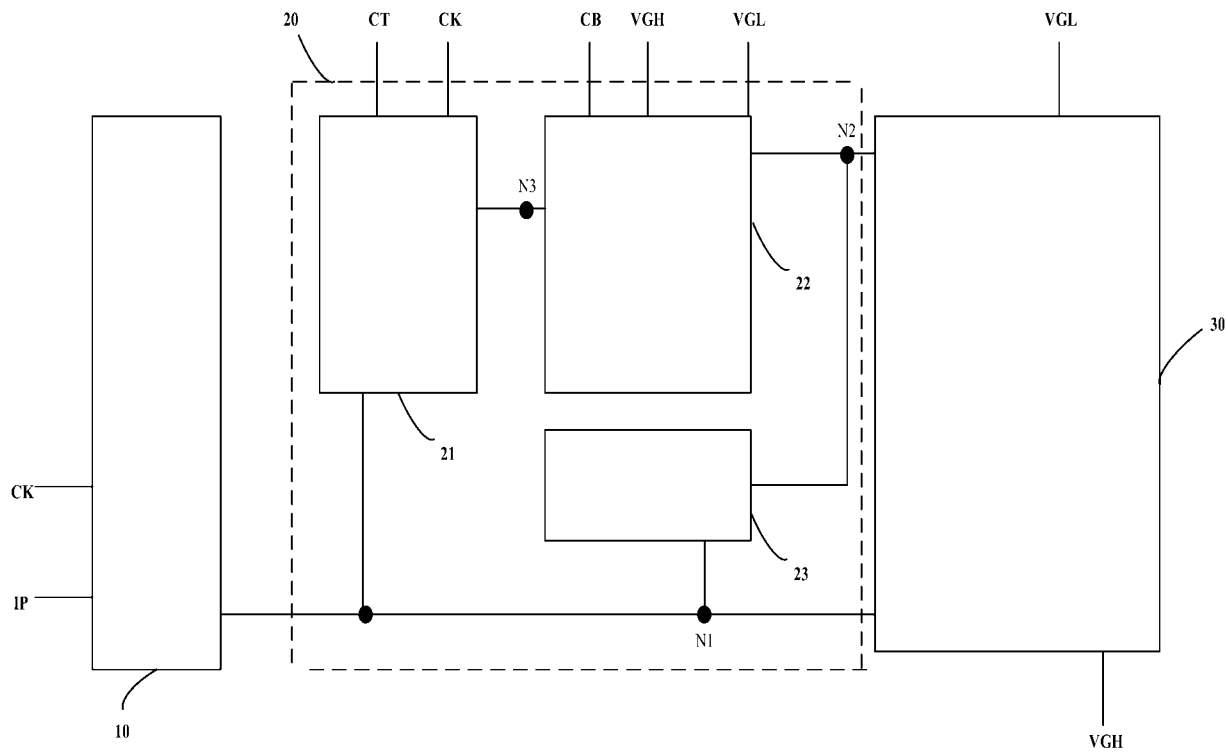


图 4

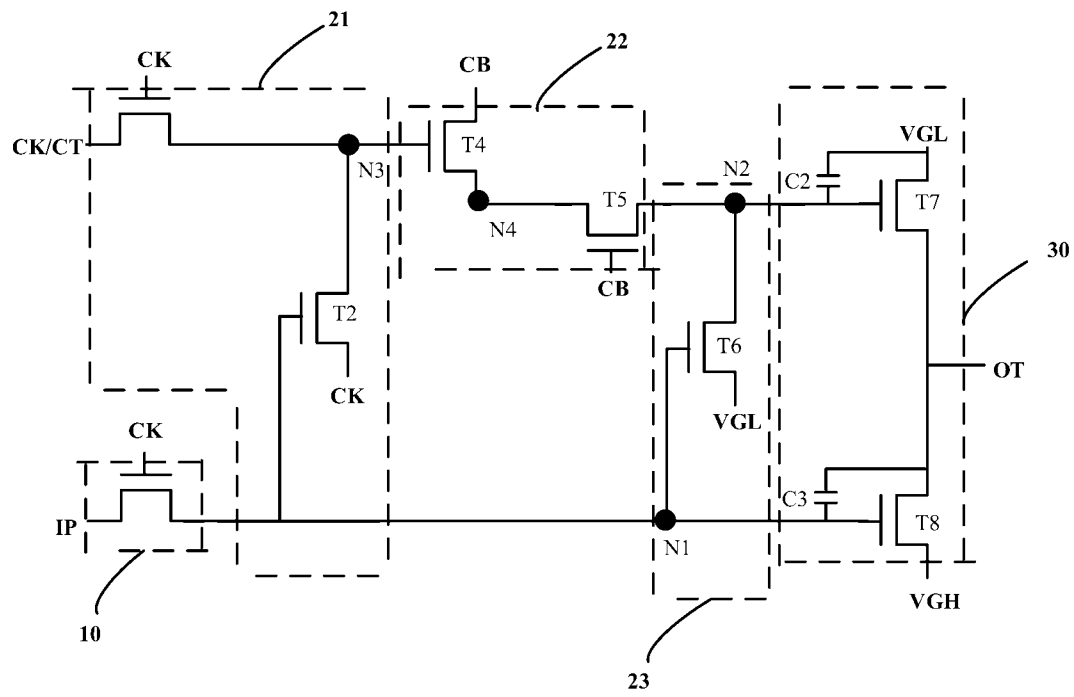


图 5

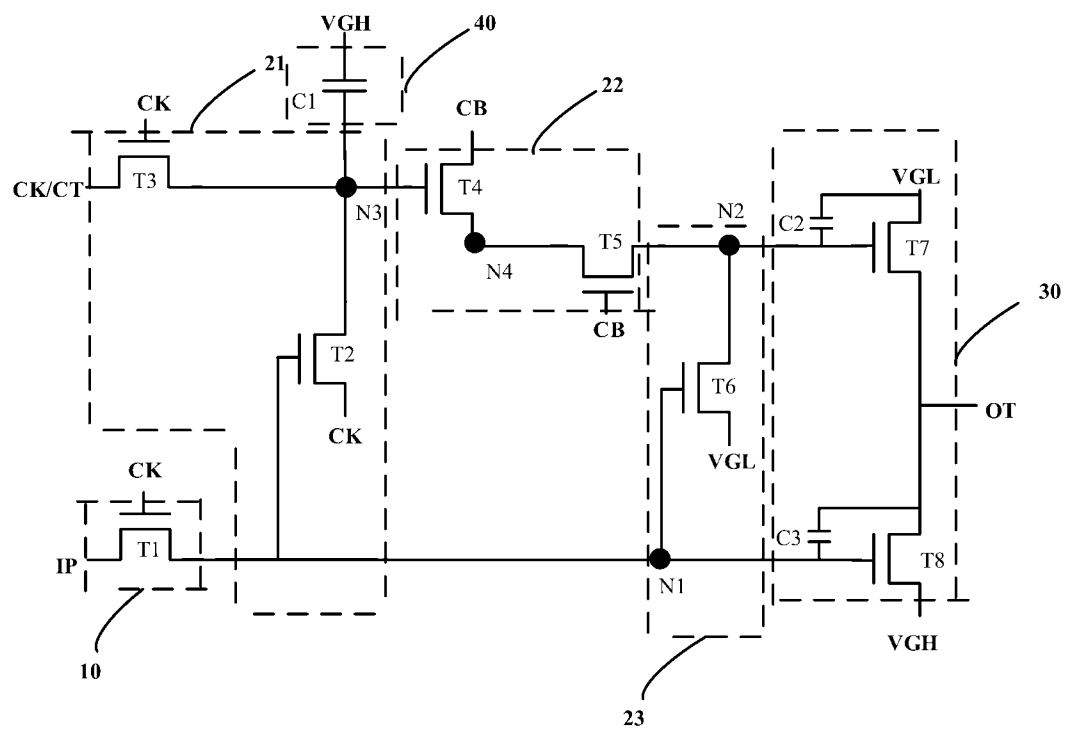


图 6

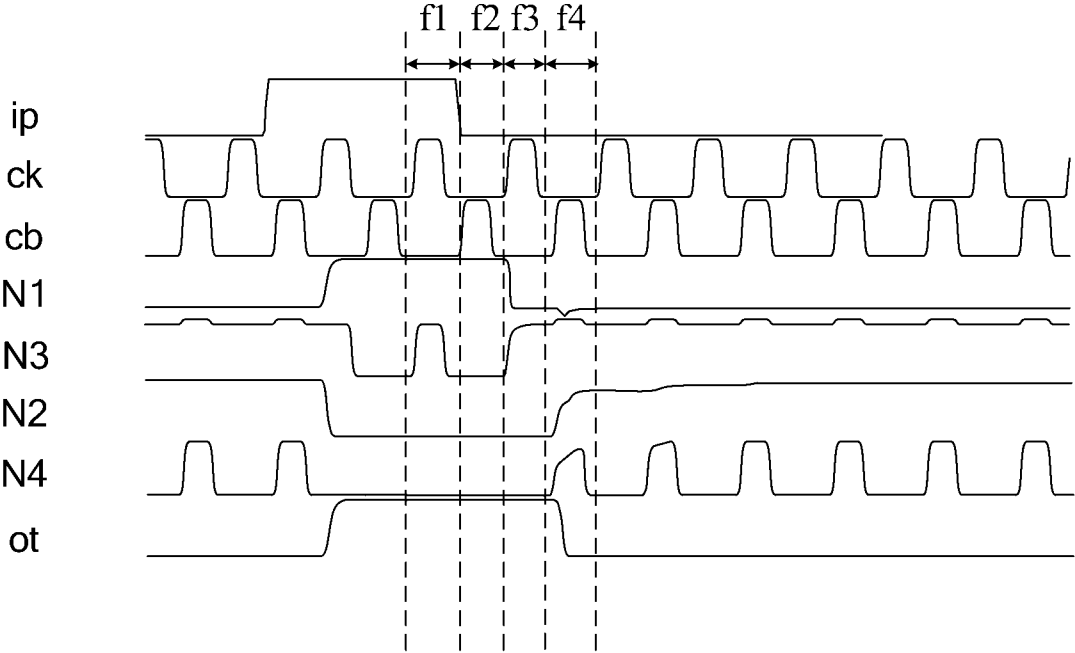


图 7

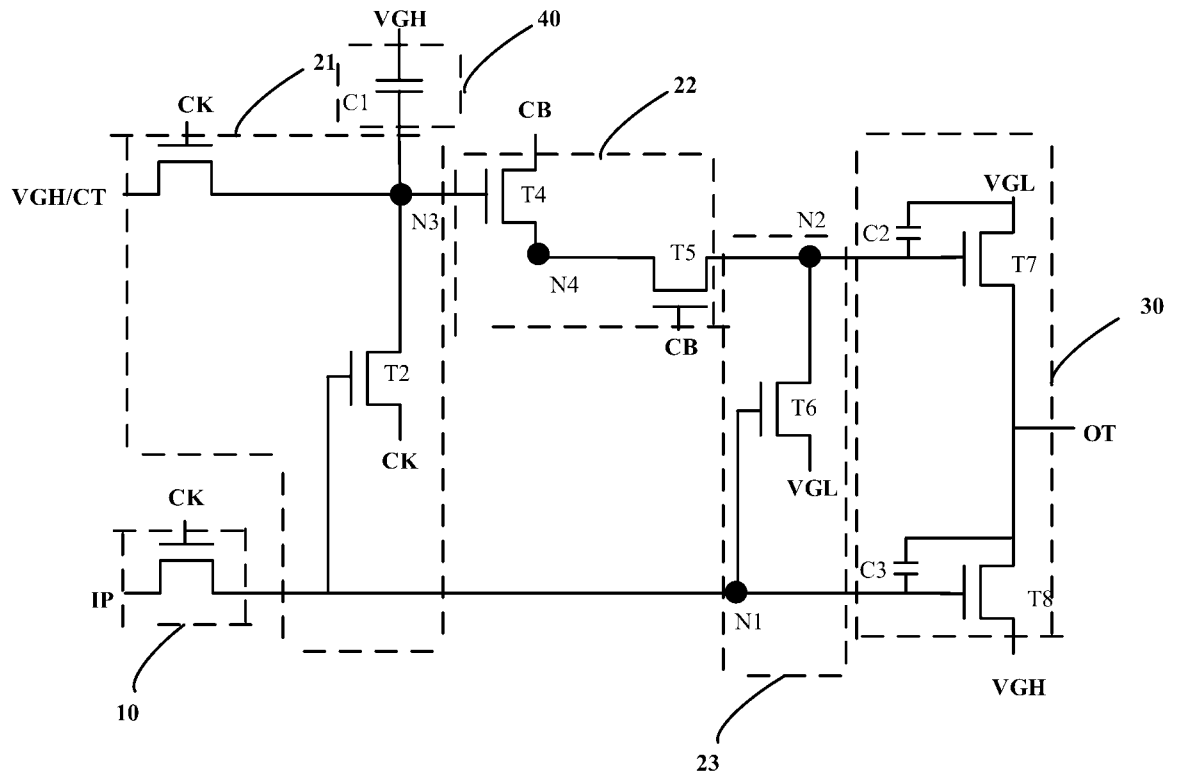


图 8

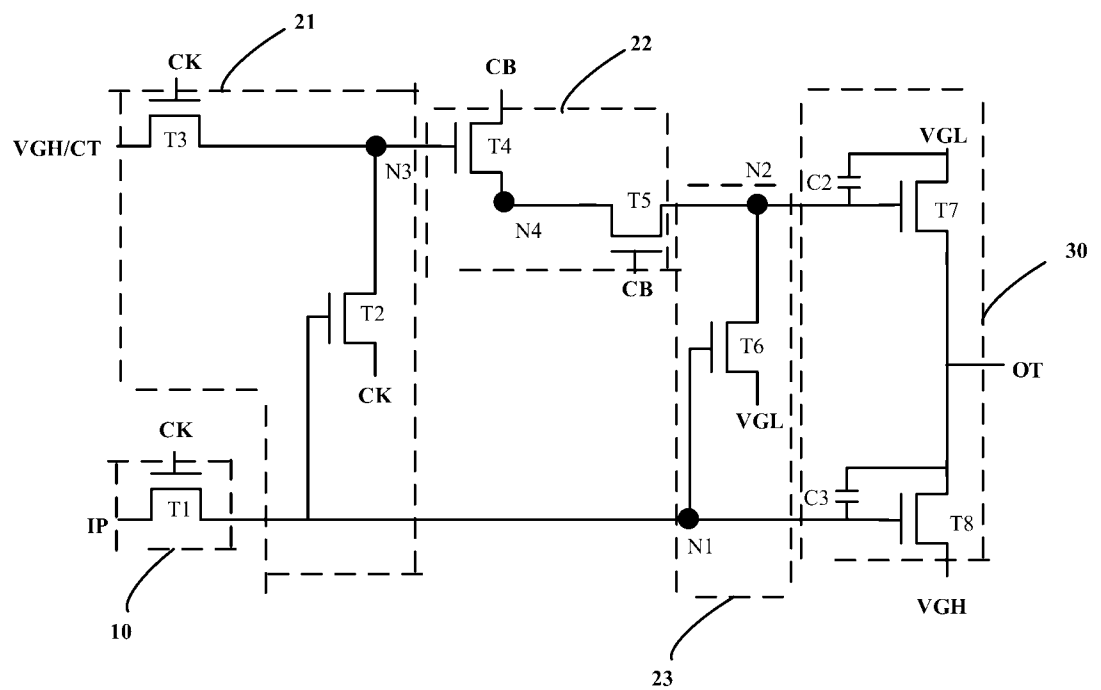


图 9

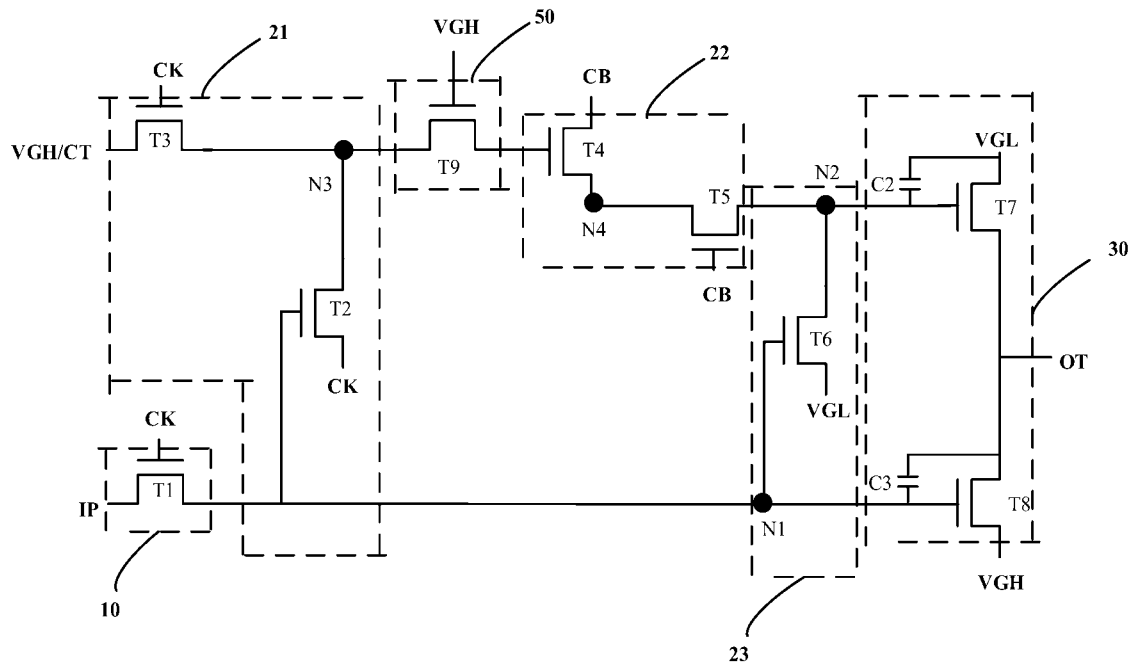


图 10

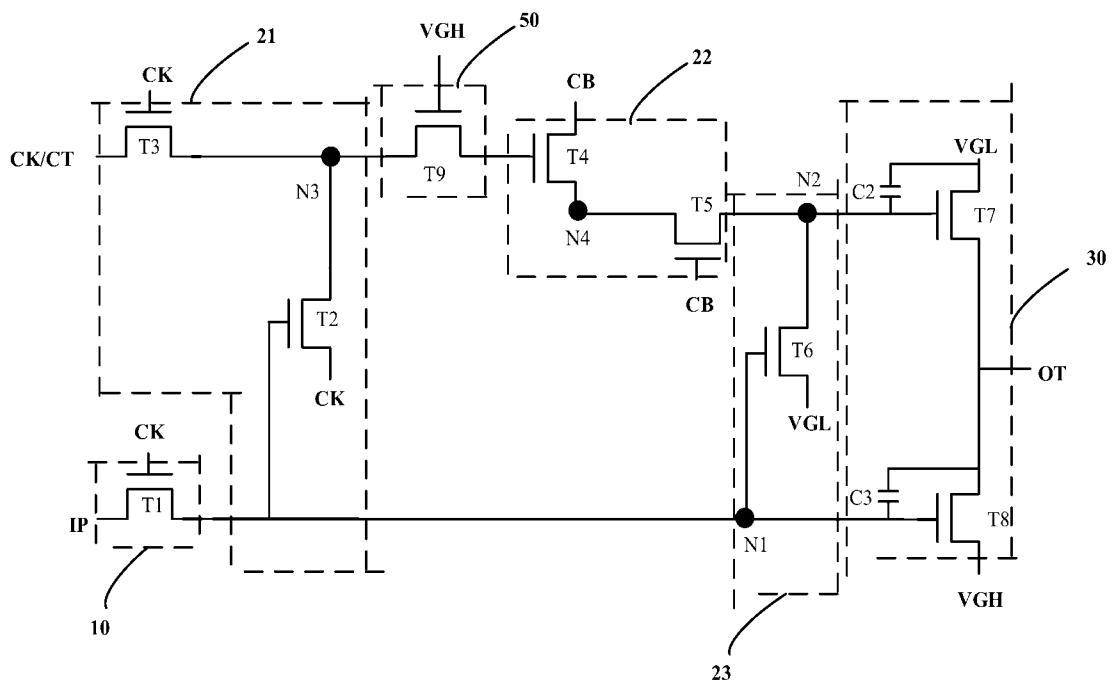


图 11

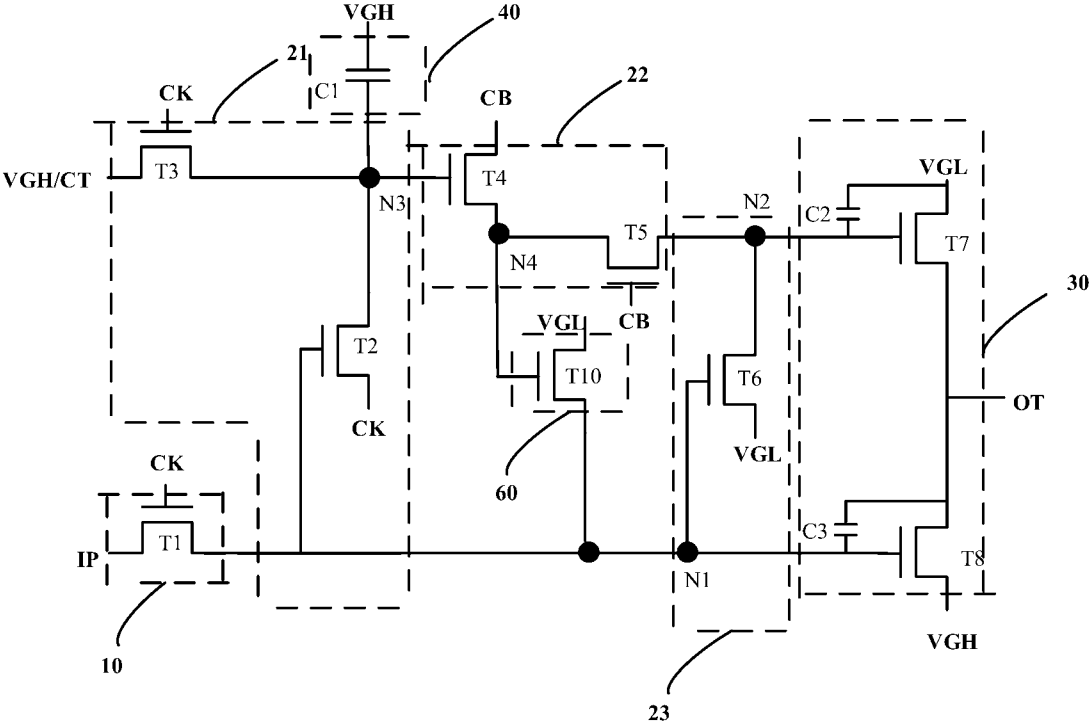


图 12

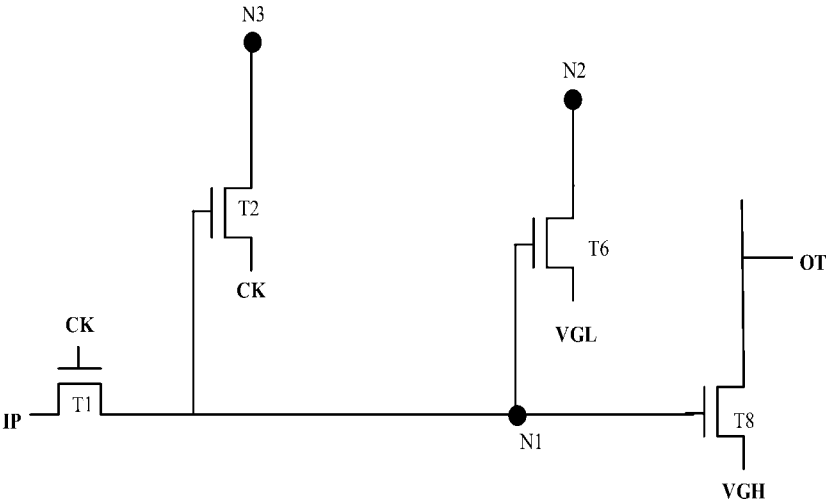


图 13

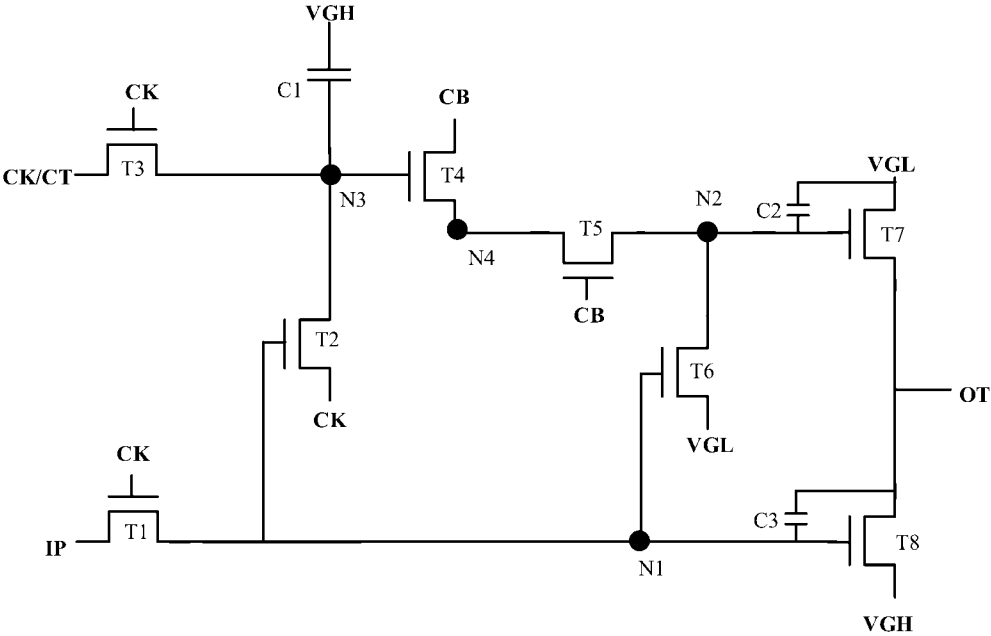


图 14

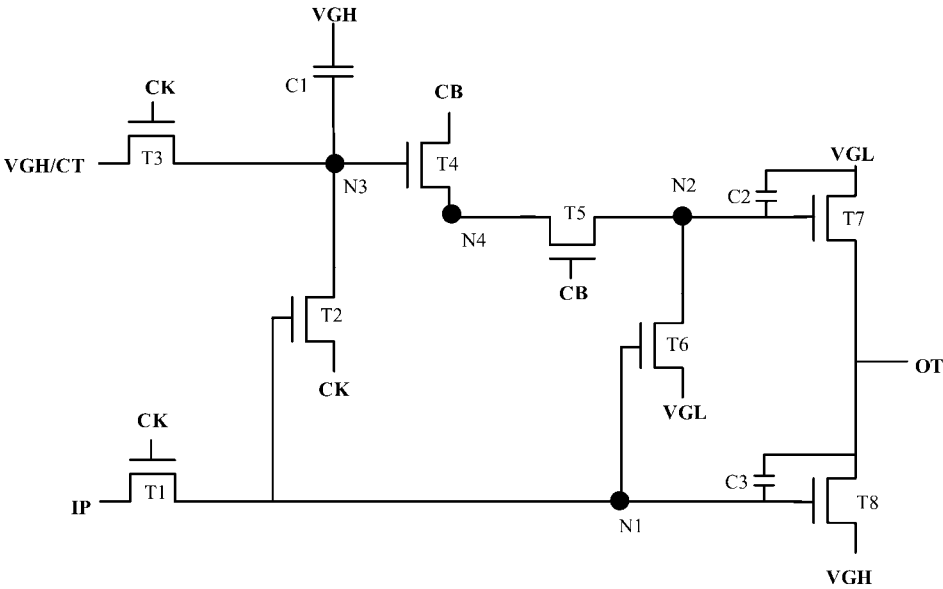


图 15

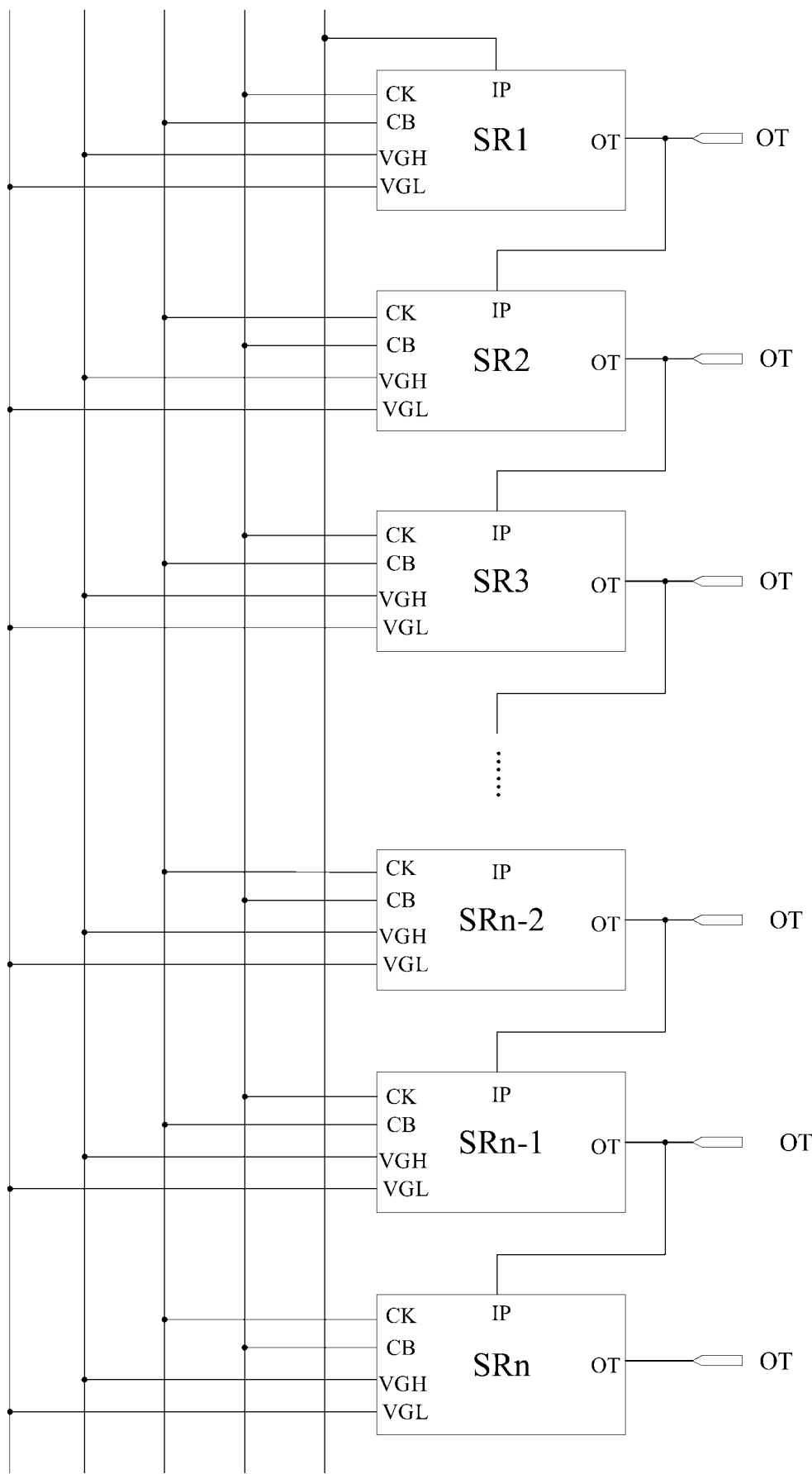


图 18

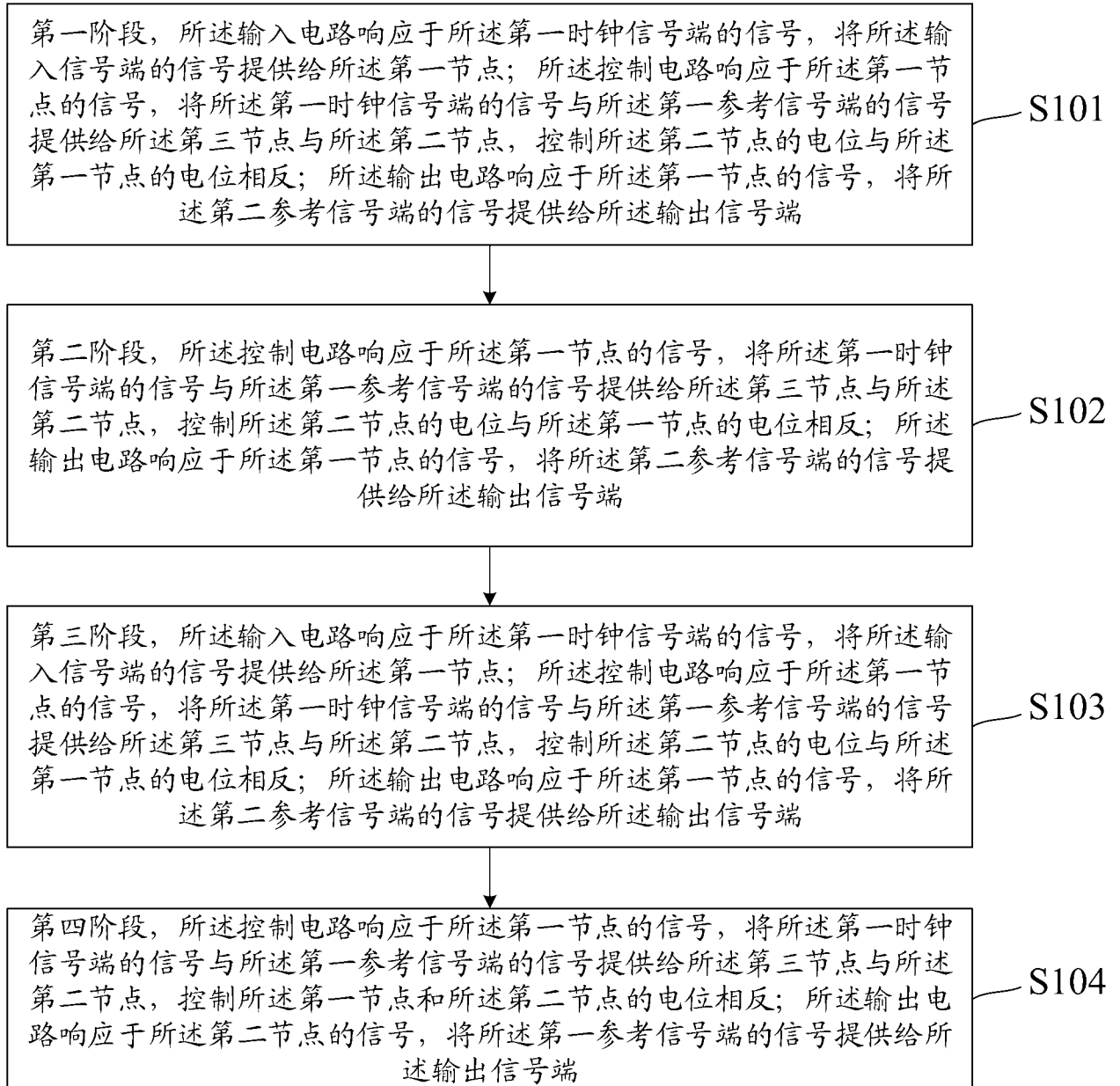


图 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/112706

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, ENTXT, CNTXT, CNKI, IEEE, 万方, WANFANG, 读秀, DUXIU: 移位寄存器, 电路, 简单, 复杂, 数量少, 节点, 电压, 电位, 稳压, 稳定, 调节, 控制, shift register, simple, complex, number, few, node, voltage, potential, stabilizing, regulating, controlling

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 114937471 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 August 2022 (2022-08-23) description, paragraphs 3-148, and figures 1-5	1-2, 7-10, 12, 16
Y	CN 114937471 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 August 2022 (2022-08-23) description, paragraphs 3-148, and figures 1-5	3-6, 11, 13-15, 17-26
Y	CN 113053293 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 29 June 2021 (2021-06-29) description, paragraphs 37-657, and figures 1-11	3-6, 11, 13-15, 17-26
A	CN 107424649 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 01 December 2017 (2017-12-01) entire document	1-26
A	CN 110415637 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 05 November 2019 (2019-11-05) entire document	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 May 2024

Date of mailing of the international search report

11 May 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/112706

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 110634528 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 31 December 2019 (2019-12-31) entire document	1-26
A	CN 113889022 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 04 January 2022 (2022-01-04) entire document	1-26
A	CN 115294916 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 04 November 2022 (2022-11-04) entire document	1-26
A	CN 115394233 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 25 November 2022 (2022-11-25) entire document	1-26
A	CN 115641818 A (XIAMEN TIANMA DISPLAY TECHNOLOGY CO., LTD.) 24 January 2023 (2023-01-24) entire document	1-26
A	KR 20190030962 A (LG DISPLAY CO., LTD.) 25 March 2019 (2019-03-25) entire document	1-26

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/112706

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114937471	A	23 August 2022	None			
CN	113053293	A	29 June 2021	None			
CN	107424649	A	01 December 2017	None			
CN	110415637	A	05 November 2019	US	2021065647	A1	04 March 2021
				US	11189243	B2	30 November 2021
CN	110634528	A	31 December 2019	US	2021082368	A1	18 March 2021
				US	11276364	B2	15 March 2022
CN	113889022	A	04 January 2022	None			
CN	115294916	A	04 November 2022	None			
CN	115394233	A	25 November 2022	None			
CN	115641818	A	24 January 2023	None			
KR	20190030962	A	25 March 2019	None			

A. 主题的分类

G09G3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G, G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNABS, VEN, ENTXT, CNTXT, CNKI, IEEE, 万方, 读秀: 移位寄存器, 电路, 简单, 复杂, 数量少, 节点, 电压, 电位, 稳压, 稳定, 调节, 控制, shift register, simple, complex, number, few, node, voltage, potential, stabilizing, regulating, controlling

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 114937471 A (京东方科技集团股份有限公司等) 2022年8月23日 (2022 - 08 - 23) 说明书第3-148段, 附图1-5	1-2、7-10、12、16
Y	CN 114937471 A (京东方科技集团股份有限公司等) 2022年8月23日 (2022 - 08 - 23) 说明书第3-148段, 附图1-5	3-6、11、 13-15、17-26
Y	CN 113053293 A (北京京东方技术开发有限公司等) 2021年6月29日 (2021 - 06 - 29) 说明书第37-657段, 图1-11	3-6、11、 13-15、17-26
A	CN 107424649 A (上海天马有机发光显示技术有限公司) 2017年12月1日 (2017 - 12 - 01) 全文	1-26
A	CN 110415637 A (合肥鑫晟光电科技有限公司等) 2019年11月5日 (2019 - 11 - 05) 全文	1-26
A	CN 110634528 A (上海天马有机发光显示技术有限公司) 2019年12月31日 (2019 - 12 - 31) 全文	1-26
A	CN 113889022 A (合肥维信诺科技有限公司) 2022年1月4日 (2022 - 01 - 04) 全文	1-26

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年5月9日

国际检索报告邮寄日期

2024年5月11日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐莹

电话号码 (+86) 010-62085817

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 115294916 A (北京京东方技术开发有限公司等) 2022年11月4日 (2022 - 11 - 04) 全文	1-26
A	CN 115394233 A (武汉天马微电子有限公司等) 2022年11月25日 (2022 - 11 - 25) 全文	1-26
A	CN 115641818 A (厦门天马显示科技有限公司) 2023年1月24日 (2023 - 01 - 24) 全文	1-26
A	KR 20190030962 A (LG DISPLAY CO LTD) 2019年3月25日 (2019 - 03 - 25) 全文	1-26

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/112706

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114937471	A	2022年8月23日	无			
CN	113053293	A	2021年6月29日	无			
CN	107424649	A	2017年12月1日	无			
CN	110415637	A	2019年11月5日	US	2021065647	A1	2021年3月4日
				US	11189243	B2	2021年11月30日
CN	110634528	A	2019年12月31日	US	2021082368	A1	2021年3月18日
				US	11276364	B2	2022年3月15日
CN	113889022	A	2022年1月4日	无			
CN	115294916	A	2022年11月4日	无			
CN	115394233	A	2022年11月25日	无			
CN	115641818	A	2023年1月24日	无			
KR	20190030962	A	2019年3月25日	无			