

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 200510067762.4

[43] 公开日 2005 年 11 月 9 日

[11] 公开号 CN 1694263A

[22] 申请日 2005.4.26

[21] 申请号 200510067762.4

[30] 优先权

[32] 2004.5.7 [33] JP [31] 2004-138010

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 野田泰史

[74] 专利代理机构 中科专利商标代理有限责任公司

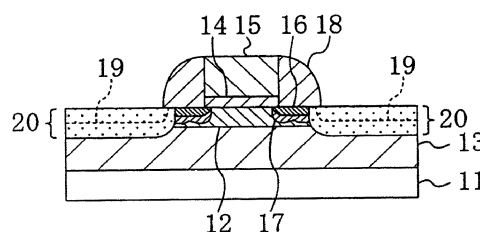
代理人 汪惠民

权利要求书 3 页 说明书 26 页 附图 13 页

[54] 发明名称 半导体装置及其制造方法

[57] 摘要

本发明涉及的 MIS 型半导体装置，具有 P 型的半导体基板(11)，在半导体基板(11)上形成的栅极绝缘膜(14)，在栅极绝缘膜(14)上形成的栅电极(15)，在半导体基板(11)中的栅电极(15)的两侧方的区域形成的源·漏扩散层(20)。在源·漏扩散层(20)的内部，形成 P 型杂质浓度低于 N 型源·漏扩散层(20)的 P 型杂质注入区(19)。可实现一方面抑制伴随细微化的短沟道效应的明显化，一方面还能够使源·漏扩散层的形状在深度方向变浅、而且在横向上变小地抑制外延扩散层的再分布。



I S S N 1 0 0 8 - 4 2 7 4

1、一种半导体装置，其特征在于：具有：第1导电型的半导体层、
在所述半导体层上形成的栅极绝缘膜、
5 在所述栅极绝缘膜上形成的栅电极、以及
在所述半导体层的所述栅电极的侧方的区域所形成的第2导电型的
源·漏扩散层，

所述源·漏扩散层，在其内部形成杂质浓度低于所述源·漏扩散层的
第1导电型的杂质注入区。

10 2、如权利要求1所述的半导体装置，其特征在于：还具有：在所述
半导体层的所述栅电极的侧方而且与所述源·漏扩散层之间的区域所形成
的第2导电型的外延扩散层、和

在所述外延扩散层的下侧的区域所形成的第1导电型的凹处扩散层，
所述杂质注入区中的杂质浓度，高于所述凹处扩散层的杂质浓度。

15 3、如权利要求1或2所述的半导体装置，其特征在于：还具有：在
所述半导体层的所述栅电极的下侧的区域所形成的第1导电型的沟道扩散
层，

所述杂质注入区中的杂质浓度，高于所述沟道扩散层的杂质浓度。

4、如权利要求1或2所述的半导体装置，其特征在于：构成所述源·漏
20 扩散层的所述第2导电型的杂质是砷，

构成所述杂质注入区的所述第1导电型的杂质是铟。

5、如权利要求1或2所述的半导体装置，其特征在于：在所述源·漏
扩散层中，包含浓度高于位于所述栅电极的下侧的所述半导体层的IV族原
子。

25 6、一种半导体装置的制造方法，其特征在于，具有：在第1导电型
的半导体层上，依次形成栅极绝缘膜及栅电极的工序a；

在所述栅电极的侧面上形成侧壁的工序b；

将所述栅电极及侧壁作为掩模，向所述半导体层离子注入第1导电型
的第1杂质，从而在所述半导体层的所述侧壁的侧方形成第1导电型的杂
30 质注入层的工序c；

将所述栅电极及侧壁作为掩模，向所述半导体层离子注入第 2 导电型的第 2 杂质，从而在所述半导体层的所述侧壁的侧方形成第 2 导电型的源·漏注入层的工序d；以及

5 在所述工序c及所述工序d之后，对所述半导体层进行第 1 热处理，从而在所述半导体层的所述侧壁的侧方形成由第 2 杂质扩散后构成的源·漏扩散层的工序e，

在所述工序e中，在所述源·漏扩散层内，形成由杂质浓度低于所述源·漏扩散层的所述第 1 杂质扩散后构成的第 1 导电型的杂质注入区。

7、如权利要求 6 所述的半导体装置的制造方法，其特征在于：在所述工序a之后且在所述工序b之前，还具有：

10 将所述栅电极作为掩模，向所述半导体层离子注入第 2 导电型的第 3 杂质，从而在所述半导体层的所述栅电极的侧方形成第 2 导电型的外延注入层的工序f；

15 将所述栅电极作为掩模，向所述半导体层中的所述栅电极的侧方离子注入第 1 导电型的第 4 杂质，从而在所述半导体层的所述栅电极的侧方形成第 1 导电型的凹处注入层的工序g；以及

在所述工序f及所述工序g之后，对所述半导体层进行第 2 热处理，从而在所述半导体层的所述栅电极的侧方，形成由第 3 杂质扩散后构成的第 2 导电型的外延扩散层、和在所述外延扩散层的下侧区域由所述第 4 杂质扩散后构成的第 1 导电型的凹处扩散层的工序h，

20 在所述杂质注入区中的杂质浓度，高于所述凹处扩散层的杂质浓度。

8、如权利要求 6 或 7 所述的半导体装置的制造方法，其特征在于：还具有：在所述工序a之前，向所述半导体层离子注入第 1 导电型的第 5 杂质，从而在所述半导体层中形成第 1 导电型的沟道注入层后，对所述半导体层进行第 3 热处理，从而在所述半导体层中形成由第 5 杂质扩散后构成的第 1 导电型的沟道扩散层的工序i；

所述杂质注入区中的杂质浓度，高于所述沟道扩散层的杂质浓度。

9、如权利要求 6 或 7 所述的半导体装置的制造方法，其特征在于：还具有：在所述工序b之后且在所述工序c及所述工序d之前，将所述栅电极及所述侧壁作为掩模，向所述半导体层离子注入第 6 杂质，从而在所述

半导体层的所述侧壁的侧方形形成非晶形层的工序j。

10、如权利要求 9 所述的半导体装置的制造方法，其特征在于：所述第 6 杂质是IV族的元素。

11、如权利要求 6 或 7 所述的半导体装置的制造方法，其特征在于：
5 所述第 2 杂质以大于或等于所述第 1 杂质的注入飞越距离的注入飞越距离进行离子注入。

12、如权利要求 6 或 7 所述的半导体装置的制造方法，其特征在于：所述第 1 杂质是铟。

13、如权利要求 6 或 7 所述的半导体装置的制造方法，其特征在于：
10 还具有：在所述工序d之后且在所述工序e之前，进行使注入的杂质不会扩散程度的极低温热处理，从而恢复离子注入时造成的结晶损伤的工序k。

14、如权利要求 13 所述的半导体装置的制造方法，其特征在于：所述工序k中的极低温热处理的加热温度在 400℃以上且 700℃以下。

15、如权利要求 6 所述的半导体装置的制造方法，其特征在于：还具有：
15 有：在所述工序e之后，除去所述侧壁，将所述栅电极作为掩模，向所述半导体层离子注入第 2 导电型的第 3 杂质，从而在所述半导体层的所述栅电极的侧方形形成第 2 导电型的外延注入层的工序 l；

将所述栅电极作为掩模，向所述半导体层离子注入第 1 导电型的第 4 杂质，从而在所述半导体层中的所述栅电极的侧方形形成第 1 导电型的凹处
20 注入层的工序m；以及

在所述工序l及所述工序m之后，对所述半导体层进行第 2 热处理，从而在所述半导体层的所述栅电极的侧方，形成由第 3 杂质扩散后构成的第 2 导电型的外延扩散层、和在所述外延扩散层的下侧区域由所述第 4 杂质扩散后构成的第 1 导电型的凹处扩散层的工序 n，

25 所述杂质注入区中的杂质浓度，高于所述凹处扩散层的杂质浓度。

16、如权利要求 9 所述的半导体装置的制造方法，其特征在于：在所述工序j中，以与所述半导体层的主面的法线具有所定的角度的角度注入，来注入所述第 6 杂质。

半导体装置及其制造方法

5 技术领域

本发明涉及一种在能够进一步细微化的同时，还具有能够以高速且节电进行动作的 MIS 型晶体管的半导体装置及其制造方法。

背景技术

- 10 伴随着半导体集成电路的高集成化，要求 MIS 型晶体管更加细微，为此，要求具有源·漏区的接合面浅的高浓度源·漏结构的 MIS 型晶体管（例如，参阅专利文献 1）。

下面，参照附图，讲述现有技术的具有的 MIS 型晶体管的半导体装置的制造方法。

- 15 图 12（a）～图 12（e）示出现有技术的半导体装置的制造工序顺序的剖面构成。

- 首先，在图 12（a）所示的工序中，在由 P 型硅构成的半导体基板 101 中，以注入能量为 10keV、注入剂量为 2×10^{12} ions/cm² 的注入条件离子注入 P 型杂质——硼（B）离子后，进行热处理，在半导体基板 101 的沟道形成区形成 P 型沟道扩散层 102。
- 20

接着，在图 12（b）所示的工序中，在半导体基板 101 上，依次形成栅氧化膜 103，和在其上由多晶硅构成的栅电极 104。

- 接着，在图 12（c）所示的工序中，以栅电极 104 为掩模，向半导体基板 101 离子注入 N 型杂质——砷（As）离子，形成 N 型外延注入层 105A。
- 25 接着，以栅电极 104 为掩模，向半导体基板 101 离子注入 P 型杂质——硼（B）离子，形成 P 型凹处注入层 106A。

接着，在图 12（d）所示的工序中，在半导体基板 101 上堆积绝缘膜后，对堆积的绝缘膜进行各向异性腐蚀，在栅电极 104 的侧面上形成侧壁 107。

- 接着，在图 12（e）所示的工序中，以栅电极 104 及侧壁 107 为掩模，向半导体基板 101 离子注入 N 型杂质——砷离子。然后，对半导体基板 101
- 30

进行热处理，在半导体基板 101 中的侧壁 107 的两侧的区域，分别形成 N 型源·漏扩散层 108。这时，在半导体基板 101 中的侧壁 107 的下侧，在各 N 型源·漏扩散层 108 和 P 型沟道扩散层 102 之间的区域，形成 N 型外延注入层 105A 扩散了的 N 型外延扩散层 105，在 N 型外延扩散层 105 的下侧的区域，形成 P 型凹处注入层 106A 扩散了的 P 型凹处扩散层 106。

在现有技术的这种制造方法中，为了不使短沟道效应显现地实现 MIS 型晶体管的细微化，具有降低形成 N 型外延扩散层 105 的杂质离子的注入能量、而且提高旨在活性化的热处理的热度的倾向。

【专利文献 1】特开平 11-261069 号公报

10 【专利文献 2】特开 2003-31798 号公报

可是，在具有所述现有技术的 MIS 型晶体管的半导体装置的制造方法中，存在如下问题。

第 1，在图 12 (e) 所示的工序中，以栅电极 104 及侧壁 107 为掩模，向半导体基板 101 以高剂量离子注入源·漏区形成用的砷离子后，用高温进行热处理时，构成 N 型源·漏扩散层 108 的杂质原子（砷）出现过度增速扩散（Transient Enhanced Diffusion: TED），结果使杂质原子扩散到半导体基板 101 的深区，存在不能获得所定的杂质分布的问题。在这里，所谓“过度增速扩散”，是指与杂质原子由于主要起因于离子注入等的工艺的损伤而产生的过剩点缺陷的相互作用后，使杂质原子的扩散增速的异常扩散现象。

另外，第 2，为了抑制注入 N 型源·漏扩散层 108 的杂质原子的 TED，而施加需要以上的高温的退火后，同时还会发生已经浅浅地形成的 N 型外延扩散层 105 出现再分布，而导致接合面变深的问题。由于 N 型外延扩散层 105 的接合面的深度及形状，直接影响半导体装置的短沟道特性及驱动电流，所以在使 N 型源·漏扩散层 108 的杂质活性化的热处理工序中，防止 N 型外延扩散层 105 的杂质分布的再分布，与控制 N 型源·漏扩散层 108 的杂质分布同等重要。

图 13 示出图 12 (e) 的 XIII-XIII 线中的 N 型源·漏扩散层 108 的横向（与基板面平行的方向）的杂质浓度分布。在这里，纵轴表示杂质浓度的对数值，横轴表示到侧壁外侧的端部的距离。实线表示为了形成 P 型沟

道扩散层 102 及 P 型凹处扩散层 106 而注入的硼 (B) 的浓度, 虚线表示为了形成 N 型源·漏扩散层 108 而注入的砷 (As) 的浓度。由图 13 可知: 在现有技术结构中, 在 N 型源·漏扩散层 108 的内部, 在与 P 型凹处扩散层 106 的接合部附近, 由于起因于 PN 结的电场效应, 形成硼偏折的偏折区和硼的浓度减少的区域。而在远离接合附近的区域, 硼的浓度, 和注入基板的沟道浓度 (包括凹处注入) 相等。所以, 为了形成 N 型源·漏扩散层 108 而注入的砷, 由于比注入基板的硼的浓度高得多, 所以几乎不受硼的影响, 其结果, 出现 TED。另外, 为了形成 N 型源·漏扩散层 108 而注入的砷, 产生的过剩点缺陷, 在扩散时, 一直迂回到栅电极 104 的下侧的沟道扩散层 102, 迂回到栅电极 104 的下侧的过剩点缺陷, 还能成为引起临界电压上升的逆短沟道效应的原因。

进而, 伴随着晶体管的细微化的进展, 栅极长度变短, 为了形成 N 型源·漏扩散层 108 而注入砷离子的注入能的日益低能量化后, 在晶带轴的 $\langle 110 \rangle$ 方向产生的沟道作用, 还可以使砷离子迂回到位于栅电极 104 的下侧的沟道扩散层 102 处, 该迂回的砷离子, 也对短沟道特性产生影响。

总之, 在所述现有技术的半导体装置的制造方法中, 一边抑制杂质离子在 MIS 型晶体管的细微化不可缺少的浅接合而且是高浓度的源·漏扩散层中的迂回以及 TED 导致的外延扩散层的再分布, 一边形成所定的杂质浓度, 是极其困难的。

20

发明内容

鉴于所述现有技术的问题, 本发明的目的在于一方面抑制伴随细微化的短沟道效应 (及逆短沟道效应) 的明显化, 一方面使源·漏扩散层的形状在深度方向变浅、而且在横向上变小地实现细微化。

25 为了达到所述的目的, 本发明的半导体装置的制造方法采用如下构成: 向源·漏区注入导电型和源·漏区相反的杂质后进行热处理, 在形成 N 型杂质和 P 型杂质的杂质对 (离子对) 的状态下, 进行杂质扩散, 从而一面降低热预算, 一面形成低电阻的源·漏区。这样, 使半导体装置成为在源·漏区包含与该源·漏区相反的导电型的杂质扩散层的结构。在这里, 所谓“热预算”, 是指用加热温度和加热时间的乘积表示的热处理量。

30

具体地说，本发明涉及的半导体装置，其特征在于：具有第 1 导电型的半导体层、在半导体层上形成的栅极绝缘膜、在栅极绝缘膜上形成的栅电极、在半导体层中的栅电极的侧方的区域形成的第 2 导电型的源·漏扩散层，源·漏扩散层在其内部形成杂质浓度低于源·漏扩散层的第 1 导电型的杂质注入区。

采用本发明的半导体装置后，第 2 导电型的源·漏扩散层，在其内部形成杂质浓度低于源·漏扩散层的第 1 导电型的杂质注入区。这样，在对于形成源·漏扩散层而注入的第 2 导电型的杂质离子进行热扩散之际，第 2 导电型的杂质离子与注入杂质注入区的第 1 导电型的杂质离子形成离子对后，可以抑制过度增速扩散。因此，源·漏扩散层的接合深度变浅，所以可以一边抑制短沟道效应的明显化，一边实现半导体装置的细微化。

本发明的半导体装置，最好还具有：在半导体层中的栅电极的侧方而且在和源·漏扩散层之间的区域形成的第 2 导电型的外延扩散层，在外延扩散层的下侧的区域形成的第 1 导电型的凹处扩散层；杂质注入区中的杂质浓度，高于凹处扩散层的杂质浓度。

本发明的半导体装置，最好还具有：在半导体层中的栅电极的下侧的区域形成的第 1 导电型的沟道扩散层；杂质注入区中的杂质浓度，高于沟道扩散层的杂质浓度。

在本发明的半导体装置中，构成源·漏扩散层的第 2 导电型的杂质最好是砷，构成杂质注入区的第 1 导电型的杂质最好是铟。

在本发明的半导体装置中，在源·漏扩散层中，最好包含浓度高于位于栅电极的下侧的半导体层的IV族原子。

本发明的半导体装置的制造方法，其特征在于，具有：在第 1 导电型的半导体层上，依次形成栅极绝缘膜及栅电极的工序 (a)；在栅电极的侧面上，形成侧壁的工序 (b)；将栅电极及侧壁作为掩模，向半导体层离子注入第 1 导电型的第 1 杂质，从而在半导体层中的侧壁的侧方形成第 1 导电型的杂质注入层的工序 (c)；将栅电极及侧壁作为掩模，向半导体层离子注入第 2 导电型的第 2 杂质，从而在半导体层中的侧壁的侧方形成第 2 导电型的源·漏注入层的工序 (d)；在工序 (c) 及工序 (d) 之后，对半导体层进行第 1 热处理，从而在半导体层中的侧壁的侧方形成第 2 杂质扩

散后构成的源·漏扩散层的工序(e);在工序(e)中,在源·漏扩散层内,形成杂质浓度低于源·漏扩散层的第1杂质扩散后构成的第1导电型的杂质注入区。

采用本发明的半导体装置的制造方法后,由于在通过注入第2导电型的第2杂质,从而形成第2导电型的源·漏注入层的工序(d)的基础上,还具有通过注入第1导电型的第1杂质,从而形成杂质注入层的工序(c),所以在以后的第1热处理工序(e)中,导电型互异的第1及第2杂质,形成杂质对(离子对)。这样形成的杂质对,以互相相反的极性形成离子化的对(正离子和负离子),从而在电气性上成为中性,不易扩散,所以能够抑制第2杂质的过度增速扩散。其结果,与只注入第2杂质的情况相比,能够形成具有浅接合面的源·漏扩散层。

本发明的半导体装置的制造方法,最好还具有:在工序(a)之后且在工序(b)之前,将栅电极作为掩模,向半导体层离子注入第2导电型的第3杂质,从而在半导体层中的栅电极的侧方形成第2导电型的外延注入层的工序(f);将栅电极作为掩模,向半导体层中的栅电极的侧方离子注入第1导电型的第4杂质,从而在半导体层中形成第1导电型的凹处注入层的工序(g);在工序(f)及工序(g)之后,对半导体层进行第2热处理,从而在半导体层中的栅电极的侧方形成第3杂质扩散后构成的第2导电型的外延扩散层,和在外延扩散层的下侧区域形成第4杂质扩散后构成的第1导电型的凹处扩散层的工序(h);在杂质注入区中的杂质浓度,高于凹处扩散层的杂质浓度。这样,就在半导体层中栅电极的侧方区域,形成和源·漏扩散层同一导电型的外延扩散层,同时还在该外延扩散层的下侧,形成和源·漏扩散层相反的导电型的凹处扩散层。所以,可以降低源·漏间的电阻,而且还可以抑制在栅电极的下侧形成的沟道区中的耗尽层的扩大。

本发明的半导体装置的制造方法,最好还具有:在工序(a)之前,向半导体层离子注入第1导电型的第5杂质,从而在半导体层中形成第1导电型的沟道注入层后,对半导体层进行第3热处理,从而在半导体层中形成第5杂质扩散后构成的第1导电型的沟道扩散层的工序(i);杂质注入区中的杂质浓度,高于沟道扩散层的杂质浓度。

本发明的半导体装置的制造方法,最好还具有:在工序(b)之后且在

工序(c)及工序(d)之前,将栅电极及侧壁作为掩模,向半导体层离子注入第6杂质,从而在半导体层中的侧壁的侧方形成非晶形层的工序(j)。这样,能够防止在工序(d)中进行的源·漏形成用的第2杂质向半导体层的深度方向的沟道作用,进而,例如在半导体层由硅构成时,还能够抑制起因于向晶带轴的<110>方向的沟道作用的向栅电极的下侧部分的迂回。

这时,在工序(j)中,最好通过与所述半导体层的主面的法线具有所定的角度的角度注入,注入第6杂质。这样,能够更切实地抑制向晶带轴的<110>方向的沟道作用

在本发明的半导体装置的制造方法中,第6杂质最好是IV族的元素。这样,在半导体层由硅构成时,用IV族的元素使该半导体层非晶形化后,由于IV族的元素在电性上是中性的,所以使半导体层非晶形化后,IV族的元素对半导体层不产生电气性的影响。

在本发明的半导体装置的制造方法中,第2杂质最好以大于或等于第1杂质的注入飞越距离的注入飞越距离进行离子注入。

在本发明的半导体装置的制造方法中,第1杂质最好是钼。

本发明的半导体装置的制造方法,最好还具有:在工序(d)之后且在工序(e)之前,进行能够使注入的杂质不扩散程度的极低温热处理,从而恢复离子注入时造成的结晶损伤的工序(k)。

这时,极低温热处理的加热温度最好在400℃以上且700℃以下。这样,加热温度为400℃以上且700℃以下的低温区域,是非晶形层产生固相外延再成长(Solid Phase Epitaxial Regrowth:SPER)的温度范围,可以使杂质离子几乎不扩散地只进行结晶损伤的恢复。

另外,本发明的半导体装置的制造方法,最好还具有:在工序(e)之后,除去侧壁,将栅电极作为掩模,向半导体层离子注入第2导电型的第3杂质,从而在半导体层中的栅电极的侧方形成第2导电型的外延注入层的工序(l);将栅电极作为掩模,向半导体层离子注入第1导电型的第4杂质,从而在半导体层中的栅电极的侧方形成第1导电型的凹处注入层的工序(m);在工序(l)及工序(m)之后,对半导体层进行第2热处理,从而在半导体层中的栅电极的侧方形成第3杂质扩散后构成的第2导电型的外延扩散层,和在外延扩散层的下侧区域形成第4杂质扩散后构成的第1导

电型的凹处扩散层的工序 (n); 杂质注入区中的杂质浓度, 高于凹处扩散层的杂质浓度。

这样, 由于形成源·漏扩散层后, 有选择地除去侧壁, 然后, 将栅电极作为掩模, 形成外延注入层, 所以就象先形成外延扩散层时一样, 可以
5 从而防止因源·漏形成用杂质的活性化工序 (e) 中的热处理而出现的杂质再分布、接合深度变大的事态。

采用本发明涉及的半导体装置的制造方法后, 由于向源·漏区注入极性互异的 2 种杂质后进行使其活性化的热处理, 所以形成源·漏扩散层的杂质一边形成杂质对一边扩散。这样, 由于过度增速扩散受到抑制, 所以
10 能够形成 MIS 型晶体管的细微化所必需的结构——浅源·漏扩散层。而且, 通过形成杂质对, 从而使形成源·漏扩散层的杂质的扩散受到抑制, 所以不必以需要以上的高温进行活性化的热处理。其结果, 可以用比较少的热预算 (以下称作“低热预算”) 进行旨在形成源·漏扩散层的热处理, 同时还
15 还不增大其它扩散层的再分布引起的接合深度。进而, 在形成较深的源·漏扩散层后形成外延扩散层, 从而还能抑制在对源·漏扩散层进行热处理时, 外延扩散层再分布, 该外延扩散层的接合面的深度增大。

附图说明

图 1 是表示本发明的第 1 实施方式涉及的半导体装置的结构剖面图。

20 图 2 (a) ~ (e) 是表示本发明的第 1 实施方式涉及的半导体装置的制造方法的工序顺序的剖面图。

图 3 (a) ~ (d) 是表示本发明的第 1 实施方式涉及的半导体装置的制造方法的工序顺序的剖面图。

图 4 (a) 是表示图 2 (d) 的 IVa—IVa 线中的 N 型源·漏扩散层的横向的杂质浓度分布的曲线图。(b) 是表示注入和不注入形成离子对用的铟而造成的热处理后的砷的杂质分布的模拟结果的曲线图。

图 5 (a) ~ (e) 是表示本发明的第 2 实施方式涉及的半导体装置的制造工序的剖面图。

图 6 (a) ~ (e) 是表示本发明的第 2 实施方式涉及的半导体装置的制
30 造工序的剖面图。

图 7 (a) ~ (d) 是表示本发明的第 3 实施方式涉及的半导体装置的制造工序的剖面图。

图 8 (a) ~ (c) 是表示本发明的第 3 实施方式涉及的半导体装置的制造工序的剖面图。

5 图 9 (a) 是表示图 7 (d)、图 8 (b)、图 8 (c)、图 8 (b)、图 11 (a)、图 11 (c) 及图 11 (d) 的 IXa-IXa 线中的 N 型源·漏扩散层的横向的杂质浓度分布的曲线图。(b) 是表示注入和不注入形成离子对用的铟而造成的热处理后的砷的杂质分布的模拟结果的曲线图。

10 图 10 (a) ~ (d) 是表示本发明的第 4 实施方式涉及的半导体装置的制造工序的剖面图。

图 11 (a) ~ (d) 是表示本发明的第 4 实施方式涉及的半导体装置的制造工序的剖面图。

图 12 (a) ~ (e) 是表示现有技术的半导体装置的制造工序的剖面图。

15 图 13 示出图 12 (e) 的 XIII-XIII 线中的 N 型源·漏扩散层的横向的杂质浓度分布的曲线图。

具体实施方式

(第 1 实施方式)

下面, 参照附图, 讲述本发明的第 1 实施方式。

20 图 1 是本发明的第 1 实施方式涉及的半导体装置, 示出 N 沟道型的 MIS 型晶体管的剖面结构。

如图 1 所示, 例如在由 P 型硅构成的半导体基板 11 的主面上, 有选择地形成栅极绝缘膜 14 和在其上的栅电极 15, 在栅极绝缘膜 14 及栅电极 15 的两侧面上, 形成绝缘性的侧壁 18。

25 在半导体基板 11 中的栅极绝缘膜 14 的下侧的区域, 形成 P 型沟道扩散层 12, 在半导体基板 11 中的各的侧壁 18 的下侧的区域, 形成 N 型外延扩散层 16, 以及进而在其下侧有选择地形成 P 型凹处扩散层 17。

另外, 在半导体基板 11 中的各侧壁 18 的两侧的区域, 分别形成具有比 P 型沟道扩散层 12 深的接合面, 而且内侧的端部与 N 型外延扩散层 16
30 及 P 型凹处扩散层 17 接合的 N 型源·漏扩散层 20。

作为第1实施方式的特点,在各N型源·漏扩散层20中,在其内部形成注入杂质浓度低于该N型源·漏扩散层20包含的杂质浓度的P型杂质构成的P型杂质注入区19。在这里,向N型源·漏扩散层20例如导入砷(As),而向P型杂质注入区19例如注入铟(In)。另外,P型杂质注入区19的杂质浓度,设定得高于P型沟道扩散层12及P型凹处扩散层17的各杂质浓度。

这样,采用第1实施方式涉及的半导体装置后,在N型源·漏扩散层20的内部,形成P型杂质浓度低于N型源·漏扩散层20的P型杂质注入区19。因此,在为了形成N型源·漏扩散层20而对注入的砷离子进行热扩散之际,施主——砷离子和受主——铟离子,形成离子对,在电气性上成为中性。这样,由于铟离子不容易扩散,所以能够形成接合面浅的N型源·漏扩散层20。因为能够较浅地形成N型源·漏扩散层20的接合面,所以可以实现MIS型晶体管的细微化。

下面,参照附图,讲述上述结构的MIS型晶体管的制造方法。

图2(a)~图2(e)及图3(a)~图2(d)示出本发明的第1实施方式涉及的半导体装置的制造方法的制造工序顺序的剖面构成。

首先,在图2(a)所示的工序中,向由P型硅构成的半导体基板11的沟道形成区中,以注入能量为70keV、注入剂量为 8×10^{12} ions/cm²的注入条件进行离子注入P型杂质——铟(In)离子,在半导体基板11的上部形成P型沟道注入层12A。

接着,在图2(b)所示的工序中,在半导体基板11的P型井形成区,以注入能量为100keV、注入剂量为 1×10^{13} ions/cm²的第1注入条件进行第1次离子注入,离子注入P型杂质——硼(B)离子,接着以注入能量为250keV、注入剂量为 1×10^{13} ions/cm²的第2注入条件进行第2次离子注入,从而在半导体基板11的P型沟道注入层12A的下侧区域形成P型井注入层13A。此外,沟道注入还可以采用所谓旋转注入即分割剂量后,以互不相同的注入角度分作数次在晶片面内对称注入的方法进行离子注入。另外,在第1实施方式中,在进行沟道注入之后,进行井注入。但也可以在沟道注入之前,先进行井注入。

接着,在图2(c)所示的工序中,在形成P型沟道注入层12A及P型

井注入层 13A 后,对半导体基板 11 进行以约 100℃/秒以上、最好以约 200℃/秒以上的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 1 急速热处理 (RTA)。通过该急速热处理,在半导体基板 11 的上部,形成 P 型沟道扩散层 12 及 P 型井扩散层 13。

5 此外,所谓“不保持峰值温度的急速热处理”,是指热处理温度一达到峰值温度后就同时降温的热处理。

接着,在图 2 (d) 所示的工序中,在半导体基板 11 的主面上,有选择地形成膜厚为 1.5nm 左右的由氧化硅构成的栅极绝缘膜 14,和在其上形成膜厚为 150nm 左右的由多晶硅或多金属构成的栅电极 15。

10 接着,在图 2 (e) 所示的工序中,以栅电极 15 为掩模,向半导体基板 11 以注入能量为 2keV、注入剂量为 2×10^{14} ions/cm² 的注入条件离子注入 N 型杂质——砷 (As) 离子,形成 N 型外延注入层 16A。接着,以栅电极 15 为掩模,向半导体基板 11 以注入能量为 10keV、注入剂量为 1×10^{13} ions/cm² 的注入条件离子注入 P 型杂质——硼 (B) 离子,形成 P 型凹处注入层 17A。

15 接着,在图 3 (a) 所示的工序中,对半导体基板 11 进行以约 200℃/秒以上的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 2 急速热处理。通过该急速热处理,在半导体基板 11 的栅电极 15 的两侧的区域,形成 N 型外延注入层 16AP 的砷离子活性化、具有比较浅的接合面的 N 型外延扩散层 16。进而,在 N 型外延扩散层 16 的下侧,形成 P 型凹处注入层 17A 的硼离子活性化、具有杂质浓度比 P 型井扩散层 13 高的 P 型凹处扩散层 17。

20

接着,在图 3 (b) 所示的工序中,例如,采用化学性气相堆积 (CVD) 法,在半导体基板 11 上包括栅电极 15 在内的整个面上,堆积膜厚约 50nm 的硅氮化膜。接着,对堆积的硅氮化膜进行各向异性腐蚀,从而在栅电极 15 的侧面上形成由氮化硅构成的侧壁 18。在这里,在侧壁 18 中,也可以取代氮化硅,使用由氧化硅构成的单层膜,或由断面呈 L 字形的硅氧化膜和板状的硅氮化膜构成的叠层膜等。进而,还可以在侧壁 18 和栅电极 15 之间形成偏置间隔。

25

接着,在图 3 (c) 所示的工序中,以栅电极 15 及侧壁 18 为掩模,向半导体基板 11 以注入能量为 10keV、注入剂量为 1×10^{14} ions/cm² 的注入条

30

件离子注入 P 型杂质——铟离子，形成 P 型离子注入层 19A。接着，以栅电极 15 及侧壁 18 为掩模，向半导体基板 11 以注入能量为 15keV、注入剂量为 3×10^{15} ions/cm² 的注入条件离子注入 N 型杂质——砷离子，形成 N 型源·漏注入层 20A。该 N 型源·漏注入层 20A，注入注入深度比 P 型离子注入层 19A 深，而且注入浓度比 P 型离子注入层 19A 高的砷离子。进而，虽然没有图示，但为了缓和源·漏区中的电场，在注入砷离子后，还可以以注入能量为 20keV、注入剂量为 1×10^{13} ions/cm² 的注入条件离子注入 N 型杂质——磷（P）离子。为了缓和电场而注入的磷离子，在注入铟及高剂量的砷后，在半导体基板 11 的表面及其附近部位，被非晶形化，所以成为利用预先非晶形效应而有效地抑制沟道效应的注入分布。此外，在 N 型源·漏注入层 20A 中，也可以取代砷离子，使用磷离子。

接着，在图 3（d）所示的工序中，对半导体基板 11 进行以约 200℃/秒以上的升温速率、而且升温到 850℃~1000℃左右为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 3 急速热处理。通过该第 3 急速热处理，在半导体基板 11 的侧壁 18 的两侧的区域，形成 N 型源·漏注入层 20A 的砷离子活性化后构成的 N 型源·漏扩散层 20。形成该 N 型源·漏扩散层 20 之后，就在栅电极 15 下的 P 型沟道扩散层 12 和 N 型源·漏扩散层 20 之间，形成 N 型外延扩散层 16 和 P 型凹处扩散层 17。N 型源·漏扩散层 20，具有与 N 型外延扩散层 16 连接、而且比 N 型外延扩散层 16 深的接合面。在这里，N 型源·漏扩散层 20 的内部，成为由 P 型离子注入层 19A 获得的、埋入用虚线所示的 P 型杂质注入区 19 的状态。该 P 型杂质注入区 19 的 P 型杂质的杂质浓度，低于 N 型源·漏扩散层 20 的 N 型杂质的杂质浓度，所以没有形成 P 型杂质扩散层。

图 4（a）示出图 3（d）的 IVa—IVa 线中的 N 型源·漏扩散层 20 的横向（与基板面平行的方向）的杂质浓度分布。在这里，纵轴表示杂质浓度的对数值，横轴表示到侧壁外侧的端部的距离。实线表示注入本发明的源·漏形成区的 P 型杂质注入区 19 的铟的浓度，虚线表示 N 型源·漏扩散层 20 中的砷的浓度。为了比较，用点划线示出现有技术的在形成凹处扩散层时导入源·漏形成区的硼的浓度。如图 4（a）所示，导入 N 型源·漏扩散层 20 的 P 型杂质注入区 19 的 P 型杂质——铟的浓度，与现有技术的在

形成凹处扩散层时导入的硼的浓度相比，增高了。这种铟和砷相互作用的结果，使砷的扩散受到抑制。此外，在图4(a)中，作为本发明，只示出铟的浓度。但是实际上，和现有技术一样，通过注入硼，从而形成P型凹处扩散层17，所以作为P型杂质的总浓度，就成为铟浓度和的硼浓度的合计值。

这样，采用第1实施方式后，在图3(c)所示的工序中，在形成为形成N型源·漏扩散层20的N型源·漏注入层20A，和杂质浓度低于该N型源·漏注入层20A的P型离子注入层19A后，在图3(d)所示的工序中，进行了旨在使N型源·漏注入层20A的砷离子及P型离子注入层19A的铟离子活性化的第3急速热处理。这时，由于N型源·漏注入层20A的杂质浓度高于P型离子注入层19A的杂质浓度，所以能够切实形成N型源·漏扩散层20。

分别离子化的施主原子和受主原子，具有经过热处理后被电气性地互相吸引，形成离子对的性质。因此，在N型源·漏注入层20A中离子化的砷和在P型离子注入层19A中离子化的铟形成离子对，从而使砷的过度增速扩散受到抑制，所以与只注入N型杂质的情况相比，可以形成具有浅接合面的扩散层。

图4(b)示出注入和不注入形成离子对用的铟而造成的热处理后的砷的杂质分布的模拟结果。由图4(b)可知：与现有技术的不注入形成离子对用的铟的情况相比，本发明注入形成离子对用的铟后，砷的接合面变浅了。

这样，由于砷的扩散被砷和铟的离子对抑制，所以不必将为了形成N型源·漏扩散层20而使之活性化的热处理设定成必要以上的高温。而且，在热处理工序中，能够缩短保持加热状态的保持时间，所以可以以低热预算进行活性化处理。进而，由于能够以低热预算进行源·漏形成用的杂质的活性化工序，所以还能防止出现现象现有技术那样，先较浅地形成的外延扩散层，在源·漏形成用的杂质的活性化工序的热处理中，杂质出现分布，结果使该外延扩散层的接合面变深的不良现象。

另外，作为旨在和源·漏形成用的杂质形成离子对的P型杂质，使用铟那样的质量数比较大的元素，所以即使使用较低的注入剂量也能使半导

体基板 11 的源·漏形成区非晶形化。因此，在离子注入源·漏区形成用的砷之前，通过注入形成离子对用的铟，还能使铟同时发挥预先非晶形化注入的作用。利用这种预先非晶形化效应，能够抑制以后注入的砷的沟道效应，所以可以使砷的注入分布变浅。这样，旨在活性化的热扩散引起的砷的杂质分布，可以在该预先非晶形化效应的作用下，获得较浅的接合面。此外，在非晶层向结晶恢复的过程中，杂质的固溶界限成为比在结晶层中时更高的稳定状态 (meta-stable state)，所以注入的离子活性比对结晶层施加同一温度的热处理时高。

一般地，铟向位错环缺陷层大量地偏折，通过在注入砷离子的 N 型源·漏注入层 20A 中，形成注入铟离子的 P 型离子注入层 19A，从而使铟被位错环缺陷层捕获，所以还能抑制晶格间硅由该位错环缺陷层释放后产生的砷的过度增速扩散。

综上所述，采用第 1 实施方式涉及的半导体装置的制造方法后，可以一面抑制 N 型外延扩散层 16 的杂质的再分布，一面切实形成具有浅接合面的 N 型源·漏扩散层 20。

另外，形成 P 型沟道扩散层 12 时，使用质量相对较大的铟，所以可以获得所谓后退比率的杂质分布，即在 P 型沟道扩散层 12 中的基板表面的附近杂质浓度变低，而在距基板表面稍深的区域杂质浓度变高。这样，由于能够防止主要起因于杂质散乱的载流子的迁移率的下降，所以能够抑制短沟道效应的明显化。其结果，能够切实进行晶体管的细微化。

(第 2 实施方式)

下面，参照附图，讲述本发明的第 2 实施方式。

图 5 (a) ~ 图 5 (e) 及图 6 (a) ~ 图 2 (e) 示出本发明的第 2 实施方式涉及的半导体装置的制造方法的工序顺序的剖面构成。此外，在第 2 实施方式中，也用 N 沟道型 MIS 晶体管进行讲述。

首先，在图 5 (a) 所示的工序中，向由 P 型硅构成的半导体基板 11 的沟道形成区中，以注入能量为 70keV、注入剂量为 $8 \times 10^{12} \text{ions/cm}^2$ 的注入条件进行离子注入 P 型杂质——铟 (In) 离子，形成 P 型沟道注入层 12A。

接着，在图 5 (b) 所示的工序中，在半导体基板 11 的 P 型井形成区，以注入能量为 100keV、注入剂量为 $1 \times 10^{13} \text{ions/cm}^2$ 的第 1 注入条件进行第

1 次离子注入，接着以注入能量为 250keV、注入剂量为 1×10^{13} ions/cm² 的第 2 注入条件进行第 2 次离子注入，离子注入 P 型杂质——硼（B）离子，从而在半导体基板 11 的 P 型沟道注入层 12A 的下侧区域形成 P 型井注入层 13A。此外，沟道注入还可以采用所谓旋转注入即分割剂量，以互不相同的
5 注入角度分作数次在晶片面内对称注入的方法进行离子注入。另外，在本实施方式中，在进行沟道注入之后，进行井注入。但也可以在沟道注入之前，先进行井注入。

接着，在图 5（c）所示的工序中，在形成 P 型沟道注入层 12A 及 P 型井注入层 13A 后，对半导体基板 11 进行以约 100℃/秒以上、最好以约 200
10 ℃/秒以上的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 1 急速热处理（RTA）。通过该急速热处理，在半导体基板 11 的上部，形成 P 型沟道扩散层 12 及 P 型井扩散层 13。

接着，在图 5（d）所示的工序中，在半导体基板 11 上，有选择地形成膜厚为 1.5nm 左右的由氧化硅构成的栅极绝缘膜 14，和在其上形成膜厚为
15 150nm 左右的由多晶硅或多金属构成的栅电极 15。

接着，在图 5（e）所示的工序中，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 2keV、注入剂量为 2×10^{14} ions/cm² 的注入条件离子注入 N 型杂质——砷（As）离子，形成 N 型外延注入层 16A。接着，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 10keV、注入剂量为 1×10^{13} ions/cm²
20 的注入条件离子注入 P 型杂质——硼（B）离子，形成 P 型凹处注入层 17A。

接着，在图 6（a）所示的工序中，对半导体基板 11 进行以约 200℃/秒以上的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 2 急速热处理。通过该急速热处理，在半导体基板 11 的栅电极 15 的两侧的区域，形成 N 型外延注入层 16A 的砷离子
25 活性化、具有比较浅的接合面的 N 型外延扩散层 16。进而，在 N 型外延扩散层 16 的下侧，形成 P 型凹处注入层 17A 的硼离子活性化、具有杂质浓度比 P 型井扩散层 13 高的 P 型凹处扩散层 17。

接着，在图 6（b）所示的工序中，例如，采用 CVD 法，在半导体基板 11 上包括栅电极 15 在内的整个面上，堆积膜厚约 50nm 的硅氮化膜。接着，
30 对堆积的硅氮化膜进行各向异性腐蚀，从而在栅电极 15 的侧面上形成由硅

氮化膜构成的侧壁 18。在这里，在侧壁 18 中，也可以取代硅氮化膜，使用由氧化硅构成的单层膜，或由断面呈 L 字形的硅氧化膜和板状的硅氮化膜构成的叠层膜等。进而，还可以在侧壁 18 和栅电极 15 之间形成偏置间隔。

接着，在图 6 (c) 所示的工序中，以栅电极 15 及侧壁 18 为掩模，向
5 半导体基板 11 以注入能量为 100keV、注入剂量为 1×10^{15} ions/cm² 的注入条件离子注入 IV 族元素——锗 (Ge)，在半导体基板 11 的源·漏形成区形成非晶形层 21。该非晶形层 21 的深度，最好比在后工序中形成的源·漏注入层的深度深。在这里，在形成非晶形层 21 的 IV 族元素中，还可以取代锗，使用
10 和锗一样，对半导体基板 11 不产生电气性的影响的硅 (Si)。在这里，使用硅形成非晶形层 21 时，形成非晶形层 21 的区域的硅浓度，由于在半导体基板 11 的硅浓度上加上注入的硅浓度，所以成为比半导体基板 11 中的栅电极 15 正下方的硅浓度高的浓度。

接着，在图 6 (d) 所示的工序中，以栅电极 15 及侧壁 18 为掩模，向
15 半导体基板 11 上形成的非晶形层 21，以注入能量为 10keV、注入剂量为 1×10^{14} ions/cm² 的注入条件离子注入 P 型杂质——铟离子，形成 P 型离子注入层 19A。接着，以栅电极 15 及侧壁 18 为掩模，向半导体基板 11 上形成的非晶形层 21，以注入能量为 15keV、注入剂量为 3×10^{15} ions/cm² 的注入条件离子注入 N 型杂质——砷离子，形成 N 型源·漏注入层 20A。该 N 型源·漏注入层 20A，注入注入深度比 P 型离子注入层 19A 深，而且注入浓度比 P 型离子注入层 19A 高的砷离子。进而，虽然没有图示，但为了缓和源·漏区中的电场，在注入砷离子后，还可以以注入能量为 20keV、注入
20 剂量为 1×10^{13} ions/cm² 的注入条件离子注入 N 型杂质——磷 (P) 离子。为了缓和电场而注入的磷离子，由于在半导体基板 11 上形成非晶形层 21，所以成为利用预先非晶形效应而有效地抑制沟道效应的注入分布。此外，在 N
25 型源·漏注入层 20A 中，也可以取代砷离子，使用磷离子。

接着，在图 6 (e) 所示的工序中，将形成非晶形层 21、P 型离子注入层 19A 及 N 型源·漏注入层 20A 的半导体基板 11 升温到 400℃~700℃、最好为 400℃~600℃，对半导体基板 11 进行将升温的温度最长保持 10 小时左右的第 3 极低温热处理。该极低温热处理，由于热处理温度非常低，
30 所以几乎不引起起因于过度增速扩散的杂质扩散，只进行离子注入造成的

结晶损伤及非晶形化的结晶的恢复。其结果，接合位置与刚进行离子注入之后几乎没有变化。

接着，在第3极低温热处理后，对半导体基板11进行以约200℃/秒以上的升温速率、而且升温到850℃~1000℃左右为止、将峰值温度最长保持10秒钟或不保持峰值温度的第4急速热处理。通过该第4急速热处理，在半导体基板11的侧壁18的两侧的区域，形成N型源·漏注入层20A的砷离子活性化后构成的N型源·漏扩散层20。形成该N型源·漏扩散层20之后，就在栅电极15下侧的P型沟道扩散层12和N型源·漏扩散层20之间，形成N型外延扩散层16和P型凹处扩散层17。N型源·漏扩散层20，具有与N型外延扩散层16连接、而且比N型外延扩散层16深的接合面。在这里，N型源·漏扩散层20的内部，成为由P型离子注入层19A获得的、埋入用虚线所示的P型杂质注入区19的状态。该P型杂质注入区19的P型杂质的杂质浓度，低于N型源·漏扩散层20的N型杂质的杂质浓度，所以没有形成P型杂质扩散层。该第4急速热处理，例如，通过进行Spike RTA、激光退火或闪光灯退火等，可以提高只用第3极低温热处理尚不彻底的杂质的活性化。

这样，采用第1实施方式后，在图6(c)所示的工序中，在源·漏形成非晶形层21后，在图6(d)所示的工序中，形成进行P型离子注入层19A及N型源·漏注入层20A。通过形成该非晶形层21，N型源·漏注入层20A形成时的砷的沟道效应受到抑制，所以可以形成具有浅杂质分布的N型源·漏注入层20A。

然后，在图6(e)所示的工序中，用第3极低温热处理恢复结晶后，通过第4极低温热处理进行活性化。这样，可以使注入的杂质几乎不扩散地实现该杂质的活性化。这时，如前所述，通过热处理，离子化的施主原子和受主原子，具有被电气性地互相吸引，形成离子对的性质。因此，在N型源·漏注入层20A中离子化的砷和在P型离子注入层19A中离子化的镓形成离子对，从而使砷的过度增速扩散受到抑制，所以和只注入N型杂质时相比，可以形成具有浅接合面的N型源·漏扩散层20。

这样，由于砷的扩散被离子对抑制，所以不必将继极低温热处理之后进行的为了形成源·漏扩散层20而使之活性化的热处理设定成不必要的高

温。而且，在热处理工序中，能够缩短保持加热状态的保持时间，所以可以以低热预算进行活性化处理。进而，由于能够以低热预算进行源·漏形成用的杂质的活性化工序，所以还能防止出现现象现有技术那样，先较浅地形成的外延扩散层，在源·漏形成用的杂质的活性化工序的热处理中，杂质出现分布，结果使该外延扩散层的接合面变深的不良现象。

另外，在图 6 (e) 所示的工序中，由于向源漏形成区进行离子注入后，进行极低温热处理，所以可以将高分布量的预先非晶形注入后形成的非晶形层恢复为结晶层。由于这时的热处理温度非常低，所以通过扩散及再结合只消灭点缺陷，几乎不产生起因于过度增速扩散的杂质扩散，而只进行非晶形层的再成长。我们知道，在这种热处理温度为 $400^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 左右，甚至为 $400^{\circ}\text{C}\sim 600^{\circ}\text{C}$ 左右的温度下，在非晶形层中出现固相再成长。因此，注入源·漏形成区的砷及铟的接合面，可以从离子注入的时刻起，几乎不变地保持浅接合面。此外，在非晶层向结晶恢复的过程中，杂质的固溶界限成为比在结晶层中时更高的稳定状态 (meta-stable state)，所以注入的离子活性比对结晶层施加同一温度的热处理时高。

另外，在图 6 (c) 所示的工序中，由于离子注入 IV 族元素——锗，所以可以有选择地而且积极地使源·漏形成区非晶形化。这样，由于在形成 N 型源·漏注入层 20A 之前，使源·漏形成区非晶形化，所以不仅能够抑制注入 N 型源·漏注入层 20A 的砷离子的注入分布中的深度方向的沟道作用现象，还能够抑制起因于晶带轴的 $\langle 110 \rangle$ 方向的沟道作用的、砷离子向栅电极 15 的下侧区域的迂回。

另外，如前所述，我们知道：铟向位错环缺陷层大量地偏折，通过在注入砷离子的 N 型源·漏注入层 20A 中，形成注入铟离子的 P 型离子注入层 19A，从而使铟被位错环缺陷层捕获，所以还能抑制晶格间硅由该位错环缺陷层释放后产生的砷的过度增速扩散。

综上所述，可以一面抑制 N 型外延扩散层 16 包含的杂质的再分布，一面切实形成具有浅接合面的 N 型源·漏扩散层 20。

另外，由于形成 P 型沟道扩散层 12 时，使用质量数相对较大的铟，所以可以获得所谓后退比率的杂质分布，即在 P 型沟道扩散层 12 中的基板表面的附近杂质浓度变低，而在距基板表面稍深的区域杂质浓度变高。这样，

由于能够防止主要起因于杂质散乱的载流子的迁移率的下降，所以能够抑制短沟道效应的明显化。其结果，能够切实进行晶体管的细微化。

（第3实施方式）

下面，参照附图，讲述本发明的第3实施方式涉及的半导体装置。

5 图7(a)～图5(d)及图8(a)～图8(c)示出本发明的第3实施方式涉及的半导体装置的制造方法的工序顺序的剖面构成。此外，在第3实施方式中，也用N沟道型MIS晶体管进行讲述。

首先、和第1实施方式一样，如图7(a)所示，在由P型硅构成的半导体基板11的上部，形成P型沟道扩散层12及P型井扩散层13，接着，
10 在半导体基板11的主面上，有选择地形成膜厚为1.5nm左右的由氧化硅构成的栅极绝缘膜14，和在其上形成膜厚为150nm左右的由多晶硅或多金属构成的栅电极15。

接着，在图7(b)所示的工序中，例如，采用CVD法，在半导体基板11上包括栅电极15在内的整个面上，堆积膜厚约50nm的硅氮化膜。接着，
15 对堆积的硅氮化膜进行各向异性腐蚀，从而在栅电极15的侧面上形成由氮化硅构成的侧壁18。在这里，在侧壁18中，也可以取代氮化硅，使用由氧化硅构成的单层膜，或由断面呈L字形的硅氧化膜和板状的硅氮化膜构成的叠层膜等。进而，还可以在侧壁18和栅电极15之间形成偏置间隔。

接着，在图7(c)所示的工序中，以栅电极15及第1侧壁18A为掩模，
20 向半导体基板11以注入能量为10keV、注入剂量为 1×10^{14} ions/cm²的注入条件离子注入P型杂质——铟离子，形成P型离子注入层19A。接着，以栅电极15及第1侧壁18A为掩模，向半导体基板11以注入能量为15keV、注入剂量为 3×10^{15} ions/cm²的注入条件离子注入N型杂质——砷离子，形成N型源·漏注入层20A。该N型源·漏注入层20A，注入注入深度比P
25 型离子注入层19A深，而且注入浓度比P型离子注入层19A高的砷离子。进而，虽然没有图示，但为了缓和源·漏区中的电场，在注入砷离子后，还可以以注入能量为20keV、注入剂量为 1×10^{13} ions/cm²的注入条件离子注入N型杂质——磷(P)离子。为了缓和电场而注入的磷离子，在注入铟及高剂量的砷后，在半导体基板11的表面及其附近部位，被非晶形化，所
30 以成为利用预先非晶形效应而有效地抑制沟道效应的注入分布。此外，在N

型源·漏注入层 20A 中，也可以取代砷离子，使用磷离子。

接着，在图 7 (d) 所示的工序中，对半导体基板 11 进行以约 200℃/秒~250℃/秒的升温速率、而且升温到 850℃~1000℃左右为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 1 急速热处理。通过该第 1 急速热处理，在半导体基板 11 的第 1 侧壁 18A 的两侧的区域，形成 N 型源·漏注入层 20A 的砷离子活性化后构成的 N 型源·漏扩散层 20。这时，N 型源·漏扩散层 20 的内部，成为由 P 型离子注入层 19A 获得的、埋入用虚线所示的 P 型杂质注入区 19 的状态。该 P 型杂质注入区 19 的 P 型杂质的杂质浓度，低于 N 型源·漏扩散层 20 的 N 型杂质的杂质浓度，所以没有形成 P 型杂质扩散层。

然后，在图 8 (a) 所示的工序中，例如通过采用热磷酸溶液的湿腐蚀，暂时除去第 1 侧壁 18A。接着，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 2keV、注入剂量为 2×10^{14} ions/cm² 的注入条件离子注入 N 型杂质——砷 (As) 离子，形成 N 型外延注入层 16A。接着，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 10keV、注入剂量为 1×10^{13} ions/cm² 的注入条件离子注入 P 型杂质——硼 (B) 离子，形成 P 型凹处注入层 17A。

接着，在图 8 (b) 所示的工序中，对半导体基板 11 进行以约 200℃/秒的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 2 急速热处理。通过该急速热处理，在半导体基板 11 的栅电极 15 的两侧的区域，形成 N 型外延注入层 16AP 的砷离子活性化、具有比较浅的接合面的 N 型外延扩散层 16。进而，在 N 型外延扩散层 16 的下侧，形成 P 型凹处注入层 17A 的硼离子活性化、具有杂质浓度比 P 型井扩散层 13 高的 P 型凹处扩散层 17。该 N 型外延扩散层 16 和 N 型源·漏扩散层 20 连接，而且具有比 N 型源·漏扩散层 20 浅的接合面。

接着，在图 8 (c) 所示的工序中，和图 7 (b) 所示的工序一样，在栅电极 15 的两侧面上再度形成第 2 侧壁 18B。这样，在第 3 实施方式中，在形成 N 型源·漏扩散层 20 后，除去第 1 侧壁 18A，在形成 N 型外延扩散层 16 及型凹处扩散层 17 后，重解形成第 2 侧壁 18B。因此第 2 侧壁 18B 的厚度 (宽度)，就不规定 N 型外延扩散层 16 及型凹处扩散层 17 中栅极长方向的尺寸。这样，可以任意设定第 2 侧壁 18B 的厚度 (宽度)。在这里，

在第2侧壁18B中,也可以取代氮化硅,使用由氧化硅构成的单层膜,或由断面呈L字形的硅氧化膜和板状的硅氮化膜构成的叠层膜等。进而,还可以在第2侧壁18B和栅电极15之间形成偏置间隔。

图9(a)示出图7(d)、图8(b)及图7(c)的IXa-IXa线中的N型源·漏扩散层20的横向的杂质浓度分布。在这里,纵轴表示杂质浓度的对数值,横轴表示到侧壁外侧的端部的距离。实线表示注入本发明的源·漏形成区的P型杂质注入区19的铟的浓度,虚线表示N型源·漏扩散层20中的砷的浓度。为了比较,用点划线示出现有技术的在形成凹处扩散层时导入源·漏形成区的硼的浓度。如图9(a)所示,导入N型源·漏扩散层20的P型杂质注入区19的P型杂质——铟的浓度,与现有技术的在形成凹处扩散层时导入的硼的浓度相比,增高了。这种铟和砷相互作用的结果,使砷的扩散受到抑制。

这样,采用第3实施方式后,在图7(d)所示的工序中,在形成N型外延扩散层16之前,形成为形成N型源·漏扩散层20的N型源·漏注入层20A,和杂质浓度低于该N型源·漏注入层20A的P型离子注入层19A。然后,在图8(b)所示的工序中,进行了旨在使N型源·漏注入层20A的砷离子及P型离子注入层19A的铟离子活性化的第2急速热处理。这时,由于N型源·漏注入层20A的杂质浓度高于P型离子注入层19A的杂质浓度,所以能够切实形成N型源·漏扩散层20。

如前所述,在N型源·漏注入层20A中离子化的砷和在P型离子注入层19A中离子化的铟形成离子对。在该形成的离子对的作用下,砷的过度增速扩散受到抑制,所以与只注入N型杂质的情况相比,可以形成具有浅接合面的N型源·漏扩散层20。

另外,图9(b)示出注入和不注入形成离子对用的铟而造成的热处理后的砷的杂质分布的模拟结果。由图9(b)可知:与现有技术的不注入形成离子对用的铟的情况相比,本发明注入形成离子对用的铟后,砷的接合面变浅了。

这样,由于砷的扩散被砷和铟的离子对抑制,所以不必将为了形成N型源·漏扩散层20而使之活性化的热处理设定成必要以上的高温。而且,在热处理工序中,不必设置保持加热状态的保持时间,所以可以以低热预

算进行活性化处理。进而，由于能够在 N 型源・漏扩散层 20 之后形成 N 型外延扩散层 16，所以能够抑制在源・漏形成用的 N 型杂质的活性化工序的热处理中，先形成的 N 型外延扩散层 16 包含的杂质出现分布，结果使该 N 型外延扩散层 16 的接合面变深的不良现象。

- 5 另外，在栅电极 15 由多晶硅或多金属构成时，对导入形成该栅电极 15 的多晶硅的杂质进行的活性化处理中，也能利用 N 型源・漏扩散层 20 的形成工序，使形成栅电极 15 的多晶硅等充分地活性化。

综上所述，采用第 3 实施方式涉及的半导体装置的制造方法后，可以一面抑制 N 型外延扩散层 16 的杂质的再分布，一面切实形成具有浅接合面的
10 N 型源・漏扩散层 20。

另外，形成 P 型沟道扩散层 12 时，使用质量数相对较大的钨，所以可以获得所谓后退比率的杂质分布，即在 P 型沟道扩散层 12 中的基板表面的附近杂质浓度变低，而在距基板表面稍深的区域杂质浓度变高。这样，由于能够防止主要起因于杂质散乱的载流子的迁移率的下降，所以能够抑制
15 短沟道效应的明显化。其结果，能够切实进行晶体管的细微化。

（第 4 实施方式）

下面，参照附图，讲述本发明的第 4 实施方式涉及的半导体装置。

图 10（a）～图 10（d）及图 11（a）～图 11（d）示出本发明的第 4 实施方式涉及的半导体装置的制造方法的工序顺序的剖面构成。此外，在
20 第 4 实施方式中，也用 N 沟道型 MIS 晶体管进行讲述。

首先，和第 1 实施方式一样，如图 10（a）所示，在由 P 型硅构成的半导体基板 11 的上部，形成 P 型沟道扩散层 12 及 P 型井扩散层 13，接着，在半导体基板 11 的主面上，有选择地形成膜厚为 1.5nm 左右的由氧化硅构成的栅极绝缘膜 14，和在其上形成膜厚为 150nm 左右的由多晶硅或多金属
25 构成的栅电极 15。

接着，在图 7（b）所示的工序中，例如，采用 CVD 法，在半导体基板 11 上包括栅电极 15 在内的整个面上，堆积膜厚约 50nm 的硅氮化膜。接着，对堆积的硅氮化膜进行各向异性腐蚀，从而在栅电极 15 的侧面上形成由氮化硅构成的侧壁 18。在这里，在侧壁 18 中，也可以取代氮化硅，使用由氧化硅构成的单层膜，或由断面呈 L 字形的硅氧化膜和板状的硅氮化膜构成
30

的叠层膜等。进而，还可以在侧壁 18 和栅电极 15 之间形成偏置间隔。

接着，在图 10 (c) 所示的工序中，以栅电极 15 及第 1 侧壁 18A 为掩模，向半导体基板 11 以注入能量为 100keV、注入剂量为 $1 \times 10^{15} \text{ions/cm}^2$ 的注入条件、而且以对基板面法线而言约 20 度的倾斜角度（注入角度）离子注入 IV 族元素——锗 (Ge)，在半导体基板 11 的源·漏形成区形成非晶形层 21。该非晶形层 21 的深度，最好比在后工序中形成的源·漏注入层的深度浅。P27 (—0) 另外，通过角度注入，使半导体基板 11P 中的第 1 侧壁 18A 的下侧区域也非晶形化，所以能够更切实地抑制砷离子在向晶带轴 $\langle 110 \rangle$ 方向的沟道效应的作用下，朝栅电极 15 的下侧部位迂回的现象。这样，采用角度注入形成非晶形层 21 时，由于栅电极 15 及栅极绝缘膜 14 的侧面被非晶形层 21 覆盖，所以栅极绝缘膜 14 的侧端部也不会受到锗离子的损伤。此外，在形成非晶形层 21 的 IV 族元素中，还可以取代锗，使用硅 (Si)。

接着，在图 10 (d) 所示的工序中，以栅电极 15 及第 1 侧壁 18A 为掩模，向半导体基板 11 上形成的非晶形层 21，以注入能量为 10keV、注入剂量为 $1 \times 10^{14} \text{ions/cm}^2$ 的注入条件离子注入 P 型杂质——铟离子，形成 P 型离子注入层 19A。接着，以栅电极 15 及第 1 侧壁 18A 为掩模，向半导体基板 11 上形成的非晶形层 21，以注入能量为 15keV、注入剂量为 $3 \times 10^{15} \text{ions/cm}^2$ 的注入条件离子注入 N 型杂质——砷离子，形成 N 型源·漏注入层 20A。该 N 型源·漏注入层 20A，注入注入深度比 P 型离子注入层 19A 深、而且注入浓度比 P 型离子注入层 19A 高的砷离子。进而，虽然没有图示，但为了缓和源·漏区中的电场，在注入砷离子后，还可以以注入能量为 20keV、注入剂量为 $1 \times 10^{13} \text{ions/cm}^2$ 的注入条件离子注入 N 型杂质——磷 (P) 离子。为了缓和电场而注入的磷离子，在铟注入及高剂量的注入砷后，在半导体基板 11 的表面及其附近部位被非晶形化，所以成为利用预先非晶形效应而有效地抑制沟道效应的注入分布。此外，在 N 型源·漏注入层 20A 中，也可以取代砷离子，使用磷离子。

接着，在图 11 (a) 所示的工序中，将形成非晶形层 21、P 型离子注入层 19A 及 N 型源·漏注入层 20A 的半导体基板 11 升温到 $400^\circ\text{C} \sim 700^\circ\text{C}$ 、最好为 $400^\circ\text{C} \sim 600^\circ\text{C}$ ，对半导体基板 11 进行将升温的温度保持数秒到最长

10 小时左右的第 1 极低温热处理。该极低温热处理，由于热处理温度非常低，所以几乎不引起起因于过度增速扩散的杂质扩散。这样，只进行离子注入造成的结晶损伤及非晶形化的结晶的恢复，各注入层的接合位置与刚进行离子注入之后几乎没有变化。

5 接着，在极低温下的第 1 极低温热处理后，对半导体基板 11 进行以约 200℃/秒以上的升温速率、而且升温到 850℃~1000℃左右为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 2 急速热处理（例如，Spike RTA、激光退火或闪光灯退火等）。通过该第 2 急速热处理，在半导体基板 11 的第 1 侧壁 18A 的两侧的区域，形成 N 型源·漏注入层 20A 的砷离子活化后构成的 N 型源·漏扩散层 20。在这里，N 型源·漏扩散层 20 的内部，成为由 P 型离子注入层 19A 获得的、埋入用虚线所示的 P 型杂质注入区 19 的状态。该 P 型杂质注入区 19 的 P 型杂质的杂质浓度，低于 N 型源·漏扩散层 20 的 N 型杂质的杂质浓度，所以没有形成 P 型杂质扩散层。通过该第 2 急速热处理，可以提高只用第 1 极低温热处理尚不彻底的杂质的活化。
10
15

然后，在图 11 (b) 所示的工序中，例如通过采用热磷酸溶液的湿腐蚀，暂时除去第 1 侧壁 18A。接着，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 2keV、注入剂量为 2×10^{14} ions/cm² 的注入条件离子注入 N 型杂质——砷 (As) 离子，形成 N 型外延注入层 16A。接着，以栅电极 15 为掩模，向半导体基板 11 以注入能量为 10keV、注入剂量为 1×10^{13} ions/cm² 的注入条件离子注入 P 型杂质——硼 (B) 离子，形成 P 型凹处注入层 17A。
20

接着，在图 11 (c) 所示的工序中，对半导体基板 11 进行以约 200℃/秒的升温速率、而且升温到 850℃~1050℃为止、将峰值温度最长保持 10 秒钟或不保持峰值温度的第 3 急速热处理。通过该第 3 急速热处理，在半导体基板 11 的栅电极 15 的两侧的区域，形成 N 型外延注入层 16AP 的砷离子活性化、具有比较浅的接合面的 N 型外延扩散层 16。进而，在 N 型外延扩散层 16 的下侧，形成 P 型凹处注入层 17A 的硼离子活性化、具有杂质浓度比 P 型井扩散层 13 高的 P 型凹处扩散层 17。该 N 型外延扩散层 16 和 N 型源·漏扩散层 20 连接，而且具有比 N 型源·漏扩散层 20 浅的接合面。
25

30 接着，在图 11 (d) 所示的工序中，和图 10 (b) 所示的工序一样，在

栅电极 15 的两侧面上再度形成第 2 侧壁 18B。这样, 在第 4 实施方式中, 在形成 N 型源·漏扩散层 20 后, 除去第 1 侧壁 18A, 在形成 N 型外延扩散层 16 及型凹处扩散层 17 后, 重解形成第 2 侧壁 18B。因此第 2 侧壁 18B 的厚度(宽度), 就不规定 N 型外延扩散层 16 及型凹处扩散层 17 中栅极长方向的尺寸。这样, 可以任意设定第 2 侧壁 18B 的厚度(宽度)。在这里, 在第 2 侧壁 18B 中, 也可以取代氮化硅, 使用由氧化硅构成的单层膜, 或由断面呈 L 字形的硅氧化膜和板状的硅氮化膜构成的叠层膜等。进而, 还可以在 5 第 2 侧壁 18B 和栅电极 15 之间形成偏置间隔。

图 9(a) 示出图 11(a)、图 11(c) 及图 11(d) 的 IXa-IXa 线中的 N 10 型源·漏扩散层 20 的横向的杂质浓度分布。

这样, 采用第 4 实施方式后, 在图 10(c) 所示的工序中, 在源·漏形区通过注入锗形成非晶形层 21 后, 在图 10(d) 所示的工序中, 形成进行 P 型离子注入层 19A 及 N 型源·漏注入层 20A。这样, 通过在源·漏形区形成非晶形层 21, 从而使 N 型源·漏注入层 20A 形成时的砷的沟道效应受到抑制, 所以可以形成具有浅杂质分布的 N 型源·漏注入层 20A。 15

然后, 在图 11(a) 所示的工序中, 用第 1 极低温热处理恢复结晶后, 通过第 2 急速热处理进行活性化。这样, 可以使注入的杂质几乎不扩散地实现该杂质的活性化。这时, 如前所述, 通过热处理, 离子化的施主原子和受主原子, 被电气性地互相吸引, 形成离子对。因此, 在 N 型源·漏注入层 20A 中离子化的砷和在 P 型离子注入层 19A 中离子化的铟形成离子对, 从而使砷的过度增速扩散受到抑制, 所以和只注入 N 型杂质时相比, 可以形成具有浅接合面的 N 型源·漏扩散层 20。 20

这样, 由于砷的扩散被离子对抑制, 所以不必将继第 1 极低温热处理之后进行的为了形成源·漏扩散层 20 而使之活性化的第 2 急速热处理设定成不必要的高温。而且, 升温后也不需要长时间保持其升温状态, 所以可以以低热预算进行活性化处理。进而, 由于将 N 型外延扩散层 16 在源·漏扩散层 20 之后形成, 所以还能防止出现先较浅地形成的 N 型外延扩散层 16, 在源·漏形成用的杂质的活性化工序的热处理中, 杂质出现分布, 结果使 N 型外延扩散层 16 的接合面变深的不良现象。 25

另外, 如图 11(a) 所示, 通过向源·漏形成区进行砷离子的离子注入 30

后, 立刻进行第 1 极低温热处理, 所以可以将高分布量的预先非晶形注入后形成的非晶形层恢复为结晶层。这时, 由于第 1 极低温热处理的加热温度非常低, 所以引起扩散及再结合只消灭半导体基板 11 中的点缺陷, 几乎不产生起因于过度增速扩散的杂质扩散, 而只进行非晶形层的再成长。如前所述, 在加热温度为 $400^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 左右, 甚至为 $400^{\circ}\text{C}\sim 600^{\circ}\text{C}$ 左右的温度下, 在非晶形层中出现固相再成长。因此, 注入源・漏形成区的砷及铟的接合深度, 可以从离子注入的时刻起, 几乎不变地保持浅接合面。此外, 非晶形层正在恢复结晶时, 杂质的固溶界限比结晶层中时成为高的准稳定状态 (meta-stable state), 所以对于结晶层来说, 与施加同一温度的热处理时相比, 还提高注入的离子的活性化。

另外, 在第 4 实施方式中, 通过预先向源・漏形成区离子注入 IV 族元素, 形成非晶形层 21, 从而可以有选择地而且积极地使源・漏形成区非晶形化。就是说, 由于在形成 N 型源・漏注入层 20A 之前, 通过角度注入使源・漏形成区非晶形化, 从而不仅能够抑制注入的砷离子的深度方向的沟道作用现象, 还能够抑制砷离子在向晶带轴的 $\langle 110 \rangle$ 方向的沟道作用下向栅电极 15 的下侧区域的迂回的现象。

另外, 我们知道: 铟向位错环缺陷层大量地偏折, 通过在注入砷离子的 N 型源・漏注入层 20A 中, 形成注入铟离子的 P 型离子注入层 19A, 从而使铟被位错环缺陷层捕获。所以还能抑制晶格间硅由该位错环缺陷层释放后产生的砷的过度增速扩散。

综上所述, 可以一面抑制 N 型外延扩散层 16 包含的杂质的再分布, 一面切实形成具有浅接合面的 N 型源・漏扩散层 20。

另外, 由于形成 P 型沟道扩散层 12 时, 使用质量数相对较大的铟, 所以可以获得所谓后退比率的杂质分布, 即在 P 型沟道扩散层 12 中的基板表面的附近杂质浓度变低, 而在距基板表面稍深的区域杂质浓度变高。这样, 由于能够防止主要起因于杂质散乱的载流子的迁移率的下降, 所以能够抑制短沟道效应的明显化。其结果, 能够切实进行晶体管的细微化。

此外, 在第 2 实施方式中, 在源・漏形成区形成非晶形层 21 之际, 也可以角度注入锗离子或硅离子。

另外, 在第 1~第 4 的各实施方式中, 作为 P 型沟道扩散层 12 的杂质

离子，使用了铟，但也可以取代它，使用硼离子或比该硼离子重的 P 型元素离子，还可以同时使用硼离子及比该硼离子重的 P 型元素离子。进而，还可以使用质量数比铟大的 3B 族元素。在栅极绝缘膜 14 中，使用了氧化硅，但也可以使用氧氮化硅或高介电体绝缘膜，例如铅氧化物或铅硅酸盐等

另外，在第 1~第 4 的各实施方式中，作为半导体装置，使用了 N 沟道型 MIS 型晶体管进行了讲述，但也可以取代它，使用 P 沟道型 MIS 型晶体管。使用 P 沟道型 MIS 型晶体管时，作为构成 P 型源·漏扩散层的 P 型杂质离子，例如可以使用硼离子或铟离子等，作为和 P 型杂质离子形成离子对的 N 型杂质，可以使用砷离子、锑离子 (Sb) 或铋离子 (Bi) 等 5B 族元素。

另外，在第 1~第 4 的各实施方式中，在栅极绝缘膜 14 中使用氧化硅，在栅电极 15 中使用多晶硅或多金属，但也可以进行所谓栅极置换，即在形成 N 型源·漏扩散层 20 及 N 型外延扩散层 16 后，通过腐蚀去掉栅电极 15 及栅极绝缘膜 14，然后在栅极绝缘膜 14 中使用氧氮化硅或铅氧化物等高介电体膜，在栅电极 15 中使用钨或钛等金属膜，置换栅电极结构。

本发明涉及的半导体装置及其制造方法，通过向源·漏扩散层的内侧注入和源·漏扩散层相反的导电型的杂质，从而可以利用低热预算抑制构成源·漏扩散层的杂质的过度增速扩散，形成具有急剧而浅的接合面的源·漏扩散层，而且还能获得抑制外延扩散层的再分布的效果，作为接合面浅而且具有低电阻的扩散层的可以细微化的半导体装置，大有用处。

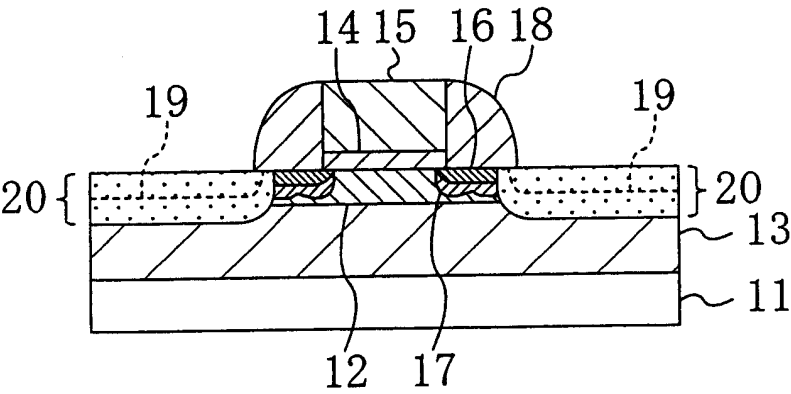


图 1

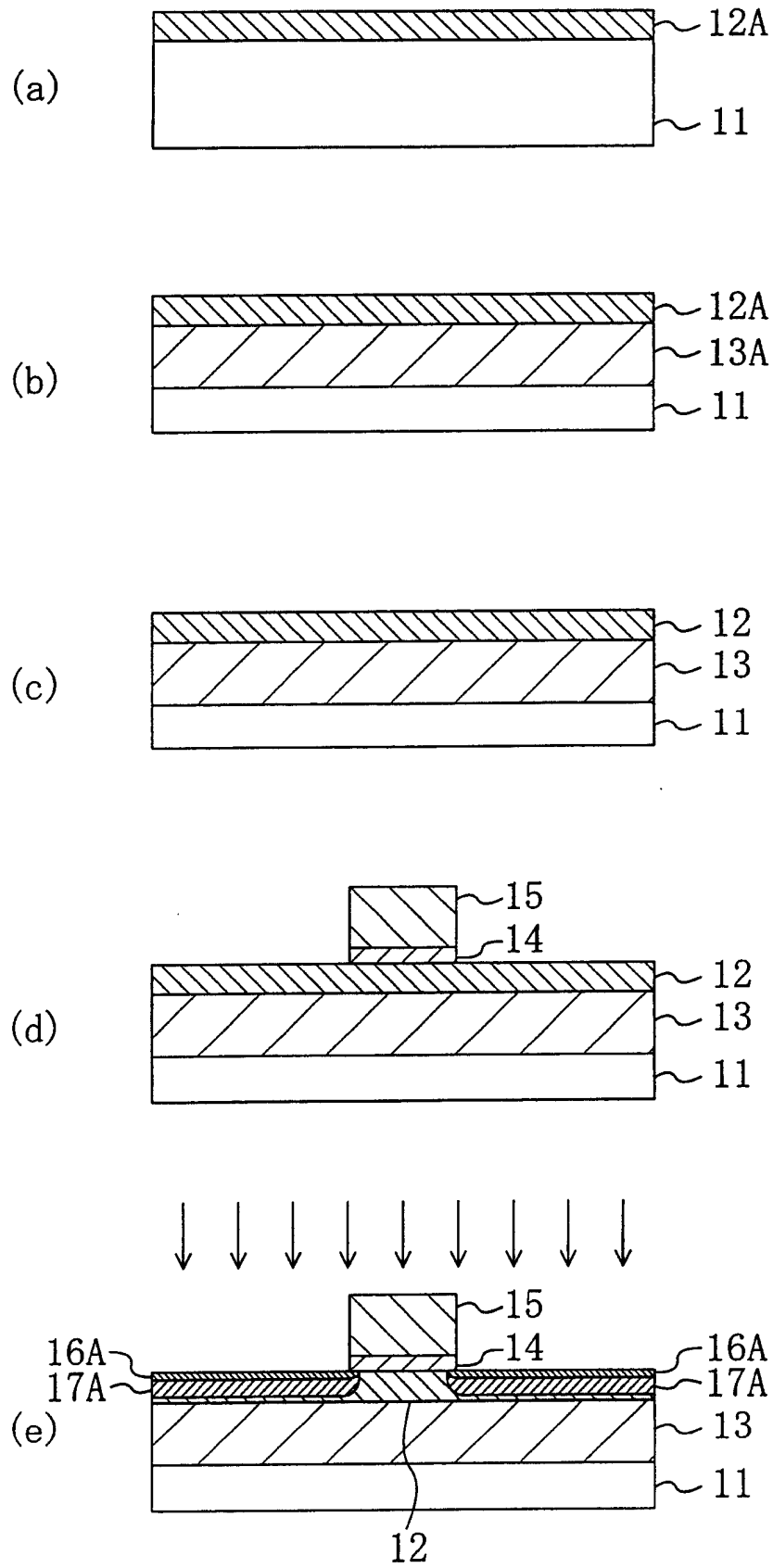


图 2

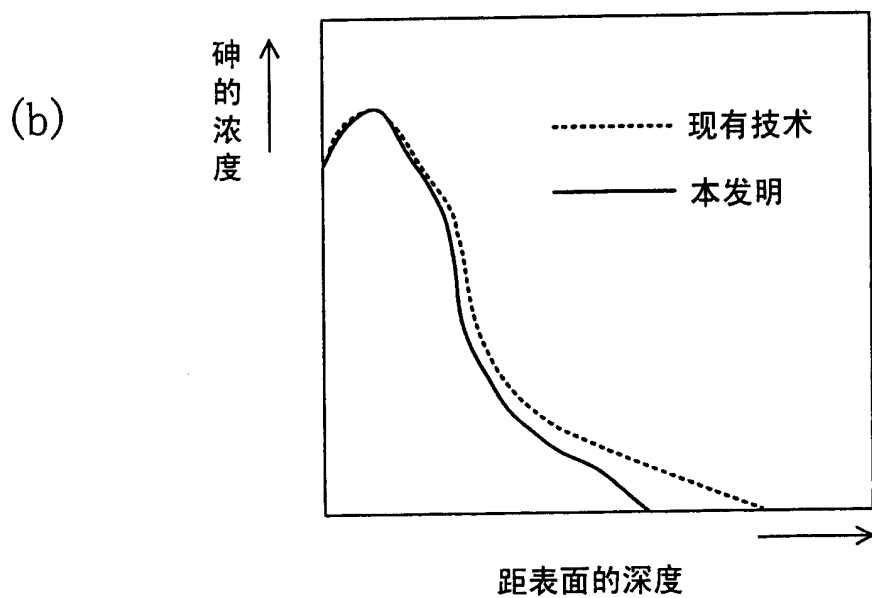
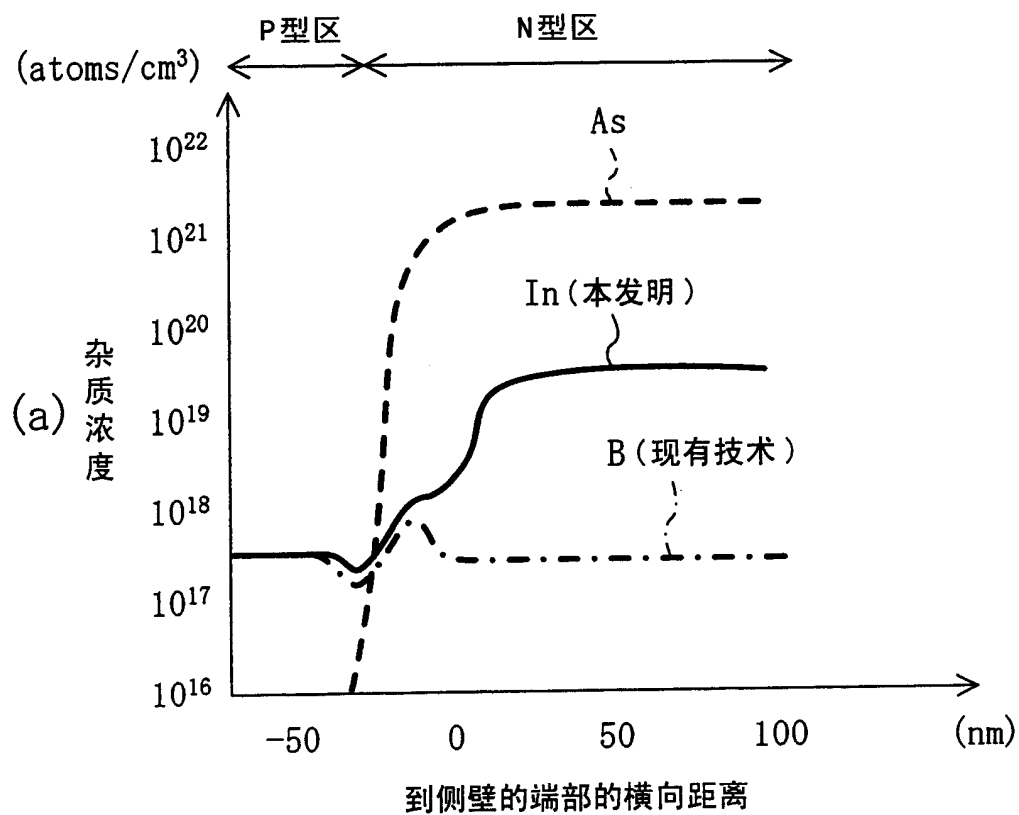


图 4

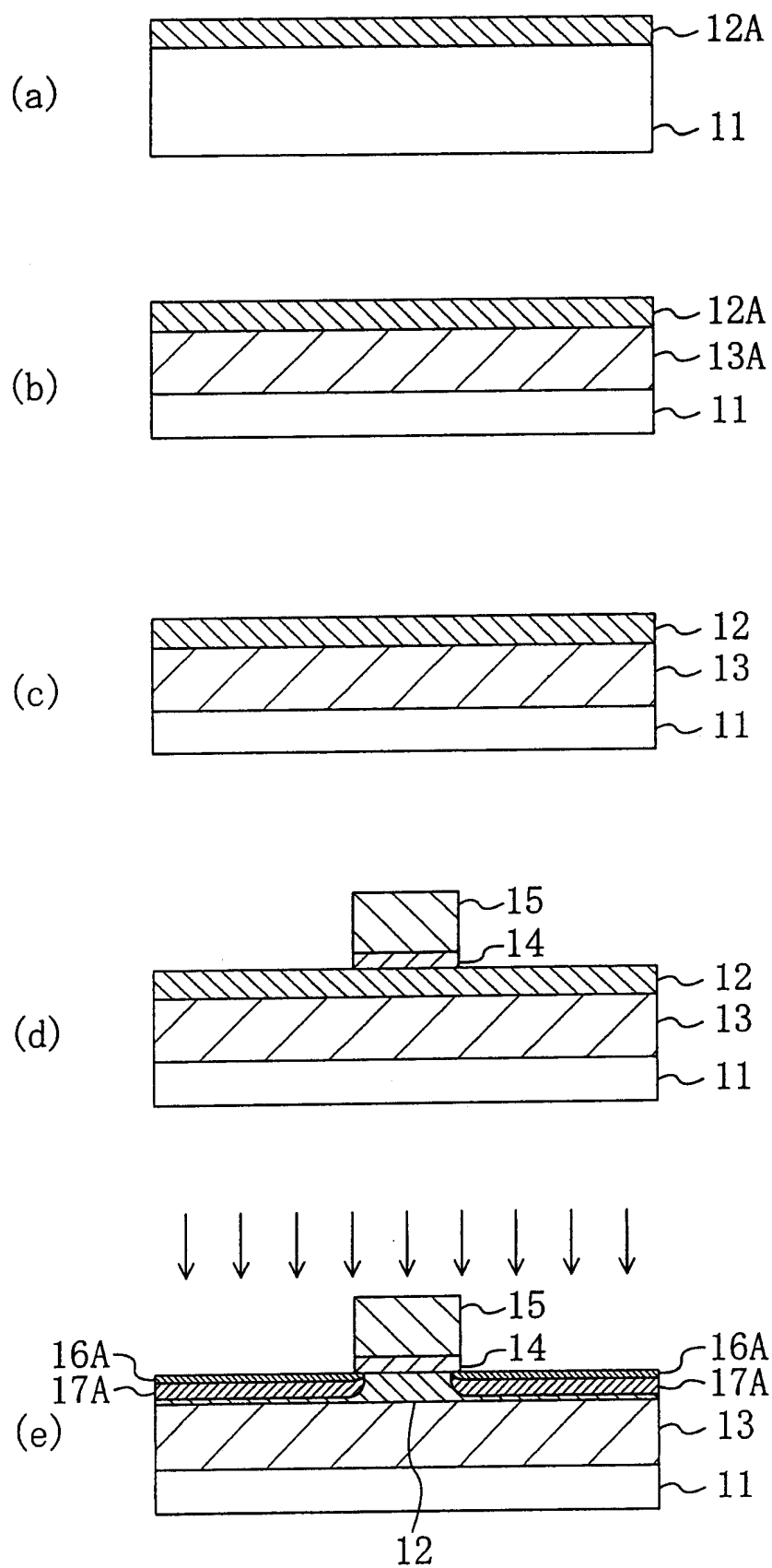


图 5

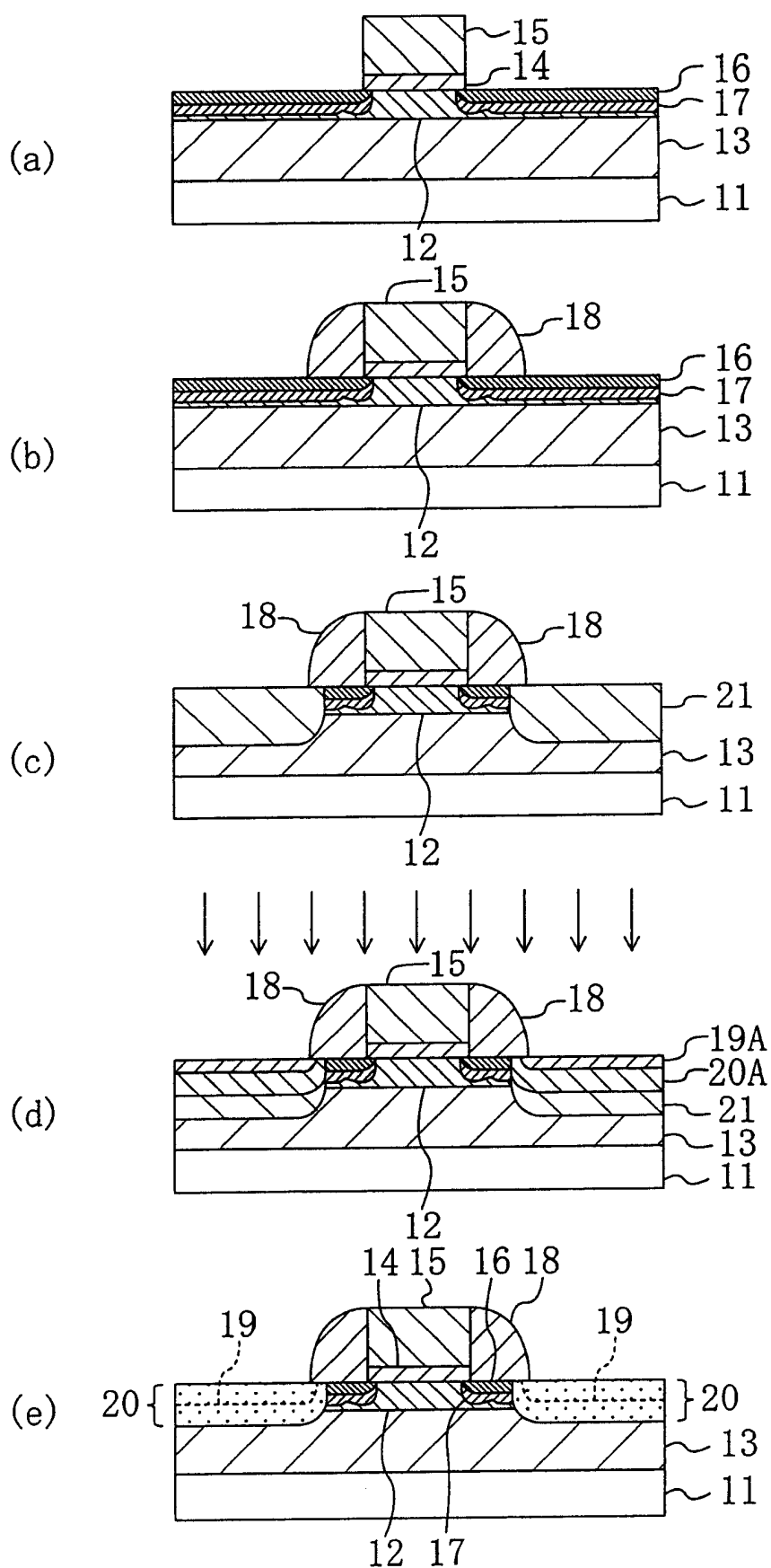


图 6

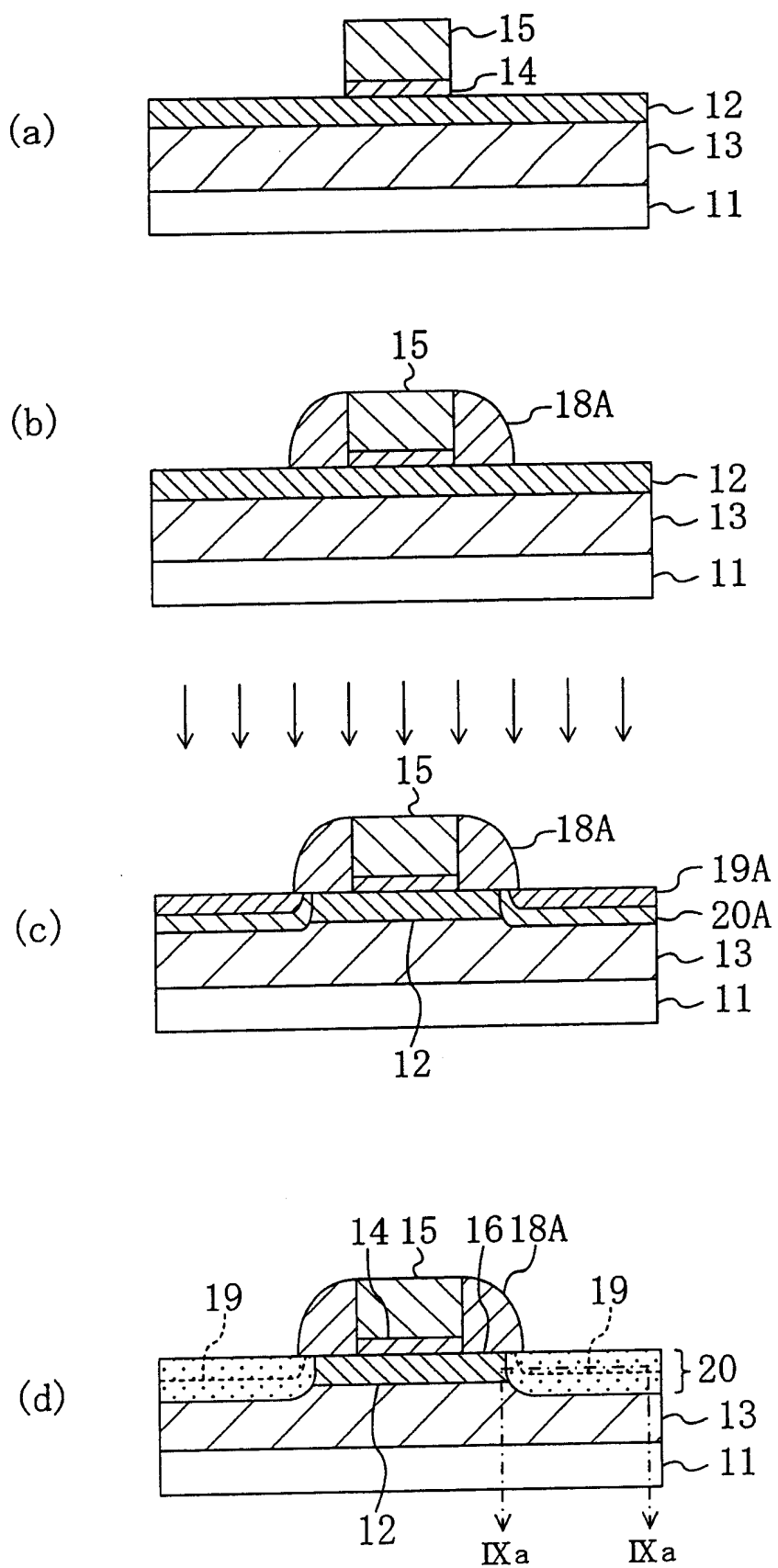


图 7

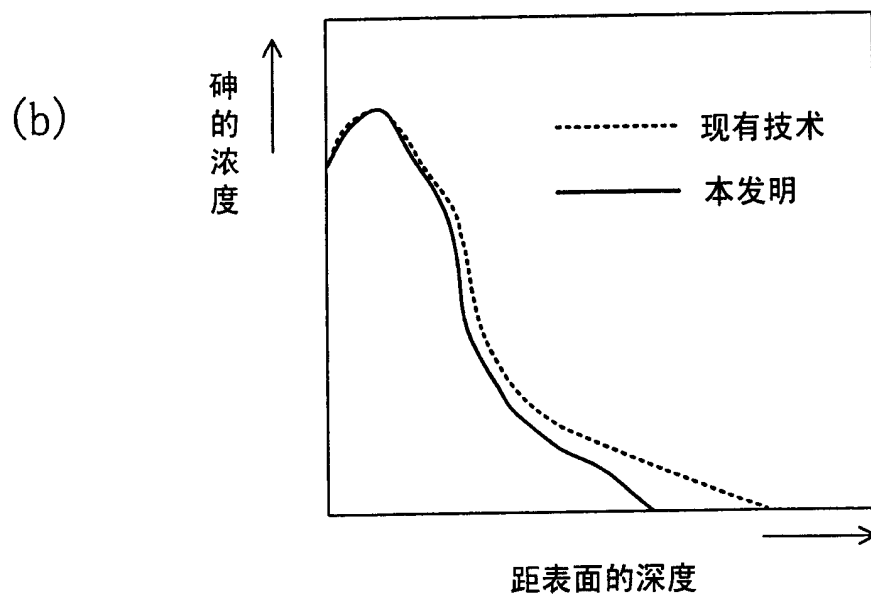
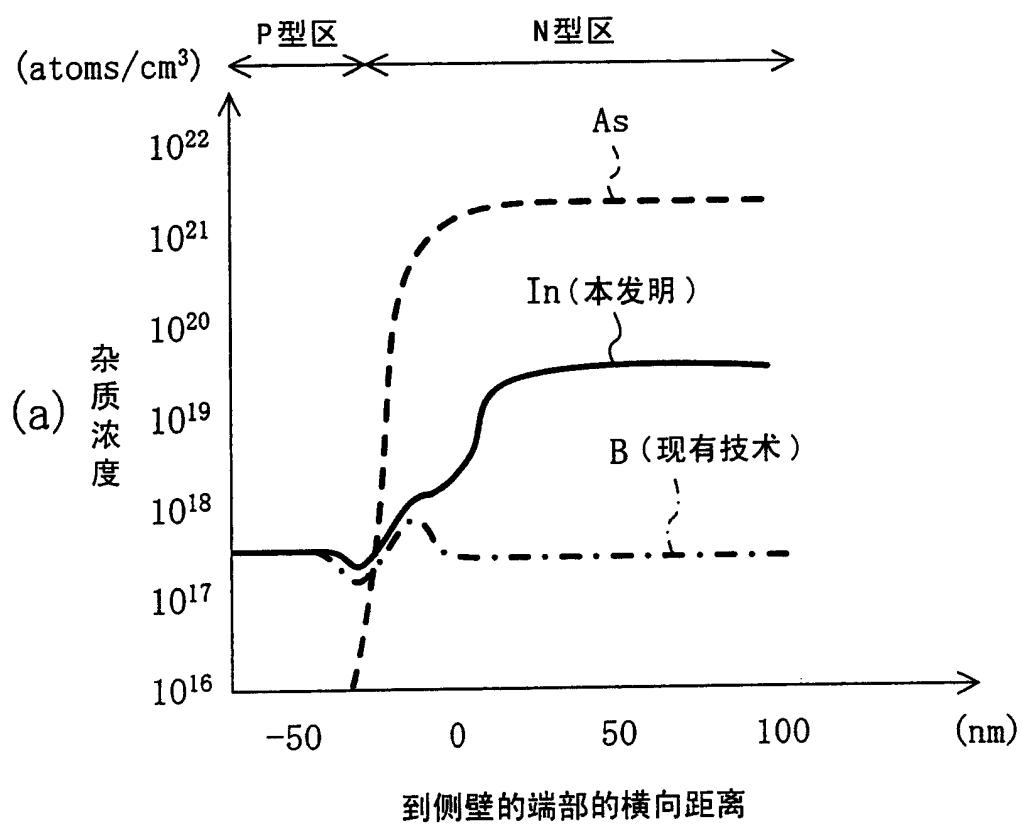


图 9

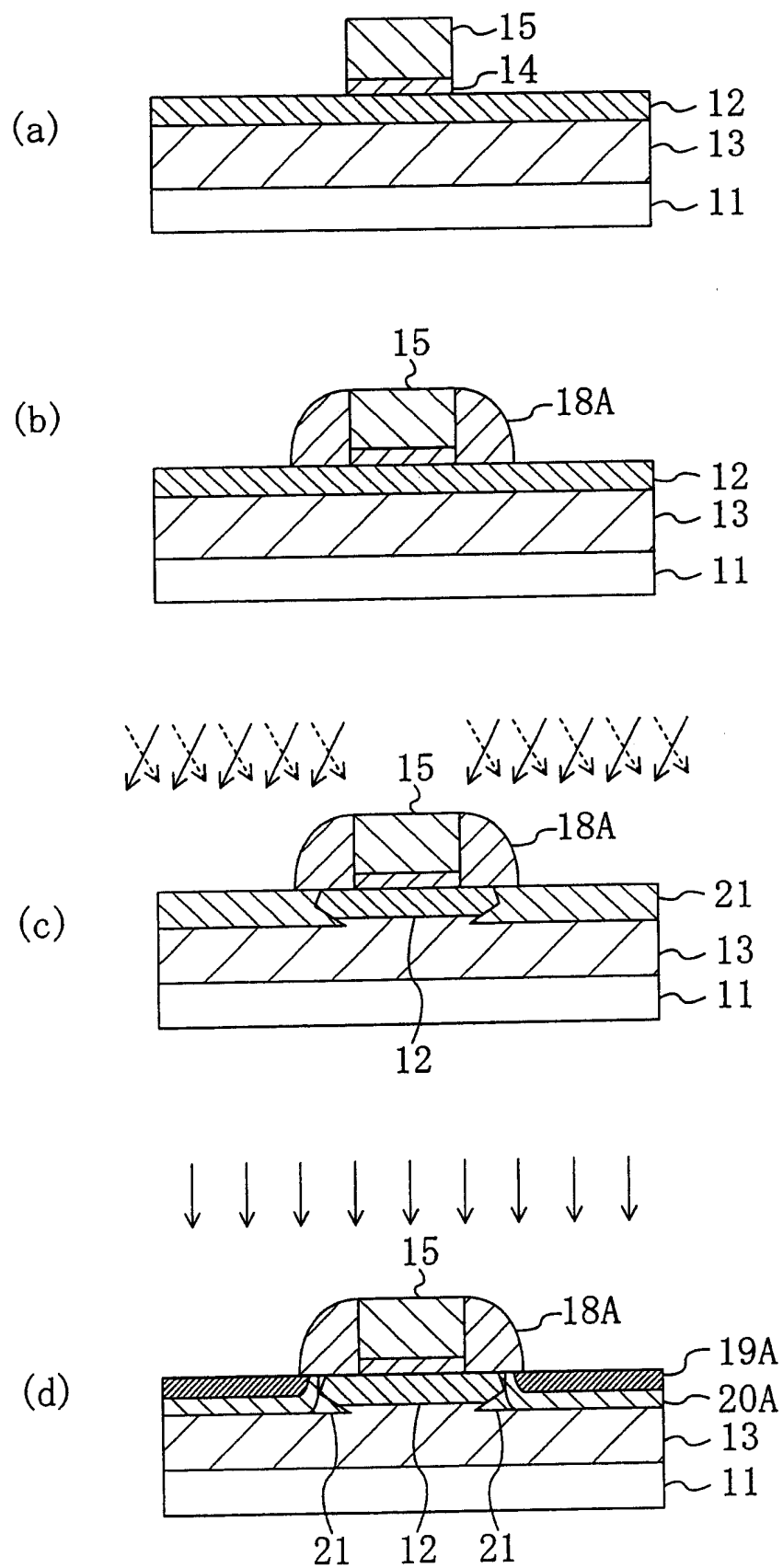


图 10

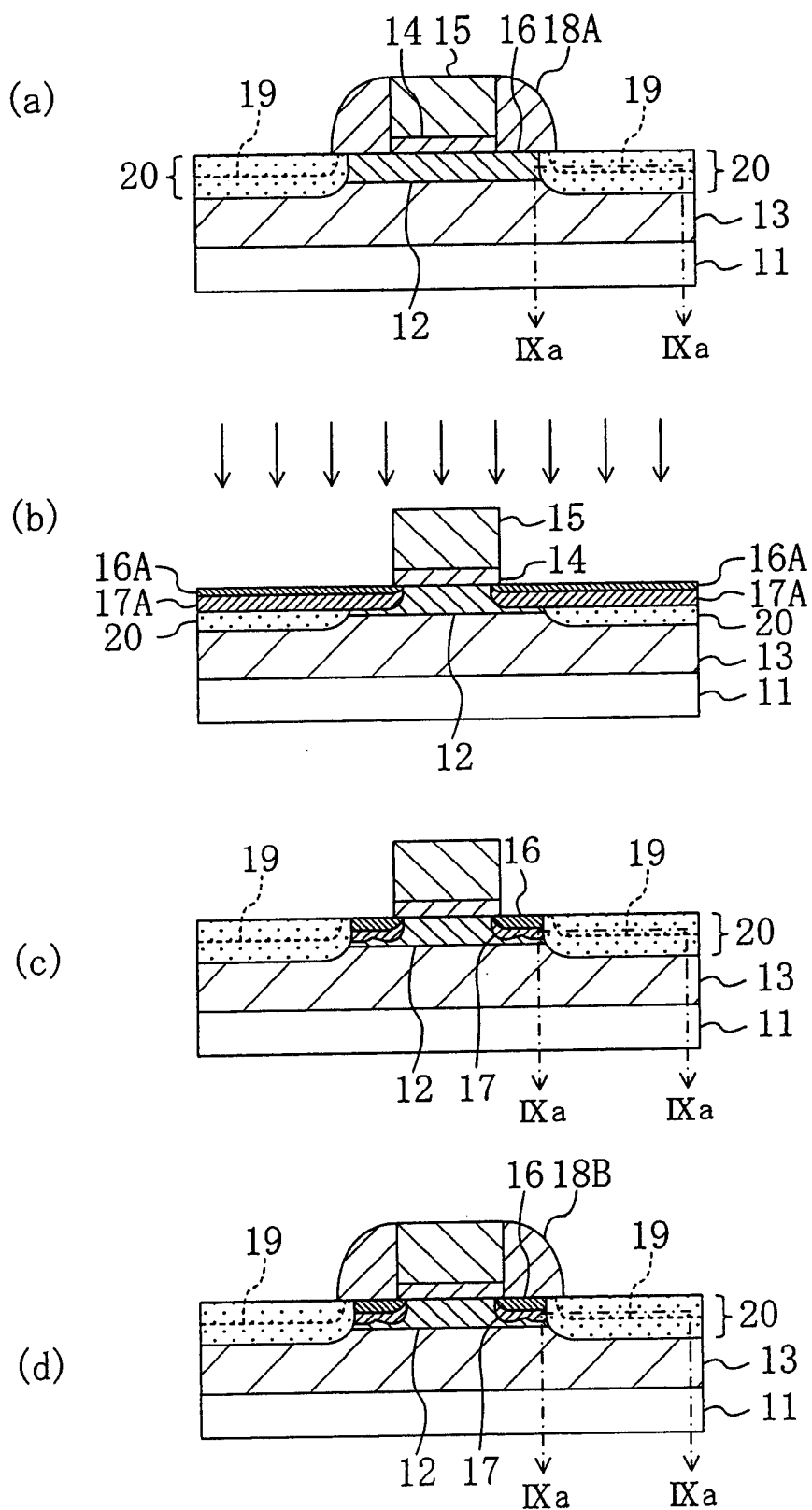


图 11

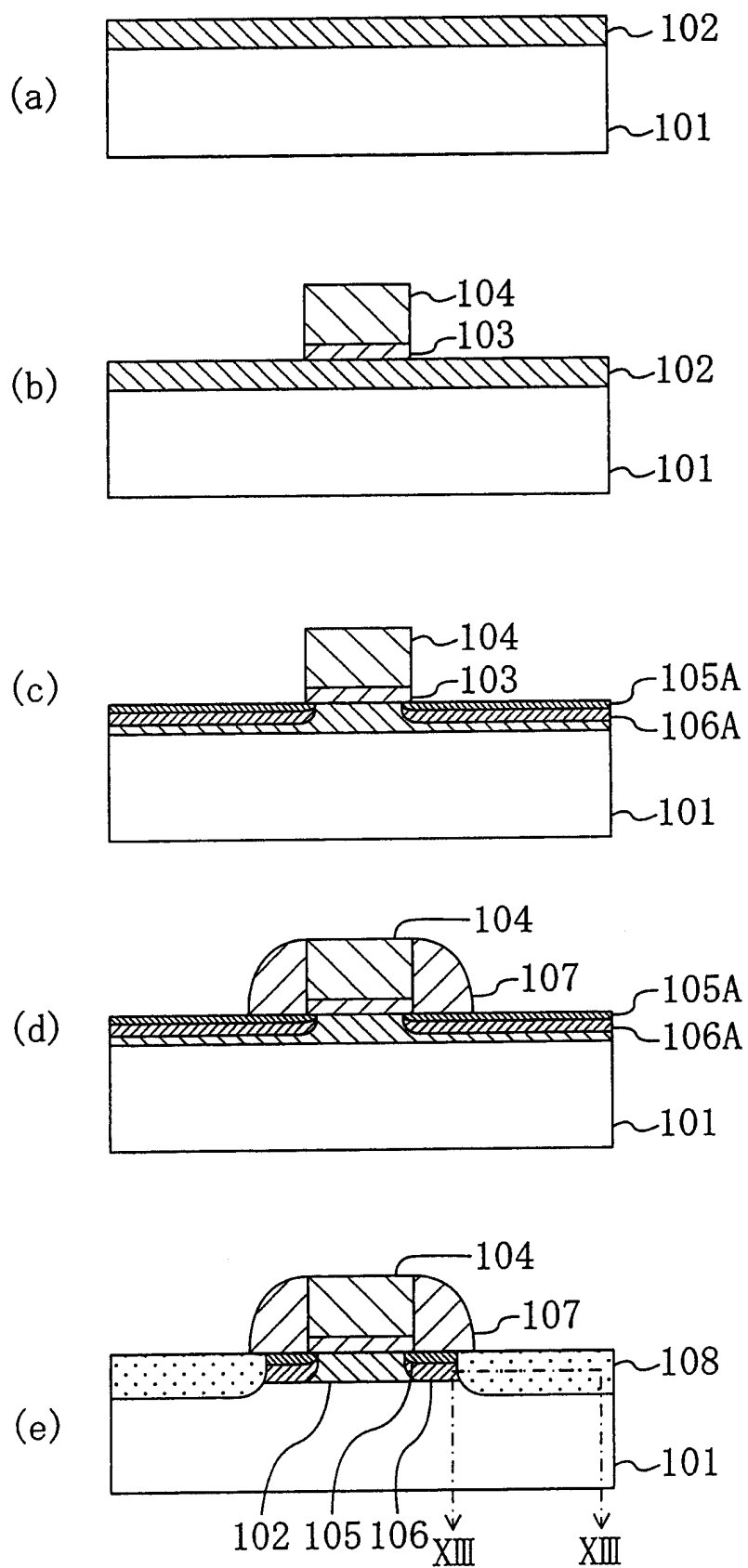


图 12

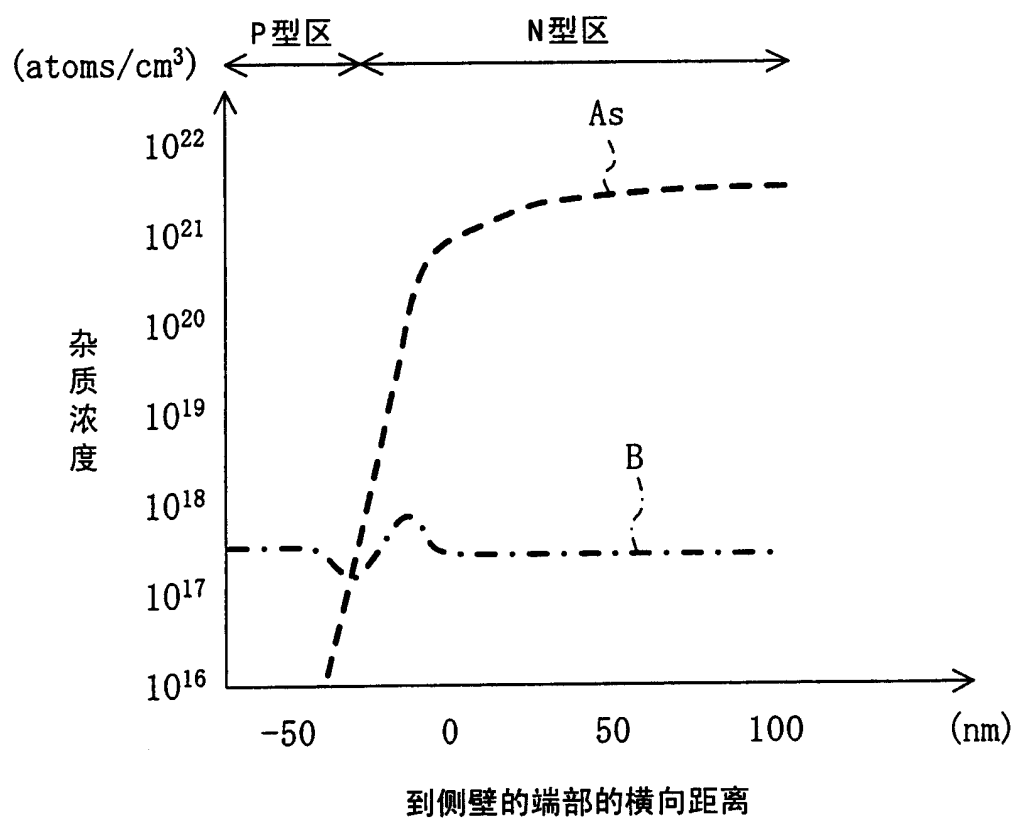


图 13