

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3905990号
(P3905990)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int. Cl.		F I		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 4 1
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00 6 1 1 Z
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 2 2 E
			G 1 1 C	17/00 6 3 4 G

請求項の数 8 (全 46 頁)

(21) 出願番号	特願平10-369467	(73) 特許権者	000003078
(22) 出願日	平成10年12月25日(1998.12.25)		株式会社東芝
(65) 公開番号	特開2000-195280(P2000-195280A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成12年7月14日(2000.7.14)	(74) 代理人	100058479
審査請求日	平成14年6月4日(2002.6.4)		弁理士 鈴江 武彦
前置審査		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 記憶装置とその記憶方法

(57) 【特許請求の範囲】

【請求項1】

状態“0”、状態“1”、～状態“n-1”(n=2^k、kは3以上の自然数)からなるn個の状態を有する記憶素子であって、

前記記憶素子に1回目の書き込みで2¹個の状態、2回目の書き込みで2²個の状態、k回目の書き込みで2^k個の状態を記憶し、

k回目の書き込みにおいて、第1の記憶論理レベルのデータあるいは第2の記憶論理レベルのデータをデータ記憶回路に記憶し、

前記データ記憶回路のデータが第1の記憶論理レベルのデータである場合、前記記憶素子の状態“i-1”(iは、1、3、…、n-1)を“i”とし、

前記データ記憶回路のデータが第2の記憶論理レベルのデータである場合、前記記憶素子の状態を維持し、

“i”がn-3以下である場合、第1の動作で前記記憶素子の状態が“i+1”以上かを判定し、

第2の動作で前記記憶素子の状態が“i”以上かを判定し、

前記記憶素子の状態が、“i”の状態に達しており、かつ前記記憶素子の状態が“0”～“i”のいずれかである場合、前記データ記憶回路のデータを第1の記憶論理レベルから第2の記憶論理レベルに変え、

前記記憶素子の状態が、“i”の状態に達しておらず、かつ現在の前記記憶素子の状態が“0”～“i”のいずれかである場合、前記データ記憶回路のデータを第1の記憶論理

10

20

レベルに保持し、

“ i ”が $n - 3$ 以下の場合で、且つ前記記憶素子の状態が、“ $i + 1$ ”～“ $n - 1$ ”のいずれかである場合、前記データ記憶回路のデータを保持することを特徴とする記憶装置の記憶方法。

【請求項2】

外部から入力される第1のデータに応じて、前記記憶素子の状態を状態“0”と状態“ $n / 2$ ”に設定し、外部から入力される第2のデータに応じて、前記記憶素子の状態を状態“0”、状態“ $n / 4$ ”、状態“ $2n / 4$ ”、または状態“ $3n / 4$ ”に設定し、外部から入力される第 k のデータに応じて、前記記憶素子を状態“0”、状態“1”、～状態“ $n - 1$ ”に設定することを特徴とする請求項1記載の記憶装置の記憶方法。

10

【請求項3】

前記記憶素子は、不揮発性半導体記憶素子を具備することを特徴とする請求項1記載の記憶装置の記憶方法。

【請求項4】

前記 n 個の状態は、前記不揮発性半導体記憶素子の閾値電圧の違いにより区別されることを特徴とする請求項3記載の記憶装置の記憶方法。

【請求項5】

状態“0”、状態“1”、～状態“ $n - 1$ ”（ $n = 2^k$ 、 k は3以上の自然数）からなる n 個の状態を有する記憶素子と、

前記記憶素子に、1回目の書き込みで 2^1 個の状態、2回目の書き込みで 2^2 個の状態、 k 回目の書き込みで 2^k 個の状態を記憶させる書き込みにおける k 回目の書き込みにおいて、外部から入力され、第1の記憶論理レベルあるいは第2の記憶論理レベルであるデータを記憶する第1のデータ記憶回路と、

20

前記第1のデータ記憶回路のデータが第1の記憶論理レベルのデータである場合、記憶素子の状態“ $i - 1$ ”を“ i ”（ i は、1、3、…、 $n - 1$ ）の状態に遷移させ、前記第1のデータ記憶回路のデータが第2の記憶論理レベルのデータである場合、前記記憶素子の状態を保持する書き込み回路と、

前記記憶素子の状態を読み出す読み出し回路と、

前記読み出し回路により読み出された状態に対応するデータを記憶する第2のデータ記憶回路と、

30

“ i ”が $n - 3$ 以下である場合、前記読み出し回路による第1の読み出し動作により、前記記憶素子の状態が“ $i + 1$ ”以上かを判定し、前記記憶素子の状態が“0”～“ i ”のいずれかの場合に、前記第2のデータ記憶回路に第1の記憶論理レベルのデータを記憶させ、前記記憶素子の状態が“ $i + 1$ ”～“ $n - 1$ ”のいずれかの場合に、前記第2のデータ記憶回路に第2の記憶論理レベルのデータを記憶させ、

前記読み出し回路による第2の読み出し動作により、前記記憶素子の状態が“ i ”以上かを判定し、前記記憶素子の状態が、“ i ”の状態に達しており、かつ前記第2のデータ記憶回路のデータが第1の記憶論理レベルのデータである場合に、前記第1のデータ記憶回路のデータを第1の記憶論理レベルから第2の記憶論理レベルに変え、前記記憶素子の状態が、“ i ”の状態に達しておらず、かつ前記第2のデータ記憶回路のデータが第1の記憶論理レベルのデータである場合に、前記第1のデータ記憶回路のデータを保持し、前記第2のデータ記憶回路のデータが第2の記憶論理レベルである場合にも、前記第1のデータ記憶回路のデータを保持する書き込みベリファイ回路と

40

を具備することを特徴とする記憶装置。

【請求項6】

前記第1のデータ記憶回路に接続され、外部よりデータを取り込むための第1の転送手段と、

前記第1のデータ記憶回路に接続され、前記記憶素子から読み出されたデータを外部に転送するための第2の転送手段と

をさらに具備することを特徴とする請求項5記載の記憶装置。

50

【請求項 7】

前記記憶素子は、不揮発性半導体記憶素子を有することを特徴とする請求項 5 記載の装置。

【請求項 8】

前記外部から入力されるデータは、第 1 のデータ、第 2 のデータ、第 k のデータを含み、前記第 1 のデータは、前記記憶素子の状態を状態“0”と状態“ $n/2$ ”に設定するためのデータであり、前記第 2 のデータは、前記記憶素子の状態を状態“0”、状態“ $n/4$ ”、状態“ $2n/4$ ”、または状態“ $3n/4$ ”に設定するためのデータであり、前記第 k のデータは、前記記憶素子の状態を状態“0”、状態“1”、～状態“ $n-1$ ”に設定するためのデータであることを特徴とする請求項 5 記載の記憶装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば不揮発性半導体記憶装置に係わり、特に、多値データを記憶する記憶装置とその記憶方法に関する。

【0002】

【従来の技術】

電氣的に書き換え可能な不揮発性半導体記憶としての EEPROM を用いた NAND 型フラッシュメモリが提案されている。この NAND 型フラッシュメモリは、隣接して配置された複数のメモリセルのソース、ドレインが直列接続され、この直列接続された複数のメモリセルが 1 単位としてビット線に接続される。この NAND 型フラッシュメモリにおいて、ロウ方向に配列された複数のセルの全て、又は半数のセルに対して一括して書き込み、又は読み出し動作が行なわれる。

20

【0003】

近年、この NAND 型フラッシュメモリの 1 つのセルに複数のデータ (n ビット) を書き込む多値メモリが開発されている。この多値メモリの場合、1 つのセルに複数のデータを書き込み、さらに 1 つのセルに書き込んだ複数のデータを読み出すために、1 つのセルに対して少なくとも n 個の書き込み及び読み出し用のラッチ回路が必要であった。なぜならこれらラッチ回路にラッチされているデータの内容に応じて、セルの閾値が決まるからである。

30

【0004】

【発明が解決しようとする課題】

しかし、1 つのセルに記憶するデータの数 n が大きくなるに従い、データラッチ回路の数も n 倍となり、チップ内におけるラッチ回路の占める面積が大きくなるという問題を有していた。

【0005】

また、セルにデータを記憶する場合、セルの閾値が書き込んだデータに対応しているかどうかをベリファイする必要がある。このベリファイの回数はセルに書き込むデータの数が増加するに従い増えるため、データの書き込み及び書き込みベリファイに要する時間が長くなるという問題を有している。

40

【0006】

本発明は、上記課題を解決するためになされたものであり、その目的とするところはチップ内におけるラッチ回路が占める面積の増大を防止するとともに、書き込みベリファイに要する時間の増大を抑えることが可能な記憶装置とその記憶方法を提供しようとするものである。

【0007】

【課題を解決するための手段】

本発明の記憶装置の記憶方法の態様は、状態“0”、状態“1”、～状態“ $n-1$ ” ($n = 2^k$ 、 k は 3 以上の自然数) からなる n 個の状態を有する記憶素子であって、前記記憶素子に 1 回目の書き込みで 2^1 個の状態、2 回目の書き込みで 2^2 個の状態、 k 回目の

50

書き込みで 2^k 個の状態を記憶し、 k 回目の書き込みにおいて、第 1 の記憶論理レベルのデータあるいは第 2 の記憶論理レベルのデータをデータ記憶回路に記憶し、前記データ記憶回路のデータが第 1 の記憶論理レベルのデータである場合、前記記憶素子の状態 “ $i - 1$ ” (i は、 $1, 3, \dots, n - 1$) を “ i ” とし、前記データ記憶回路のデータが第 2 の記憶論理レベルのデータである場合、前記記憶素子の状態を維持し、“ i ” が $n - 3$ 以下である場合、第 1 の動作で前記記憶素子の状態が “ $i + 1$ ” 以上かを判定し、第 2 の動作で前記記憶素子の状態が “ i ” 以上かを判定し、前記記憶素子の状態が、“ i ” の状態に達しており、かつ前記記憶素子の状態が “ 0 ” ~ “ i ” のいずれかである場合、前記データ記憶回路のデータを第 1 の記憶論理レベルから第 2 の記憶論理レベルに変え、前記記憶素子の状態が、“ i ” の状態に達しておらず、かつ現在の前記記憶素子の状態が “ 0 ” ~ “ i ” のいずれかである場合、前記データ記憶回路のデータを第 1 の記憶論理レベルに保持し、“ i ” が $n - 3$ 以下の場合で、且つ前記記憶素子の状態が、“ $i + 1$ ” ~ “ $n - 1$ ” のいずれかである場合、前記データ記憶回路のデータを保持することを特徴とする。

10

【0008】

本発明の記憶装置の態様は、状態 “ 0 ”、状態 “ 1 ”、～状態 “ $n - 1$ ” ($n = 2^k$ 、 k は 3 以上の自然数) からなる n 個の状態を有する記憶素子と、前記記憶素子に、1 回目の書き込みで 2^1 個の状態、2 回目の書き込みで 2^2 個の状態、 k 回目の書き込みで 2^k 個の状態を記憶させる書き込みにおける k 回目の書き込みにおいて、外部から入力され、第 1 の記憶論理レベルあるいは第 2 の記憶論理レベルであるデータを記憶する第 1 のデータ記憶回路と、前記第 1 のデータ記憶回路のデータが第 1 の記憶論理レベルのデータである場合、記憶素子の状態 “ $i - 1$ ” を “ i ” (i は、 $1, 3, \dots, n - 1$) の状態に遷移させ、前記第 1 のデータ記憶回路のデータが第 2 の記憶論理レベルのデータである場合、前記記憶素子の状態を保持する書き込み回路と、前記記憶素子の状態を読み出す読み出し回路と、前記読み出し回路により読み出された状態に対応するデータを記憶する第 2 のデータ記憶回路と、“ i ” が $n - 3$ 以下である場合、前記読み出し回路による第 1 の読み出し動作により、前記記憶素子の状態が “ $i + 1$ ” 以上かを判定し、前記記憶素子の状態が “ 0 ” ~ “ i ” のいずれかの場合に、前記第 2 のデータ記憶回路に第 1 の記憶論理レベルのデータを記憶させ、前記記憶素子の状態が “ $i + 1$ ” ~ “ $n - 1$ ” のいずれかの場合に、前記第 2 のデータ記憶回路に第 2 の記憶論理レベルのデータを記憶させ、前記読み出し回路による第 2 の読み出し動作により、前記記憶素子の状態が “ i ” 以上かを判定し、前記記憶素子の状態が、“ i ” の状態に達しており、かつ前記第 2 のデータ記憶回路のデータが第 1 の記憶論理レベルのデータである場合に、前記第 1 のデータ記憶回路のデータを第 1 の記憶論理レベルから第 2 の記憶論理レベルに変え、前記記憶素子の状態が、“ i ” の状態に達しておらず、かつ前記第 2 のデータ記憶回路のデータが第 1 の記憶論理レベルのデータである場合に、前記第 1 のデータ記憶回路のデータを保持し、前記第 2 のデータ記憶回路のデータが第 2 の記憶論理レベルである場合にも、前記第 1 のデータ記憶回路のデータを保持する書き込みペリファイ回路とを具備ことを特徴とする。

20

30

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

40

< 第 1 の実施の形態 >

先ず、本発明の第 1 の実施の形態について、概略的に説明する。

【0023】

本発明は、1 回の書き込み動作時に、1 つのセルに 1 ビットのデータを書き込む。このセルに次の 1 ビットのデータを書き込む時、外部より新たにデータを入れ、書き込み動作を行なう。以後順次、1 回の書き込み動作につき 1 ビットずつ書き込みを行なう。

【0024】

従来、例えば初めに 1 ビットのデータをセルに書き込むと、セルはデータの “ 1 ” 又は “ 0 ” に応じて 2 つの閾値の状態になる。次の 1 ビットのデータをセルに書き込むと、この書き込んだデータに応じて、先の 2 つの閾値状態それぞれに対して、1 つずつ新たな閾値

50

の状態が必要となる。このため、先の2つの閾値状態と、書き込み非選択状態の3つの閾値の状態を記憶するため、少なくとも2つのラッチ回路が必要であった。さらに、次の1ビットのデータを書き込む場合、先の4つの状態それぞれに対して、1つずつ新たな状態が必要となるため、先の4つの閾値の状態と、書き込み非選択状態の合計5つの状態を記憶する必要がある。このため、少なくとも3つのラッチ回路が必要となる。従って、1つのセルにnビット書き込もうとするとn個のラッチ回路が必要となる。

【0025】

本発明において、1つのセルにn-1ビットのデータが書かれている場合、セルの閾値は $M = 2^{(n-1)}$ 値、存在する。図1に示すように、A1~Amまでm値の閾値のレベルがある場合、セルの閾値はこれらレベルの内のどれかの値になっている。次の1ビットのデータを、図1に示すBiのように、Ai、Ai+1の間に設定し、書き込む1ビットのデータがデータ“1”（書き込みを行なわない）の時は、セルの閾値を変化させずAiのままとする。また、データ“0”（書き込みを行なう）の時は、書き込み動作を行ないBiとする。このようにすると、前に書かれている状態がA1~Amの何れであっても、今回書き込みを行なうデータが“1”の場合は書き込みを行わず、“0”の場合は、書き込みを行なうことができる。つまり、セルに書かれているデータによらず書き込み動作を開始することができる。

10

【0026】

次に、今回書き込んだセルの閾値がBiのレベルまで書き込まれたか、ベリファイ動作を行なう必要がある。この場合、セルのゲート電位をVbi'とし、この時、セルがオンするかオフするかを調べ、オフした場合、セルの閾値が電位Vbi'より高いため書き込み終了となる。

20

【0027】

しかし、初めのセルの状態がA1~Amのうちどこにあるか分からないため、電位Vbi'~Vbm'の全ての閾値でベリファイ動作を行ない、AiからBiに書き込み動作が行なわれているセルのみ正しく書き込まれているかどうか判断しなくてはならない。

【0028】

電位Vbi'でベリファイ動作をする場合、セルの閾値がAi+1より高い場合も、セルがオフ、つまりベリファイOKとなってしまう。従って、電位Vai+1でセルのデータを予備リードし、この状態をラッチ回路に記憶する。次に、電位Vbi'でベリファイリードする。ここで、セルの状態がAi+1より高い場合は強制的にベリファイリード結果をローレベル（ベリファイNG）とする。一方、このときセルの状態がAi未満にある場合はセルが必ずオンするためベリファイNGになる。従って、ビット線のレベルは、BiでのベリファイOKの時のみハイレベルとなる。

30

【0029】

次に、書き込みデータが記憶されているラッチ回路がハイレベル（書き込みを行なわない）の場合は、ビット線を強制的にハイレベルとする。この動作によって、ビット線は、ベリファイOKもしくは初めからハイレベルがラッチされている（書き込みを行なわない）場合のみハイレベルとなる。この結果を、書き込むデータがラッチされているラッチ回路にラッチする。一方、書き込みNGの場合のみローレベルとなる。

40

【0030】

このようにして、電位Vb1'~Vbm'の全てでベリファイ動作を行なうが、AiからBiに書き込み動作が行われているセルで電位Vbi'のベリファイOKの時のみ、データラッチ回路が書き込み非選択（データ“1”）となり、他のベリファイ電位ではデータラッチ回路の内容が変わらない。

【0031】

以上の動作により、本発明の場合、nビットの情報を記憶する場合でも常に、書き込みデータを記憶するための1つのラッチ回路と、Ai+1より高いセル（ベリファイを無視するセル）かどうか予備リードを行ない、この結果を記憶するための1つのラッチ回路の、合計2つのラッチ回路のみとなる。

50

【 0 0 3 2 】

図 2 は、本発明の不揮発性半導体記憶装置の概略構成を示すものであり、例えば 8 値 (3 ビット) を記憶する N A N D 型フラッシュメモリの構成を示している。

【 0 0 3 3 】

メモリセルアレイ 1 は複数のビット線と複数のワード線と共通ソース線を含み、例えば E E P R O M セルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ 1 には、ビット線を制御するためのビット制御回路 2 とワード線制御回路 6 が接続されている。

【 0 0 3 4 】

ビット線制御回路 2 は、後述するように複数のデータ記憶回路を含み、ビット線を介してメモリセルアレイ 1 中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行う。ビット線制御回路 2 には、カラムデコーダ 3、データ入出力バッファ 4 が接続されている。ビット線制御回路 2 内のデータ記憶回路はカラムデコーダ 3 によって選択され、このデータ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ 4 を介してデータ入出力端子 5 から外部へ出力される。

10

【 0 0 3 5 】

また、外部からデータ入出力端子 5 に入力された書き込みデータは、データ入出力バッファ 4 を介して、カラムデコーダ 3 によって選択されたデータ記憶回路に入力される。

20

【 0 0 3 6 】

ワード線制御回路 6 は、メモリセルアレイ 1 に接続されている。このワード線制御回路 6 は、メモリセルアレイ 1 中のワード線を選択し、読み出しあるいは書き込みあるいは消去に必要な電圧を与える。

【 0 0 3 7 】

メモリセルアレイ 1、ビット線制御回路 2、カラムデコーダ 3、データ入出力バッファ 4、及びワード線制御回路 6 は、制御信号発生回路 7 a 及び制御電圧発生回路 7 b に接続され、この制御信号発生回路 7 a 及び制御電圧発生回路 7 b によって制御される。制御信号発生回路 7 a 及び制御電圧発生回路 7 b は、制御信号入力端子 8 に接続され、外部から制御信号入力端子 8 を介して入力される制御信号によって制御される。

30

【 0 0 3 8 】

図 3 は、図 2 に示すメモリセルアレイ 1 及びビット線制御回路 2 の構成を示している。ビット線制御回路 2 は複数のデータ記憶回路 3 1 0、3 1 1 ~ 3 1 2 1 1 1 を有している。各データ記憶回路 3 1 0、3 1 1 ~ 3 1 2 1 1 1 はカラムセレクトゲート 3 2 0、3 2 1 ~ 3 2 2 1 1 1 を介して前記データ入出力バッファ 4 に接続されている。これらカラムセレクトゲート 3 2 0、3 2 1 ~ 3 2 2 1 1 1 はカラム選択信号 C S L 0、C S L 1 ~ C S L 2 1 1 1 により制御される。各データ記憶回路 3 1 0、3 1 1 ~ 3 1 2 1 1 1 には一対のビット線が接続される。すなわち、データ記憶回路 3 1 0 にはビット線 B L 0、B L 1 が接続され、データ記憶回路 3 1 1 にはビット線 B L 2、B L 3 が接続され、データ記憶回路 3 1 2 1 1 1 にはビット線 B L 4 2 2 2、B L 4 2 2 3 が接続されている。

40

【 0 0 3 9 】

メモリセルアレイ 1 には複数の N A N D セルが配置されている。1 つの N A N D セルは直列接続された例えば 1 6 個の E E P R O M からなるメモリセル M 1、M 2、M 3 ~ M 1 6 と、このメモリセル M 1 に接続された選択ゲート S 1 と、メモリセル M 1 6 に接続された選択ゲート S 2 とにより構成されている。第 1 の選択ゲート S 1 はビット線 B L 0 に接続され、第 2 の選択ゲート S 2 はソース線 S R C に接続されている。各行に配置されたメモリセル M 1、M 2、M 3 ~ M 1 6 の制御ゲートはワード線 W L 1、W L 2、W L 3 ~ W L 1 6 に共通接続されている。また、第 1 の選択ゲート S 1 はセレクト線 S G 1 に共通接続され、第 2 の選択ゲート S 2 はセレクト線 S G 2 に共通接続されている。

【 0 0 4 0 】

50

1ブロックは4 2 2 4個のNANDセルにより構成され、このブロック単位でデータが消去される。1つのワード線に接続されたメモリセルは1セクタを構成し、このセクタ毎にデータが書き込まれ、読み出される。また、1セクタには例えば3ページ分のデータが記憶される。

【0041】

図4(a)(b)はメモリセル及び選択トランジスタの断面図を示している。図4(a)はメモリセルを示している。基板41にはメモリセルのソース、ドレインとしてのn型拡散層42が形成されている。基板41の上にはゲート絶縁膜43を介して浮遊ゲート44が形成され、この浮遊ゲート44の上には絶縁膜45を介して制御ゲート46が形成されている。図4(b)は選択トランジスタを示している。基板41にはソース、ドレインと

10

【0042】

図5は、メモリセルアレイの1つのNANDセルの断面を示している。この例において、1つのNANDセルは、図4(a)に示す構成の16個のメモリセルM1~M16が直列接続されて構成されている。NANDセルのドレイン側、ソース側には、図4(b)に示す構成の第1の選択ゲートS1及び第2の選択ゲートS2が設けられている。

【0043】

図6は、図3に示すデータ記憶回路310を示している。データ記憶回路は全て同一構成であるため、データ記憶回路310についてのみ説明する。

20

【0044】

ビット線BLiにはNチャンネルトランジスタ61aの電流通路の一端が接続されている。このトランジスタ61aのゲートには信号BLTRが供給されている。このトランジスタ61aの電流通路の他端はトランジスタ61bの電流通路の一端、およびトランジスタ61cの電流通路の一端に接続されている。前記トランジスタ61bの電流通路の他端は端子62aに接続されている。この端子62aには電圧VBLAが供給されている。また、前記トランジスタ61bのゲートには信号PREAが供給されている。前記トランジスタ61cのゲートには信号BLSAが供給されている。

【0045】

また、ビット線BLi+1にはNチャンネルトランジスタ61dの電流通路の一端が接続されている。このトランジスタ61dのゲートには前記信号BLTRが供給されている。このトランジスタ61dの電流通路の他端はトランジスタ61eの電流通路の一端、およびトランジスタ61fの電流通路の一端に接続されている。前記トランジスタ61eの電流通路の他端は端子62bに接続されている。この端子62bには電圧VBLBが供給されている。また、前記トランジスタ61eのゲートには信号PREBが供給されている。前記トランジスタ61fのゲートには信号BLSBが供給されている。トランジスタ61b、61eは信号PREA、PREBに応じて非選択のビット線を電位VBLA、VBLBにプリチャージする。前記トランジスタ61c、61fは信号BLSA、BLSBに応じてビット線を選択する。

30

【0046】

前記トランジスタ61c、61fの電流通路の他端はトランジスタ61gを介して端子62cに接続されるとともに、ノードNEに接続されている。前記トランジスタ61gのゲートには信号BIASが供給され、端子62cには電圧VCCが供給されている。このトランジスタ61gはデータ読み出し時に、信号BIASに応じてビット線をプリチャージする。

40

【0047】

前記ノードNEにはトランジスタ61hの電流通路の一端が接続されている。このトランジスタ61hのゲートには信号BLC1が供給され、このトランジスタ61hの電流通路の他端には第1のラッチ回路LAT(A)が接続されている。この第1のラッチ回路LAT(A)は2つのクロックインバータ回路61i、61jにより構成されている。クロ

50

ックドインバータ回路61iは信号SEN1、SEN1B(Bは反転信号を示す)により制御され、クロックドインバータ回路61jは信号LAT1、LAT1Bにより制御される。この第1のラッチ回路LAT(A)は、書き込みデータをラッチする。

【0048】

また、前記ノードNEにはトランジスタ61k、61lが直列接続されている。トランジスタ61kのゲートは前記第1のラッチ回路LAT(A)のノードNCに接続され、トランジスタ61lのゲートには信号VRFY1が供給されている。さらに、トランジスタ61lの電流通路には電圧VREGが供給されている。これらトランジスタ61k、61lは第1のラッチ回路LAT(A)にラッチされたデータに応じてビット線の電位を設定する。

10

【0049】

また、前記第1のラッチ回路LAT(A)のノードNAは、Pチャネルトランジスタ61mを介して端子62dに接続されている。このトランジスタ61mのゲートには信号PRSTB1が供給され、前記端子62dには電圧VCCが供給されている。このトランジスタ61mはデータの書き込み時、又は読み出し時に第1のラッチ回路LAT(A)のノードNAをハイレベルに設定する。さらに、ノードNAは、キャパシタ61nを介して接地されている。このキャパシタ61nはデータの読み出し時に、ノードNAの電荷を保持する。

【0050】

さらに、前記ノードNAは並列接続されたトランジスタ61oとクロックドインバータ回路61pを介して、図示せぬ前記カラムセレクトゲートに接続される。トランジスタ61oのゲートには、信号SPBが供給され、クロックドインバータ回路61pは信号Osa c、Osa c bにより制御される。トランジスタ61oはデータの書き込み時に前記カラムセレクトゲートを介して供給されるデータを第1のラッチ回路LAT(A)に転送する。前記クロックドインバータ回路61pは、データの読み出し時にバッファとして動作する。

20

【0051】

一方、前記ノードNEにはトランジスタ61qの電流通路の一端が接続されている。このトランジスタ61qのゲートには信号BLC2が供給され、このトランジスタ61qの電流通路の他端には第2のラッチ回路LAT(B)が接続されている。この第2のラッチ回路LAT(B)は2つのクロックドインバータ回路61r、61sにより構成されている。クロックドインバータ回路61rは信号SEN2、SEN2Bにより制御され、クロックドインバータ回路61sは信号LAT2、LAT2Bにより制御される。この第2のラッチ回路LAT(B)は、メモリセルから読み出されたデータをラッチする。

30

【0052】

また、前記ノードNEにはトランジスタ61t、61uが直列接続されている。トランジスタ61tのゲートは前記第2のラッチ回路LAT(B)のノードNDに接続され、トランジスタ61uのゲートには信号VRFY2が供給されている。さらに、トランジスタ61uの電流通路には電圧VREGが供給されている。これらトランジスタ61t、61uは第2のラッチ回路LAT(B)にラッチされたデータに応じてビット線の電位を設定する。

40

【0053】

また、前記第2のラッチ回路LAT(B)のノードNBは、Pチャネルトランジスタ61vを介して端子62eに接続されている。このトランジスタ61vのゲートには信号PRSTB2が供給され、前記端子62eには電圧VCCが供給されている。このトランジスタ61vはベリファイリード時に第2のラッチ回路LAT(B)のノードNBをハイレベルに設定する。さらに、ノードNBは、キャパシタ61wを介して接地されている。このキャパシタ61wはベリファイリード時に、ノードNBの電荷を保持する。

【0054】

上記構成において動作について説明する。

50

【 0 0 5 5 】

図 7、図 8 に示すように、メモリセルのデータとメモリセルの閾値電圧の関係を定義する。図 7 において、メモリセルのデータ“ 0 ”～“ 7 ”は、メモリセルの閾値の低いほうから高い方へと定義されている。また、 $a \sim g$ はリード動作時におけるワード線の電位を示し、 $a' \sim g'$ はベリファイリード動作時におけるワード線の電位を示している。

【 0 0 5 6 】

このメモリは、多値メモリであるため、1セルに3ビットのデータを記憶することができる。この3ビットの切り替えはアドレス(第1ページ、第2ページ、第3ページ)によって行なう。図 8 に示すように、例えばアドレスに第1ページを指定すると、メモリセルのデータが“ 0 ”～“ 3 ”であるとデータ“ 1 ”、メモリセルのデータが“ 4 ”～“ 7 ”であるとデータ“ 0 ”となる。次に、アドレスに第2ページを指定すると、メモリセルのデータが“ 0 ”, “ 1 ”, “ 4 ”, “ 5 ”であるとデータ“ 1 ”、メモリセルのデータが“ 2 ”, “ 3 ”, “ 6 ”, “ 7 ”であるとデータ“ 0 ”となる。さらに、アドレスに第3ページを指定すると、メモリセルのデータが“ 0 ”, “ 2 ”, “ 4 ”, “ 6 ”であるとデータ“ 1 ”、メモリセルのデータが“ 1 ”, “ 3 ”, “ 5 ”, “ 7 ”であるとデータ“ 0 ”となる。

【 0 0 5 7 】

消去動作を行なうとメモリセルのデータは“ 0 ”となり、アドレスに第1、第2、第3ページの何れを指定しても読み出されるデータは“ 1 ”となる。

(セル選択方法)

読み出し(リード)動作、プログラムベリファイ動作及びプログラム動作時では、データ記憶回路に接続されている2本のビット線(BL_i 、 BL_{i+1})のうち、外部より指定されたアドレスにより1本のビット線が選択される。さらに、外部アドレスにより、1本のワード線が選択され、図 3 に示す、1セクタが選択される。このセクタの切り替えはアドレスによって行われる。

【 0 0 5 8 】

消去(イレーズ)動作は、図 3 に示すブロック単位で行う。また、データ記憶回路に接続されている2本のビット線(BL_i 、 BL_{i+1})について同時に行う。

【 0 0 5 9 】

イレーズベリファイ動作は、1回の動作で、データ記憶回路に接続されている2本のビット線(BL_i 、 BL_{i+1})のうち1本のビット線(BL_i)についてベリファイリード動作を行い、この結果を図 6 に示す第1のラッチ回路 $LAT(A)$ に記憶する。次に、他方のビット線(BL_{i+1})についてベリファイ動作を行ない、この結果と前のベリファイリードの結果の論理和を第1のラッチ回路 $LAT(A)$ に記憶する。このイレーズベリファイ動作は、全ての第1のラッチ回路 $LAT(A)$ のノード NA がローレベルとなるまで繰り返される。

(プログラム及びプログラムベリファイ)

(第1ページプログラム)

プログラム動作は、先ず、アドレスを指定し、図 3 に示す1つのセクタを選択する。このメモリは、3ページのうち、第1ページ、第2ページ、第3ページの順でしかプログラム動作できない。したがって、初めにアドレスで第1ページを選択する。

【 0 0 6 0 】

次に、書き込みデータをデータ入出力バッファ 4、カラムセレクトゲート、図 6 に示すトランジスタ 610 を介して、全てのデータ記憶回路内の第1のラッチ回路 $LAT(A)$ に記憶する。外部よりデータ“ 1 ”(書き込みを行なわない)が入力されると、第1のラッチ回路 $LAT(A)$ のノード NA はハイレベルに設定され、データ“ 0 ”(書き込みを行なう)が入力されると、ローレベルに設定される。以後、第1のラッチ回路 $LAT(A)$ のデータはデータ記憶回路のノード NA の電位、第2のラッチ回路 $LAT(B)$ のデータはデータ記憶回路のノード NB の電位とする。

【 0 0 6 1 】

10

20

30

40

50

図6に示すトランジスタ61hのゲートに信号BLC1として電圧 $VCC + V_{th}$ を供給すると、第1のラッチ回路LAT(A)にデータ“1”が記憶されている時、ビット線は電源電位VCCとなり、データ“0”が記憶されている時、ビット線は接地電位VSSとなる。また、選択されたワード線に接続され、非選択ページ(クラスタ)の(ビット線が非選択である)セルは書き込みが行われてはならない。このため、これらのセルに接続されているビット線もデータ“1”が記憶されている場合と同様に電源電位VCCとする。

【0062】

図9は、プログラム時の動作シーケンスを示している。ここで、選択されているブロックのセレクト線SG1をVCC、選択ワード線にVPGM(20V)、非選択ワード線にVpass(10V)を与えると、ビット線がVSSになっている場合、セルのチャンネルがVSS、ワード線がVPGMであるためセルの浮遊ゲートに電子が注入され、書き込みが行なわれる。一方、ビット線がVCCになっている場合、第1の選択ゲートS1がオフする。このため、セルのチャンネルはVSSでなくVpassであり、カップリングでVpass/2となるためプログラムが行われない。

10

【0063】

データ“0”の書き込みの場合、図8に示すように、メモリセルのデータを“4”とする。データ“1”の書き込み時の、メモリセルのデータは“0”のままである。

(第1ページのペリファイ)

{最も高い閾値を持つセルのペリファイ}

図10、図13(a)を参照して最も高い閾値を持つセルのペリファイ動作について説明する。

20

【0064】

第1ページのペリファイは、選択されているワード線にリードの時の電位dより少し高い電位d'を与える。以後“'”を付した電位はペリファイ電位を示し、リードの電位より若干高い値とする。

【0065】

次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に電圧Vreadを供給するとともに、図6に示すトランジスタ61gのゲートに供給される信号BIASをハイレベルとし、ビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルとする。閾値電圧がd'より高い時は、セルがオフするためビット線はハイレベルのままであり、閾値電圧d'に達していない場合、セルがオンするためビット線はVSSとなる。

30

【0066】

ここで、書き込みを行なう場合、図6に示す第1のラッチ回路LAT(A)にローレベルが記憶され、書き込みを行なわない場合、第1のラッチ回路LAT(A)にハイレベルが記憶されている。このため、VREGをVCCとし、VRFY1をハイレベルとすると、書き込みを行なわない場合のみビット線がハイレベルになる。この動作の後、ビット線の電位を第1のラッチ回路LAT(A)に読み込む。第1のラッチ回路LAT(A)にハイレベルがラッチされるのは、セルが閾値電圧に達した場合と、書き込みを行なわない場合である。また、第1のラッチ回路LAT(A)にローレベルがラッチされる場合は、セルが閾値電圧に達しない場合だけである。したがって、第1のラッチ回路LAT(A)がローレベルの場合は再び書き込み動作を行ない、全てのデータ記憶回路のデータがハイレベルになるまでこのプログラム動作とペリファイ動作を繰り返す。

40

【0067】

以上は2値の場合と全く同じ動作である。

(第2ページのプログラム)

第2ページのプログラムも第1ページのプログラムと同様に、次の書き込みデータを全てのデータ記憶回路の第1のラッチ回路LAT(A)に記憶する。次に、所定の電圧を供給することにより選択されているページ全てのセルについて書き込みを行なう。

【0068】

50

図 8 に示すように、第 1 ページのメモリセルのデータが “ 0 ” になっている（第 1 ページに書き込み動作を行なわなかった）場合、このメモリセルに対して書き込みを行なうと、このメモリセルのデータは “ 2 ” となる。また、書き込みを行なわない場合、このメモリセルのデータは “ 0 ” のままである。一方、第 1 ページのメモリセルのデータが “ 4 ” となっている（第 1 ページに書き込み動作を行なった）場合、このメモリセルに対して書き込みを行なうとメモリセルのデータは “ 6 ” となる。また、書き込みを行なわないとメモリセルのデータは “ 4 ” のままである。このように、第 2 ページのプログラムは、メモリセルのデータが “ 2 ” に書き込まれる場合と、“ 6 ” に書き込まれる場合がある。

（第 2 ページのベリファイ）

{ 最も高い閾値を持つセルのベリファイ }

先ず、図 10、図 13 (b) を参照してメモリセルのデータが “ 6 ” の場合のベリファイ動作について説明する。このベリファイは前述した第 1 ページベリファイと全く同じである。なぜなら、電位 f' より高いセルはデータ “ 6 ” のセル以外存在しないためである。第 1 ページのベリファイでは、メモリセルのデータが “ 4 ” になったかベリファイをするためワード線に電位 d' を与えていたが、今回は、メモリセルのデータが “ 6 ” になったかベリファイするため、ワード線に電位 f' を供給してベリファイを行なう。第 1 ページのベリファイと同様の動作をし、この結果、第 1 のラッチ回路 LAT (A) にハイレベルがラッチされるのは、セルが閾値電圧に達した場合と、書き込みを行なわない（初めから第 1 のラッチ回路 LAT (A) にハイレベルがラッチされている）場合である。また、第 1 のラッチ回路 LAT (A) にローレベルがラッチされる場合は、セルが閾値電圧に達しない場合、つまりメモリセルにデータ “ 6 ” が十分に書き込まれていない場合と、メモリセルにデータ “ 2 ” を書き込んでいる場合である。

{ 中間の閾値を持つセルのベリファイ }

次に、図 11、図 13 (c) を参照して中間の閾値を持つセル、例えばメモリセルのデータが “ 2 ” になる場合のベリファイ動作について説明する。このベリファイは、ワード線に電位 b' を与えてベリファイすれば良い。しかし、メモリセルのデータが “ 4 ” 以上になっているセルも閾値電圧が高いため、このメモリセルもオフしてベリファイ OK となってしまう。このため、予めメモリセルのデータが “ 4 ” 以上になっているか調べておく必要がある。そこで、ワード線に電位 d を供給してリード動作を行い、この結果を図 6 に示すデータ記憶回路の第 2 のラッチ回路 LAT (B) に記憶する。メモリセルのデータが “ 4 ” 以上である場合、第 2 のラッチ回路 LAT (B) にハイレベルが記憶される。

【 0 0 6 9 】

次に、ワード線に電位 b' を供給してリード動作を行なうと、このリード結果はビット線が閾値電圧 b' に達しているか、メモリセルのデータが “ 4 ” 以上であるとハイレベルとなり、閾値電圧が b' に達していないか、メモリセルのデータが “ 0 ” の場合、ローレベルとなる。ここで、図 6 に示す電位 VREG を接地電位 VSS、トランジスタ 61u のゲートに供給される電位 VRFY2 をハイレベルとすると、第 2 のラッチ回路 LAT (B) がハイレベルになっている場合、トランジスタ 61t がオンしてビット線がローレベルとなる。つまり、メモリセルのデータが “ 4 ” 以上である場合、ビット線がローレベルになる。

【 0 0 7 0 】

次に、前のベリファイの操作と同様に、VREG を VCC とし、VRFY1 をハイレベルとすると、第 1 のラッチ回路 LAT (A) にハイレベルがラッチされている（書き込みを行なわない場合）時、ビット線がハイレベルになる。この動作の後、ビット線の電位を第 1 のラッチ回路 LAT (A) に読み込む。第 1 のラッチ回路 LAT (A) にハイレベルがラッチされるのは、データ “ 2 ” を書き込んだメモリセルが閾値電圧に達した場合と、書き込みを行なわない場合である。また、第 1 のラッチ回路 LAT (A) にローレベルがラッチされる場合は、データ “ 2 ” の書き込みを行なっているメモリセルが閾値電圧に達しない場合と、書き込みを行なっているメモリセルのデータが “ 4 ” 以上である場合である。

。

10

20

30

40

50

【 0 0 7 1 】

したがって、第2ページのベリファイは、メモリセルがデータ“2”に書き込まれる場合のベリファイと、データ“6”に書き込まれる場合のベリファイの2回の動作を行ない、第1のラッチ回路LAT(A)がローレベルの場合は再び書き込み動作を行ない、全てのデータ記憶回路のデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す。しかし、メモリセルのデータが“6”の場合、閾値電圧が高いため、書き込みに時間を要する。このため、繰り返し行なうプログラムベリファイ動作のうち、初めの数回はメモリセルのデータが“6”になったかどうかのベリファイ動作を省略することができる。また、数回プログラムベリファイ動作を繰り返すと、閾値電圧の低いデータ“2”の書き込みは終了しているはずである。このため、この後、メモリセルのデータ“2”についてのベリファイ動作は省略することが可能である。

10

【 0 0 7 2 】

また、第2ページのベリファイでは、データ“2”を書き込むメモリセルのベリファイ動作中、メモリセルのデータが“4”以上になっているか調べておくため、ワード線にdの電位を供給してリード動作を行い、この結果をデータ記憶回路の第2のラッチ回路LAT(B)に記憶したが、第2のラッチ回路LAT(B)はこの動作以外に使用しないため、繰り返し行なうプログラムとベリファイ動作のうち初めの1回のみ行なえばよい。

(第3ページのプログラム)

第3ページのプログラムも第1、第2ページプログラムと同様に、次の書き込みデータを全てのデータ記憶回路の第1のラッチ回路LAT(A)に記憶する。次に、ワード線に所定の電圧を供給することにより選択されているページ全てのセルについて書き込みを行なう。

20

【 0 0 7 3 】

図8に示すように、メモリセルのデータが“0”である場合、書き込みを行なうとメモリセルのデータが“1”となり、書き込みを行なわないとメモリセルのデータは“0”のままである。メモリセルのデータが“2”である場合、書き込みを行なうとメモリセルのデータが“3”となり、書き込みを行なわないとメモリセルのデータは“2”のままである。メモリセルのデータが“4”である場合、書き込みを行なうとメモリセルのデータが“5”となり、書き込みを行なわないとメモリセルのデータは“4”のままである。メモリセルのデータが“6”である場合、書き込みを行なうとメモリセルのデータが“7”となり、書き込みを行なわないとメモリセルのデータは“6”のままである。

30

(第3ページのベリファイ)

第3ページのベリファイは、メモリセルのデータが“7”、“5”、“3”、“1”の4通りに書き込まれるため4動作行なう。

{最も高い閾値を持つセルのベリファイ}

先ず、図10、図14(a)(b)を参照してメモリセルのデータが“7”になる場合のベリファイについて説明する。このベリファイは前記第1ページのベリファイでメモリセルのデータが“4”になるベリファイ、あるいは第2ページのベリファイでメモリセルのデータが“6”になるベリファイと全く同じである。なぜなら、gの電位より高いセルはデータ“7”のセルとする以外存在しないためである。この場合、ワード線に電位g'を供給してベリファイ動作を行なう。

40

【 0 0 7 4 】

この動作の結果、第1のラッチ回路LAT(A)にハイレベルがラッチされるのは、セルが閾値電圧に達した場合と、書き込みを行なわない(初めから第1のラッチ回路LAT(A)にハイレベルがラッチされている)場合である。また、第1のラッチ回路LAT(A)にローレベルがラッチされる場合は、セルが閾値電圧に達しない場合、つまり、メモリセルにデータ“7”が十分に書き込まれていない場合と、メモリセルに“1”、“3”、“5”のデータを書き込んでいる場合である。

{中間の閾値を持つセルのベリファイ}

次に、メモリセルのデータが“5”になる場合のベリファイについて説明する。このベリ

50

ファイは第2ページのベリファイのメモリセルのデータが“2”になるベリファイと同じである。

【0075】

但し、メモリセルのデータが“5”になっているかどうかをベリファイするのであるため、前もってメモリセルのデータを読んでおく場合、ワード線は電位 f とされ、次のベリファイリード時、ワード線は電位 e' とされる。図11、図15(a)(b)に示す。

{ 中間の閾値を持つセルのベリファイ }

次に、メモリセルのデータが“3”になる場合のベリファイについて説明する。このベリファイは第2ページのベリファイのメモリセルのデータが“2”になる場合のベリファイ、第3ページのベリファイのメモリセルのデータが“5”になる場合のベリファイと同じである。

10

【0076】

但し、メモリセルのデータが“3”になっているかどうかをベリファイするのであるため、前もってメモリセルのデータを読んでおく場合のワード線電位は、 d であり、次のベリファイリード時のワード線電位は c' である。この動作を図11、図16(a)(b)に示す。

{ 中間の閾値を持つセルのベリファイ }

次に、メモリセルのデータが“1”になる場合のベリファイについて説明する。このベリファイは第2ページのベリファイのメモリセルのデータが“2”になるベリファイ、第3ページのベリファイのメモリセルのデータ“5”、“3”になる場合と同じである。

20

【0077】

但し、メモリセルのデータが“1”になっているかどうかをベリファイするのであるため、前もってメモリセルのデータを読んでおく場合のワード線電位は、 b であり、次のベリファイリード時のワード線電位は a' である。この動作を図11、図17(a)(b)に示す。

【0078】

上記のようにして、第3ページのベリファイは、メモリセルのデータが“7”、“5”、“3”、“1”に書き込まれる場合のベリファイ4回の動作を行なう。この結果、第1のラッチ回路LAT(A)がローレベルの場合は再び書き込み動作を行ない全てのデータ記憶回路のデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す。しかし、第2ページのプログラムベリファイ動作と同じように、メモリセルのデータが高い閾値電圧であるほど、書き込みに要する時間が長い。このため、繰り返し行なうプログラムベリファイ動作のうち初めの数回はメモリセルのデータが“7”、“5”、“3”に対するベリファイ動作を省略し、データ“1”についてのみに行なう。この後、数回メモリセルのデータ“1”と“3”についてベリファイ動作し、次に、データ“1”と“3”と“5”でベリファイし、最後に“1”、“3”、“5”、“7”についてベリファイする。また、数回繰り返し動作を行なうと、閾値電圧の低いデータが“1”のメモリセルは、書き込みが終了しているはずである。このため、この後、“3”、“5”、“7”、次に“5”、“7”、最後に“7”のみベリファイ動作することにより、ベリファイ時間を短縮することが可能である。

30

40

【0079】

また、予備リードはベリファイ時毎行なう必要はなく、図6の第2のラッチ回路LAT(B)にデータが残っている場合、この予備リードを省略することができる。

(リード動作)

(第1ページのリード)

{ 最も高い閾値を持つセルのリード }

第1ページのリードは、選択されているワード線にリードの時の電位 d を与える。

【0080】

次に、選択されているブロック内の非選択ワード線及びセレクト線SG1に電位 V_{read} ($4.5V$) を供給し、図6のトランジスタ61gのゲートに供給される電位BIAS

50

をハイレベルとし、ビット線をプリチャージする。この後、セルのソース側のセレクト線 S G 2 をハイレベルとする。閾値電圧が電位 d より高い時、セルがオフするためビット線はハイレベルのままであり、閾値電圧 d に達していない場合セルがオンするため、ビット線が V S S となる。図 8 に示すように、メモリセルのデータとメモリセルの閾値電圧を定義しているため、メモリセルのデータが “ 0 ”、“ 1 ”、“ 2 ”、“ 3 ” であると、ビット線の電位はローレベル、メモリセルのデータが “ 4 ”、“ 5 ”、“ 6 ”、“ 7 ” であると、ビット線の電位はハイレベルとなる。

【 0 0 8 1 】

次に、これらビット線の電位を第 1 のラッチ回路 L A T (A) に読み込むとメモリセルのデータが “ 0 ”、“ 1 ”、“ 2 ”、“ 3 ” であるとローレベル、メモリセルのデータが “ 4 ”、“ 5 ”、“ 6 ”、“ 7 ” であるとハイレベルになる。しかし、第 1 のラッチ回路 L A T (A) に記憶されたデータを出力する時、図 6 に示すクロックインバータ回路 6 1 p の信号 O s a c がイネーブルとなる。このため、データ記憶回路から出力されるデータは、メモリセルのデータが、“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ” であると “ 1 ”、メモリセルのデータが “ 4 ”、“ 5 ”、“ 6 ”、“ 7 ” であると “ 0 ” となる。この動作を図 1 2、図 1 8 (a) に示す。

【 0 0 8 2 】

上記リード動作は、2 値の場合と同様である。

(第 2 ページのリード)

第 2 ページのリードで出力されるデータが “ 0 ” の場合は、図 8 に示すように、メモリセルのデータが “ 2 ” と “ 3 ”、及び “ 6 ” と “ 7 ” との 2 つの離れた領域になっている。

【 0 0 8 3 】

したがって、最初にメモリセルのデータが “ 6 ”、“ 7 ” であるかを判断し、次にメモリセルのデータが “ 2 ”、“ 3 ” であるかを判断する。

{ 最も高い閾値を持つセルのリード }

まず、メモリセルのデータが “ 6 ”、“ 7 ” にあるかを調べる。これは、前述した第 1 ページのリードと同じである。なぜなら、電位 f より高いセルはデータ “ 6 ” が “ 7 ” のセル以外存在しないためである。第 1 ページのリードでは、メモリセルのデータが “ 4 ”、“ 5 ”、“ 6 ”、“ 7 ” であるかを調べるためにワード線に電位 d を供給したが、今回は、メモリセルのデータが “ 6 ” が “ 7 ” であるかを調べるため電位 f でリード動作する。

【 0 0 8 4 】

第 1 ページのリードと同様に、この動作の結果、第 1 のラッチ回路 L A T (A) にハイレベルがラッチされるのは、メモリセルのデータが “ 6 ”、“ 7 ” の場合だけである。また、第 1 のラッチ回路 L A T (A) にローレベルがラッチされる場合は、メモリセルのデータが “ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”、“ 4 ”、“ 5 ” の場合である。図 1 2、図 1 8 (b) に上記動作を示す。

{ 中間の閾値を持つセルのリード }

次に、メモリセルのデータが “ 2 ”、“ 3 ” にあるかを調べるリード動作について説明する。このリードは、ワード線に電位 b を供給してリードすれば良いが、メモリセルのデータが “ 4 ” 以上になっているセルも閾値電圧が高いため、オフしてしまう。このため、予めメモリセルのデータが “ 4 ” 以上になっているか調べておく必要がある。そこで、ワード線に電位 d を供給してリード動作を行い、この結果を図 6 に示す第 2 のラッチ回路 L A T (B) に記憶する。次に、ワード線に電位 b を供給してリード動作を行なうと、ビット線はメモリセルのデータが “ 2 ” 以上であるとハイレベル、メモリセルのデータが “ 0 ” 又は “ 1 ” であるとローレベルとなる。

【 0 0 8 5 】

ここで、電位 V R E G を接地電位 V S S、信号 V R F Y 2 をハイレベルとしてトランジスタ 6 1 U をオンさせると、第 2 のラッチ回路 L A T (B) がハイレベルになっている場合、ビット線がローレベルになる。つまり、メモリセルのデータが “ 4 ” 以上である場合、ビット線がローレベルになる。したがって、現時点では、メモリセルのデータが “ 2 ”、

10

20

30

40

50

“ 3 ” であるときのみハイレベルとなる。このレベルを第 1 のラッチ回路 L A T (A) に取り込むことが考えられる。しかし、メモリセルのデータが “ 6 ” 、 “ 7 ” であった場合、先ほど読み出し第 1 のラッチ回路 L A T (A) に記憶した内容が無くなってしまいうため、V R E G を電源電位 V C C とし、信号 V R F Y 1 をハイレベルとしてトランジスタ 6 1 1 をオンとする。第 1 のラッチ回路 L A T (A) にハイレベルがラッチされている (メモリセルのデータが “ 6 ” 、 “ 7 ”) 場合、ビット線がハイレベルとされる。

【 0 0 8 6 】

この動作の後、ビット線の電位を第 1 のラッチ回路 L A T (A) に読み込む。第 1 のラッチ回路 L A T (A) にハイレベルがラッチされるのは、メモリセルのデータが “ 2 ” 、 “ 3 ” 、 “ 6 ” 、 “ 7 ” のときであり、ローレベルがラッチされるのは、メモリセルのデータが “ 0 ” 、 “ 1 ” 、 “ 4 ” 、 “ 5 ” のときである。第 1 ページのリードと同様に、第 1 のラッチ回路 L A T (A) に記憶されたデータを出力する時は図 6 に示すクロックインバータ回路 6 1 p の信号 O s a c がイネーブルとなる。このため、データ記憶回路からは、メモリセルのデータが “ 0 ” 、 “ 1 ” 、 “ 4 ” 、 “ 5 ” であるとデータ “ 1 ” が出力され、メモリセルのデータが “ 2 ” 、 “ 3 ” 、 “ 6 ” 、 “ 7 ” であるとデータ “ 0 ” が出力される。図 1 1 、図 1 8 (b) (c) に上記動作を示す。

【 0 0 8 7 】

また、第 2 ページのリードでは、メモリセルのデータが “ 2 ” 、 “ 3 ” になる場合のリード動作中、メモリセルのデータが “ 4 ” 以上になっているか調べておくため、ワード線に電位 d を印加してリード動作を行い、この結果を図 6 に示す第 2 のラッチ回路 L A T (B) に記憶させた。しかし、第 1 ページのリード後に第 2 ページのリードを行なう場合、第 1 のラッチ回路 L A T (A) にはメモリセルのデータが “ 4 ” 以上になっている場合、ハイレベルがラッチされている。このため、この第 1 のラッチ回路 L A T (A) の内容を第 2 のラッチ回路 L A T (B) に転送することにより省略することも可能である。

(第 3 ページのリード)

第 3 ページのリードにおいて、出力されるデータが “ 0 ” の場合、図 8 に示すように、メモリセルのデータが “ 1 ” 、 “ 3 ” 、 “ 5 ” 、 “ 7 ” である。

【 0 0 8 8 】

従って、初めにメモリセルのデータが “ 7 ” であるかを判断し、次にメモリセルのデータが “ 5 ” であるかを判断し、次にメモリセルのデータが “ 3 ” であるかを判断し、最後にメモリセルのデータが “ 1 ” であるかを判断するため、4 回の動作を行なう。

{ 最も高い閾値を持つセルのリード }

先ず、メモリセルのデータが “ 7 ” であるかを調べる。これは、前記第 1 ページのリードと第 2 ページのリードのメモリセルのデータが “ 6 ” 、 “ 7 ” にある場合と同様である。なぜなら、電位 g より高いセルはデータ “ 7 ” のセル以外存在しないためである。第 1 ページのリードでは、メモリセルのデータが “ 4 ” 、 “ 5 ” 、 “ 6 ” 、 “ 7 ” であるかを調べるためにワード線に電位 d を供給し、第 2 ページのリードでは、メモリセルのデータが “ 6 ” 、 “ 7 ” にあるため、ワード線に電位 f を供給していた。しかし、今回は、メモリセルのデータが “ 7 ” にあるかを調べるため電位 g でリード動作を行う。

【 0 0 8 9 】

第 1 ページのリードのメモリセルのデータが “ 4 ” 、 “ 5 ” 、 “ 6 ” 、 “ 7 ” である場合であると、第 2 ページのリードのメモリセルのデータが “ 6 ” 、 “ 7 ” にある場合と同様に、この動作の結果、第 1 のラッチ回路 L A T (A) にハイレベルがラッチされるのは、メモリセルのデータが “ 7 ” の場合だけである。また、第 1 のラッチ回路 L A T (A) にローレベルがラッチされる場合は、メモリセルのデータが “ 0 ” 、 “ 1 ” 、 “ 2 ” 、 “ 3 ” 、 “ 4 ” 、 “ 5 ” 、 “ 6 ” である場合である。上記動作を図 1 2 、図 1 9 (a) に示す。

{ 中間の閾値を持つセルのリード }

次に、メモリセルのデータが “ 5 ” になっている場合のリード動作について説明する。このリード動作は、第 2 ページのリードのメモリセルのデータが “ 2 ” 、 “ 3 ” である場合

10

20

30

40

50

と同じである。

【0090】

但し、メモリセルのデータが“5”であるかどうかを判断するため、前もってメモリセルのデータを読んでおく場合、ワード線には、電位 f が供給され、次のリード時、ワード線には電位 e が供給される。この動作を図 19 (b) に示す。

{ 中間の閾値を持つセルのリード }

次に、メモリセルのデータが“3”になっている場合のリード動作について説明する。このリード動作は、第2ページのリードのメモリセルのデータが“2”、“3”である場合、第3ページのリードのメモリセルのデータが“5”になっている場合と同じである。

【0091】

但し、メモリセルのデータが“3”であるかどうかを判断するため、前もってメモリセルのデータを読んでおく場合、ワード線には電位 d が供給され、次のリード時にはワード線に電位 c が供給される。この動作を図 19 (c) に示す。

{ 中間の閾値を持つセルのリード }

次に、メモリセルのデータが“1”になっている場合のリード動作について説明する。このリード動作は、第2ページのリードのメモリセルのデータが“2”、“3”である場合、第3ページのリードのメモリセルのデータが“5”及び“3”になっている場合と同じである。

【0092】

但し、メモリセルのデータが“1”であるかどうかを判断するため、前もってメモリセルのデータを読んでおく場合、ワード線には電位 b が供給され、次のリード時、ワード線には電位 a が供給される。この動作を図 19 (d) に示す。

【0093】

以上の4つの動作により、メモリセルのデータが第1のラッチ回路 $L A T (A)$ に取り込まれる。

(イレーズ及びイレーズベリファイ動作)

(イレーズ)

図 20 はイレーズ動作を示している。イレーズ動作は、先ず、アドレスを指定し、図 3 に点線で示すブロックを選択する。イレーズ動作を行なうと、メモリセルのデータは“0”となり第1ページ、第2ページ、第3ページ何れでリードを行なってもデータ“1”が出力される。

(イレーズベリファイ)

図 21 はイレーズベリファイ動作を示している。イレーズベリファイ動作は、1回の動作で、データ記憶回路に接続されている2本のビット線 ($B L i$ 、 $B L i + 1$) のうち1本のビット線 ($B L i$) についてリード動作を行い、この結果を図 6 に示す第1のラッチ回路 $L A T (A)$ に記憶させる。このイレーズベリファイ動作は、リード動作と殆ど同じであるが、ブロック全てのセルについて行なうため、選択されているブロック内の全てのワード線を選択状態、すなわち接地電位 $V S S$ とする。セレクト線 $S G 1$ に電位 $V r e a d$ を供給し、図 6 に示すトランジスタ $6 1 g$ のゲートに供給される信号 $B I A S$ をハイレベルとし、ビット線をプリチャージする。この後、セルのソース側のセレクト線 $S G 2$ をハイレベルとする。

【0094】

消去が十分に行なわれ、セルの閾値電圧が基準値 ($0 V$) 以下であると、ビット線の電位がローレベルとなり、消去が不十分、つまりセルの閾値電圧が基準値 ($0 V$) 以上であると、ビット線の電位がハイレベルになる。このデータを第1のラッチ回路 $L A T (A)$ にラッチする。消去が不十分の時第1のラッチ回路 $L A T (A)$ にはハイレベルがラッチされ、消去が十分である場合、第1のラッチ回路 $L A T (A)$ にはローレベルがラッチされる。

【0095】

次に、他方のビット線 ($B L i + 1$) についてベリファイ動作が行われる。この結果を第

10

20

30

40

50

1のラッチ回路LAT(A)に取り込むことが考えられるが、第1のラッチ回路LAT(A)に記憶した内容が無くなってしまうため、電位VREGを電源電位VCCとし、信号VRFY1をハイレベルとしてトランジスタ61lをオンとする。第1のラッチ回路LAT(A)にハイレベルがラッチされている(消去不十分)時、トランジスタ61k、61lを介してビット線がハイレベルとされる。この動作の後、ビット線の電位を第1のラッチ回路LAT(A)に読み込む。第1のラッチ回路LAT(A)にハイレベルがラッチされるのは、両方のビット線(BLi、BLi+1)の何れかが消去不十分である時である。

【0096】

このようにして、全ての第1のラッチ回路LAT(A)のデータがローレベルになるまでイレーズ、イレーズベリファイ動作が繰り返される。

10

【0097】

尚、本実施例では、1セルに8値の3ビットを記憶するメモリとしたが、1セルに16値4ビットを記憶する場合は、第3ページで決めた8値の間に1ずつ設定値を決め、全く同じプログラム動作及びプログラムベリファイ動作を行えば良い。したがって、本発明を用いると、データ記憶回路及びこれを制御する動作をほとんど変更すること無く16値以降についても行なうことができる。

【0098】

上記第1の実施の形態によれば、1回の書き込みシーケンスで、1つのセルに1ビットのデータのみが書き込まれる。n-1ビットのデータが書かれている場合、セルの閾値は $2^{(n-1)}$ 値、存在する。次の1ビットのデータの書き込みにより、 2^n 値のレベルになる。しかし、新たに設定するレベルをすでに存在する閾値と閾値の間に決めると、この新たに設定した閾値に達したかベリファイするとき、既にこの閾値より高い所にデータが書き込まれているかどうかを調べ、この結果を取り除くことで、ここで設定した閾値でのベリファイ結果のみを出すことができる。このため、前に書き込んだデータの全てをラッチ回路に読み込む必要が無い。したがって、第1の実施の形態の場合、書き込みデータを記憶するための1つの第1のラッチ回路と、ベリファイ動作時に所定の閾値より高い所にデータがあるかどうかを調べた結果を記憶するための1つの第2のラッチ回路とを有していればよい。よって、nの値が大きくなっても、2つのラッチ回路のみで構成できるため、チップに対するラッチ回路の占有面積の増大を防止できる。

20

30

【0099】

また、このラッチ回路を動かす基本シーケンスは、ワード線の電位と回数のみ変更するだけでよいため、制御を容易化できる利点を有している。

【0100】

さらに、図6に示すデータ記憶回路において、第1のラッチ回路LAT(A)のみがトランジスタ61oとクロックインバータ回路61p、図示せぬカラムセレクトゲートを介してデータ入出力バッファ4に接続され、第2のラッチ回路LAT(B)はデータ入出力バッファ4に接続されない。このため、パターン面積を縮小できる。

<第2の実施の形態>

上記第1の実施の形態では、第nページ時のプログラムベリファイ動作、及びリード動作の際、ワード線をハイレベルとしてセルのデータを読みラッチする動作を、 2^n 回行なわなくてはならない。したがって、nの値が大きくなるに従い、プログラムベリファイ及びリード時間が増大する。

40

【0101】

NAND型セルでは、セルの閾値電圧を負とすると、この閾値電圧に対応する電圧をビット線に出力することができる。したがって、全てのデータに対応する閾値電圧を負に設定し、1回の操作でビット線にメモリセルの閾値電圧に相当する電位を出力させ、複数の差動アンプより同時にベリファイし、OKかNGを判断したり、もしくはデータが“1”か“0”かを判別する。このようにするとプログラムベリファイ及びリード時間の増大を抑制できる。しかし、複数の差動アンプ及びこれらの出力に接続されるロジック回路は大き

50

なパターンとなる。このため、1つの差動アンプ及びロジック回路を複数のセンスアンプに共有させ、時分割で使用する。以下、第2の実施の形態について説明する。

【0102】

第2の実施の形態における不揮発性半導体記憶装置の全体構成は図2と同様である。

【0103】

図22は、図2に示すメモリセルアレイ1及びビット線制御回路2の構成を示すものであり、図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。図22において、ビット線制御回路2を構成するデータ記憶回路220、221~222112が図3と異なっている。各データ記憶回路220、221~222112は、差動アンプとロジック回路とに接続される。

10

【0104】

すなわち、図23に示すように、264個の差動アンプ部231とロジック回路232は264個のYセクタ233を介して8個のデータ記憶回路毎に接続されている。各Yセクタ233において、各データ記憶回路と差動アンプ部231とロジック回路232の間には一対のトランジスタが接続され、これら一対のトランジスタは信号YA0~YA7により制御され、各データ記憶回路と差動アンプ部231とロジック回路232とを接続する。

【0105】

図24は図22、図23に示すデータ記憶回路の構成を示している。1つのデータ記憶回路は1つのラッチ回路を含んでいる。ビット線BLiにはNチャネルトランジスタ241aの電流通路の一端が接続されている。このトランジスタ241aのゲートには信号BLTRが供給されている。このトランジスタ241aの電流通路の他端はトランジスタ241bの電流通路の一端、およびトランジスタ241cの電流通路の一端に接続されている。前記トランジスタ241bの電流通路の他端は端子242aに接続されている。この端子242aには電圧VBLAが供給されている。また、前記トランジスタ241bのゲートには信号PREAが供給されている。前記トランジスタ241cのゲートには信号BLSAが供給されている。

20

【0106】

また、ビット線BLi+1にはNチャネルトランジスタ241dの電流通路の一端が接続されている。このトランジスタ241dのゲートには前記信号BLTRが供給されている。このトランジスタ241dの電流通路の他端はトランジスタ241eの電流通路の一端、およびトランジスタ241fの電流通路の一端に接続されている。前記トランジスタ241eの電流通路の他端は端子242bに接続されている。この端子242bには電圧VBLBが供給されている。また、前記トランジスタ241eのゲートには信号PREBが供給されている。前記トランジスタ241fのゲートには信号BLSBが供給されている。トランジスタ241b、241eは信号PREA、PREBに応じて非選択のビット線を電位VBLA、VBLBにプリチャージする。前記トランジスタ241c、241fは信号BLSA、BLSBに応じてビット線を選択する。

30

【0107】

前記トランジスタ241c、241fの電流通路の他端はノードNEに接続されている。このノードNEにはトランジスタ241hの電流通路の一端が接続されている。このトランジスタ241hのゲートには信号BLC1が供給され、このトランジスタ241hの電流通路の他端にはラッチ回路LAT(C)が接続されている。このラッチ回路LAT(C)は2つのクロックインバータ回路241i、241jにより構成されている。クロックインバータ回路241iは信号SEN1、SEN1B(Bは反転信号を示す)により制御され、クロックインバータ回路241jは信号LAT1、LAT1Bにより制御される。このラッチ回路LAT(C)は、書き込みデータをラッチする。

40

【0108】

また、前記ラッチ回路LAT(C)のノードNAは、Pチャネルトランジスタ241mを介して端子242dに接続されている。このトランジスタ241mのゲートには信号PR

50

S T B 1 が供給され、前記端子 2 4 2 d には電圧 V C C が供給されている。このトランジスタ 2 4 1 m はデータの書き込み時、又は読み出し時にラッチ回路 L A T (C) のノード N A をハイレベルに設定する。

【 0 1 0 9 】

さらに、前記ノード N A は並列接続されたトランジスタ 2 4 1 o とクロックインバータ回路 2 4 1 p を介して、図示せぬ前記ロジック回路 2 3 2 および前記カラムセレクトゲートに接続される。トランジスタ 2 4 1 o のゲートには、信号 S P B が供給され、クロックインバータ回路 2 4 1 p は信号 O s a c 、 O s a c b により制御される。トランジスタ 2 4 1 o はデータの書き込み時に前記カラムセレクトゲートを介して供給されるデータをラッチ回路 L A T (C) に転送する。前記クロックインバータ回路 2 4 1 p は、データの読み出し時にバッファとして動作する。また、前記ノード N E は前記 Y セクタを介して図示せぬ前記差動アンプ部 2 3 1 に接続される。

10

【 0 1 1 0 】

図 2 5 は差動アンプ部 2 3 1 とロジック回路 2 3 2 を示している。差動アンプ部 2 3 1 は、7 個の差動アンプ D F A 1 ~ D F A 7 を有している。本実施の形態では 1 つのセルに 8 値 (3 ビット) 記憶しているため 7 個必要であるが、1 つのセルに 2^n 値 (n ビット) 記憶する場合は、 $(2^n) - 1$ 個必要である。前記差動アンプ D F A 1 ~ D F A 7 の反転入力端には、前記データ記憶回路のノード N E から出力された信号がそれぞれ供給され、非反転入力端には、制御電圧発生回路 2 5 3 から所定の電圧が供給される。

【 0 1 1 1 】

前記差動アンプ D F A 3 の出力端にはインバータ回路 2 5 1 a の入力端が接続されている。このインバータ回路 2 5 1 a の出力信号、差動アンプ D F A 2 の出力信号、および信号 E N 1 はノア回路 2 5 1 b に供給されている。前記差動アンプ D F A 5 の出力端にはインバータ回路 2 5 1 c の入力端が接続されている。このインバータ回路 2 5 1 c の出力信号、差動アンプ D F A 4 の出力信号、および信号 E N 1 、 E N 2 はノア回路 2 5 1 d に供給されている。前記差動アンプ D F A 7 の出力端にはインバータ回路 2 5 1 e の入力端が接続されている。このインバータ回路 2 5 1 e の出力信号、差動アンプ D F A 6 の出力信号、および信号 E N 1 、 E N 2 はノア回路 2 5 1 f に供給されている。

20

【 0 1 1 2 】

前記ロジック回路 2 3 2 において、ノア回路 2 5 2 a には前記データ記憶回路の出力信号と信号 V e r i f y B が供給されている。このノア回路 2 5 2 a の出力信号、差動アンプ D F A 1 の出力信号、およびノア回路 2 5 1 b 、 2 5 1 d 、 2 5 1 f の出力信号は、ノア回路 2 5 2 b に供給されている。このノア回路 2 5 2 b の出力信号は、ラッチ回路 L A T (D) に供給される。このラッチ回路 L A T (D) はクロックインバータ回路 2 5 2 c 、 2 5 2 d により構成されている、これらクロックインバータ回路 2 5 2 c 、 2 5 2 d は信号 P D により制御される。このラッチ回路 L A T (D) の出力信号はインバータ回路 2 5 2 e 、クロックインバータ回路 2 5 2 f を介して前記 Y セクタ、データ記憶回路に接続される。

30

【 0 1 1 3 】

図 2 6 は、前記制御電圧発生回路 7 b により発生される電圧と、その電圧の差動アンプ D F A 1 ~ D F A 7 への供給位置を示している。

40

【 0 1 1 4 】

図 2 7 、図 2 8 に示すように、メモリセルのデータとメモリセルの閾値を定義する。全ての閾値が負であることが分かる。ここで、メモリセルのデータ “ 0 ” ~ “ 7 ” は、メモリセルの閾値の低いほうから高い方へと、定義されている。また、このメモリは、多値メモリであるため、1 セルに 3 ビットのデータを記憶することができるためこの 3 ビットの切り替えはアドレス (第 1 ページ、第 2 ページ、第 3 ページ) によって行なう。例えば、アドレスに第 1 ページを指定すると、メモリセルのデータが “ 0 ” ~ “ 3 ” であるとデータ “ 1 ” 、メモリセルのデータが “ 4 ” ~ “ 7 ” であるとデータ “ 0 ” となる。アドレスに第 2 ページを指定すると、メモリセルのデータが “ 0 ” 、 “ 1 ” 、 “ 4 ” 、 “ 5 ” である

50

とデータ“1”、メモリセルのデータが“2”、“3”、“6”、“7”であるとデータ“0”となる。アドレスに第3ページを指定すると、メモリセルのデータが“0”、“2”、“4”、“6”であるとデータ“1”、メモリセルのデータが“1”、“3”、“5”、“7”であるとデータ“0”となる。

【0115】

消去動作を行なうとメモリセルのデータは“0”になり、アドレスに第1、第2、第3ページの何れを指定しても読み出されるデータは“1”となる。

(セル選択方法)

セル選択方法は、第1の実施の形態と同様であり、リード動作、プログラムベリファイ動作及びプログラム動作時では、図22に示す、1セクタ(3ページ)が選択される。この3ページはアドレスによって切り替えられる。イレース動作は、図22に示すブロック単位で行われる。イレースベリファイ動作も、初めに、1本のビット線(BLi)についてベリファイリード動作を行い、この結果が図24に示すラッチ回路LAT(C)に記憶される。次に、他方のビット線(BLi+1)についてベリファイ動作を行ない、この結果と前のベリファイリードの結果の和がラッチ回路LAT(C)に記憶される。

(プログラム及びプログラムベリファイ)

(第1ページのプログラム)

図29はプログラム動作のシーケンスを示しており、各部の電位をこのように設定して、プログラム動作が実行される。すなわち、第1の実施の形態と同様に、まず、書き込むデータを外部より入力し、全てのデータ記憶回路のラッチ回路LAT(C)に記憶する。外部よりデータ“1”(書き込みを行なわない)が入力されると、図24に示すラッチ回路LAT(C)のノードNAがハイレベルとされ、データ“0”(書き込みを行なう)が入力されるとノードNAがローレベルとされる。この記憶されたデータに従って、選択されているページの全てのセルについて書き込みが行なわれる。

【0116】

データ“0”の書き込みの時は、図28に示すように、メモリセルのデータを“4”とする。データ“1”の書き込み時、メモリセルのデータは“0”のままである。

(第1ページのベリファイ)

図30はプログラムベリファイ及びリードの動作を示している。選択されたブロック内の非選択ワード線及びセレクト線SG1を電位Vread7(=Vread+Vth)、ソース線SRCを電位Vread、選択ワード線を接地電位VSSに設定した後、セルのソース側のセレクト線SG2を電位Vread7とする。各部の電位をこのように設定すると、図28に示すように、セルの閾値電圧に応じて、ビット線に電位が出力される。このビット線の電位はYセクタ233を介して時分割で差動アンプ部231、及びロジック回路232に供給される。

【0117】

第1ページのベリファイは、図25に示す7個の差動アンプのうち、差動アンプDFA1のみが使用される。このため、信号EN1がハイレベルとされ、ノア回路251b、251d、251fの出力信号がローレベルに固定される。

【0118】

次に、図26、図31、図32に示すように、差動アンプDFA1の非反転入力端に、制御電圧発生回路253よりリファレンス電位として、リードの時の電位dより少し低い電位d'が供給される。以後“'”はベリファイ電位を示し、リードの電位より若干低い値とする。ここで、Yセクタ233を介して1つのデータ記憶回路の出力信号が差動アンプ部231及びロジック回路232に供給される。また、ベリファイ中であるため、ロジック回路232のノア回路252aに供給される信号VerifyBはローレベルとされ、データ記憶回路のラッチ回路LAT(C)に記憶されているデータがロジック回路232に供給される。データ記憶回路のラッチ回路LAT(C)にデータ“1”がラッチされている(書き込みを行なわない)場合、クロックインバータ回路241pにより反転されたデータ“0”が、図25に示すノア回路252aに供給される。このため、ラッチ回

10

20

30

40

50

路LAT(D)の出力端NDには、差動アンプDFA1の出力信号にかかわらず、ハイレベルがラッチされる。

【0119】

一方、データ記憶回路のラッチ回路LAT(C)にデータ“0”がラッチされている(書き込みを行なう)場合の動作は、図33(a)に示すようになる。

【0120】

すなわち、ビット線に読み出された電位がリファレンス電位d'より低い時(十分に書き込まれている時)は、差動アンプDFA1の出力信号はハイレベルとなるので、ラッチ回路LAT(D)の出力端NDにはハイレベルがラッチされる。

【0121】

ビット線に読み出された電位がリファレンス電位d'より高い時(書き込み不十分)は、差動アンプDFA1の出力信号はローレベルとなるので、ラッチ回路LAT(D)の出力端はローレベルにラッチされる。

【0122】

前記ラッチ回路LAT(D)は、図25、図30に示す信号PDをローレベルとすることで入力信号をラッチする。このラッチ回路LAT(D)にラッチされたデータはインバータ回路252e、クロックインバータ回路252fを介して前記データ記憶回路へ供給される。次に、図24のトランジスタ241oのゲートに供給される信号SPBが、図30に示すように、ハイレベルとされると、このトランジスタ241oを介してロジック回路232からのデータがデータ記憶回路のラッチ回路LAT(C)に供給される。このため、ラッチ回路LAT(C)のデータがロジック回路232のラッチ回路LAT(D)に記憶されているデータとされる。つまり、データ記憶回路のラッチ回路LAT(C)にデータ“1”がラッチされている(書き込みを行わない)時、ラッチ回路LAT(C)のデータは“1”のままであり、ラッチ回路LAT(C)にデータ“0”がラッチされている(書き込みを行なう)時で、セルの書き込みが不十分のときはデータ“0”のまま、書き込みが十分のときはデータが“1”に変えられる。

【0123】

次に、Yセクタ233を切り替え、データ記憶回路の出力信号に対して上記一連の動作を順次行なう。この時、セルのデータはビット線に読み出されているため、Yセクタ233を切り替え、差動アンプ部231とロジック回路232を動作するだけで良い。

【0124】

上記動作を繰り返し、全てのデータ記憶回路のデータがハイレベルとなるまでこのプログラム動作とベリファイ動作を繰り返す。

(第2ページのプログラム)

第2ページのプログラムも第1ページのプログラムと同様に、先ず、外部より供給された次の書き込みデータを全てのデータ記憶回路のラッチ回路LAT(C)に記憶する。次に、このラッチ回路LAT(C)に記憶されたデータに応じて選択されているページの全てのセルに書き込みを行なう。

【0125】

図28に示すように、メモリセルのデータが“0”になっている(第1ページに書き込み動作を行なわなかった)場合、このセルに書き込みを行なうと、このセルのデータは“2”となり、書き込みを行なわないと、このメモリセルのデータは“0”のままである。メモリセルのデータが“4”になっている(第1ページに書き込み動作を行なった)場合、このセルに対して書き込みを行なうと、このセルのデータは“6”となり、書き込みを行なわないと、このセルのデータは“4”のままである。

(第2ページのベリファイ)

先ず、第1ページのベリファイと同様に、ビット線に閾値電圧に応じた電位を出力させる。図25に示すように、第2ページのベリファイは、7個の差動アンプのうち、差動アンプDFA1~DFA3を使用する。このため、信号EN2をハイレベルとして、ノア回路251d、251fの出力信号をローレベルに固定する。次に、図26、図31、図32

10

20

30

40

50

に示すように、差動アンプ D F A 1 ~ D F A 3 の非反転入力端にリファレンス電位として f' 、 d 、 b' を供給する。この後、Yセクタ 2 3 3 により選択された 1 つのデータ記憶回路が、この差動アンプ D F A 1 ~ D F A 3 及びロジック回路 2 3 2 に接続される。また、ベリファイ中であるため、信号 $V e r i f y B$ はローレベルとされ、データ記憶回路のラッチ回路 L A T (C) に記憶されているデータもロジック回路 2 3 2 に供給される。ラッチ回路 L A T (C) にデータ “ 1 ” がラッチされている（書き込みを行なわない）場合、ロジック回路 2 3 2 のラッチ回路 L A T (D) の出力端は、差動アンプ D F A 1 ~ D F A 3 の出力にかかわらず、ハイレベルにラッチされる。

【 0 1 2 6 】

一方、データ記憶回路のラッチ回路 L A T (C) にデータ “ 0 ” がラッチされている（書き込みを行なう）場合は、図 3 3 (b) に示すようになる。

【 0 1 2 7 】

すなわち、ビット線に読み出された電位がリファレンス電位 f' より低い時（書き込み十分の時）は、差動アンプ D F A 1 の出力信号がハイレベルとなる。このため、ラッチ回路 L A T (D) 出力端にはハイレベルがラッチされる。

【 0 1 2 8 】

ビット線に読み出された電位がリファレンス電位 d より低く、 f' より高い時（書き込み不十分）は、差動アンプ D F A 3 はハイレベルとなるが、差動アンプ D F A 2 の出力もハイレベルであるため、ラッチ回路 L A T (D) の出力端にはローレベルがラッチされる。

【 0 1 2 9 】

ビット線に読み出された電位がリファレンス電位 b' より低く d より高い時（書き込み十分）は、差動アンプ D F A 3 の出力信号はハイレベルとなるので、ラッチ回路 L A T (D) の出力端にはハイレベルがラッチされる。

【 0 1 3 0 】

ビット線に読み出された電位がリファレンス電位 b' より高い時（書き込み不十分）は、差動アンプ D F A 1 ~ D F A 3 の出力信号が全てローレベルであるので、ラッチ回路 L A T (D) の出力端にはローレベルがラッチされる。

【 0 1 3 1 】

尚、ロジック回路 2 3 2 のラッチ回路 L A T (D) にデータをラッチした後の動作は、第 1 ページのベリファイと同様である。この結果、データ記憶回路のラッチ回路 L A T (C) に “ 1 ” がラッチされている（書き込みを行なわない）時は、データ “ 1 ” のままであり、データ記憶回路のラッチ回路 L A T (C) にデータ “ 0 ” がラッチされている（書き込みを行なう）時で、書き込み不十分のときはデータ “ 0 ” のまま、書き込み十分のときはデータ “ 1 ” に変わる。次に、Yセクタを順次切り替えて、上記と同様の動作が行われる。

【 0 1 3 2 】

このようにして、全てのデータ記憶回路のデータがハイレベルになるまでこのプログラム動作とベリファイ動作が繰り返される。

（第 3 ページのプログラム）

第 3 ページのプログラムも第 1、第 2 ページのプログラムと同様に、先ず、外部より供給される次の書き込みデータが全てのデータ記憶回路のラッチ回路 L A T (C) に記憶される。次に、これらラッチ回路 L A T (C) に記憶されたデータに従って、選択されているページの全てのセルについて書き込みが行なわれる。

【 0 1 3 3 】

図 2 8 に示すように、メモリセルのデータが “ 0 ” になっている場合、このメモリセルに対して書き込みを行なうとメモリセルのデータが “ 1 ” となり、書き込みを行なわないとメモリセルのデータは “ 0 ” のままである。メモリセルのデータが “ 2 ” になっている場合、このメモリセルに対して書き込みを行なうとメモリセルのデータが “ 3 ” となり、書き込みを行なわないとメモリセルのデータは “ 2 ” のままである。メモリセルのデータが “ 4 ” になっている場合、このメモリセルに対して書き込みを行なうとメモリセルのデー

10

20

30

40

50

タが“ 5 ”となり、書き込みを行なわないとメモリセルのデータは“ 4 ”のままである。メモリセルのデータが“ 6 ”になっている場合、このメモリセルに対して書き込みを行なうとメモリセルのデータが“ 7 ”となり、書き込みを行なわないとメモリセルのデータは“ 6 ”のままである。

(第3ページのベリファイ)

第1、第2ページのベリファイと同様に、ビット線にメモリセルの閾値電圧に応じた電位を出力させる。第3ページのベリファイは、図25に示す全ての差動アンプDFA1~DFA7を使用する。この場合、差動アンプDFA1~DFA7の非反転入力端にはリファレンス電位として、図26、図31、図32に示す g' 、 f' 、 e' 、 d 、 c' 、 b 、 a' が供給される。ここで、Yセクタ233により選択された1つのデータ記憶回路が、差動アンプ部231及びロジック回路232に接続される。また、ベリファイ中であるため、VerifyBはローレベルとなり、データ記憶回路のラッチ回路LAT(C)に記憶されているデータがロジック回路232に供給される。データ記憶回路のラッチ回路LAT(C)にデータ“ 1 ”がラッチされている(書き込みを行なわない)場合、前述したように、ラッチ回路LAT(D)の出力端には、差動アンプDFA1~DFA7の出力信号にかかわらず、ハイレベルがラッチされる。

10

【0134】

一方、データ記憶回路のラッチ回路LAT(C)にデータ“ 0 ”がラッチされている(書き込みを行なう)場合は、図33(c)に示すようになる。

【0135】

すなわち、ビット線に読み出された電位がリファレンス電位 g' より低い時(書き込み十分の時)、差動アンプDFA1の出力信号がハイレベルとなる。このため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

20

【0136】

ビット線に読み出された電位がリファレンス電位が f より低く、 g' より高い時(書き込み不十分の時)、差動アンプDFA3の出力信号はハイレベルとなるが、差動アンプDFA2の出力信号もハイレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0137】

ビット線に読み出された電位がリファレンス電位 e' より低く、 f より高い時(書き込み十分の時)、差動アンプDFA3の出力信号はハイレベル、差動アンプDFA2の出力信号はローレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

30

【0138】

ビット線に読み出された電位がリファレンス電位 d より低く、 e' より高い時(書き込み不十分の時)、差動アンプDFA5の出力信号はハイレベルとなるが、差動アンプDFA4の出力信号もハイレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0139】

ビット線に読み出された電位がリファレンス電位 c' より低く、 d より高い時(書き込み十分の時)、差動アンプDFA5の出力信号はハイレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

40

【0140】

ビット線に読み出された電位がリファレンス電位 b より低く、 c' より高い時(書き込み不十分の時)、差動アンプDFA7の出力信号はハイレベルとなるが、差動アンプDFA6の出力信号もハイレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0141】

ビット線に読み出された電位がリファレンス電位 a' より低く、 b より高い時(書き込み十分の時)、差動アンプDFA7の出力信号はハイレベルとなるため、ラッチ回路LAT

50

(D)にはハイレベルがラッチされる。

【0142】

ビット線に読み出された電位がリファレンス電位 a' より高い時(書き込み不十分の時)、差動アンプ D F A 1 ~ D F A 7 の出力信号が全てローレベルであるため、ラッチ回路 L A T (D) の出力端にはローレベルがラッチされる。

【0143】

尚、ロジック回路のラッチ回路 L T (D) にデータをラッチした後の動作は、第1、第2ページのベリファイと同様である。この結果、データ記憶回路のラッチ回路 L A T (C) にデータ“1”がラッチされている(書き込みを行なわない)時は、データ“1”のままであり、ラッチ回路 L A T (C) にデータ“0”がラッチされている(書き込みを行なう)時で、書き込み不十分のときはデータ“0”のまま、書き込み十分のときはラッチ回路 L A T (C) のデータが“1”に変わる。次に、Yセクタ233を順次切り替えて、上記と同様の動作が繰り返される。

10

【0144】

このようにして、全てのデータ記憶回路のデータがハイレベルになるまでこのプログラム動作とベリファイ動作が繰り返される。

(リード動作)

(第1ページのリード)

リード動作において、まず、プログラムベリファイと同様に、ビット線にメモリセルの閾値電圧に応じた電位を出力させる。第1ページのリードは第1ページのベリファイと同様に、図25に示す7個の差動アンプのうち、差動アンプ D F A 1 のみを使用する。このため、信号 E N 1 はハイレベルとされ、ノア回路 2 5 1 b、2 5 1 d、2 5 1 f の出力信をローレベルに固定される。次に、図26、図31、図32に示すように、差動アンプ D F A 1 の非反転入力端にリファレンス電位として d を供給する。ここで、Yセクタ233により選択された1つのデータ記憶回路が差動アンプ部231及びロジック回路232に接続される。リード中であるため、V e r i f y B はハイレベルとされ、データ記憶回路のラッチ回路 L A T (C) に記憶されているデータ(不定)はロジック回路232に供給されない。

20

【0145】

図34(a)は第1ページのリード動作を示している。ビット線に読み出された電位がリファレンス電位 d より低い時(メモリセルのデータが“4”、“5”、“6”、“7”の時)、差動アンプ D F A 1 の出力信号はハイレベルとなる。このため、ラッチ回路 L A T (D) の出力端にはハイレベルがラッチされる。

30

【0146】

ビット線に読み出された電位がリファレンス電位 d' より高い時(メモリセルのデータが“0”、“1”、“2”、“3”の時)、差動アンプ D F A 1 の出力信号はローレベルとなる。このため、ラッチ回路 L A T (D) の出力端にはローレベルがラッチされる。

【0147】

ラッチ回路 L A T (D) にラッチされたデータはデータ記憶回路へ供給される。この時、図30に示すように、信号 S P B がハイレベルとされ、図24に示すトランジスタ 2 4 1 o を介して、ラッチ回路 L A T (D) からのデータがラッチ回路 L A T (C) に供給される。次に、Yセクタ233を切り替え、上記一連の動作を順次行なう。この時、セルのデータはビット線に読み出されているため、Yセクタ233によりデータ記憶回路を切り替え、差動アンプ部231とロジック回路232を動作するだけで良い。このようにしてYセクタ233を切り替えて同様の動作を行うことにより、全てのデータ記憶回路に第1ページ時のデータが記憶される。

40

【0148】

図28に示すように、メモリセルのデータとメモリセルの閾値を定義しているため、ラッチ回路 L A T (C) にはメモリセルのデータが“0”、“1”、“2”、“3”であるとローレベルが記憶され、“4”、“5”、“6”、“7”であるとハイレベルが記憶され

50

る。しかし、ラッチ回路LAT(C)に記憶されたデータはクロックインバータ回路241pを介してデータ入出力バッファ4に出力される。このため、データ入出力バッファ4にはメモリセルのデータが“0”、“1”、“2”、“3”であるとデータ“1”が供給され、メモリセルのデータが“4”、“5”、“6”、“7”であるとデータ“0”が供給される。

(第2ページのリード)

第2ページのリードは第1ページのリードと同様に、まず、ビット線にメモリセルの閾値電圧に応じた電位を出力させる。第2ページのベリファイは、7個の差動アンプのうち、差動アンプDFA1~DFA3を使用する。このため、信号EN2をハイレベルとすることにより、ノア回路251b、251d、251fの出力信号をローレベルに固定する。次に、図26、図31、図32に示すように、差動アンプの非反転入力端にリファレンスとしてf、b、dを供給する。ここで、Yセクタ233により選択された1つのデータ記憶回路が、差動アンプ部231及びロジック回路232に接続される。リード中であるため、信号VerifyBはハイレベルとされ、ラッチ回路LAT(C)に記憶されたデータはロジック回路232に供給されない。

【0149】

図34(b)は第2ページのリード動作を示している。ビット線に読み出された電位がリファレンス電位fより低い時(メモリセルのデータが“6”、“7”の時)、差動アンプDFA1の出力信号がハイレベルとなる。このため、ロジック回路232のラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

【0150】

ビット線に読み出された電位がリファレンス電位dより低く、fより高い時(メモリセルのデータが“4”、“5”の時)、差動アンプDFA3の出力信号はハイレベルとなる。また、差動アンプDFA2の出力信号もハイレベルであるのでラッチ回路LAT(D)にはローレベルがラッチされる。

【0151】

ビット線に読み出された電位がリファレンス電位bより低く、dより高い時(メモリセルのデータが“2”、“3”の時)、差動アンプDFA3の出力信号はハイレベルとなる。このため、ラッチ回路LAT(D)にはハイレベルがラッチされる。

【0152】

ビット線に読み出された電位がリファレンス電位bより高い時(メモリセルのデータが“0”、“1”の時)、差動アンプDFA1~DFA7の出力信号が全てローレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0153】

ロジック回路232のラッチ回路LAT(D)にデータをラッチした後の動作は、第1ページのリードと同様である。この結果、データ記憶回路のラッチ回路LAT(C)には、メモリセルのデータが“0”、“1”、“4”、“5”であると、ローレベルが記憶され、メモリセルのデータが“2”、“3”、“6”、“7”であるとハイレベルが記憶される。ラッチ回路LAT(C)に記憶されたデータはクロックインバータ回路241pを介してデータ入出力バッファ4に供給される。このため、データ入出力バッファ4にはメモリセルのデータが“0”、“1”、“4”、“5”であるとデータ“1”が供給され、メモリセルのデータが“2”、“3”、“6”、“7”であるとデータ“0”が供給される。

(第3ページのリード)

第3ページのリードは、第1、第2ページのリードと同様に、まず、ビット線にメモリセルの閾値電圧に応じた電位を出力させる。第3ページのベリファイは、7個の差動アンプ全てを使用する。各差動アンプDFA1~DFA7の非反転入力端にはリファレンス電位としてg、f、e、d、c、b、aを供給する。ここで、Yセクタ233により選択された1つのデータ記憶回路が、差動アンプ部231及びロジック回路232に接続される。リード中であるため、VerifyBはハイレベルとされ、データ記憶回路のラッチ回

路LAT(C)に記憶されたデータ(不定)はロジック回路232に供給されない。

【0154】

図34(c)は第3ページのリード動作を示している。ビット線に読み出された電位がリファレンス電位gより低い時(メモリセルのデータが“7”の時)、差動アンプDFA1の出力信号がハイレベルとなる。このため、ロジック回路232のラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

【0155】

ビット線に読み出された電位がリファレンス電位fより低く、gより高い時(メモリセルのデータが“6”の時)、差動アンプDFA3の出力信号はハイレベルとなるが、差動アンプDFA2の出力信号もハイレベルであるのでラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

10

【0156】

ビット線に読み出された電位がリファレンス電位eより低く、fより高い時(メモリセルのデータが“5”の時)、差動アンプDFA3の出力信号はハイレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

【0157】

ビット線に読み出された電位がリファレンス電位dより低く、eより高い時(メモリセルのデータが“4”の時)、差動アンプDFA5の出力信号はハイレベルとなるが、差動アンプDFA4の出力信号もハイレベルであるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

20

【0158】

ビット線に読み出された電位がリファレンス電位cより低く、dより高い時(メモリセルのデータが“3”の時)、差動アンプDFA5の出力信号はハイレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

【0159】

ビット線に読み出された電位がリファレンス電位bより低く、cより高い時(メモリセルのデータが“2”の時)、差動アンプDFA7の出力信号はハイレベルとなるが、差動アンプDFA6の出力信号もハイレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0160】

ビット線に読み出された電位がリファレンス電位aより低く、bより高い時(メモリセルのデータが“1”の時)、差動アンプDFA7はハイレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

30

【0161】

ビット線に読み出された電位がリファレンス電位aより高い時(メモリセルのデータが“0”の時)、差動アンプDFA1~DFA7の出力信号が全てローレベルであるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

【0162】

ロジック回路のラッチ回路LAT(D)にデータをラッチした後の動作は、第1、第2ページのリードと同様である。この結果、データ記憶回路のラッチ回路LAT(C)には、メモリセルのデータが“0”、“2”、“4”、“6”であるとローレベルが記憶され、メモリセルのデータが“1”、“3”、“5”、“7”であるとハイレベルが記憶される。ラッチ回路LAT(C)に記憶されたデータはクロックインバータ回路241pを介してデータ入出力バッファ4に供給される。このため、データ入出力バッファ4にはメモリセルのデータが“0”、“2”、“4”、“6”であるとデータ“1”が供給され、メモリセルのデータが“1”、“3”、“5”、“7”であるとデータ“0”が供給される。

40

(イレーズ及びイレーズベリファイ動作)

(イレーズ)

イレーズ動作は、第1の実施の形態と同様である。まず、アドレスを指定し、図22に示

50

す1つのブロックを選択する。

【0163】

図35に示すシーケンスに従ってイレーズ動作を行なうと、メモリセルのデータは全て“0”となり、第1ページ、第2ページ、第3ページ何れでリードを行なってもデータ“1”が出力される。

(イレーズベリファイ)

イレーズベリファイ動作は、1回の動作で、データ記憶回路に接続されている2本のビット線(BLi、BLi+1)のうち1本のビット線(BLi)についてイレーズベリファイ動作を行い、この結果を図24に示す、データ記憶回路のラッチ回路LAT(C)に記憶する。このイレーズベリファイ動作は、リード動作と殆ど同様であるが、1つのブロック内の全てのセルについて行なうため、選択されているブロック内の全てのワード線を選択状態、すなわち、接地電位VSSとする。

10

【0164】

次に、図30に示すように、プログラムベリファイ及びリードと同様に、ビット線にメモリセルの閾値電圧に応じた電位を出力させる。イレーズベリファイは第1ページのベリファイ及びリードと同様に、図25に示す7個の差動アンプのうち、差動アンプDFA1のみを使用する。このため、信号EN1をハイレベルとすることにより、ノア回路251b、251d、251fの出力信号をローレベルに固定する。

【0165】

次に、図31、図32に示すように、差動アンプDFA1の非反転入力端にリファレンス電位としてイレーズベリファイ電位(4.0V)を供給する。ここで、Yセクタにより選択された1つのデータ記憶回路が差動アンプ部231及びロジック回路232に接続される。1回目のイレーズベリファイにおいて、VerifyBはハイレベルとされ、データ記憶回路のラッチ回路LAT(C)に記憶されているデータ(不定)はロジック回路232に供給されない。

20

【0166】

ビット線に読み出された電位がリファレンス電位より低い時(イレーズが十分に行われていない時)、差動アンプDFA1の出力信号はハイレベルとなるため、ラッチ回路LAT(D)の出力端にはハイレベルがラッチされる。

【0167】

ビット線に読み出された電位がリファレンス電位より高い時(イレーズが十分に行われている時)、差動アンプDFA1の出力信号はローレベルとなるため、ラッチ回路LAT(D)の出力端にはローレベルがラッチされる。

30

【0168】

ロジック回路232のラッチ回路LAT(D)にラッチされたデータは、図24のトランジスタ241oを介してデータ記憶回路のラッチ回路LAT(C)に転送され記憶される。次に、セレクト信号YA0~YA7に応じてYセクタ233を切り替えて上記一連の動作を行なう。この時、セルのデータは既にビット線に読み出されているため、Yセクタ233を切り替え、差動アンプ部231とロジック回路232を動作するだけで良い。このようにしてYセクタ233を切り替えて同じ動作を行い、全てのデータ記憶回路に第1ページのセルのデータが記憶される。

40

【0169】

図28に示すように、メモリセルのデータとメモリセルの閾値電圧を定義しているため、ラッチ回路LAT(C)にはイレーズが十分に行なわれているとローレベルが記憶され、イレーズが不十分だとハイレベルが記憶される。

【0170】

上記動作の後、ビット線(BLi+1)について、上記と全く同じ動作を行なう。この時、ロジック回路232のVerifyBをローレベルとする。このようにすると、前記1回目のイレーズベリファイにおいて、ベリファイが不良であると、ラッチ回路LAT(C)のノードNAがハイレベルとなっているため、2回目のイレーズベリファイの結果にか

50

かわらずラッチ回路LAT(C)にはハイレベルがラッチされる。つまり、ラッチ回路LAT(C)にハイレベルがラッチされるのは、ビット線(BLi、BLi+1)の何れかがイレズベリファイにおいて、不良である時である。したがって、全てのラッチ回路LAT(C)のデータがローレベルになるまで、イレズ、イレズベリファイ動作が繰り返される。

【0171】

上記第2の実施の形態においても、第1の実施の形態と同様に、記憶するデータの数が増加した場合においてもラッチ回路の増加を防止できる。しかも、差動アンプ部231及びロジック回路232は、複数のデータ記憶回路につき1つずつ配置し、Yセクタにより時分割で、データ記憶回路に接続している。したがって、面積の大きな差動アンプ部231及びロジック回路232の数を削減できるため、チップサイズの増大を抑制することができる。

10

【0172】

また、第1の実施の形態において、第nページのプログラムベリファイ及びリード動作の際、ワード線をハイレベルとしてセルのデータを読みラッチする動作を、 2^n 回行なわなくてはならない。しかし、第2の実施の形態の場合、差動アンプを用いて一括してメモリセルの閾値電圧を判断しているため、nが大きくなっても、差動アンプの数を増やすだけで、プログラムベリファイ及びリード時間が増大することを防止できる。

【0173】

<参考例>

第1の実施の形態では、第nページ時のリード動作を行なう際、 $(2^n - 1)$ 回ワード線のレベルを換えてリード動作を行なう必要がある。これに対して、参考例はリード動作回数を低減可能としている。すなわち、参考例では、第(n-1)ページ書き込み後、第nページ書き込みを行なう場合、外部から入力されるデータをそのまま書き込まず、この外部より入力されるデータと内部に既に書き込まれているデータとの間で、論理を取った値を書き込む。このようにして記憶すると第nページ時のリード動作では、 $(2^n - 1)$ 回ワード線のレベルを換えてリード動作を行なう必要がなく、 $(2^n / 2)$ 回で読み出すことが可能となる。例えば8値の例の場合、第3ページのリードは第1の実施の形態では7回リード動作を行なっているが、参考例では、4回で読み出しが可能となる。

20

【0174】

以下、参考例について説明する。参考例において、回路構成は第1の実施の形態と全く同じである。

30

【0175】

図7、図36に示すように、メモリセルのデータとメモリセルの閾値を定義する。ここで、メモリセルのデータ“0”～“7”は、メモリセルの閾値の低いほうから高い方へと定義されている。また、本メモリは、多値メモリであるため、1セルに3ビットのデータを記憶することができる。この3ビットの切り替えはアドレス(第1ページ、第2ページ、第3ページ)によって行なう。このように定義すると、アドレスに第1ページを指定すると、メモリセルのデータが“0”～“3”であると“1”データ、メモリセルのデータが“4”～“7”であると“0”データとなる。次にアドレスに第2ページを指定すると、メモリセルのデータが“0”、“1”、“6”、“7”であると“1”データ、メモリセルのデータが“2”～“5”であると“0”データとなる。したがって、第2ページでは、メモリセルのデータが“1”以下か、“2”以上かの判断とメモリセルのデータが“5”以下か、“6”以上かの判断の2回の動作で判断することができる。アドレスに第3ページを指定すると、メモリセルのデータが“0”、“3”、“4”、“7”であると“1”データ、メモリセルのデータが“1”、“2”、“5”、“6”であると“0”データとなる。したがって、第3ページでは、メモリセルのデータが“0”以下か、“1”以上かの判断、メモリセルのデータが“2”以下か、“3”以上かの判断、メモリセルのデータが“4”以下か、“5”以上かの判断、メモリセルのデータが“6”以下か、“7”以上かの判断、の4回の動作で判断することができる。

40

50

【 0 1 7 6 】

消去動作を行なうとメモリセルのデータは“ 0 ”になり、アドレスに第 1、第 2、第 3 ページの何れを指定しても読み出されるデータは“ 1 ”となる。

(セル選択方法)

リード動作、プログラムベリファイ動作及びプログラム動作時では、図 3 に示すデータ記憶回路 3 1 0 ~ 3 1 2 1 1 1 に接続されている 2 本のビット線 (B L i、B L i + 1) のうち外部より指定されたアドレスにより 1 本のビット線が選択される。さらに、外部アドレスにより、1 本のワード線が選択され、図 3 に点線で示す 3 ページが選択される。この 3 ページの切り替えはアドレスによって行われる。

【 0 1 7 7 】

イレーズ動作は、前述したように、ブロック単位で行う。また、データ記憶回路 3 1 0 ~ 3 1 2 1 1 1 に接続されている 2 本のビット線 (B L i、B L i + 1) について同時に行う。

【 0 1 7 8 】

イレーズベリファイ動作は、1 回の動作で、データ記憶回路 3 1 0 ~ 3 1 2 1 1 1 に接続されている 2 本のビット線 (B L i、B L i + 1) のうち 1 本のビット線 (B L i) について行われ、この結果は図 6 のラッチ回路 L A T (A) に記憶される。次に、他方のビット線 (B L i + 1) についてベリファイ動作が行なわれ、この結果と前のベリファイリードの結果の和がラッチ回路 L A T (A) に記憶される。

(プログラム及びプログラムベリファイ)

(第 1 ページのプログラム)

プログラム動作は、先ずアドレスを指定し、図 3 に示す 3 ページを選択する。このメモリは、この 3 ページのうち、第 1 ページ、第 2 ページ、第 3 ページの順でしか、プログラム動作をできない。したがって、初めにアドレスに応じて第 1 ページを選択する。

【 0 1 7 9 】

次に、書き込むべきデータ (読み出されるデータ) を、外部より入力し全てのデータ記憶回路 3 1 0 ~ 3 1 2 1 1 1 内のラッチ回路 L A T (A) に記憶する。第 1 ページのプログラムは第 1 の実施の形態と全く同じであり、ラッチ回路 L A T (A) のデータが“ 1 ”であると書き込みを行わず、メモリセルのデータを“ 0 ”のままとし、ラッチ回路 L A T (A) のデータが“ 0 ”であると書き込みを行ない、メモリセルのデータを“ 4 ”にする

(第 2 ページのプログラム)

第 2 ページのプログラムも第 1 ページのプログラムと全く同様に、次に書き込むべきデータ (読み出されるデータ) を、外部より入力し、全てのデータ記憶回路 3 1 0 ~ 3 1 2 1 1 1 のラッチ回路 L A T (A) に記憶する。次に、第 1 ページのプログラムでメモリセルのデータが“ 0 ”となっている場合で、外部より入力されたデータが“ 1 ”である場合は、書き込みを行わず、外部より入力されたデータが“ 0 ”である場合、書き込みを行ないメモリセルのデータを“ 2 ”にする。第 1 ページのプログラムでメモリセルのデータが“ 4 ”になっている場合で、外部より入力されたデータが“ 1 ”である場合は、書き込みを行いメモリセルのデータを“ 6 ”とし、外部より入力されたデータが“ 0 ”である場合、書き込みを行わずメモリセルのデータを“ 4 ”のままにしなくてはならない。しかし、ラッチ回路 L A T (A) のデータが“ 0 ”であると書き込みが行われてしまうため、メモリセルの状態が“ 4 ”である場合、ラッチ回路 L A T (A) に記憶されているデータの“ 1 ”と“ 0 ”を反転させなくてはならない。

(内部入力データ変換)

第 1 ページのプログラムでメモリセルのデータが“ 0 ”か、メモリセルのデータが“ 4 ”になっているかを調べるため、選択されているワード線に図 7 に示すリード時の電位 d を印加してリード動作を行い、この結果をラッチ回路 L A T (B) に記憶させる。ここで、ラッチ回路 L A T (B) には、メモリセルのデータが“ 0 ”の場合ローレベルが記憶され、メモリセルのデータが“ 4 ”の場合、ハイレベルが記憶される。

10

20

30

40

50

【 0 1 8 0 】

ここで、ビット線はラッチ回路LAT(B)と同じデータのレベルである。図6に示す電圧VREGを接地電位VSSとし、信号VRFY1をハイレベルにすると、ラッチ回路LAT(A)がハイレベルになっている時、ビット線のデータがローレベルになる。次に、信号BLSAを接地電位VSSとしてビット線からデータ記憶回路を切離す。電圧VREGを接地電位VSS、信号VRFY2及び信号BLC1をハイレベルにすると、ラッチ回路LAT(B)にハイレベルが記憶されている場合、ラッチ回路LAT(A)のデータは強制的にローレベルとなる。再び信号BLSAをハイレベルにしてビット線をデータ記憶回路に接続し、電圧VREGをハイレベル、信号VRFY1をハイレベルにすると、ラッチ回路LAT(A)がハイレベルの時、ビット線がハイレベルになる。ここで、ビット線のデータをラッチ回路LAT(A)に取り込む。この結果、図37に示すように、メモリセルのデータが“0”であり、外部より“1”データが入力された場合、ラッチ回路LAT(A)はハイレベルとなり、外部より“0”データが入力された場合、ラッチ回路LAT(A)はローレベルとなる。メモリセルのデータが“4”であり、外部より“1”データが入力された場合、ラッチ回路LAT(A)はローレベルとなり、外部より“0”データが入力された場合、ラッチ回路LAT(A)はハイレベルとなり、この状態で書き込みを行なうとメモリセルにデータ“2”、“6”がそれぞれ書き込まれる。この後の、プログラム及びベリファイ方法は、第1の実施の形態と全く同じである。

(第3ページのプログラム)

第3ページのプログラムも第1ページ、第2ページのプログラムと全く同様に、次に、書き込むべきデータ(読み出されるデータ)を、外部より入力し、全てのデータ記憶回路310~312112のラッチ回路LAT(A)に記憶する。次に、第1、2ページのプログラムでメモリセルのデータが“0”になっている場合で、外部より入力されたデータが“1”である場合、書き込みを行なわず、外部より入力されたデータが“0”である場合、書き込みを行ないメモリセルのデータを“1”とする。第1、2ページのプログラムでメモリセルのデータが“2”になっている場合で、外部より入力されたデータが“1”である場合、書き込みを行いメモリセルのデータを“3”にし、外部より入力されたデータが“0”である場合、書き込みを行なわずメモリセルのデータを“2”のままにしないで

【 0 1 8 1 】

第1及び2ページのプログラムにおいて、メモリセルのデータが“4”になっている場合で、外部より入力されたデータが“1”である場合、書き込みを行なわない。また、外部より入力されたデータが“0”である場合、書き込みを行ないメモリセルのデータを“5”にする。第1及び2ページのプログラムでメモリセルのデータが“6”になっている場合で、外部より入力されたデータが“1”である場合、書き込みを行いメモリセルのデータを“7”とし、外部より入力されたデータが“0”である場合、書き込みを行なわずメモリセルのデータを“6”のままにしないで。しかし、ラッチ回路LAT(A)のデータが“0”であると書き込みが行われてしまう。このため、メモリセルの状態が“2”、“6”にある場合、ラッチ回路LAT(A)に記憶されているデータの“1”と“0”を反転させなくてはならない。

(内部入力データ変換)

第1及び2ページのプログラムでメモリセルのデータがどの状態となっているかを調べるため、選択されているワード線に図7に示すリード時の電位fを印加してリード動作を行い。その結果をラッチ回路LAT(B)に記憶する。ここで、ラッチ回路LAT(B)には、メモリセルのデータが“0”、“2”、“4”の場合ローレベルが記憶され、メモリセルのデータが“6”の場合ハイレベルが記憶される。次に、ワード線にリード時の電位dを与えリード動作を行い、ビット線にデータを読み出す。ここで、ラッチ回路LAT(B)がハイレベルの場合、強制的に、ビット線をローレベルとし、この結果をラッチ回路LAT(B)に記憶させる。この場合、ラッチ回路LAT(B)には、メモリセルのデータが“0”、“2”、“6”の場合ローレベルが記憶され、メモリセルのデータが“4”

の場合ハイレベルが記憶される。次に、ワード線にリードの時の電位 b を印加してリード動作を行い、ビット線にデータを読み出す。ここで、ラッチ回路 $L A T (B)$ がハイレベルの場合、強制的にビット線をローレベルとし、この結果をラッチ回路 $L A T (B)$ に記憶させる。この場合、ラッチ回路 $L A T (B)$ には、メモリセルのデータが “ 0 ” , “ 4 ” の場合ローレベルが記憶され、メモリセルのデータが “ 2 ” , “ 6 ” の場合ハイレベルが記憶される。

【 0 1 8 2 】

ここで、ビット線にはラッチ回路 $L A T (B)$ と同じデータのレベルである。図 6 に示す電圧 $V R E G$ を接地電位 $V S S$ とし、信号 $V R F Y 1$ をハイレベルにすると、ラッチ回路 $L A T (A)$ がハイレベルになっている時、ビット線のデータがローレベルとなる。次に、信号 $B L S A$ を接地電位 $V S S$ としてビット線からデータ記憶回路 $3 1 0 \sim 3 1 2 1 1 2$ を切離す。電圧 $V R E G$ を接地電位 $V S S$ 、信号 $V R F Y 2$ を $B L C 1$ をハイレベルにするとラッチ回路 $L A T (B)$ にハイレベルが記憶されている場合、ラッチ回路 $L A T (A)$ のデータは強制的にローレベルとなる。再び信号 $B L S A$ をハイレベルにしてビット線をデータ記憶回路 $3 1 0 \sim 3 1 2 1 1 2$ に接続し、電圧 $V R E G$ をハイレベル、信号 $V R F Y 1$ をハイレベルにすると、ラッチ回路 $L A T (A)$ がハイレベルの時、ビット線がハイレベルになる。ここで、ビット線のデータをラッチ回路 $L A T (A)$ に取り込む。

【 0 1 8 3 】

この結果、図 3 8 に示すように、メモリセルのデータが “ 0 ” であり、外部より “ 1 ” データが入力された場合、ラッチ回路 $L A T (A)$ はハイレベルとなり、外部より “ 0 ” データが入力された場合、ラッチ回路 $L A T (A)$ はローレベルとなる。メモリセルのデータが “ 2 ” にあり、外部より “ 1 ” データが入力された場合、ラッチ回路 $L A T (A)$ はローレベルとなり、外部より “ 0 ” データが入力された場合、ラッチ回路 $L A T (A)$ はハイレベルとなる。メモリセルのデータが “ 4 ” であり、外部より “ 1 ” データが入力された場合、ラッチ回路 $L A T (A)$ はハイレベルとなり、外部より “ 0 ” データが入力された場合、ラッチ回路 $L A T (A)$ はローレベルとなり、外部より “ 0 ” データが入力された場合、ラッチ回路 $L A T (A)$ はハイレベルとなる。この状態で書き込みを行なうと、メモリセルのデータが “ 1 ” , “ 3 ” , “ 5 ” , “ 7 ” にそれぞれ書き込まれる。ラッチ回路 $L A T (A)$ のデータが確定した後の、プログラム及びベリファイ方法は、第 1 の実施の形態と全く同じである。

(リード動作)

(第 1 ページのリード)

図 3 9 (a) は第 1 ページのリード動作を示している。図 3 6 に示すように、第 1 ページのリードで出力されるデータが “ 0 ” の場合、メモリセルのデータは “ 4 ” ~ “ 7 ” の範囲にあり、出力されるデータが “ 1 ” の場合、メモリセルのデータは “ 0 ” ~ “ 3 ” の範囲に存在する。このため、第 1 ページのリードは、選択されているワード線に、図 7 に示すリード時の電位 d を印加する。

【 0 1 8 4 】

次に、選択されているブロック内の非選択ワード線及びセレクト線 $S G 1$ に電位 $V r e a d (4 . 5 V)$ を供給し、図 6 に示すデータ記憶回路の信号 $b i a s$ をハイレベルとして、ビット線をプリチャージした後、セルのソース側のセレクト線 $S G 2$ をハイレベルにする。閾値が図 7 に示す電位 d より高い時、セルがオフするためビット線はハイレベルのままであり、閾値が電位 d に達していない場合セルがオンするため、ビット線は接地電位 $V S S$ となる。

【 0 1 8 5 】

図 3 9 (a) に示すように、メモリセルのデータとメモリセルの閾値を定義しているため、ビット線の電位は、メモリセルのデータが “ 0 ” , “ 1 ” , “ 2 ” , “ 3 ” であるとローレベル、 “ 4 ” , “ 5 ” , “ 6 ” , “ 7 ” であるとハイレベルとなる。

【 0 1 8 6 】

10

20

30

40

50

次に、これらビット線の電位をラッチ回路LAT(A)に読み込むと、ラッチ回路LAT(A)はメモリセルのデータが“0”、“1”、“2”、“3”であるとローレベル、“4”、“5”、“6”、“7”であるとハイレベルになる。しかし、ラッチ回路LAT(A)のデータを出力する時、図6に示すクロックインバータ回路61pの信号Osac、Osacbがイネーブルとなるためデータ記憶回路の出力端にはメモリセルのデータが“0”、“1”、“2”、“3”であると“1”データが出力され、“4”、“5”、“6”、“7”であると“0”データが出力される。以上は2値、第1の実施の形態の場合と全く同じ動作である。

(第2ページのリード)

図39(b)は第2ページのリード動作を示している。図36に示すように、第2ページのリードで出力されるデータが“0”の場合、メモリセルのデータは“2”、“3”、“4”、“5”の範囲にあり、出力されるデータが“1”の場合、メモリセルのデータは“0”、“1”、“6”、“7”の範囲に存在する。

10

【0187】

まず、メモリセルのデータが“0”～“5”にあるか、“6”、“7”にあるかを調べる。このため、ワード線の電位を図7に示すfとして、リード動作を実行し、この結果を、ラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“6”、“7”の場合だけである。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”、“1”、“2”、“3”、“4”、“5”の場合である。

20

【0188】

次に、メモリセルのデータが“0”～“3”にあるか、“4”～“7”にあるかを調べる。このため、ワード線の電位を図7に示すcとし、リード動作を行なう。ここで、ラッチ回路LAT(A)にハイレベルがラッチされている場合、ビット線を強制的にローレベルにする。この結果を、ラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“2”～“5”の場合である。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”、“1”、“6”、“7”の場合である。しかし、ラッチ回路LAT(A)のデータ出力する時、図6に示すクロックインバータ回路61pの信号Osac、Osacbがイネーブルとなる。このため、出力端にはメモリセルのデータが“0”、“1”、“6”、“7”であると“1”データが出力され、“2”～“5”であると“0”データが出力される。

30

【0189】

上記第1の実施の形態では、第2ページのリード時に、リード動作を3回行なっていた。これに対して、参考例では第2ページのリード動作が2回で終了する。したがって、第2ページのリード動作を高速化できる。

(第3ページのリード)

図40は第3ページのリード動作を示している。図36に示すように、第3ページのリードで出力されるデータが“0”の場合、メモリセルのデータは“1”、“2”、“5”、“6”の範囲にあり、出力されるデータが“1”の場合、メモリセルのデータは“0”、“3”、“4”、“7”の範囲に存在する。

40

【0190】

まず、メモリセルのデータが“0”～“6”にあるか、“7”にあるかを調べる。このため、ワード線の電位を図7に示す電位gとしてリード動作を実行し、この結果を、ラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“7”の場合だけである。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”、“1”、“2”、“3”、“4”、“5”、“6”である場合である。

【0191】

次に、メモリセルのデータが“0”～“4”にあるか、“5”～“7”にあるかを調べる

50

。このため、ワード線の電位を図7に示す電位eとしてリード動作を行なう。ここで、ラッチ回路LAT(A)にハイレベルがラッチされている場合、ビット線を強制的にローレベルとし、この結果をラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“5”、“6”の場合である。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”～“4”、“7”である場合である。

【0192】

次に、メモリセルのデータが“0”～“2”にあるか、“3”～“7”にあるかを調べる。このため、ワード線の電位を図7に示す電位cとしてリード動作を行なう。ここで、ラッチ回路LAT(A)にハイレベルがラッチされている場合、ビット線を強制的にローレベルとし、この結果をラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“3”、“4”、“7”の場合である。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”～“2”、“5”、“6”である場合である。

10

【0193】

次に、メモリセルのデータが“0”にあるか、“1”～“7”にあるかを調べる。このため、ワード線の電位を図7に示す電位aとしてリード動作を行なう。ここで、ラッチ回路LAT(A)にハイレベルがラッチされている場合、ビット線を強制的にローレベルとし、この結果をラッチ回路LAT(A)に記憶させる。ラッチ回路LAT(A)にハイレベルがラッチされるのは、メモリセルのデータが“1”、“2”、“5”、“6”の場合である。また、ラッチ回路LAT(A)にローレベルがラッチされる場合は、メモリセルのデータが“0”、“3”、“4”、“7”である場合である。

20

【0194】

ラッチ回路LAT(A)のデータ出力する時、図6に示すクロックインバータ回路61pの信号Osac、Osacbがイネーブルとなる。このため、出力端にはメモリセルのデータが“0”、“3”、“4”、“7”であると“1”データが出力され、“1”、“2”、“5”、“6”であると“0”データが出力される。

【0195】

上記第1の実施の形態では、第3ページのリードにおいて、リード動作を7回行なっていた。これに対して、参考例では第3ページのリード動作が4回で終了する。このため、第3ページのリード動作を高速化できる。

30

(イレーズ及びイレーズベリファイ)

イレーズ及びイレーズベリファイ動作は第1の実施の形態と全く同じである。すなわち、消去動作を行なうとメモリセルのデータは“0”となり、アドレスに第1、第2、第3ページの何れを指定しても読み出されるデータは“1”となる。

【0196】

上記参考例によれば、第(n-1)ページ書き込み後、第nページ書き込みを行なう場合、外部から入力されるデータをそのまま書き込まず、この外部より入力されるデータと内部に既に書き込まれているデータとの間で、論理を取った値を書き込んでいる。このため、第nページ時のリード動作では、 $(2^n - 1)$ 回ワード線のレベルを換えてリード動作を行なう必要がなく、 $(2^n / 2)$ 回で読み出すことが可能となる。したがって、リード動作回数を低減でき、リード動作を高速化できる。

40

【0197】

上記参考例では、図36に示すように外部から入力される書き込みデータ、及び読み出されるデータを定義したため、読み出し動作において、第1ページでは1回、第2ページでは2回、第3ページでは4回の合計7回のリード動作を行なったが、これに限定されるものではない。

【0198】

例えば図41に示すように、外部から入力される書き込みデータ及び読み出されるデータを定義した場合、読み出し動作において、第1ページは3回、第2ページは2回、第3ペ

50

ージは3回のリード動作を行えばよい。この場合、3ページを読むトータルの回数は、図36に示す場合の7回から8回に増加してしまう。しかし、最もアクセス時間の長い第3ページのリード動作を4回から3回とすることができるため、トータルのリード動作時間を短縮できる。

【0199】

尚、第1、第2の実施の形態及び参考例において、1セルには8値、3ビットのデータを記憶したが、1セルに16値、4ビットのデータを記憶することも可能である。この場合、第3ページで決めた8つの閾値電圧の間に1ずつ新たな閾値電圧を決め、上述したと同様のプログラム動作及びプログラムベリファイ動作を行えば良い。したがって、本発明は、セルに記憶するビット数が増加した場合においても、データ記憶回路及びこれを制御する動作を殆ど変更する必要がない利点を有している。

10

【0200】

また、第1、第2の実施の形態は、NAND型セルを用いたが、これに限定されるものではなく、NOR型セル、DINOR型セル等を用いることも可能である。

【0201】

その他、この発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0202】

【発明の効果】

以上、詳述したようにこの発明によれば、チップ内におけるラッチ回路が占める面積の増大を防止するとともに、書き込みベリファイに要する時間の増大を抑えることが可能な記憶装置とその記憶方法を提供できる。

20

【図面の簡単な説明】

【図1】 本発明の動作を概略的に示す図。

【図2】 本発明の第1の実施の形態を示すものであり、不揮発性半導体記憶装置の概略構成を示す構成図。

【図3】 図2に示すメモリセルアレイ及びビット線制御回路を示す回路図。

【図4】 図4(a)(b)はメモリセル及び選択トランジスタを示す断面図。

【図5】 NANDセルの一例を示す断面。

【図6】 本発明の第1の実施の形態を示すものであり、図3に示すデータ記憶回路の一例を示す回路図。

30

【図7】 本発明の第1の実施の形態を示すものであり、メモリセルのデータとメモリセルの閾値電圧との関係を示す図。

【図8】 メモリセルのデータとメモリセルの閾値電圧との関係を示す図。

【図9】 プログラム時の動作を示すタイミングチャート。

【図10】 最高値を有するセルのベリファイ動作を示すタイミングチャート。

【図11】 中間の閾値を持つセルのベリファイ動作を示すタイミングチャート。

【図12】 最高値を有するセルのリード動作を示すタイミングチャート。

【図13】 図13(a)は第1ページのプログラムベリファイ動作を示し、図13(b)(c)は第2ページのプログラムベリファイ動作を示す図。

40

【図14】 図14(a)(b)は第3ページの最も高い閾値を持つセルのプログラムベリファイ動作を示す図。

【図15】 図15(a)(b)は第3ページの中間の閾値を持つセルのプログラムベリファイ動作を示す図。

【図16】 図16(a)(b)は第3ページの中間の閾値を持つセルのプログラムベリファイ動作を示す図。

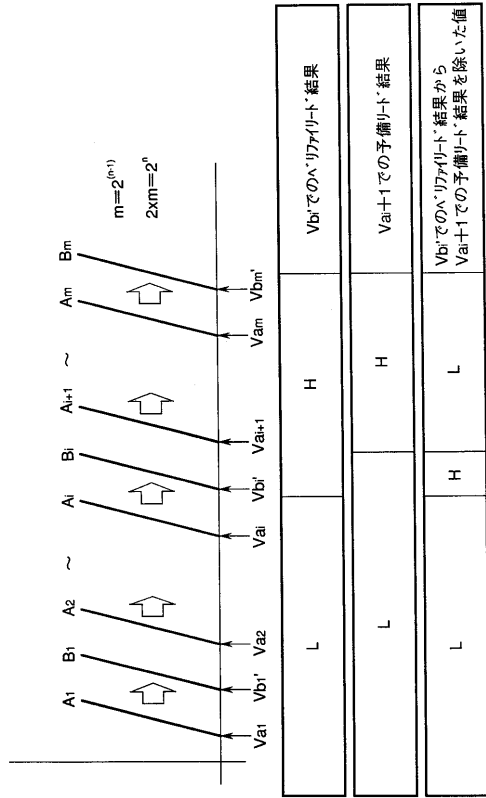
【図17】 図17(a)(b)は第3ページの中間の閾値を持つセルのプログラムベリファイ動作を示す図。

【図18】 図18(a)は第1ページのリード動作を示し、図18(b)(c)は第2ページのリード動作を示す図。

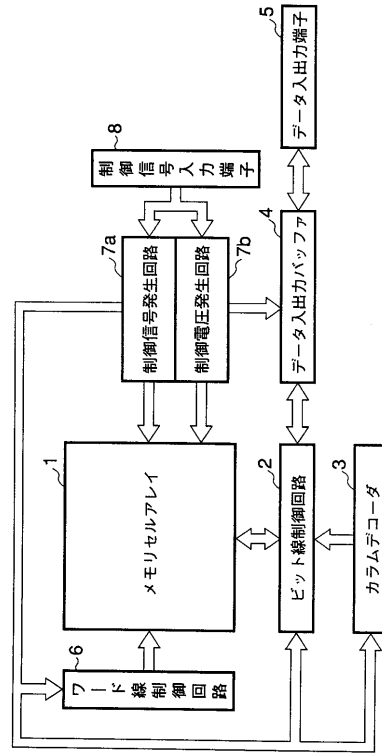
50

- 【図19】 図19(a)乃至(d)は第3ページのリード動作を示す図。
- 【図20】 イレーズ動作を示すタイミングチャート。
- 【図21】 イレーズベリファイ動作を示すタイミングチャート。
- 【図22】 本発明の第2の実施の形態を示すものであり、メモリセルアレイ及びビット線制御回路の構成を示す回路図。
- 【図23】 本発明の第2の実施の形態を示すものであり、データ記憶回路と差動アンプ部及びロジック回路を示す構成図。
- 【図24】 本発明の第2の実施の形態を示すものであり、図23に示すデータ記憶回路の一例を示す回路図。
- 【図25】 本発明の第2の実施の形態を示すものであり、図23に示す差動アンプ部及びロジック回路を示す回路図。 10
- 【図26】 差動アンプ部とリファレンス電位の関係を示す図。
- 【図27】 本発明の第2の実施の形態におけるデータと閾値電圧の関係を示す図。
- 【図28】 本発明の第2の実施の形態におけるデータと閾値電圧の関係を示す図。
- 【図29】 プログラム動作を示すタイミングチャート。
- 【図30】 プログラムベリファイ及びリードの動作を示すタイミングチャート。
- 【図31】 差動アンプに供給されるレファレンス電位を示す図。
- 【図32】 メモリセルのデータとレファレンス電位との関係を示す図。
- 【図33】 図33(a)(b)(c)はベリファイ動作を示す図。
- 【図34】 図34(a)(b)(c)はリード動作を示す図。 20
- 【図35】 イレーズ動作を示すタイミングチャート。
- 【図36】 本発明の参考例を示すものであり、メモリセルのデータとメモリセルの閾値電圧との関係を示す図。
- 【図37】 本発明の参考例における第2ページのプログラム動作を示す図。
- 【図38】 本発明の参考例における内部入力データ変換動作を示す図。
- 【図39】 図39(a)(b)はそれぞれ第1ページ、第2ページのリード動作を示す図。
- 【図40】 図40は第3ページのリード動作を示す図。
- 【図41】 本発明の参考例を示すものであり、メモリセルのデータとメモリセルの閾値電圧との他の関係を示す図。 30
- 【符号の説明】
- 1 ...メモリセルアレイ、
 - 2 ...ビット線制御回路、
 - 3 1 0、3 1 1 ~ 3 1 2 1 1 2 ...データ記憶回路、
 - 3 ...カラムデコーダ、
 - 4 ...データ入出力バッファ、
 - 6 ...ワード線制御回路、
 - 7 a ...制御信号発生回路、
 - 7 b ...制御電圧発生回路、
 - B L i、B L i + 1 ...ビット線、 40
 - L A T (A)、L A T (B) ...第1、第2のラッチ回路、
 - L A T (C)、L A T (D) ...ラッチ回路、
 - 2 3 1 ...差動アンプ部、
 - 2 3 2 ...ロジック回路、
 - 2 4 1 o ...トランジスタ、
 - 2 4 1 p ...クロックドインバータ回路、
 - 2 5 3 ...制御電圧発生回路、
 - D F A 1 ~ D F A 7 ...差動アンプ。

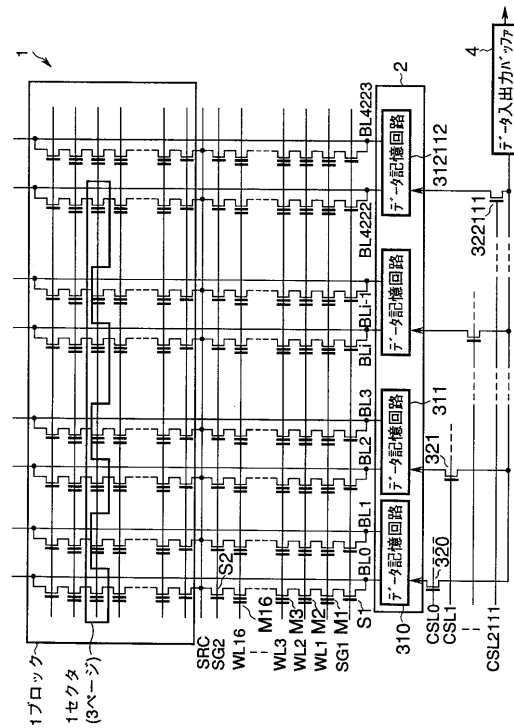
【 図 1 】



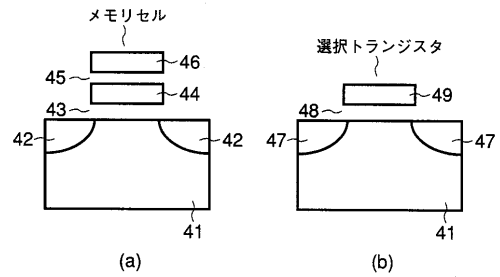
【 図 2 】



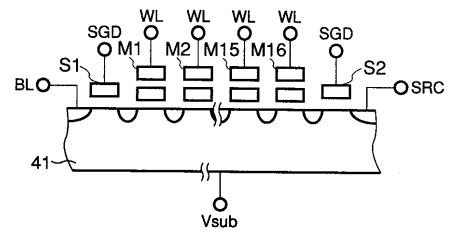
【 図 3 】



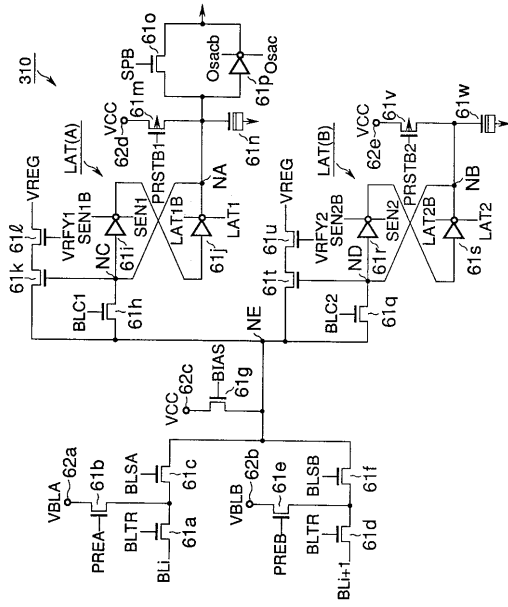
【 図 4 】



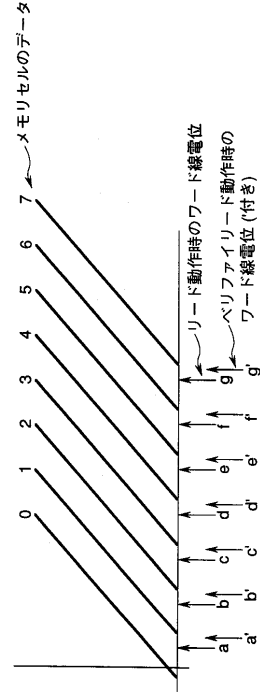
【 図 5 】



【 図 6 】



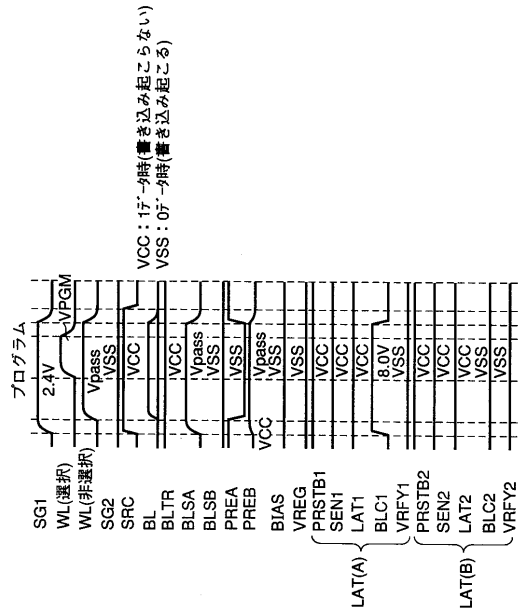
【 図 7 】



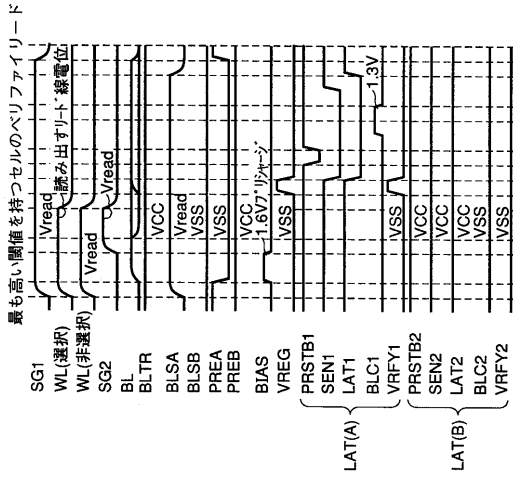
【 図 8 】

メモリスセルのデータ	メモリスセルのしきい値	書き込み及び読み出されるデータ		
		第1ページ	第2ページ	第3ページ
0	0V以下	1	1	1
1	0.3V~0.5V	1	1	0
2	0.8V~1.0V	1	0	1
3	1.3V~1.5V	1	0	0
4	1.8V~2.0V	0	1	1
5	2.3V~2.5V	0	1	0
6	2.8V~3.0V	0	0	1
7	3.3V~3.5V	0	0	0

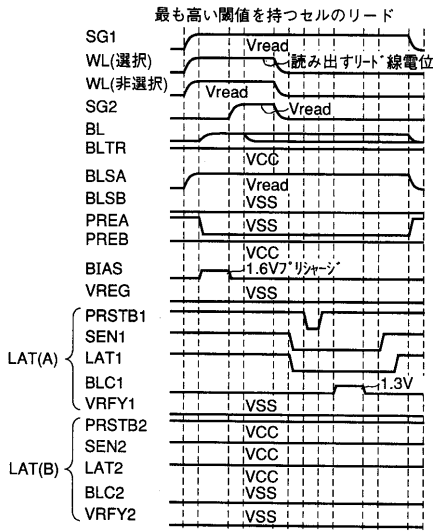
【 図 9 】



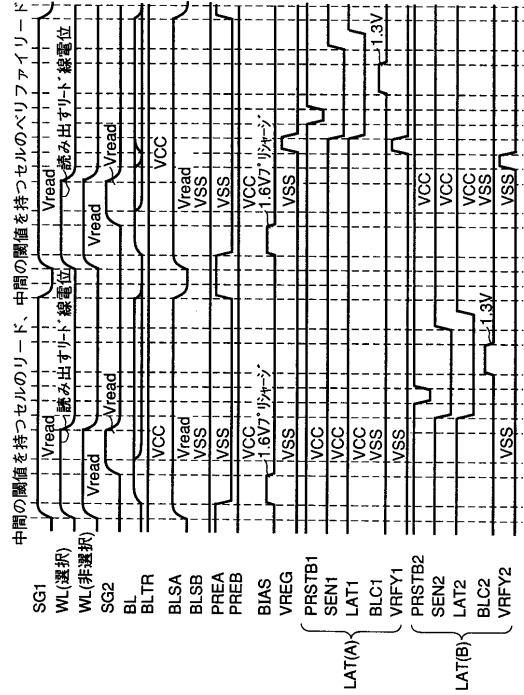
【図10】



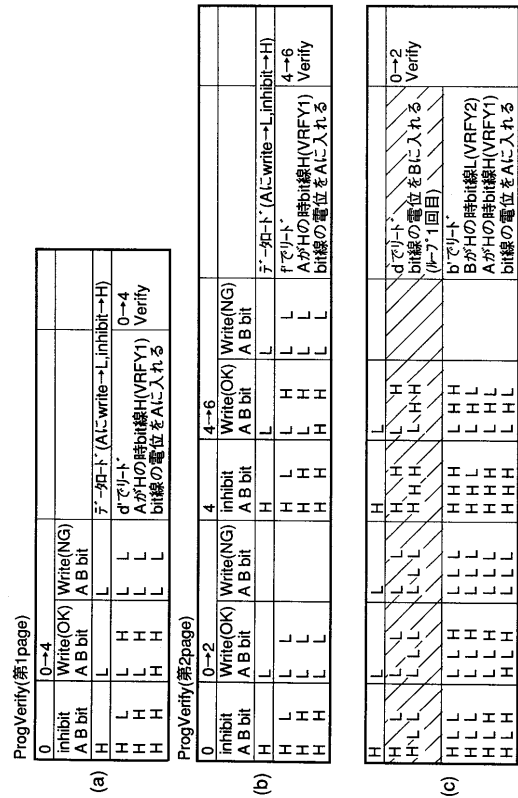
【図12】



【図11】



【図13】



【 図 1 4 】

ProgVerify(第3page)

0		0→1		2		2→3		4		4→5	
inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L

(a)

(b)

6		6→7	
inhibit	Write(OK) A B bit	Write(NG) A B bit	Verify
H	L	L	L
H	L	L	L
H	L	L	L
H	L	L	L

デ-アクト(Aにwrite→L,inhibit→H)
gでリト
AがHの時bit線H(VRFY1)
6→7
Verify
bit線の電位をAに入れる

【 図 1 5 】

ProgVerify(第3page)

0		0→1		2		2→3		4		4→5	
inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L

(a)

(b)

6		6→7		4→5	
inhibit	Write(OK) A B bit	Write(NG) A B bit	Verify	inhibit	Verify
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L

fでリト
bit線の電位をBに入れる
eでリト
BがHの時bit線L(VRFY2)
AがHの時bit線H(VRFY1)
bit線の電位をAに入れる

【 図 1 6 】

ProgVerify(第3page)

0		0→1		2		2→3		4		4→5	
inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L

(a)

(b)

6		6→7		2→3	
inhibit	Write(OK) A B bit	Write(NG) A B bit	Verify	inhibit	Verify
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L

dでリト
bit線の電位をBに入れる
cでリト
BがHの時bit線L(VRFY2)
AがHの時bit線H(VRFY1)
bit線の電位をAに入れる

【 図 1 7 】

ProgVerify(第3page)

0		0→1		2		2→3		4		4→5	
inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit	inhibit	Write(OK) A B bit	Write(NG) A B bit
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L

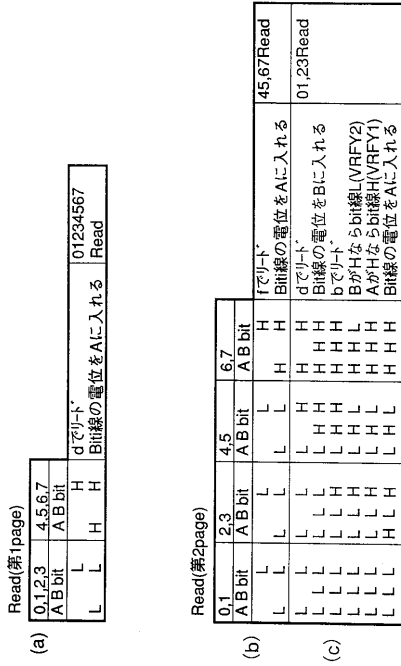
(a)

(b)

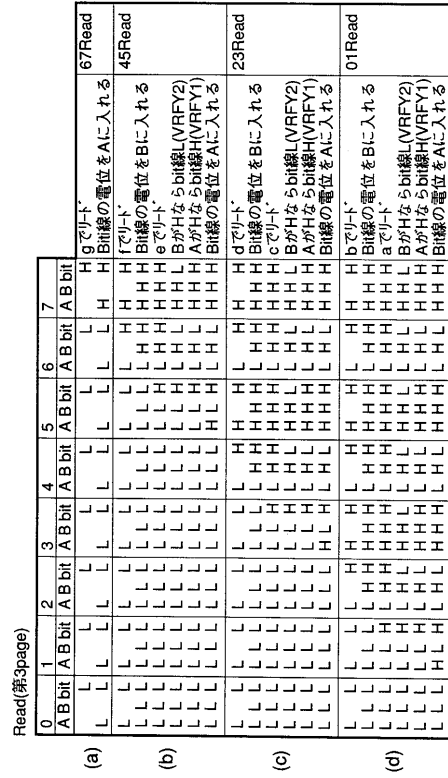
6		6→7		0→1	
inhibit	Write(OK) A B bit	Write(NG) A B bit	Verify	inhibit	Verify
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L
H	L	L	L	L	L

bでリト
bit線の電位をBに入れる
aでリト
BがHの時bit線L(VRFY2)
AがHの時bit線H(VRFY1)
bit線の電位をAに入れる

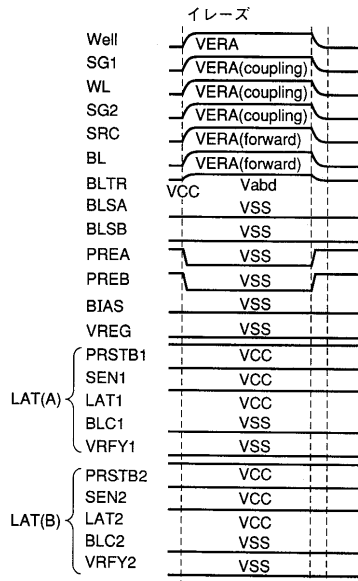
【 図 1 8 】



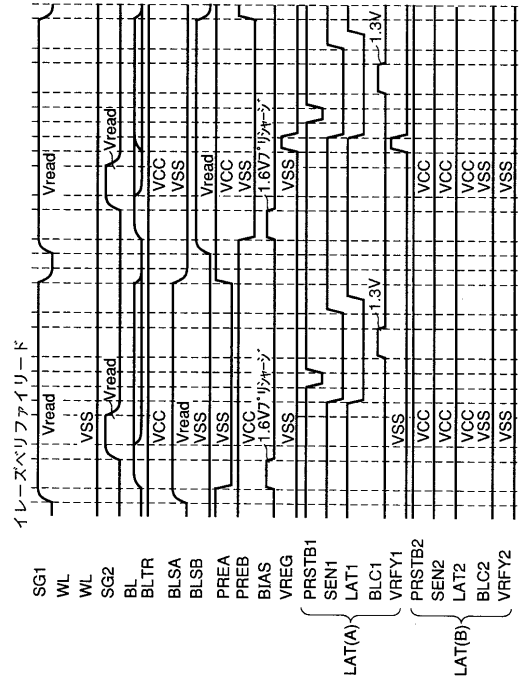
【 図 1 9 】



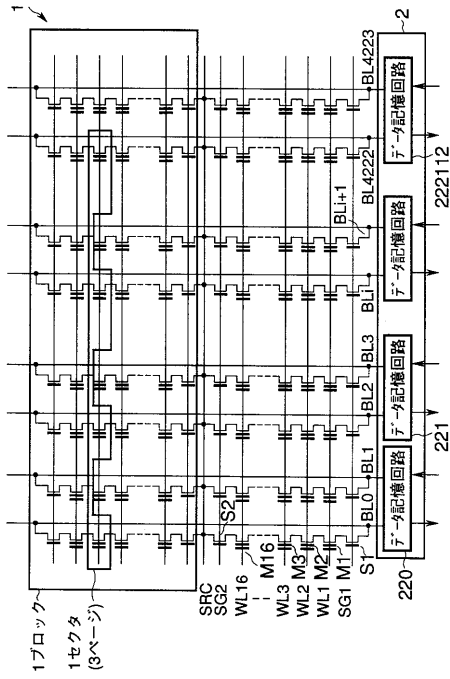
【 図 2 0 】



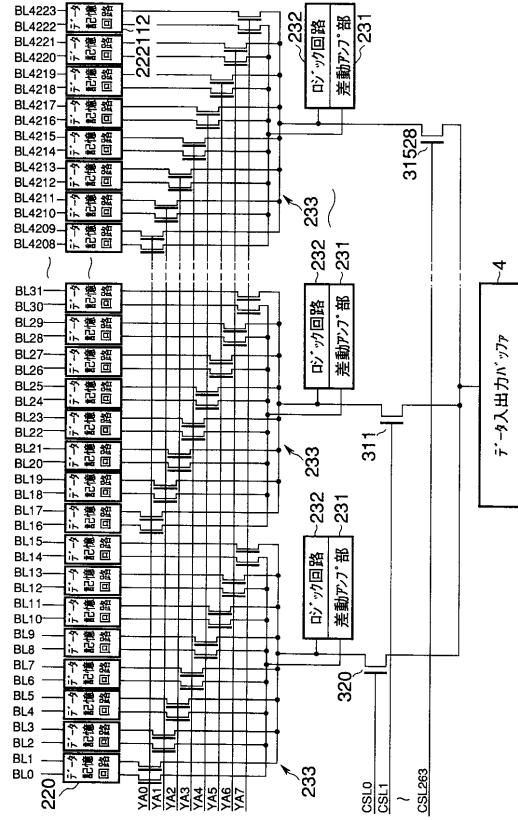
【 図 2 1 】



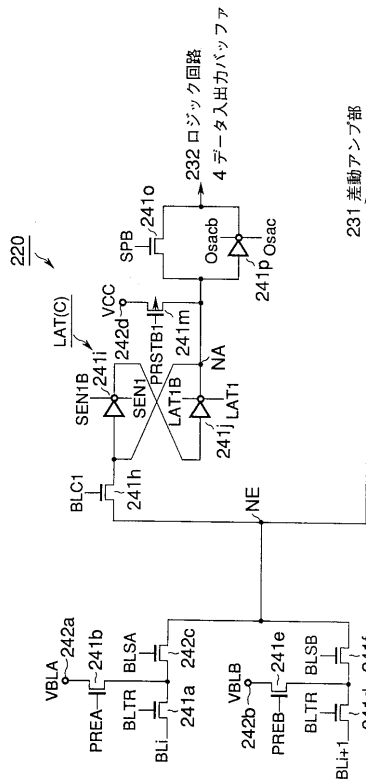
【図22】



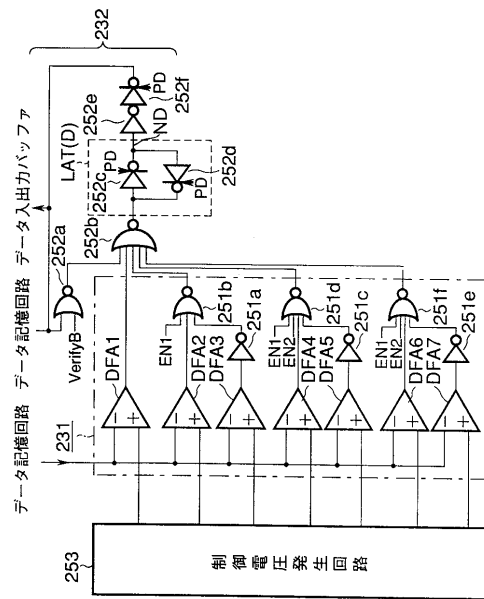
【図23】



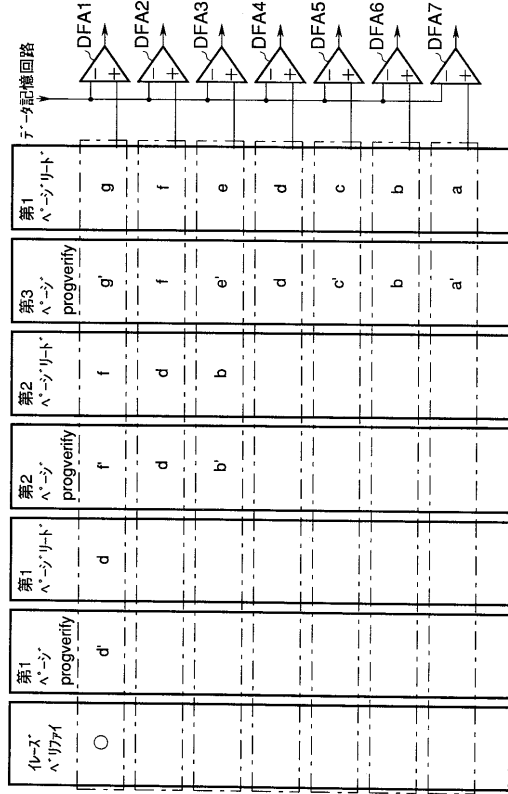
【図24】



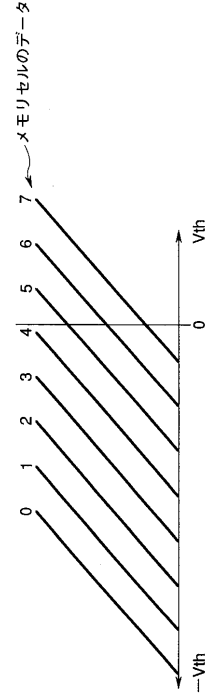
【図25】



【 図 2 6 】



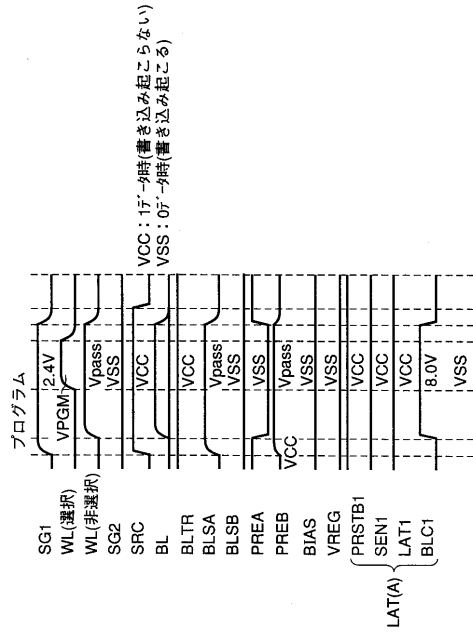
【 図 2 7 】



【 図 2 8 】

メモリセルのデータ	メモリセルのしきい値	ビット線に読み出される電圧		書き込み及び読み出されるデータ		
		第1ページ	第2ページ	第3ページ	第1ページ	第2ページ
0	-3.8V以下	3.8V~4.0V	3.8V~4.0V	1	1	1
1	-3.5V~-3.3V	3.3V~3.5V	3.3V~3.5V	1	1	0
2	-3.0V~-2.8V	2.8V~3.0V	2.8V~3.0V	1	0	1
3	-2.5V~-2.3V	2.3V~2.5V	2.3V~2.5V	1	0	0
4	-2.0V~-1.8V	1.8V~2.0V	1.8V~2.0V	0	1	1
5	-1.5V~-1.3V	1.3V~1.5V	1.3V~1.5V	0	1	0
6	-1.0V~-0.8V	0.8V~1.0V	0.8V~1.0V	0	0	1
7	-0.5V~-0.3V	0.3V~0.5V	0.3V~0.5V	0	0	0

【 図 2 9 】



【 図 3 4 】

第1 ^h ビット		DFA1	DFA2	DFA3	DFA7
ビット線に読み出される電位		H	L	H	L
d以下	d以上	H	L	H	L

(a)

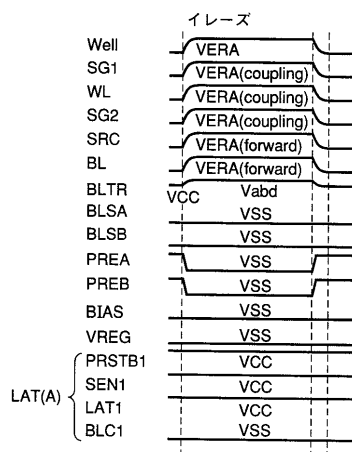
第2 ^h ビット		DFA1	DFA2	DFA3	DFA7
ビット線に読み出される電位		H	H	H	H
f以下	d以下以上	L	L	L	L
d以下以上	b以下d以上	L	L	L	L
b以上	b以上	L	L	L	L

(b)

第3 ^h ビット		DFA1	DFA2	DFA3	DFA4	DFA5	DFA6	DFA7
ビット線に読み出される電位		H	H	H	H	H	H	H
d以下	f以下g以上	L	L	L	L	L	L	L
e以下f以上	e以下f以上	L	L	L	L	L	L	L
d以下e以上	d以下e以上	L	L	L	L	L	L	L
c以下d以上	c以下d以上	L	L	L	L	L	L	L
b以下c以上	b以下c以上	L	L	L	L	L	L	L
a以下b以上	a以下b以上	L	L	L	L	L	L	L
a以上	a以上	L	L	L	L	L	L	L

(c)

【 図 3 5 】



【 図 3 6 】

メモリセルのデータ	メモリセルのしきい値	外部から入力される書き込みデータ及び読み出されるデータ			書き込み中のLAT(A)のデータ		
		第1ページ	第2ページ	第3ページ	第1ページ	第2ページ	第3ページ
0	OV以下	1	1	1	1	1	1
1	0.3V~0.5V	1	0	0	1	0	0
2	0.8V~1.0V	1	0	0	1	0	1
3	1.3V~1.5V	0	0	1	0	0	0
4	1.8V~2.0V	0	0	1	0	1	1
5	2.3V~2.5V	0	0	0	0	0	0
6	2.8V~3.0V	0	1	0	0	0	1
7	3.3V~3.5V	0	1	1	0	0	0

【 図 3 7 】

(第2page)

0~2		4		4~6	
A bit	B bit	A bit	B bit	A bit	B bit
H	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H
L	L	L	L	H	H

外部からのデータロート
d(c)ロート
ビット線の電位をBに入れる
AがHならビット線L
BがHならAをL
AがHならビット線H
BがHならビット線L
以後Aの値を書き込みデータとする。

フロントページの続き

(72)発明者 柴田 昇

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 高野 芳徳

(56)参考文献 特開平10-003792(JP,A)

特開平10-144085(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G11C 16/00-16/34