

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y P A T E N T U T Y M C Z A S O W E G O

78183

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 10.07.1972 (P. 156609)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 30.09.1973

Opis patentowy opublikowano: 25.07.1975

Kl. 21a¹, 36/00

MKP H03k 13/02



Twórcy wynalazku: Jerzy Kostro, Piotr Misiurewicz,
Wiesław Traczyk

Uprawniony z patentu tymczasowego: Politechnika Warszawska, Warszawa
(Polska)

Sposób przetwarzania liczb na wartość średnią prądu lub napięcia, zwłaszcza przetwarzania wielokanałowego oraz przetwornik do stosowania tego sposobu

Przedmiotem wynalazku jest sposób przetwarzania liczb na odpowiadające im wielkości analogowe – wartości średnie prądów lub napięć oraz przetwornik do stosowania tego sposobu. Przetworniki te umożliwiają zapamiętywanie przetwarzanych liczb, a więc nadają się zwłaszcza do przetwarzania wielokanałowego. Sposób przetwarzania liczb, będący przedmiotem wynalazku, jest przeznaczony zwłaszcza do zastosowania w układach, w których wiele urządzeń analogowych, takich jak mierniki i rejestratory współpracuje z jednym urządzeniem cyfrowym.

W znanych i stosowanych dotychczas rozwiązaniach przetwarzanie liczby na prąd lub napięcie polega na sumowaniu prądów lub napięć włączanych przez klucze, sterowane bitami przetwarzanej liczby. Jeżeli zachodzi konieczność współpracy jednego urządzenia cyfrowego z wieloma urządzeniami analogowymi wówczas stosowane są indywidualne, dla każdego urządzenia analogowego, przetworniki cyfrowo-analogowe wyposażone w rejestry pamiętające lub jeden wspólny przetwornik cyfrowo-analogowy i oddzielne pamięci analogowe dla wszystkich urządzeń analogowych. Układy z indywidualnymi przetwornikami cyfrowo-analogowymi charakteryzują się możliwością uzyskania dużych dokładności przetwarzania i nieograniczonym czasem zapamiętywania przetwarzanych liczb, ale są bardzo kosztowne. Układy z jednym przetwornikiem i pamięciami analogowymi są znacznie tańsze, szczególnie przy dużej ilości obsługiwanych urządzeń analogowych, ale ponieważ czas przechowywania informacji przez pamięci analogowe jest ograniczony, informacja ta musi być często odnawiana.

Celem wynalazku jest opracowanie sposobu przetwarzania wielkości cyfrowych (liczb) na wielkości analogowe oraz przetworników do stosowania tego sposobu, przeznaczonych głównie dla przetwarzania wielokanałowego, umożliwiających zapamiętywanie przetwarzanych liczb przez czas nieograniczony.

Postawiony cel spełnia sposób polegający na tym, że liczby podlegające przetwarzaniu wpisuje się do liczników pamiętających w chwili wyznaczonej sygnałami z dekodera lub z licznika dzielącego. Na wejścia liczące liczników pamiętających i licznika dzielącego wprowadza się impulsy z generatora, zaś otrzymane na wyjściach

liczników pamiętających przebiegi porównuje się fazowo z przebiegami wzorcowymi, otrzymywanymi na wyjściu licznika dzielącego lub dekodera. Faza przebiegu wyjściowego z licznika dzielącego w stosunku do przebiegu wzorcowego zależy od liczby wpisanej do tego licznika oraz od tego przy jakim stanie licznika dzielącego nastąpiło wpisanie. Moment wpisywania przetwarzanych liczb do liczników pamiętających jest wyznaczony sygnałem wyjściowym z licznika dzielącego lub sygnałami z dekodera stanów tego licznika. Momenty wpisywania mogą być jednakowe dla wszystkich liczników pamiętających lub różne. Jako wynik porównania faz przebiegów na wyjściach liczników pamiętających z przebiegiem wzorcowym otrzymuje się na wyjściach układów porównywania faz przebiegi prostokątne o wypełnieniach proporcjonalnych do istniejących różnic faz. Ponieważ wartość średnia prądu lub napięcia przebiegu prostokątnego jest proporcjonalna do współczynnika wypełnienia, otrzymuje się w ten sposób przetworzenie liczby na wartość średnią prądu lub napięcia. Przez odpowiedni dobór momentu wpisywania przetwarzanej liczby można uzyskać przesunięcie zera przetwornika, tzn. na wyjściu układu porównywania fazy można otrzymać przebieg o współczynniku wypełnienia różnym od zera przy wpisaniu zera do licznika pamiętającego.

Sposób przetwarzania według wynalazku nie posiada zasadniczych wad dotychczasowych rozwiązań. Dzięki wykorzystaniu liczników do pamiętania przetwarzanych liczb układ jest prosty i tani. Sygnały wyjściowe z układów porównywania faz są łatwe do wzmacniania. Czas pamiętania przetwarzanych liczb jest nieograniczony. Zera przetworników według wynalazku mogą być w sposób prosty dowolnie ustawiane.

Przedmiot wynalazku jest przedstawiony w przykładach wykonania na rysunku, na którym fig. 1 oraz fig. 2 przedstawiają schematy blokowe dwóch odmian przetwornika do stosowania sposobu przetwarzania według wynalazku.

Na fig. 1 wyjście generatora 4 połączone jest z wejściami liczników pamiętających 2 i jednocześnie z wejściem licznika dzielącego 1. Wyjścia licznika dzielącego 1 połączone są z wejściami dekodera 5 a wyjścia dekodera 5 połączone są z wejściami bramkującymi liczników pamiętających 2. Wyjścia liczników pamiętających 2 połączone są z wejściami odpowiadających im układów porównywania fazy 3, zaś drugie wejścia tych układów połączone są z wyjściem licznika dzielącego 1. Na fig. 2 wyjście licznika dzielącego 1 jest połączone z wejściami bramkującymi liczników pamiętających 2, a jedno z wejść każdego układu porównywania fazy 3 jest połączone z jednym z wyjść dekodera 5.

Działanie przetwornika według wynalazku jest następujące. Impulsy z generatora 4 są wprowadzane na wejście liczące licznika dzielącego 1 oraz liczników pamiętających 2. Przebieg wyjściowy (sygnał ostatniego przerzutnika) z licznika dzielącego 1 jest wprowadzony do wszystkich układów porównywania fazy 3, jako przebieg wzorcowy. Do każdego układu porównywania fazy 3 wprowadzony jest ponadto przebieg wyjściowy z odpowiadającego mu licznika pamiętającego 2. Układów porównywania fazy 3 oraz liczników pamiętających 2 jest tyle ile kanałów ma mieć przetwornik, to znaczy tyle ile liczb jednocześnie ma być przetwarzanych. Liczby przetwarzane, oznaczone na rysunku fig. 1 i fig. 2 symbolami L_1, L_n wprowadzone są na wejścia wpisujące liczników pamiętających 2. Momenty wpisywania przetwarzanych liczb do liczników pamiętających 2 wyznaczane są przez sygnały z dekodera 5, wprowadzane na wejścia bramkujące liczników pamiętających 2. Wybór momentu, w którym ma następować wpisywanie do danego licznika pamiętającego 2 następuje poprzez połączenie wejścia bramkującego tego licznika pamiętającego 2 z odpowiednim wyjściem dekodera 5. Jako układy porównywania fazy mogą być wykorzystywane dowolne znane układy komparatorów fazy, w szczególności mogą być tu wykorzystywane przerzutniki ustawiane i zerowane zboczem dodatnim lub ujemnym przebiegów otrzymywanych na wyjściach licznika dzielącego 1 oraz liczników pamiętających 2.

W odmianie przetwornika według wynalazku są inaczej wykorzystane sygnały wyjściowe z licznika dzielącego 1 oraz z dekodera 5. Sygnał wyjściowy z licznika dzielącego 1 jest tu wprowadzany na wejścia bramkujące liczników pamiętających 2, natomiast sygnały wyjściowe z dekodera 5 są wprowadzane do układów porównywania fazy 3 jako sygnały odniesienia.

Zastrzeżenia patentowe

1. Sposób przetwarzania liczb na wartość średnią prądu lub napięcia, zwłaszcza przetwarzania wielokanałowego, znamienny tym, że liczby podlegające przetwarzaniu wpisuje się do liczników pamiętających (2) w chwili wyznaczanej sygnałami z dekodera (5) lub z licznika dzielącego (1), a na wejścia liczące licznika dzielącego (1) i liczników pamiętających (2) wprowadza się impulsy z generatora (4), zaś otrzymane na wyjściu liczników pamiętających (2) przebiegi porównuje się fazowo z przebiegami otrzymanymi na wyjściu licznika dzielącego (1) lub dekodera (5).

2. Przetwornik do stosowania sposobu według zastrz. 1, znamienny tym, że wyjście generatora (4) połączone jest z wejściami liczników pamiętających (2) i jednocześnie z wejściem licznika dzielącego (1), którego wyjścia połączone są z wejściami dekodera (5), a wyjścia dekodera połączone są z wejściami bramkującymi

liczników pamiętających (2), których wyjścia połączone są z wejściami odpowiadających im układów porównywania fazy (3), zaś drugie wejścia tych układów połączone są z wyjściem licznika dzielącego (1).

3. Odmiana przetwornika według zastrz. 2, znamienna tym, że wyjście licznika dzielącego (1) jest połączone z wejściami bramkującymi liczników pamiętających (2), a jedno z wejść każdego układu porównywania fazy (3) jest połączone z jednym z wyjść dekodera (5).

